

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480017621.5

[51] Int. Cl.

H01L 29/10 (2006.01)

H01L 29/786 (2006.01)

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

[45] 授权公告日 2009 年 7 月 29 日

[11] 授权公告号 CN 100521231C

[22] 申请日 2004. 6. 5

[21] 申请号 200480017621.5

[30] 优先权

[32] 2003. 6. 23 [33] US [31] 10/601,401

[86] 国际申请 PCT/US2004/017727 2004. 6. 5

[87] 国际公布 WO2005/001908 英 2005. 1. 6

[85] 进入国家阶段日期 2005. 12. 23

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 Z·克里沃卡皮奇

[56] 参考文献

US5612230A 1997. 3. 18

US2003025126A1 2003. 2. 6

US2002177263A1 2002. 11. 28

US6207511B1 2001. 3. 27

US2003057486A1 2003. 3. 27

US2002003256A1 2002. 1. 10

US2001036731A1 2001. 11. 1

Novel locally strained channel technique for highperformance 55nm CMOS. OTA K ET AL. INTERNATIONAL ELECTRON DEVICES MEETING 2002. IEDM. TECHNICAL DIGEST. 2002

审查员 杨海波

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程 伟

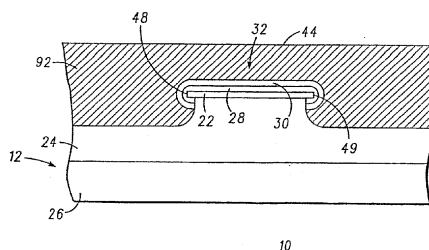
权利要求书 4 页 说明书 8 页 附图 4 页

[54] 发明名称

半导体器件及制造方法

[57] 摘要

本发明公开了一种适用于集成电路中的应变半导体器件，以及一种用以制造该应变半导体器件的方法。从绝缘体上半导体的衬底形成台面隔离结构。在该台面隔离结构上形成栅极结构。该栅极结构包含配置在栅极电介质材料上的栅极，并具有两组相对侧壁。在台面隔离结构邻接该栅极结构的第一组相对侧壁的部分上选择性生长半导体材料，然后再予以掺杂。硅化该掺杂的半导体材料，并通过电介质材料予以保护。硅化该栅极，其中，硅化物包覆第二组相对侧壁，并对半导体器件的沟道区施以应力。



1. 一种用于制造半导体器件(10)的方法，包括：

提供半导体衬底(12)；

从所述半导体衬底(12)形成台面隔离结构(14)，其中所述台面隔离结构(14)具有顶表面(20)以及第一(16)和第二(18)侧壁；

非充分蚀刻半导体材料(22)的一部分，其中所述第一和第二侧壁(16, 18)延伸到所述顶表面(20)下方；

在所述台面隔离结构(14)上形成栅极结构(42)，其中所述栅极结构(42)具有栅极表面(44)、第一(46)和第二(47)侧面以及硅化区(92)，并且其中所述栅极结构(42)的第一和第二部分分别包覆所述半导体材料(22)的第一(48)和第二(49)相对侧面且位于所述第一(16)和第二(18)侧壁上；以及

对邻接所述栅极结构(42)的第一(46)和第二(47)侧面的所述半导体衬底(12)部分进行掺杂。

2. 如权利要求1所述的方法，其中，形成所述栅极结构(42)的步骤包括：

在所述台面隔离结构(14)上形成第一层电介质材料(28)；以及
在所述第一层电介质材料(28)上形成第二层电介质材料(30)。

3. 如权利要求1所述的方法，其中，形成所述栅极结构(42)的步骤包括：

在所述第一(16)和第二(18)侧壁上形成第一层电介质材料(28)的部分，其中所述第一层电介质材料(28)的一部分作为所述栅极结构(42)的第一部分，而所述第一层电介质材料(28)的另一部分作为所述栅极结构(42)的第二部分；以及

氧化所述第一(16)和第二(18)侧壁。

4. 如权利要求1所述的方法，还包括：

在栅极结构(42)上形成第一层电介质材料(50)；

在所述第一层电介质材料(50)上形成第二层电介质材料(52)，其中所述第一层(50)和第二层(52)电介质材料包括不同的电介质材料；

各向异性蚀刻所述第一层(50)和第二层(52)电介质材料，其中半导体衬底(12)的一部分被暴露；以及

在所述半导体衬底(12)上邻接所述栅极结构(42)的第一(46)和第二(47)侧面处，通过选择性生长半导体材料层(58)而形成所述半导体材料层(58)。

5. 一种用于制造应变半导体器件(10)的方法，包括：

提供绝缘体上半导体的台面隔离结构(14)，所述绝缘体上半导体的台面隔离结构(14)具有顶表面(20)以及第一(16)和第二(18)侧壁，在所述顶表面(20)上形成半导体层(22)；

非充分蚀刻所述绝缘体上半导体的台面隔离结构(14)，其中所述第一(16)和第二(18)侧壁延伸到所述顶表面(20)下方；

在所述顶表面(20)以及所述第一(16)和第二(18)侧壁上形成栅极电介质材料(32)；

在所述栅极电介质材料(32)上形成栅极(38)，其中所述栅极(38)和所述栅极电介质材料(32)共同形成具有栅极表面(44)和栅极侧壁(46, 47)的栅极结构(42)；

在邻接所述台面隔离结构(14)的第一(16)和第二(18)侧壁的所述台面隔离结构(14)顶表面(20)部分上，形成半导体材料(34)，其中所述栅极电介质材料(32)和半导体材料(34)包覆所述半导体层(22)的相对侧面(48, 49)；

从所述半导体材料(34)以及从所述栅极(38)形成硅化物(92)，其中从所述半导体材料(34)和所述栅极(38)形成的硅化物(92)对所述半导体器件(10)施以应变。

6. 一种对半导体器件(10)施以应变的方法，包括：

提供半导体衬底(12)，所述半导体衬底(12)包括配置在第一层电介质材料(24)上的第一层半导体材料(22)，其中，所述半导体衬底(12)具有顶表面(20)和侧壁(16, 18)，所述第一层半导体材料(22)具有相对侧面

(48, 49);

非充分蚀刻所述半导体材料(22)的一部分, 其中所述侧壁(16, 18)延伸到所述顶表面(20)下方;

在所述半导体衬底(12)上形成栅极结构(42), 所述栅极结构(42)具有栅极表面(44)以及第一(46)和第二(47)相对侧壁, 其中形成所述栅极结构(42)包括:

在所述侧壁(16, 18)的一部分上形成第二层电介质材料(28, 30); 以及

在所述第二层电介质材料(28, 30)的一部分上形成第二层半导体材料(34), 其中所述第二层电介质材料(28, 30)和所述第二层半导体材料(34)包覆所述第一层半导体材料(22)的所述第一(48)和第二(49)相对侧面; 以及

从所述栅极表面(44)和所述第二层半导体材料形成硅化物(92), 其中所述硅化物(92)对所述半导体衬底(12)的半导体材料施以应变。

7. 如权利要求 6 所述的方法, 还包括在所述第一层半导体材料(22)邻接所述第一(48)和第二(49)相对侧面的部分上形成第二层电介质材料(28, 30)。

8. 如权利要求 6 所述的方法, 还包括:

在所述第一层半导体材料(22)邻接所述第一(48)和第二(49)相对侧面的部分上形成第三层半导体材料(58);

掺杂所述第三层半导体材料(58);

从所述第三层半导体材料(58)形成硅化物(82, 84); 以及

在从所述栅极表面(44)形成硅化物(92)前, 保护从所述第三层半导体材料(58)形成的硅化物(82, 84)。

9. 一种适用于集成电路中的应变半导体器件(10), 包括:

绝缘体上半导体衬底(12), 具有台面隔离结构;

栅极结构(42), 配置在所述绝缘体上半导体衬底(12)上, 所述栅极结构(42)具有栅极表面(44)以及第一(46)和第二(47)相对侧壁;

第一(72)和第二(74)掺杂区，分别邻接所述栅极结构(42)的所述第一(46)和第二(47)相对侧壁，其中所述栅极结构(42)包括：

位于所述绝缘体上半导体衬底(12)的一部分上的第二层电介质材料(32)；

第一(82)和第二(84)硅化物区，分别在所述第一(72)和第二(74)掺杂区上；以及

在所述栅极结构(42)中的栅极硅化物(92)，其中所述栅极硅化物(92)对所述半导体器件(10)施以应变。

10. 如权利要求 9 所述的应变半导体器件(10)，其中所述栅极结构(42)包括配置在第二电介质材料(28)上的第一电介质材料(30)，所述第一电介质材料(30)为氮化硅，所述第二电介质材料(28)为氧化物。

11. 如权利要求 5 或 6 所述的方法，还包括通过退火所述硅化物(92)来增大沟道区中的应力。

12. 如权利要求 5 或 6 所述的方法，还包括通过制造宽度小于 250 nm 的栅极来保持沟道区处于拉伸应力下。

半导体器件及制造方法

技术领域

本发明一般涉及半导体器件，尤其涉及半导体器件中的载流子迁移率(carrier mobility)以及半导体器件的制造方法。

背景技术

诸如微处理器、数字信号处理器、微控制器、存储器件等的集成电路典型地会包含数以百万计的绝缘栅场效应晶体管(Insulated Gate Field Effect Transistors, IGFETs)。为了想要提高组成集成电路的晶体管或器件的速度，集成电路制造商已减小器件尺寸。虽然较小的器件能够在提高的速度下运行，但诸如降低的源/漏极击穿电压(source-drain breakdown voltage)、增大的结电容(junction capacitance)、以及临界电压的不稳定性的次要性能因素却会不利地影响晶体管的性能。这些有害的性能影响统称为短沟道效应(short channel effect)。

提高器件速度的技术已从缩小器件尺寸转为改善载流子迁移率以及减轻短沟道效应。例如，通过调整沟道区中的电场以最小化漏极耗尽区(depletion region)的峰值横向电场(peak lateral electric field)，则能够减轻短沟道效应。一种降低横向电场的技术是包括源极及漏极延伸区。另一种适用于提高载流子迁移率和减轻短沟道效应的技术是在绝缘体上硅(Silicon-On-Insulator, SOI)衬底上制造器件。给半导体器件施以应变(straining)能够进一步提高迁移率。生产应变半导体器件的缺点是无法开发出能够制造具有基本上相同应变量的半导体器件的大规模制造过程。

因此，需要一种具有预定应变量的半导体器件，以及一种制造所述半导体器件的方法。

发明内容

本发明提供一种具有应变沟道区的半导体器件以及一种制造所述

半导体器件的方法，以满足前述需求。依照一方面，本发明包括从半导体衬底形成台面(mesa)结构，其中，所述台面结构具有第一表面以及第一和第二侧壁(sidewalls)。具有栅极表面以及第一和第二侧面(sides)的栅极结构形成在台面结构上，其中，所述栅极结构的第一和第二部分分别配置在第一和第二侧壁上。将邻接栅极结构的第一和第二侧面的半导体衬底部分予以掺杂。

依照另一方面，本发明包含一种用以制造适用于集成电路中的应变半导体器件的方法。在所述方法中，提供绝缘体上半导体(semiconductor-on-insulator)的台面隔离结构，其中，所述台面隔离结构具有顶表面以及第一和第二侧壁。在顶表面以及第一和第二侧壁上形成栅极电介质材料，并在栅极电介质材料上形成栅极，其中，栅极和栅极电介质材料共同形成具有顶表面和栅极侧壁的栅极结构。在台面隔离结构的顶表面邻接第一和第二侧壁的部分上，形成半导体材料。从半导体材料与栅极形成硅化物，其中，从栅极形成的硅化物对绝缘体上半导体的台面隔离结构施以应变。

依照又一方面，本发明包括一种对半导体器件施以应变的方法。将包括第一层半导体材料的半导体衬底配置在电介质材料层之上，其中，所述半导体衬底具有顶表面和隔离侧壁。具有栅极表面、第一和第二相对栅极侧壁、以及第三和第四相对侧面的栅极结构形成在半导体衬底上。从栅极结构的栅极表面以及第一和第二相对侧壁形成硅化物，其中，所述硅化物对半导体衬底的半导体材料施以应变。

依照再一方面，本发明包含适用于集成电路中的应变半导体器件。所述应变半导体器件包括具有台面隔离构形的(in a mesa isolation configuration)绝缘体上半导体衬底。具有栅极表面、第一和第二相对侧壁、以及第三和第四相对侧壁的栅极结构配置在所述绝缘体上半导体的衬底上。第一和第二掺杂区分别邻接栅极结构的第三和第四侧壁。第一和第二硅化物区分别配置在第一和第二掺杂区上。栅极硅化物配置在栅极上，其中，所述栅极硅化物对半导体器件的沟道区施以应变。

附图说明

配合附图阅读以下详细说明可对本发明有更清楚的了解，其中，

类似组件用类似参考符号标示。

图 1 为依照本发明一实施例，在起始制造阶段的半导体器件的一部分的透视图；

图 2 为图 1 的器件沿着剖面线 2-2 的剖面侧视图；

图 3 为图 2 的半导体器件进一步处理后的剖面侧视图；

图 4 为图 3 的半导体器件进一步处理后的剖面侧视图；

图 5 为图 4 的半导体器件沿着剖面线 5-5 的剖面侧视图；

图 6 为图 4 及图 5 的半导体器件进一步处理后的剖面侧视图；

图 7 为图 6 的半导体器件进一步处理后的剖面侧视图；

图 8 为图 7 的半导体器件进一步处理后的剖面侧视图；

图 9 为图 8 的半导体器件进一步处理后的剖面侧视图；

图 10 为图 9 的半导体器件进一步处理后的剖面侧视图；以及

图 11 为图 10 的半导体器件沿着剖面线 11-11 的剖面侧视图。

具体实施方式

一般而言，本发明提供一种包含应变半导体器件或晶体管的集成电路，以及一种制造所述应变半导体器件的方法。对半导体器件施以应变，以提高其沟道区中电子和空穴的迁移率。依照一实施例，结合台面隔离结构和硅化栅极结构(silicided gate structure)，以通过使沟道区处于压缩应力(compressive stress)下而提高空穴迁移率。依照另一实施例，结合对台面结构的掩埋氧化物施以非充分蚀刻(underetching)以及用栅极电介质和栅极材料包覆(wrapping)非充分蚀刻的台面结构，以通过使沟道区处于拉伸应力(tensile stress)下而提高电子与空穴的迁移率。在这些实施例中，硅化物优选为硅化镍。可在升高的温度下对硅化物进行退火处理(annealing)，以进一步增大应力。例如，当在 360℃ 的温度下加以退火时，硅化镍栅极的拉伸应力约为 800 兆帕斯卡(MPa)，而当在 400℃ 的温度下加以退火时，硅化镍栅极的拉伸应力约为 1.25 千兆帕斯卡(GPa)。依照又一实施例，制造栅极使其具有小于约 250 nm 的宽度，以维持沟道区处于拉伸应力下。

图 1 为依照本发明一实施例，在制造期间的半导体器件 10 的一部分的透视图。图 1 所显示的是被图案化成包含台面隔离结构 14 的绝缘

体上半导体(SOI)衬底 12, 其中, 所述台面隔离结构 14 具有衬底表面 20 以及侧壁 16 和 18。SOI 衬底 12 包括配置在电介质层 24 之上的半导体材料层 22, 其中, 电介质层 24 配置在半导体材料体 26 之上。优选地, 半导体材料层 22 为非掺杂硅, 且其厚度在单层硅的厚度至约 25 纳米(nm)的范围之间, 而电介质层 24 的厚度范围在约 50 纳米至约 500 纳米之间。更优选地, 硅层 22 具有小于 10 nm 的厚度, 而电介质层 24 则具有约 200 nm 的厚度。衬底表面 22 也称为衬底的顶表面或作用表面(active surface)。形成台面隔离结构的技术为本领域技术人员所知晓。

参照图 2, 显示沿着图 1 剖面线 2-2 的图案化 SOI 衬底 12。更具体而言, 图 2 为显示衬底表面 20、硅层 22、二氧化硅层 24、以及硅层 26 的剖面侧视图。

参照图 3, 电介质材料层 28 形成在衬底表面 20 上, 而电介质材料 30 形成在电介质材料 28 上。例如, 电介质材料 28 为二氧化硅层, 而电介质材料 30 为氮化硅。二氧化硅层 28 结合氮化硅层 30 以形成栅极电介质材料 32。可用本领域技术人员所知晓的技术来形成二氧化硅层 28 和氮化硅层 30, 这些技术包括热氧化(thermal oxidation)、化学气相沉积(chemical vapor deposition)等。优选地, 栅极电介质材料 32 的厚度范围在约 0.8 nm 至约 2.0 nm 之间。甚至更优选地, 栅极电介质材料 32 具有约 1.3 nm 的厚度。应当了解的是, 栅极电介质材料 32 并不局限于两层电介质材料, 也不局限于为氮化硅层配置在二氧化硅层上。例如, 栅极电介质材料 32 可包括具有例如大于 3.9 的高介电常数(κ)的材料、单层氧化物、或其组合。

使用例如化学气相沉积技术, 将多晶硅(polysilicon)层 34 形成在栅极电介质材料 32 上。多晶硅层 34 厚度的适当范围在约 1 nm 至约 2 nm 之间。将光刻胶层沉积在多晶硅层 34 上, 并将其图案化以形成蚀刻掩模 36。

参照图 4, 使用优先蚀刻多晶硅的蚀刻化学作用, 亦即对光刻胶蚀刻掩模 36 具有选择性的蚀刻化学作用, 来对多晶硅层 34 进行蚀刻。例如, 使用各向异性的反应离子蚀刻(reactive ion etch, RIE)以及对光刻胶具有选择性的蚀刻剂种类, 来对多晶硅层 34 进行蚀刻。可选地, 可在蚀刻多晶硅层 34 后, 各向异性地蚀刻栅极电介质材料 32, 亦即二氧

化硅层 28 和氮化硅层 30。蚀刻多晶硅和栅极电介质材料的方法对于本领域技术人员为熟知的。去除蚀刻掩模 36。多晶硅层 34 的剩余部分 38 作为半导体器件 10 的栅极。栅极电介质材料 32 介于栅极 38 和衬底 22 之间的部分 40 则作为栅极电介质。栅极 38 和栅极电介质 40 共同形成栅极结构 42。栅极结构 42 具有栅极表面 44 和相对侧壁 46 和 47。

参照图 5，显示沿着图 4 剖面线 5-5 的剖视图。图 5 所显示的为台面隔离结构 14 的硅层 22、二氧化硅层 24、以及硅层 26。应当注意的是，由于在制造半导体器件 10 期间已蚀刻掉二氧化硅层 24 的一些部分，因此侧壁 16 和 18 延伸于硅层 22 之下。特别地，二氧化硅层 24 可在清洗步骤期间被蚀刻，其中，进行所述清洗步骤是为形成多晶硅层 34 做准备。所述蚀刻处理也称为非充分蚀刻处理，能够控制所述蚀刻处理而使得一预定量的二氧化硅层 24 被非充分蚀刻掉。优选地，从各侧面，亦即，从侧壁 16 和 18 蚀刻掉的二氧化硅层 24 的量在约 10 nm 至约 30 nm 之间。甚至更优选地，从各侧面蚀刻掉的二氧化硅层 24 的量约为 20 nm。由于所述非充分蚀刻处理，因此栅极电介质材料 32 包覆硅层 22 的相对侧面 48 和 49。同样地，多晶硅层 34 包覆栅极电介质 40 邻接相对侧面 48 和 49 的部分。

参照图 6，厚度在约 2.5 nm 至约 10 nm 之间的二氧化硅层 50 形成在栅极 38 和氮化硅层 30 上。厚度在约 5 nm 至约 50 nm 之间的氮化硅层 52 形成在二氧化硅层 50 上。优选地，二氧化硅层 50 具有 5 nm 的厚度，而氮化硅层 52 具有 30 nm 的厚度。

参照图 7，使用各向异性反应离子蚀刻对氮化硅层 52 和二氧化硅层 50 进行蚀刻。在各向异性蚀刻后，二氧化硅层 50 的一部分 54 和氮化硅层 52 的一部分 56 保留在栅极结构 42 之上以及在硅层 22 邻接栅极结构 42 的部分之上。应当注意的是，如果没有在形成栅极 38 后对栅极电介质材料 32 进行各向异性蚀刻，如参照图 4 的说明，则可在对氮化硅层 52 和二氧化硅层 50 进行各向异性蚀刻后，对栅极电介质材料 32 进行各向异性蚀刻。

具有表面 60 以及厚度在约 15 nm 至约 45 nm 间的硅层 58 生长在硅层 22 的暴露部分上。优选地，使用选择性外延生长技术来生长硅层 58。应当注意的是，硅层 58 不局限于硅，而是可以为任何适合的半导

体材料，例如硅锗或锗。

将诸如砷或磷的 N 型导电率杂质材料注入硅层 58 中，以形成掺杂区 62 和 64，所述掺杂区 62 和 64 分别作为源极和漏极延伸区。优选地，源极延伸区 62 在栅极结构 42 之下从栅极侧面 46 延伸，而漏极延伸区 64 在栅极结构 42 之下从栅极侧面 47 延伸。延伸区 62 和 64 可延伸至电介质层 24 内。例如，延伸区 62 和 64 的浓度在约 1×10^{18} 个原子每立方厘米(atoms/cm³)至约 5×10^{20} atoms/cm³ 的范围间。优选地，使用倾斜角在约 7 度至约 45 度间的斜角注入(tilt angle implant)来形成延伸区 62 和 64，其中，所述角度形成在表面 60 和从表面 60 垂直延伸的假想线(imaginary line)之间。分别用以形成源极和漏极延伸区 62 和 64 的适当注入参数包括：范围在约 10^{12} 个离子每平方厘米(ions/cm²)到约 10^{15} ions/cm² 间的注入剂量，以及范围在约 1 千电子伏特(KeV)至约 20 KeV 间的注入能量。在注入后，对半导体器件 10 进行退火。虽然使用有角度的或斜角注入分别形成源极和漏极延伸区 62 和 64，但应当了解的是，除了栅极结构 42 下方的部分外，所述注入处理也可对硅层 58 和 72 的其它部分进行注入。

进行源极/漏极注入以形成源极区 72 和漏极区 74。所述源极/漏极注入也可对栅极结构 42 进行掺杂。适用于源极/漏极掺杂的一组参数包含：进行诸如砷的 N 型杂质材料的注入，剂量范围在约 1×10^{14} ions/cm² 到约 1×10^{16} ions/cm² 间，注入能量范围在约 20 KeV 至约 50 KeV 间。将掺杂的半导体材料加热到约摄氏 800 度(°C)至 1,100°C 间的温度，以进行退火。

将耐火(refractory)金属层 76 保形地(conformally)沉积在硅表面 60 和氮化硅层 52 的部分 56 上。例如，耐火金属层 76 的金属为厚度范围在约 50 Å 至约 150 Å 间的镍。将耐火金属加热到 350°C 至 500°C 间的温度。

参照图 8，所述热处理导致在镍与硅接触的所有区域中，镍与硅反应而形成硅化镍(NiSi)。因此，硅化镍区 82 形成在源极区 72 中，而硅化镍区 84 形成在漏极区 74 中。邻接氮化物层 52 的部分 56 的镍的部分维持未反应。在形成硅化镍区 82 和 84 后，将所有未反应的硅化镍予以去除。应当了解的是，硅化物的类型并非本发明的限制条件。例

如, 其它适当的硅化物包含硅化钛(TiSi)、硅化铂(PtSi)、硅化钴(CoSi₂)等。如本领域技术人员所知晓, 硅会在形成硅化物期间被消耗掉, 而硅的消耗量为所形成的硅化物的类型的函数。

厚度范围在约 250 Å 至约 750 Å 间的电介质材料层 86 形成在硅化物区 82 和 84 之上以及氮化硅层 52 的部分 56 之上。厚度范围在约 500 Å 至约 2,500 Å 间的电介质材料层 88 形成在电介质层 86 上。例如, 电介质层 86 是厚度约为 500 Å 的氮氧化硅, 而电介质层 88 是厚度约为 1,500 Å 的由分解原硅酸四乙酯(tetraethylorthosilicate, TEOS)而形成的氧化物。

参照图 9, 使用例如对多晶硅具有高选择性的化学机械抛光 (Chemical Mechanical Polishing, CMP), 来对 TEOS 层 88 进行平坦化。因此, 所述平坦化处理在栅极 38 上停止。将耐火金属层 90 保形地沉积在硅表面 44、TEOS 层 88、氮氧化硅层 86 的暴露部分、以及二氧化硅层 54 和氮化硅层 56 的暴露部分之上。例如, 耐火金属层 90 的金属是厚度约为 700 Å 的镍。将耐火金属加热到约 350°C 至 500°C 间的温度。

参照图 10, 所述热处理导致在镍与硅接触的所有区域中, 镍与硅反应而形成硅化镍(NiSi)。因此, 硅化镍区 92 从栅极 38 形成。镍位于非硅区上的部分维持未反应, 其中, 所述非硅区亦即 TEOS 层 88、SiON 层 86 的暴露部分、以及二氧化硅层 54 和氮化硅层 56 的暴露部分。在形成硅化镍区 92 后, 将所有未反应的硅化镍予以去除。应当了解的是, 硅化物的类型并非本发明的限制条件。例如, 其它适当的硅化物包含硅化钛(TiSi)、硅化铂(PtSi)、硅化钴(CoSi₂)等。如本领域技术人员所知晓, 硅会在形成硅化物期间被消耗掉, 而硅的消耗量为所形成的硅化物的类型的函数。

参照图 11, 显示半导体器件 10 沿着图 10 的剖面线 11-11 的剖面侧视图。图 11 中所显示的是位于电介质层 24 上的硅层 22, 而电介质层 24 位于半导体材料体 26 上。包括二氧化硅层 28 和氮化硅层 30 的栅极电介质 40 包覆硅层 22 的相对侧面 48 和 49。同样地, 栅极 38 的硅化镍区 92 包覆栅极电介质 40 邻接相对侧面 48 和 49 的部分。

至此, 应可领会本发明提供了一种适用于集成电路的应变半导体器件。本发明的优点为, 通过调整栅极宽度、选择退火温度、以及非

充分蚀刻台面结构，可将半导体器件制造成处于压缩应力或拉伸应力下。半导体器件可包含这些所述技术中的一种或超过一种的这些所述技术的结合，以提供应力。据此，能够将电子迁移率、空穴迁移率或者电子和空穴两者的迁移率进行最优化。提高的迁移率会导致提高的器件性能。例如，依照本发明的实施例所制造的 NMOS（N 型金属氧化物半导体）和 PMOS（P 型金属氧化物半导体）晶体管分别具有小至 0.2 微微秒(picosecond, ps)和 0.3 ps 的 CV/I 延迟。本发明的另一优点为，在最后的较高温度处理步骤中界定所述应变，其有助于防止后续的松弛作用(relaxation)。而又一优点为，高迁移率会增大器件的驱动电流，而在这种超薄绝缘体上半导体器件中的量子效应会增大其临界电压，从而改善补偿电流(offset current)。

虽然在此已公开了一些优选实施例和方法，但从上述公开，本领域技术人员应十分清楚，所述实施例和方法可具有各种变化和改变，而不会脱离本发明的精神及范围。本发明的范围仅应由所附的权利要求以及适用法律的规则和原则所限制。

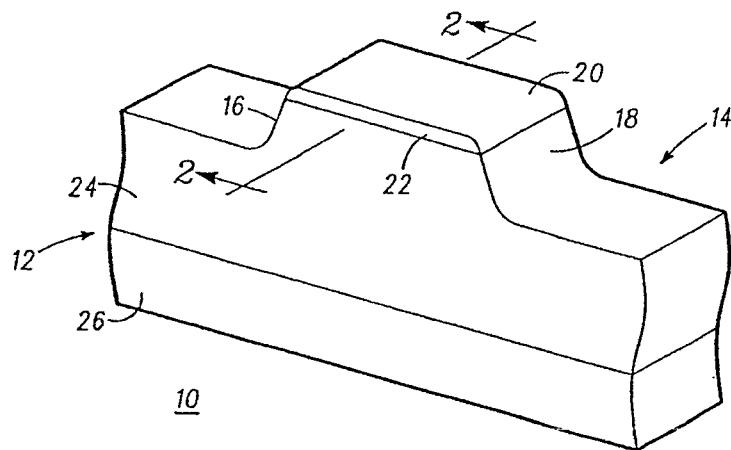


图1

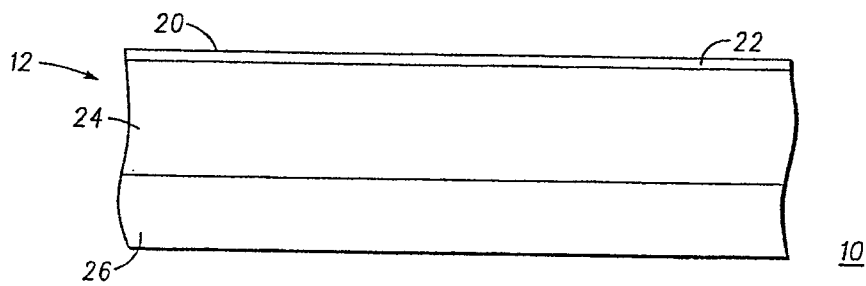


图2

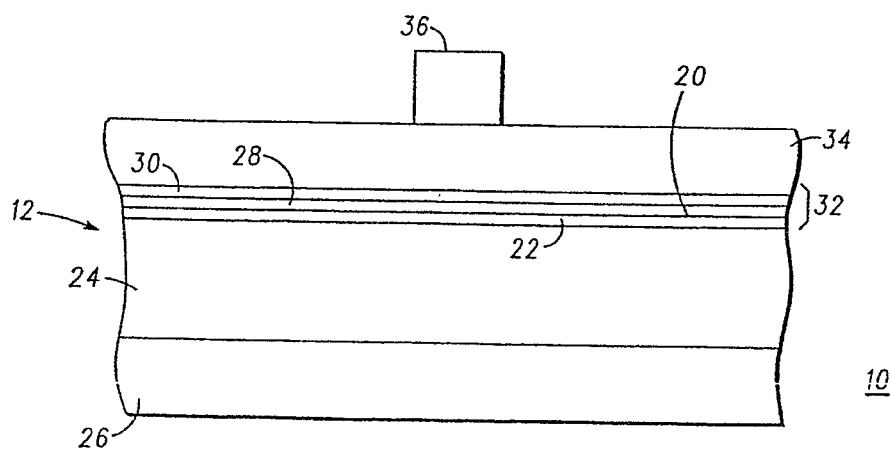


图3

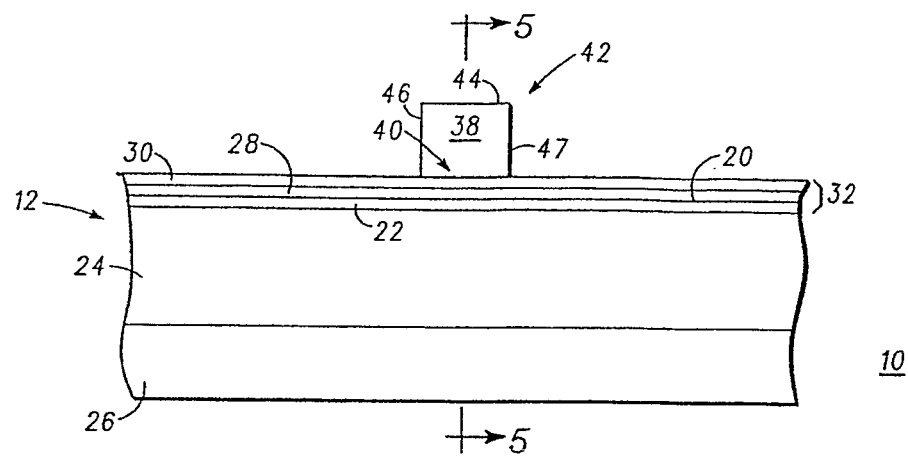


图4

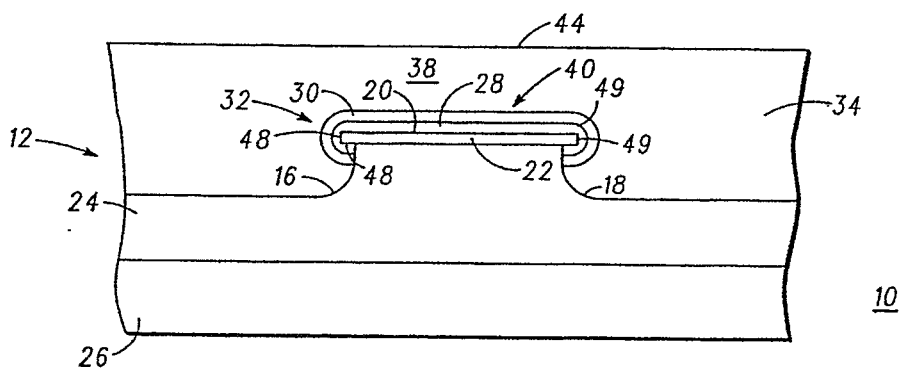


图5

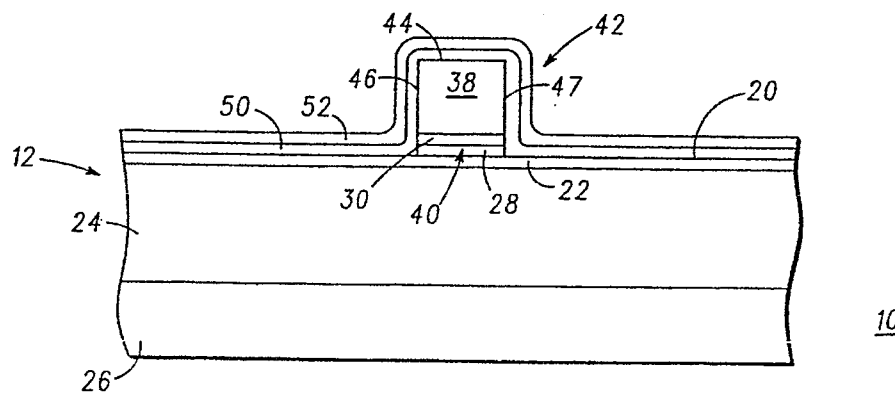


图6

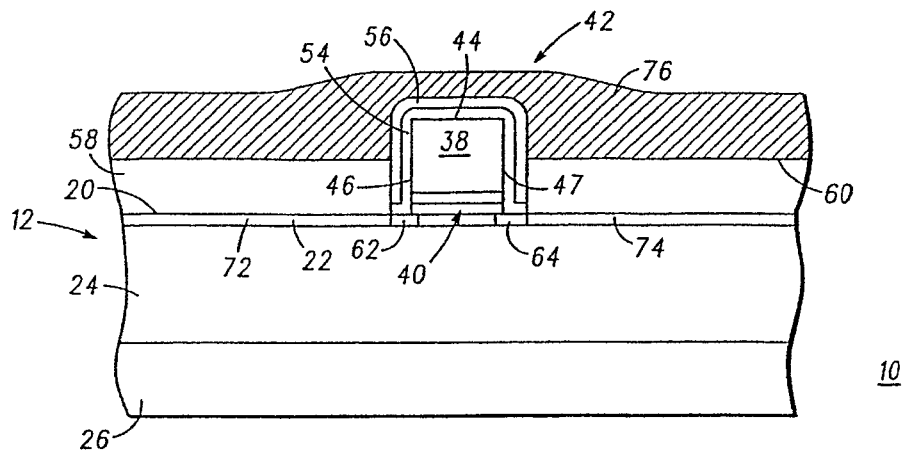


图7

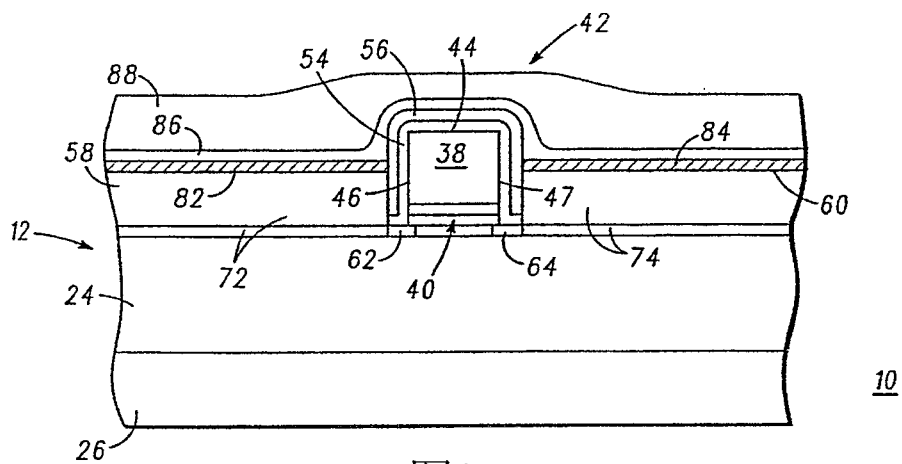


图8

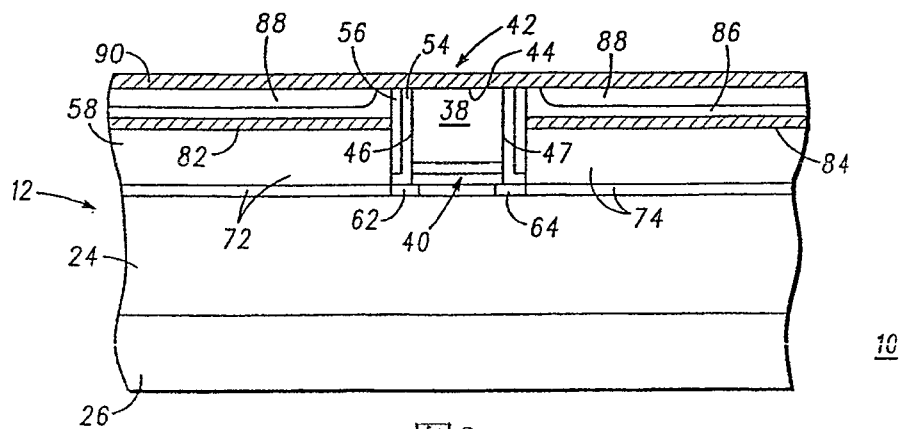


图9

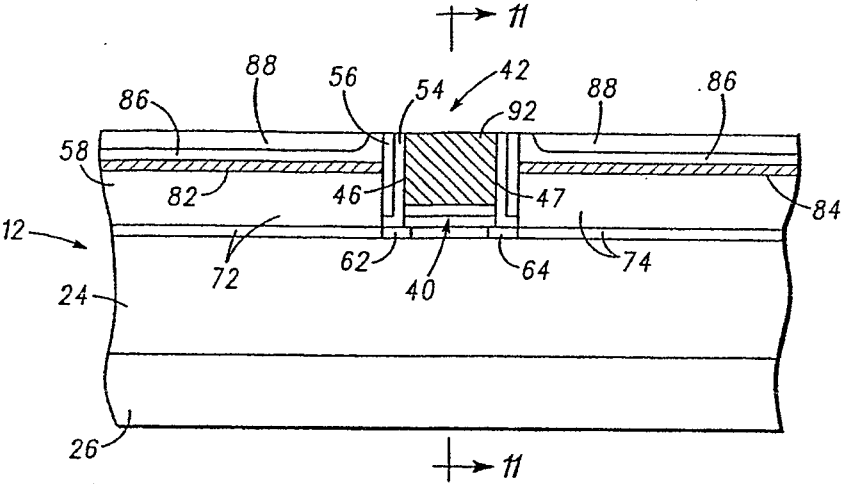


图10

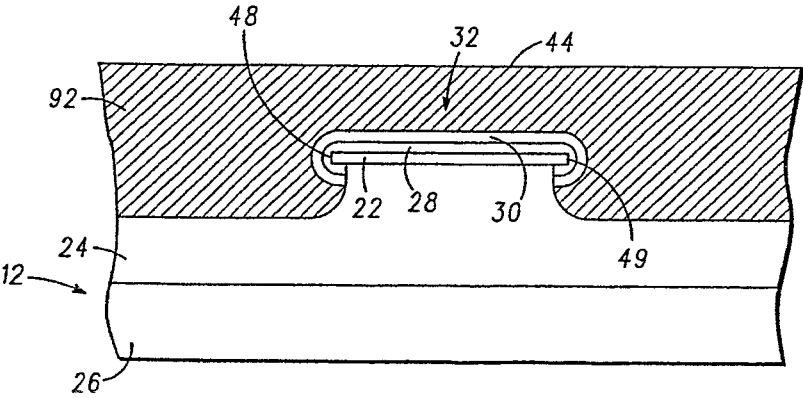


图11