



(12) 发明专利申请

(10) 申请公布号 CN 105938461 A

(43) 申请公布日 2016. 09. 14

(21) 申请号 201510466404. 4

(22) 申请日 2015. 07. 31

(71) 申请人 杭州迪普科技有限公司

地址 310051 浙江省杭州市滨江区通和路  
68 号中财大厦 6 层

(72) 发明人 刘小兵

(74) 专利代理机构 北京博思佳知识产权代理有  
限公司 11415

代理人 林祥

(51) Int. Cl.

G06F 13/28(2006. 01)

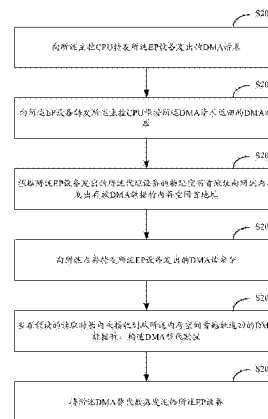
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种 DMA 数据传输方法、装置以及网络设备

(57) 摘要

本申请提供一种 DMA 数据传输方法、装置以及网络设备,该方法包括:向主控 CPU 转发 EP 设备发出的 DMA 请求;向 EP 设备转发主控 CPU 根据 DMA 请求返回的 DMA 响应;根据 EP 设备发出的代理设备的物理空间首地址向内存发出存放 DMA 数据的内存空间首地址;向内存转发 EP 设备发出的 DMA 读命令;当在预设的读取时长内未接收到从内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据;将 DMA 替代数据发送给所述 EP 设备。通过本申请避免了 EP 设备的 DMA 死机,保证网络设备的正常运行。



1. 一种直接内存存取 DMA 数据传输方法,应用于网络设备中的代理设备上,其特征在于,所述网络设备包括主控中央处理器 CPU、内存、代理设备以及端点 EP 设备,所述 EP 设备具备 DMA 功能,该方法包括:

向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求;

向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应;

根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址;

向所述内存转发所述 EP 设备发出的 DMA 读命令;

当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据;

将所述 DMA 替代数据发送给所述 EP 设备。

2. 如权利要求 1 所述的方法,其特征在于,所述根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出 DMA 数据存放的内存空间首地址,包括:

接收所述 EP 设备发出的所述 EP 设备上预先配置的代理设备的物理空间首地址;

根据预先生成的地址映射关系表项获取所述代理设备的物理空间首地址对应的内存空间首地址,所述地址映射关系表项中记录代理设备的物理空间首地址与内存的内存空间首地址的映射关系;

向所述内存发出所述内存空间首地址。

3. 如权利要求 1 或 2 所述的方法,其特征在于:

所述代理设备为现场可编程门阵列 FPGA 芯片。

4. 一种直接内存存取 DMA 数据传输装置,应用于网络设备中的代理设备上,其特征在于,所述网络设备包括主控中央处理器 CPU、内存、代理设备以及端点 EP 设备,所述 EP 设备具备 DMA 功能,该装置包括:

请求转发单元,用于向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求;

响应转发单元,用于向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应;

地址发出单元,用于根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址;

命令发出单元,用于向所述内存转发所述 EP 设备发出的 DMA 读命令;

数据构造单元,用于当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据;

数据返回单元,用于将所述 DMA 替代数据发送给所述 EP 设备。

5. 如权利要求 4 所述的装置,其特征在于:

所述地址发出单元,具体用于接收所述 EP 设备发出的所述 EP 设备上预先配置的代理设备的物理空间首地址;根据预先配置的地址映射关系表项获取所述代理设备的物理空间首地址对应的内存空间首地址,所述地址映射关系表项中记录代理设备的物理空间首地址与内存的内存空间首地址的对应关系;向所述内存发出所述内存空间首地址。

6. 如权利要求 4 或 5 所述的装置,其特征在于:

所述代理设备为现场可编程门阵列 FPGA 芯片。

7. 一种网络设备,其特征在于,该设备包括:

主控中央处理器 CPU,用于接收代理设备转发的端点 EP 设备发出的直接内存存取 DMA 请求;根据所述 DMA 请求向所述 EP 设备返回 DMA 响应;

内存,用于接收所述代理设备转发的所述 EP 设备发出的 DMA 读命令;根据所述代理设备发出的内存空间首地址向所述 EP 设备返回 DMA 数据;

代理设备,用于向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求;向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应;根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址;向所述内存转发所述 EP 设备发出的 DMA 读命令;当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据;将所述 DMA 替代数据发送给所述 EP 设备;

EP 设备,用于向所述主控 CPU 发出 DMA 请求;接收所述代理设备转发的所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应;向所述代理设备发出所述代理设备的物理空间首地址;向所述内存发出 DMA 读命令;接收所述代理设备转发的 DMA 数据。

8. 如权利要求 7 所述的设备,其特征在于:

所述主控 CPU,还用于在所述网络设备初始化时,向所述代理设备加载程序指令;为所述代理设备和所述 EP 设备配置物理空间首地址;向所述 EP 设备写入为其分配的代理设备的物理空间首地址;在所述代理设备上配置所述物理空间首地址与内存空间首地址的映射关系。

## 一种 DMA 数据传输方法、装置以及网络设备

### 技术领域

[0001] 本申请涉及网络通信技术领域，尤其涉及一种 DMA 数据传输方法、装置以及网络设备。

### 背景技术

[0002] 目前，大量的网络设备内部采用 DMA(Direct Memory Access,直接内存存取) 方式进行数据存取，以提高网络设备的工作效率。例如，在通过 PCIE(Peripheral Component Interconnect Express,快捷外设部件互连标准) 连接的主控 CPU(Central Processing Unit,中央处理器) 和 PCIE 设备之间，通过 DMA 方式进行数据传输。

[0003] 为了提高网络设备的可靠性，通常采用双主控 CPU(一个主用主控 CPU 和一个备用主控 CPU) 进行主备切换，以保证在主用主控 CPU 故障时可以切换到备用主控 CPU 继续工作。但是，双主控切换需要时间，如果此时 PCIE 设备发起 DMA 读操作，将无法获得主控 CPU 返回的数据，造成 DMA 死机。

[0004] 现有技术方案通常采用非透明桥的模式进行双主控 CPU 切换，但是该方案需要在双主控 CPU 切换时配置寄存器，切换后还需要进行 PCIE 拓扑扫描，因此，仍存在上述切换时间的问题，无法彻底解决 DMA 死机，从而导致网络设备通信中断。

### 发明内容

[0005] 有鉴于此，本申请提供一种 DMA 数据传输方法及装置。

[0006] 具体地，本申请是通过如下技术方案实现的：

[0007] 本申请提供一种直接内存存取 DMA 数据传输方法，应用于网络设备中的代理设备上，所述网络设备包括主控中央处理器 CPU、内存、代理设备以及端点 EP 设备，所述 EP 设备具备 DMA 功能，该方法包括：

[0008] 向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求；

[0009] 向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应；

[0010] 根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址；

[0011] 向所述内存转发所述 EP 设备发出的 DMA 读命令；

[0012] 当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时，构造 DMA 替代数据；

[0013] 将所述 DMA 替代数据发送给所述 EP 设备。

[0014] 本申请还提供一种直接内存存取 DMA 数据传输装置，应用于网络设备中的代理设备上，所述网络设备包括主控中央处理器 CPU、内存、代理设备以及端点 EP 设备，所述 EP 设备具备 DMA 功能，该装置包括：

[0015] 请求转发单元，用于向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求；

[0016] 响应转发单元，用于向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的

DMA 响应；

[0017] 地址发出单元,用于根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址；

[0018] 命令发出单元,用于向所述内存转发所述 EP 设备发出的 DMA 读命令；

[0019] 数据构造单元,用于当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据；

[0020] 数据返回单元,用于将所述 DMA 替代数据发送给所述 EP 设备。

[0021] 本申请还提供一种网络设备,该设备包括：

[0022] 主控中央处理器 CPU,用于接收代理设备转发的端点 EP 设备发出的直接内存存取 DMA 请求；根据所述 DMA 请求向所述 EP 设备返回 DMA 响应；

[0023] 内存,用于接收所述代理设备转发的所述 EP 设备发出的 DMA 读命令；根据所述代理设备发出的内存空间首地址向所述 EP 设备返回 DMA 数据；

[0024] 代理设备,用于向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求；向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应；根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址；向所述内存转发所述 EP 设备发出的 DMA 读命令；当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据；将所述 DMA 替代数据发送给所述 EP 设备；

[0025] EP 设备,用于向所述主控 CPU 发出 DMA 请求；接收所述代理设备转发的所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应；向所述代理设备发出所述代理设备的物理空间首地址；向所述内存发出 DMA 读命令；接收所述代理设备转发的 DMA 数据。

[0026] 由以上描述可以看出,本申请在 EP 设备和主控 CPU 之间增加一个代理设备,通过该代理设备在 EP 设备和主控 CPU 之间进行 DMA 数据转发。当主控 CPU 无法向 EP 设备返回 DMA 数据时,由代理设备构造 DMA 数据返回给 EP 设备,避免 EP 设备由于未接收到 DMA 数据发生 DMA 死机。

## 附图说明

[0027] 图 1 是本申请一示例性实施例示出的网络设备内部结构示意图；

[0028] 图 2 是本申请一示例性实施例示出的一种 DMA 数据传输方法流程图；

[0029] 图 3 是本申请一示例性实施例示出的一种 DMA 数据传输装置的结构示意图；

[0030] 图 4 是本申请一示例性实施例示出的一种网络设备的结构示意图。

## 具体实施方式

[0031] 这里将详细地对示例性实施例进行说明,其示例表示在附图中。下面的描述涉及附图时,除非另有表示,不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本申请相一致的所有实施方式。相反,它们仅是与如所附权利要求书中所详述的、本申请的一些方面相一致的装置和方法的例子。

[0032] 在本申请使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。在本申请和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。还应当理解,本文中使用的术语“和/或”是指

并包含一个或多个相关联的列出项目的任何或所有可能组合。

[0033] 应当理解,尽管在本申请可能采用术语第一、第二、第三等来描述各种信息,但这些信息不应限于这些术语。这些术语仅用来将同一类型的信息彼此区分开。例如,在不脱离本申请范围的情况下,第一信息也可以被称为第二信息,类似地,第二信息也可以被称为第一信息。取决于语境,如在此所使用的词语“如果”可以被解释成为“在……时”或“当……时”或“响应于确定”。

[0034] 目前,大量的网络设备内部采用 DMA 方式进行数据存取,以提高网络设备的工作效率。例如,在通过 PCIE 连接的主控 CPU 和 PCIE 设备(具有 DMA 功能)之间,通过 DMA 方式进行数据传输。

[0035] 为了提高网络设备的可靠性,通常采用双主控 CPU(一个主用主控 CPU 和一个备用主控 CPU)进行主备切换,以保证在主用主控 CPU 故障时可以切换到备用主控 CPU 继续工作。但是,双主控 CPU 切换需要时间,如果在 PCIE 设备向主控 CPU 发起 DMA 读操作的过程中发生双主控 CPU 切换,那么 PCIE 设备将无法获得全部数据,从而导致 DMA 死机。

[0036] 现有技术方案通常采用非透明桥的模式进行双主控 CPU 切换,但是该方案需要在双主控 CPU 切换时配置寄存器,切换后还需要进行 PCIE 拓扑扫描,因此,仍存在上述切换时间的问题,无法彻底解决 DMA 死机,从而导致网络设备通信中断。

[0037] 针对上述问题,本申请实施例提出一种 DMA 数据传输方法,该方法在 EP 设备和主控 CPU 之间增加一个代理设备,通过该代理设备在 EP 设备和主控 CPU 之间进行 DMA 数据转发。当主控 CPU 无法向 EP 设备返回 DMA 数据时,由代理设备构造 DMA 数据返回给 EP 设备,避免 EP 设备由于未接收到 DMA 数据发生 DMA 死机。

[0038] 参见图 1,为本申请一示例性实施例示出的网络设备内部结构示意图。该网络设备包括双主控 CPU(主用主控 CPU 和备用主控 CPU)、内存、PCIE 桥片、代理设备以及 EP 设备(EP1 和 EP2),其中,EP 设备支持 DMA 功能,且 EP 设备和代理设备均支持 PCIE 标准。

[0039] 参见图 2,为本申请 DMA 数据传输方法的一个实施例流程图,该实施例从网络设备中的代理设备侧对 DMA 数据传输过程进行描述。

[0040] 步骤 201,向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求。

[0041] 当 EP 设备拟从内存中读取数据时,首先向当前处于工作状态的主控 CPU(通常为 主用主控 CPU,当网络设备切换主控 CPU 时,例如,主用主控 CPU 故障切换到备用主控 CPU,此时,备用主控 CPU 为当前处于工作状态的主控 CPU)发出 DMA 请求。该 DMA 请求在到达代理设备时,由代理设备转发给主控 CPU。

[0042] 步骤 202,向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应。

[0043] 主控 CPU 接收到 DMA 请求后,向 EP 设备发送 DMA 响应,以允许 EP 设备通过 DMA 功能访问内存,该 DMA 响应由代理设备转发。

[0044] 步骤 203,根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址。

[0045] EP 设备在接收到主控 CPU 发出的 DMA 响应后,向代理设备发出拟要访问的代理设备的物理空间首地址。该代理设备的物理空间首地址由主控 CPU 在网络设备初始化时配置在 EP 设备的基地址寄存器中。

[0046] 需要补充说明的是,主控 CPU 在初始化时会扫描网络设备中的所有 PCIE 设备,为

每一个 PCIE 设备分配独立的物理空间,具体为,为每一个 PCIE 设备配置物理空间首地址以及物理空间大小。例如,为代理设备分配的物理空间首地址为 0x10000000,物理空间大小为 2M;为 EP1 分配的物理空间首地址为 0x10200000,物理空间大小为 1M;为 EP2 分配的物理空间首地址为 0x10300000,物理空间大小为 1M。同时,主控 CPU 根据网络设备中 EP 设备的数量以及物理空间大小对代理设备的物理空间进行再分配,分别为每一个 EP 设备指定对应的代理设备物理空间。例如,指定 EP1 对应的代理设备的物理空间首地址为 0x10000000,物理空间大小为 1M;指定 EP2 对应的代理设备的物理空间首地址为 0x10100000,物理空间大小为 1M。通常,EP 设备的物理空间大小和指定的代理设备的物理空间大小相同,以满足 DMA 数据缓存的需求。

[0047] 在指定了 EP 设备与代理设备物理空间的对应关系后,主控 CPU 将代理设备物理空间首地址写入 EP 设备的基地址寄存器中。因此,当 EP 设备接收到 DMA 响应后,将基地址寄存器中的代理设备物理空间首地址发送给代理设备,以便从对应的代理设备的物理空间中读取 DMA 数据。

[0048] 代理设备根据预先生成的地址映射关系表项获取代理设备的物理空间首地址对应的内存空间首地址,其中,该地址映射关系表项为代理设备根据主控 CPU 在初始化时配置的代理设备的物理空间首地址与内存的内存空间首地址的对应关系生成。例如,假设为 EP1 申请的内存空间首地址为 0x3000000,EP2 申请的内存空间首地址为 0x3100000,主控 CPU 在初始化时将 EP1 对应的代理设备物理空间首地址 0x10000000 和对应的内存空间首地址 0x3000000 配置到代理设备中,代理设备根据主控 CPU 的配置生成物理空间首地址 0x10000000 和内存空间首地址 0x3000000 的映射关系。同理,为 EP2 生成物理空间首地址 0x10100000 和内存空间首地址 0x3100000 的映射关系。因此,当代理设备接收到 EP 设备发出的代理设备的物理空间首地址时,查询对应的地址映射关系表项,即可获得 EP 设备在内存中对应的内存空间地址,代理设备将获得的内存空间首地址发送给内存,以便访问对应的内存空间。

[0049] 步骤 204,向所述内存转发所述 EP 设备发出的 DMA 读命令。

[0050] EP 设备在将拟要访问的物理空间地址发出后,发送 DMA 读命令以启动读数据操作(非写数据操作)。该 DMA 读命令到达代理设备后,由代理设备转发给内存,以使内存根据内存空间首地址向 EP 设备返回存放的 DMA 数据。

[0051] 步骤 205,当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据。

[0052] 从内存返回的 DMA 数据首先到达 EP 设备在代理设备上对应的物理空间进行缓存,再由代理设备转发给 EP 设备。如果在预设的读取时长(该读取时长小于导致 DMA 死机的数据等待时长)内未接收到从对应的内存空间首地址返回的 DMA 数据,则为了避免 EP 设备由于长时间(例如,双主控 CPU 切换所需时间比较长)无法获得 DMA 数据而导致 DMA 死机,代理设备会主动构造一个 DMA 替代数据,该 DMA 替代数据可以为随机数,不代表任何意义。

[0053] 步骤 206,将所述 DMA 替代数据发送给所述 EP 设备。

[0054] 虽然返回的 DMA 替代数据不是内存中真实保存的 DMA 数据,但是,由于 EP 设备能够及时接收到返回数据,因此,不会出现 DMA 死机导致的断网等严重后果。而对于读回的错误数据可通过多次读取进行修正,保证网络通信正常。

[0055] 在一种优选的实施方式中,本申请中的代理设备可以为 FPGA 芯片。由于 FPGA 芯片掉电后程序指令不保存,因此,本申请在网络设备初始化时由主控 CPU 为 FPGA 芯片加载程序指令,以保证 FPGA 芯片的正常运行。

[0056] 由上述描述可以看出,本申请通过增加代理设备,对 DMA 数据的读取过程进行监控,从而保证在 EP 设备无法正常获取 DMA 数据时,由代理设备向 EP 设备返回数据,避免 EP 设备的 DMA 死机,保证网络设备的正常运行。

[0057] 与前述 DMA 数据传输方法的实施例相对应,本申请还提供了 DMA 数据传输装置的实施例。

[0058] 请参考图 3,为本申请一个实施例中的 DMA 数据传输装置的结构示意图。该 DMA 数据传输装置包括请求转发单元 301、响应转发单元 302、地址发出单元 303、命令发出单元 304、数据构造单元 305 以及数据返回单元 306,其中:

[0059] 请求转发单元 301,用于向所述主控 CPU 转发所述 EP 设备发出的 DMA 请求;

[0060] 响应转发单元 302,用于向所述 EP 设备转发所述主控 CPU 根据所述 DMA 请求返回的 DMA 响应;

[0061] 地址发出单元 303,用于根据所述 EP 设备发出的所述代理设备的物理空间首地址向所述内存发出存放 DMA 数据的内存空间首地址;

[0062] 命令发出单元 304,用于向所述内存转发所述 EP 设备发出的 DMA 读命令;

[0063] 数据构造单元 305,用于当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据;

[0064] 数据返回单元 306,用于将所述 DMA 替代数据发送给所述 EP 设备。

[0065] 进一步地,

[0066] 所述地址发出单元 303,具体用于接收所述 EP 设备发出的所述 EP 设备上预先配置的代理设备的物理空间首地址;根据预先配置的地址映射关系表项获取所述代理设备的物理空间首地址对应的内存空间首地址,所述地址映射关系表项中记录代理设备的物理空间首地址与内存的内存空间首地址的对应关系;向所述内存发出所述内存空间首地址。

[0067] 进一步地,

[0068] 所述代理设备为现场可编程门阵列 FPGA 芯片。

[0069] 上述装置中各个单元的功能和作用的实现过程具体详见上述方法中对应步骤的实现过程,在此不再赘述。

[0070] 对于装置实施例而言,由于其基本对应于方法实施例,所以相关之处参见方法实施例的部分说明即可。以上所描述的装置实施例仅仅是示意性的,其中所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本申请方案的目的。本领域普通技术人员在不付出创造性劳动的情况下,即可以理解并实施。

[0071] 请参考图 4,为本申请一个实施例中的网络设备的结构示意图。该网络设备包括主控中央处理器 CPU41、内存 42、代理设备 43 以及 EP 设备 44,其中:

[0072] 主控中央处理器 CPU41,用于接收代理设备 43 转发的端点 EP 设备 44 发出的直接内存存取 DMA 请求;根据所述 DMA 请求向所述 EP 设备 44 返回 DMA 响应;



[0073] 内存 42,用于接收所述代理设备 43 转发的所述 EP 设备 44 发出的 DMA 读命令 ;根据所述代理设备 43 发出的内存空间首地址向所述 EP 设备 44 返回 DMA 数据 ;

[0074] 代理设备 43,用于向所述主控 CPU41 转发所述 EP 设备 44 发出的 DMA 请求 ;向所述 EP 设备 44 转发所述主控 CPU41 根据所述 DMA 请求返回的 DMA 响应 ;根据所述 EP 设备 44 发出的所述代理设备 43 的物理空间首地址向所述内存 42 发出存放 DMA 数据的内存空间首地址 ;向所述内存 42 转发所述 EP 设备 44 发出的 DMA 读命令 ;当在预设的读取时长内未接收到从所述内存空间首地址返回的 DMA 数据时,构造 DMA 替代数据 ;将所述 DMA 替代数据发送给所述 EP 设备 44 ;

[0075] EP 设备 44,用于向所述主控 CPU41 发出 DMA 请求 ;接收所述代理设备 43 转发的所述主控 CPU41 根据所述 DMA 请求返回的 DMA 响应 ;向所述代理设备 43 发出所述代理设备 43 的物理空间首地址 ;向所述内存 42 发出 DMA 读命令 ;接收所述代理设备 43 转发的 DMA 数据。

[0076] 进一步地,

[0077] 所述主控 CPU41,还用于在所述网络设备初始化时,向所述代理设备 43 加载程序指令 ;为所述代理设备 43 和所述 EP 设备 44 配置物理空间首地址 ;向所述 EP 设备 44 写入为其分配的代理设备 43 的物理空间首地址 ;在所述代理设备 43 上配置所述物理空间首地址与内存空间首地址的映射关系。

[0078] 上述设备中各组成部分的功能和作用的实现过程具体详见上述方法中对应步骤的实现过程,在此不再赘述。

[0079] 以上所述仅为本申请的较佳实施例而已,并不用以限制本申请,凡在本申请的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本申请保护的范围之内。

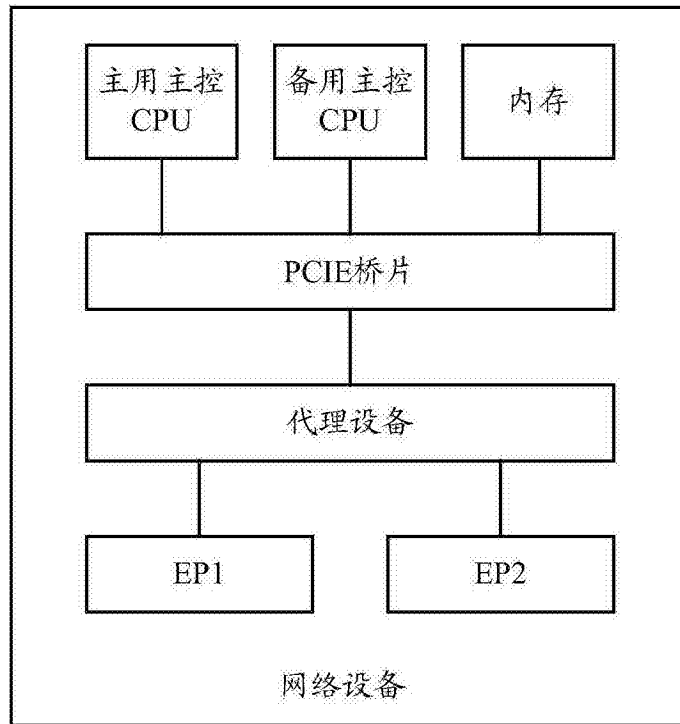


图 1

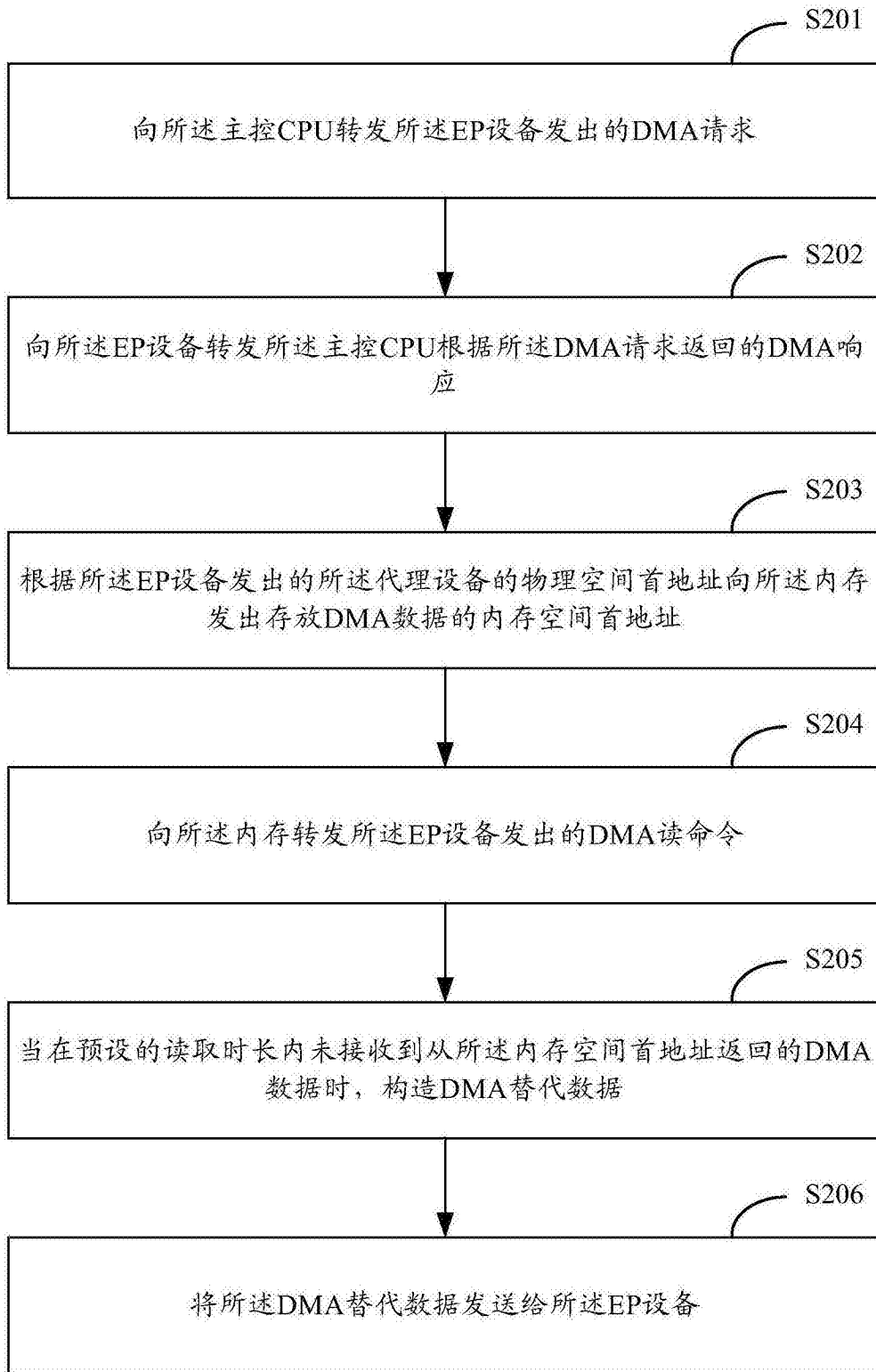


图 2

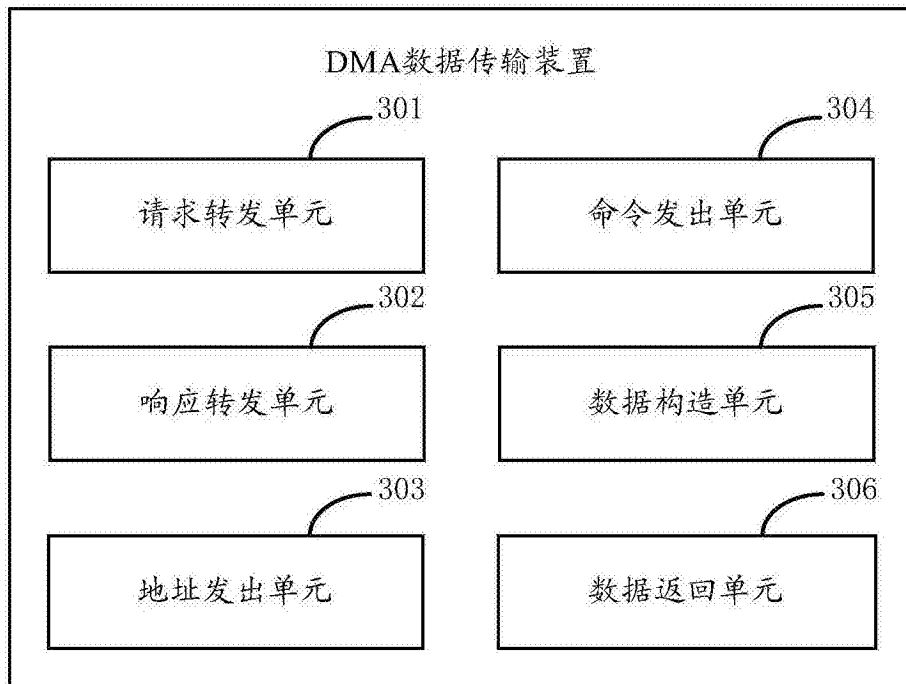


图 3

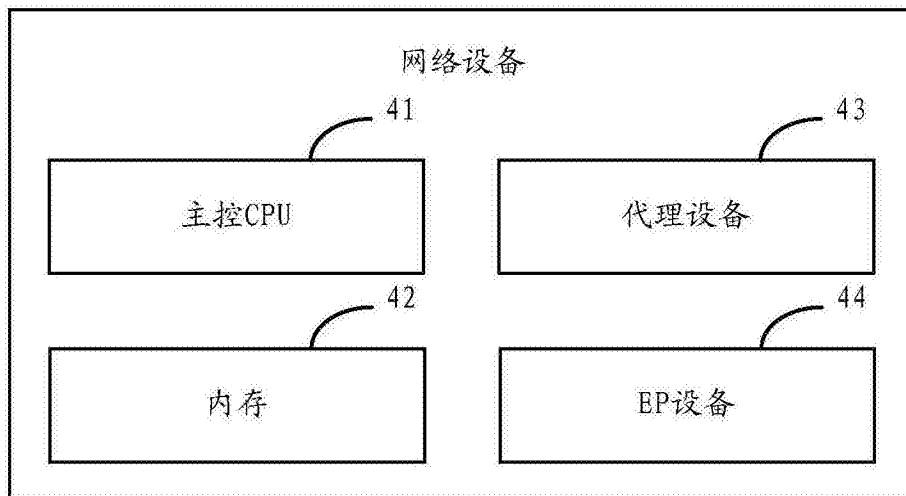


图 4