

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7543260号
(P7543260)

(45)発行日 令和6年9月2日(2024.9.2)

(24)登録日 令和6年8月23日(2024.8.23)

(51)国際特許分類

F I

H 0 4 B 3/46 (2015.01)

H 0 4 B 3/46

H 0 4 N 21/647(2011.01)

H 0 4 N 21/647

請求項の数 20 (全26頁)

(21)出願番号	特願2021-521360(P2021-521360)	(73)特許権者	514188564
(86)(22)出願日	令和1年10月17日(2019.10.17)		アリス エンタープライジズ エルエルシー
(65)公表番号	特表2022-505365(P2022-505365		ARRIS ENTERPRISES L
	A)		LC
(43)公表日	令和4年1月14日(2022.1.14)		アメリカ合衆国 ジョージア州 3 0 0 2
(86)国際出願番号	PCT/US2019/056729		4 スワニー レイクフィールド ドライブ
(87)国際公開番号	WO2020/081807		3 8 7 1
(87)国際公開日	令和2年4月23日(2020.4.23)		3 8 7 1 Lakefield Drive,
審査請求日	令和4年10月3日(2022.10.3)		Suwanee, GA 3 0 0 2
(31)優先権主張番号	16/163,552		4, U.S.A.
(32)優先日	平成30年10月17日(2018.10.17)	(74)代理人	100105957
(33)優先権主張国・地域又は機関			弁理士 恩田 誠
	米国(US)	(74)代理人	100068755
(31)優先権主張番号	16/163,566		弁理士 恩田 博宣
(32)優先日	平成30年10月17日(2018.10.17)	(72)発明者	サン、ジジアン
	最終頁に続く		最終頁に続く

(54)【発明の名称】 試験点用の終端点を有する双方向結合器

(57)【特許請求の範囲】

【請求項 1】

装置であって、
上流信号と下流信号とを結合するための双方向結合器と、
終端負荷と、
試験点デバイスが試験点コネクタ内に挿入されるときを検出するように構成された試験点検出機構であって、前記試験点デバイスが、前記上流信号または前記下流信号の試験を実施するように構成されている、試験点検出機構と、
前記試験点デバイスが前記試験点コネクタ内に挿入されているとして検出されるときに、前記終端負荷に結合されている状態から、前記試験点デバイスに結合されている状態に切り替わるように構成されたスイッチであって、前記スイッチは、前記試験点デバイスが前記試験点コネクタ内に挿入されている状態から取り外されているとして検出されるときに、前記試験点デバイスに結合されている状態から、前記終端負荷に結合されている状態に切り替わるように構成されている、スイッチと、を備える、装置。

【請求項 2】

前記試験点デバイスが、第 1 の試験点デバイスを備え、前記試験点検出機構が、第 1 の試験点検出機構を備え、前記終端負荷が、第 1 の終端負荷を備え、前記試験点コネクタが、第 1 の試験点コネクタを備え、前記スイッチが、第 1 のスイッチを備え、前記装置は、第 2 の終端負荷と、
第 2 の試験点デバイスが第 2 の試験点コネクタ内に挿入されるときを検出するように構

成された第 2 の試験点検出機構であって、前記第 2 の試験点デバイスが、前記上流信号または前記下流信号の第 2 の試験を実施するように構成されている、第 2 の試験点検出機構と、

前記第 2 の試験点デバイスが前記第 2 の試験点コネクタ内に挿入されているとして検出されるときに、前記第 2 の終端負荷に結合されている状態から、前記第 2 の試験点デバイスに結合されている状態に切り替わるように構成された第 2 のスイッチであって、前記第 2 のスイッチは、前記第 2 の試験点デバイスが前記第 2 の試験点コネクタ内に挿入されている状態から取り外されているとして検出されるときに、前記第 2 の試験点デバイスに結合されている状態から、前記第 2 の終端負荷に結合されている状態に切り替わるように構成されている、第 2 のスイッチと、を備える、請求項 1 に記載の装置。

10

【請求項 3】

前記双方向結合器が、
前記上流信号または前記下流信号を受信するように構成された第 1 のポートと、
前記上流信号または前記下流信号をネットワークデバイスに送信するように構成された第 2 のポートと、
前記第 1 のスイッチおよび前記第 1 のポートに結合された第 3 のポートと、
前記第 2 のスイッチおよび前記第 2 のポートに結合された第 4 のポートと、を備える、請求項 2 に記載の装置。

【請求項 4】

前記試験点検出機構が、
プッシュボタンであって、前記プッシュボタンの作動を使用して、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検出するように構成された、プッシュボタンを備える、請求項 1 に記載の装置。

20

【請求項 5】

前記プッシュボタンは、前記試験点デバイスが前記プッシュボタンを第 1 の方向において作動させるときに、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検出する、請求項 4 に記載の装置。

【請求項 6】

前記プッシュボタンは、前記プッシュボタンが第 2 の方向において作動されるときに、前記試験点コネクタからの前記試験点デバイスの取り外しを検出する、請求項 5 に記載の装置。

30

【請求項 7】

前記試験点検出機構が、
光を使用して、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検出するように構成された光センサを備える、請求項 1 に記載の装置。

【請求項 8】

前記光センサが、感知されている前記光の変化を検出して、前記試験点デバイスの前記挿入を検出する、請求項 7 に記載の装置。

【請求項 9】

前記試験点コネクタ内の前記試験点デバイスの前記挿入が、前記光センサによって前記光が感知されることを妨害する、請求項 8 に記載の装置。

40

【請求項 10】

前記光センサは、前記光が、検出されていない状態から検出されるときに、前記試験点コネクタからの前記試験点デバイスの取り外しを検出する、請求項 7 に記載の装置。

【請求項 11】

前記光センサによって検出された前記光を生成するように構成されたエミッタをさらに備える、請求項 7 に記載の装置。

【請求項 12】

前記試験点検出機構が、
レバーの作動を使用して、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検

50

出するように構成されたレバーデバイスを備える、請求項 1 に記載の装置。

【請求項 1 3】

前記レバーデバイスは、前記レバーが第 1 の方向において作動されるときに、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検出する、請求項 1 2 に記載の装置。

【請求項 1 4】

前記レバーデバイスは、前記レバーが第 2 の方向において作動されるときに、前記試験点コネクタからの前記試験点デバイスの取り外しを検出する、請求項 1 3 に記載の装置。

【請求項 1 5】

方法であって、

終端負荷を双方向結合器に結合するようにスイッチを構成することであって、前記双方向結合器が、上流信号と下流信号とを結合するよう構成されている、構成することと、

試験点コネクタ内に挿入されている試験点デバイスを検出することと、

前記試験点デバイスが前記試験点コネクタ内に挿入されているとして検出されるときに、前記終端負荷に結合されている状態から、前記試験点デバイスに結合されている状態に切り替わるように前記スイッチを構成することであって、前記スイッチは、前記試験点デバイスが前記試験点コネクタ内に挿入されている状態から取り外されているとして検出されるときに、前記試験点デバイスに結合されている状態から、前記終端負荷に結合されている状態に切り替わるように構成されている、構成することと、を含む、方法。

【請求項 1 6】

前記試験点デバイスが、第 1 の試験点デバイスを備え、前記終端負荷が、第 1 の終端負荷を備え、前記試験点コネクタが、第 1 の試験点コネクタを備え、前記スイッチが、第 1 のスイッチを備え、前記方法は、

第 2 の終端負荷を前記双方向結合器に結合するように、第 2 のスイッチを構成することと、

第 2 の試験点コネクタ内に挿入されている第 2 の試験点デバイスを検出することと、

前記第 2 の試験点デバイスが前記第 2 の試験点コネクタ内に挿入されているとして検出されるときに、前記第 2 の終端負荷に結合されている状態から、前記第 2 の試験点デバイスに結合されている状態に切り替わるように、前記第 2 のスイッチを構成することであって、前記第 2 のスイッチは、前記第 2 の試験点デバイスが前記第 2 の試験点コネクタ内に挿入されている状態から取り外されているとして検出されるときに、前記第 2 の試験点デバイスに結合されている状態から、前記第 2 の終端負荷に結合されている状態に切り替わるように構成されている、構成することと、をさらに含む、請求項 1 5 に記載の方法。

【請求項 1 7】

前記試験点デバイスを検出することが、

第 1 の方向のプッシュボタンの作動を使用して、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検出することを含む、請求項 1 6 に記載の方法。

【請求項 1 8】

前記試験点デバイスを検出することが、

光が検出されていないことを感知する光センサを使用して、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検出することを含む、請求項 1 5 に記載の方法。

【請求項 1 9】

前記試験点デバイスを検出することが、

レバーの作動を使用して、前記試験点コネクタ内の前記試験点デバイスの前記挿入を検出することを含む、請求項 1 5 に記載の方法。

【請求項 2 0】

命令を含む非一時的コンピュータ可読記憶媒体であって、前記命令は、実行されたときに、

終端負荷を双方向結合器に結合するようにスイッチを構成することであって、前記双方向結合器が、上流信号と下流信号とを結合するよう構成されている、構成することと、

試験点コネクタ内に挿入されている試験点デバイスを検出することと、

10

20

30

40

50

前記試験点デバイスが前記試験点コネクタ内に挿入されているとして検出されるときに、前記終端負荷に結合されている状態から、前記試験点デバイスに結合されている状態に切り替えるように、前記スイッチを構成することであって、前記スイッチは、前記試験点デバイスが前記試験点コネクタ内に挿入されている状態から取り外されているとして検出されるときに、前記試験点デバイスに結合されている状態から、前記終端負荷に結合されている状態に切り替わるように構成されている、構成することと、のために構成されるように、コンピュータシステムを制御する、非一時的コンピュータ可読記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、試験点用の終端点を有する双方向結合器に関する。

【背景技術】

【0002】

試験点は、ネットワーク内の上流または下流の接続の性能を測定するために使用され得る。1つの実装では、2つの別個の方向性結合器を使用して、2つの試験点(TP)を接続して、上流および下流の信号を測定する。第1の試験点用の1つの方向性結合器が、下流方向用に使用され、第2の試験点用の第2の方向性結合器が、上流接続用に使用される。これは、試験点にも75オームの負荷を有する場合、75オームの終端負荷などの終端負荷によって終端される分離ポートを残す。結合器の方向性は、分離ポートがどの程度良好に終端されるかによって制限され、これは、分離ポートの負荷が試験点の負荷と同じであるため、最大方向性性能を達成する。

【0003】

全二重ノード設計では、2つの別個の結合器の使用は、結合器に接続された電力増幅器の出力における過剰な損失を加え得る。2つの別個の結合器を使用することで、挿入損失は、2倍になり、単一の結合器の場合の1dBから、2つの結合器の場合の2dBになる。出力RF増幅器は、そのクリッピング点の非常に近くで既に動作している場合がある。単一の結合器の使用では、RF増幅器は、2つの結合器の場合と比較してそれほどの増幅を提供する必要はなく、システムレベルの変調エラー率またはビットエラーレート(MERBER)の性能を改善することになる。したがって、単一の双方向結合器は、上流方向および下流方向の両方に対して使用されなければならない場合がある。双方向結合器を使用する1つの利点は、1つのみの結合器が上流および下流方向の両方で使用されるため、接続におけるより低い挿入損失が存在することである。しかしながら、上流接続と下流接続との間の分離は、問題であり得る。結合器の方向性は、同じ量の電力が下流方向または上流方向のいずれかに注入されるときに任意の所与の結合ポートにおける電力差として定義される。結合器は、約25~30デシベル(dB)の方向性を有し得、これは、任意の所与の結合ポートで上流方向と下流方向との間に25~30dBの分離が存在し得ることを意味する。しかしながら、これは、分離ポートにおける理想的な75オームの終端に基づく。双方向結合器では、分離ポートにおける終端は、典型的には、完璧な75オーム終端ではなく、したがって、下流と上流との間の分離を分離ポートの戻り損失に制限することになる。例えば、理想的な分離は、上流試験点および下流試験点の一方または両方が双方向結合器に接続されない場合があるため、達成されない場合がある。例えば、ユーザは、一方向にネットワークトラフィックを試験するために、試験点のうちの1つのみを使用し得る。これは、開放試験点ポートを残す。全二重ノード設計では、20dBの試験点が必要であり、10dBの結合器が使用される。開放試験点ポートからの最良の戻り損失は、20dBであり、これは、全てのポートが適切に終端されるときに、結合器が設計によって30dBの方向性を有する場合でも、結合器の方向性を20dBに制限する。最悪の場合、2つの反射が2つの開放試験点ポートから同相で追加されるとき、下流接続と上流接続との間の総分離は、わずか16dB程度であり得る。

【0004】

ネットワーク実装では、物理(PHY)デバイスは、ヘッドエンド内に位置し、イーサ

10

20

30

40

50

ネット（登録商標）インターフェースなどのデジタルインターフェース上のパケットを、ハイブリッドファイバ同軸（HFC）ネットワーク上の無線周波数（RF）信号などのアナログ信号に変換し得る。物理デバイスは、加入者の構内に位置するモデムにRF信号を送信する。しかしながら、分散型アクセスアーキテクチャ（DAA）などの他の実装は、加入者が位置する近所に位置するノード内などの、加入者の構内により近い場所に物理デバイスを移動させた。再配置された物理デバイスは、遠隔物理デバイス（RPD）と呼ばれる。

【0005】

より長期的には、DAAは、アナログファイバをインターネットプロトコル（IP）デジタル接続で置き換え得る。しかしながら、より短期的には、かつDAA展開の早期では、多くのケーブルオペレータは、既に展開されたアナログ放送チャンネル資産（例えば、アナログネットワーク展開）を活用し続けるために、デジタル接続（例えば、デジタル光リンク）の最上位にアナログ無線周波数（RF）オーバーレイを想定する。デジタル光リンクは、典型的には、マルチソースアグリーメント（MSA）準拠のデジタルスモールフォームプラガブル（SFPP）光トランシーバモジュールを介して実装される。DAA展開のためのアナログオーバーレイソリューションはまた、MSA準拠のデジタルSFPP光トランシーバモジュールで使用される標準パッケージ設計を活用し得る。例えば、アナログSFPPトランシーバモジュールは、ユーザが見るとき、デジタルSFPPトランシーバモジュールと類似に見え得る。さらに、デジタルSFPPモジュールとアナログSFPPモジュールとの間の類似の物理的ピンアウトなどの、デジタルおよびアナログの両方のSFPPモジュール活用MSA仕様は、類似または全く同じであり得る。また、デジタルSFPPモジュールおよびアナログSFPPモジュールの両方は、同じピンを使用して、ピン#16などの電源電圧を受信し得る。しかしながら、デジタルSFPPモジュールおよびアナログSFPPモジュールは、異なる電源電圧を使用し得、例えば、アナログSFPPモジュールは、+5ボルト（V）電源電圧を使用し得、デジタルSFPPモジュールは、+3.3V電源電圧を使用し得る。アナログSFPPモジュールおよびデジタルSFPPモジュールが、電源用に同じピンを使用し得るため、デジタルSFPPモジュールがアナログSFPPモジュールスロットに意図せず挿入されるとき、デジタルSFPPモジュールは、+3.3V電源の代わりにデジタルSFPPモジュールに提供される+5V電源に起因して、即座に損傷されることになる。

【図面の簡単な説明】

【0006】

【図1】いくつかの実施形態による、双方向結合器のポートを終端する簡略化されたシステムを図示する。

【図2】いくつかの実施形態による、双方向結合器のより詳細な例を図示する。

【図3A】いくつかの実施形態による、上流試験点が双方向結合器に接続されていない状態の下流接続を示す。

【図3B】いくつかの実施形態による、下流試験点が双方向結合器に接続されていない状態の上流接続を示す。

【図3C】いくつかの実施形態による、下流試験点および上流試験点の両方が双方向結合器に接続された状態の接続を示す。

【図4A】いくつかの実施形態による、試験点が試験点コネクタ内に挿入されるときを検出するために使用されているセンサを示す。

【図4B】いくつかの実施形態による、試験点が試験点コネクタ内に挿入されるときを検出するために使用されているセンサを示す。

【図5A】いくつかの実施形態による、プッシュボタンスイッチの例を図示する。

【図5B】いくつかの実施形態による、プッシュボタンスイッチの例を図示する。

【図6A】いくつかの実施形態による、ヒンジローラレバースwitchの例を図示する。

【図6B】いくつかの実施形態による、ヒンジローラレバースwitchの例を図示する。

【図7】いくつかの実施形態による、スイッチを制御するための信号を図示する。

10

20

30

40

50

【図 8】いくつかの実施形態による、スイッチを制御するための方法の簡略化されたフローチャートを図示する。

【図 9】いくつかの実施形態による、電源電圧が制御されるネットワーク用の簡略化されたシステムを図示する。

【図 10】いくつかの実施形態による、ノードのより詳細な例を図示する。

【図 11】いくつかの実施形態による、ノードの別のより詳細な例を図示する。

【図 12】いくつかの実施形態による、スロットに挿入されたモジュールが、アナログ S F P モジュールであるか、またはデジタル S F P モジュールであるかを決定するための方法の簡略化されたフローチャートを図示する。

【図 13】いくつかの実施形態による、スロット用の電源電圧を管理するための方法の簡略化されたフローチャートを図示する。

10

【図 14】一実施形態による、プロセッサを用いて構成された専用コンピュータシステムの例を例示する。

【発明を実施するための形態】

【0007】

本明細書では、双方向結合器システムのための技術が説明される。以下の説明では、説明を目的として、いくつかの実施形態の完全な理解を提供するために、多数の例および具体的な詳細が記載されている。特許請求の範囲によって定義されるいくつかの実施形態は、これらの例の一部または全部を単独で、または以下に説明される他の特徴との組み合わせで含み得、本明細書に説明される特徴および概念の修正および均等物をさらに含み得る。

20

【0008】

いくつかの実施形態は、第 1 の試験点が第 1 のポートに接続されていないときに、双方向結合器の第 1 のポートを終端するよう制御される第 1 のスイッチを含む。また、いくつかの実施形態は、第 2 の試験点が第 2 のポートに接続されていないときに、双方向結合器の第 2 のポートを終端するように制御される第 2 のスイッチを含む。双方向結合器は、上流方向の上流信号と下流方向の下流信号とを結合し得る。第 1 のスイッチは、上流ポートで使用され、第 2 のスイッチは、下流ポートで使用される。スイッチは、終端負荷と試験点との間でトグルし得る。試験点が試験点コネクタ内に挿入されるとき、第 1 のスイッチは、試験点を双方向結合器に接続する。しかしながら、上流試験点が上流試験点コネクタ内に挿入されていないとき、第 1 のスイッチは、第 1 の終端負荷を上流ポートに接続するように切り替わる。また、下流試験点が下流試験点コネクタ内に挿入されていないとき、第 2 のスイッチは、第 2 の終端負荷を下流ポートに接続するように切り替わる。

30

【0009】

上流試験点または下流試験点のうちの 1 つが試験点コネクタ内に挿入されていないときに、上流ポートまたは下流ポートのうちの 1 つに開放試験点接続が存在しないため、スイッチおよび終端負荷の使用は、結合器の方向性を改善する。例えば、双方向結合器の全てのポートは、常に適切に終端され、双方向結合器は、双方向結合器の設計によって与えられる最大の方向性を有し得る。

【0010】

システム概要

40

図 1 は、いくつかの実施形態による、双方向結合器のポートを終端する簡略化されたシステム 100 を図示する。システム 100 は、ノード 102、ヘッドエンド 104、および顧客構内設備 (C P E) 106 を含む。いくつかの実施形態では、ノード 102 は、ヘッドエンド 104 から分離される。しかしながら、ノード 102 の構成要素はまた、ヘッドエンド 104 に含まれてもよい。いくつかの場合、オペレータは、オペレータがライブネットワークの動作を中断せずに、システムレベル性能をチェックすることができるように、両方向に挿入された試験点を有することを希望する。次のネットワークが説明されるが、いくつかの実施形態は、W i F i またはワイヤレスネットワークなどの他のネットワーク構成で使用されてもよい。

【0011】

50

全二重設計では、下流接続および上流接続は、同じスペクトルを使用し得る。単一の双方向結合器 108 が、処理のために下流信号を下流構成要素に結合し、また処理のために上流信号を上流構成要素に結合するために使用され得る。双方向結合器 108 の使用は、背景技術に説明されるような、上流方向用の別個の結合器、および下流方向用の別個の結合器を使用することとは異なる。

【0012】

下流方向では、ヘッドエンド 104 は、デジタル媒体を介してデジタル信号などの信号をノード 102 に送信し得る。いくつかの実施形態では、信号は、ケーブルテレビシステム用にプログラミングされ得るが、他のコンテンツが送信されてもよい。他の例では、ヘッドエンド 104 は、アナログ媒体を通じてアナログ信号をノード 102 に送信し得る。

10

【0013】

スモールフォームプラガブルトランシーバ (SFP) 124 は、下流信号を受信し得る。いくつかの実施形態では、トランシーバは、通常の SFP デジタルトランシーバ、または通常の SFP トランシーバよりも多くの帯域幅能力を有し得る拡張 SFP トランシーバ (SFP+) とすることができる。また、アナログ信号は、アナログ受信機によって受信および処理され得る。

【0014】

フィールドプログラマブル論理ゲートアレイ (FPGA) 112 は、信号を受信し、デジタル信号からアナログ信号へのデジタルアナログ変換器 (DAC) を使用して下流信号を変換し得る。RF 増幅器などの増幅器 120 - 1 は、アナログ信号を増幅し、アナログ信号を双方向結合器 108 に送信する。次いで、双方向結合器 108 は、ケーブルモデムまたは他の加入者デバイスであり得る CPE 106 に下流信号を結合し得る。CPE 106 は、信号を受信し、加入者デバイスなどに信号を出力し得る。

20

【0015】

上流方向では、CPE 106 は、上流信号をノード 102 に送信し得る。上流信号は、アナログ信号であり得る。双方向結合器 108 は、スプリッタ 126 を通して上流信号を結合し得る。スプリッタ 126 は、信号を分割し、RF 増幅器 120 - 2 などの増幅器に信号を送信する。アナログ信号を増幅した後、FPGA 122 は、アナログ信号をデジタル信号に変換するために、アナログデジタル変換器 (ADC) を使用し得る。デジタル信号は、SFP 124 を通じてヘッドエンド 104 に送信される。他の例では、ノード 102 は、アナログ信号を送信し得る。

30

【0016】

いくつかの実施形態では、試験点は、ノード 102 内の上流接続または下流接続に挿入され得る。例えば、ノード 102 は、試験点が挿入され得る試験点コネクタ (例えば、スロットまたは他の接続デバイス) を有し得る。挿入されるという用語が使用されるとき、挿入は、試験点 114 を用いて作製され得る任意のタイプの接続とすることができる。例えば、試験点 114 は、スロット内に挿入される、接続パッドに接続される、などとすることができる。挿入されたときに、試験点 114 は、集積回路基板などの基板に接続され得、ここで、試験点 114 が、動作可能になり、電源がオンにされる。

【0017】

40

挿入されたときに、試験点は、接続を試験するために使用され得る。上流試験点 (USTP) 114 - 2 は、CPE 106 からノード 102 を通ってヘッドエンド 104 までの上流方向の接続 (例えば、帯域幅または他の性能尺度) を試験するために使用され得る。下流試験点 (DSTP) 114 - 1 は、ヘッドエンド 104 からノード 102 を通って CPE 106 までの下流接続の接続を試験するために使用され得る。下流試験点 114 - 1 および上流試験点 114 - 2 は、試験点コネクタ内に挿入されてもよく、または挿入されなくてもよい。すなわち、下流試験点 114 - 1 および上流試験点 114 - 2 の両方が接続されてもよく、下流試験点 114 - 1 および上流試験点 114 - 2 の両方が接続されなくてもよく、下流試験点 114 - 1 が接続されてもよいが、上流試験点 114 - 2 が接続されなくてもよく、そして上流試験点 114 - 1 が接続されてもよいが、下流試験点 1

50

1 4 - 1 が接続されなくてもよい。

【 0 0 1 8 】

下流試験点 1 1 4 - 1 が、双方向結合器 1 0 8 の下流試験点コネクタ内に挿入されるとき、双方向結合器 1 0 8 は、下流試験点ポートで、下流信号に、下流試験点 1 1 4 - 1 ま

で結合し得る。例えば、双方向結合器 1 0 8 は、減衰器 1 1 0 - 1、スイッチ 1 1 2 - 1 (例えば、RF スイッチ) を通じて、下流試験点 1 1 4 - 1 に下流信号を結合し得る。信号の減衰が実施され得るが、減衰が必要とされない場合がある。

【 0 0 1 9 】

下流試験点 1 1 4 - 1 が試験点コネクタ内に挿入されていないとき、終端負荷 1 1 6 - 1 は、下流試験点ポートで双方向結合器 1 0 8 に接続される。例えば、下流試験点ポート

は、減衰器 1 1 0 - 1、スイッチ 1 1 2 - 1 を通じて、7 5 オームの負荷であり得る終端負荷 1 1 6 - 1 に接続される。7 5 オームの負荷は、上流試験点 1 1 4 - 2 または終端負荷 1 1 6 - 2 の負荷に一致し得る。負荷の一致は、双方向結合器 1 0 8 に対して最大の方向性を提供する。

【 0 0 2 0 】

上流試験点 1 1 4 - 2 が、双方向結合器 1 0 8 の上流試験点コネクタ内に挿入されるとき、上流信号は、スプリッタ 1 2 6 を通じて、双方向結合器 1 0 8 の上流試験点ポートから送信される。スプリッタ 1 2 6 は、信号を分割し、上流試験点 1 1 4 - 2 への減衰器 1 1 0 - 2 およびスイッチ 1 1 2 - 2 に信号を送信し得る。

【 0 0 2 1 】

上流試験点 1 1 4 - 2 が試験点コネクタに接続されていないとき、スイッチ 1 1 2 - 2 は、終端負荷 1 1 6 - 2 を上流試験点ポートに接続するように切り替わる。例えば、上流試験点ポートは、減衰器 1 1 0 - 2、スイッチ 1 1 2 - 2 を通じて、7 5 オームの負荷であり得る終端負荷 1 1 6 - 2 に接続される。7 5 オームの負荷は、下流試験点 1 1 4 - 1 または終端負荷 1 1 6 - 1 の負荷に一致し得る。負荷の一致はまた、双方向結合器 1 0 8 に対して最大の方向性を提供する。

【 0 0 2 2 】

マイクロプロセッサ 1 1 8 は、上流試験点ポートを上流試験点 1 1 4 - 2 または終端負荷 1 1 6 - 2 に結合するように、スイッチ 1 1 2 - 2 を制御し得る。また、マイクロプロセッサ 1 1 8 は、下流試験点 1 1 4 - 1 および終端負荷 1 1 6 - 1 を下流試験点ポートに結合するように、スイッチ 1 1 2 - 1 を制御し得る。マイクロプロセッサ 1 1 8 は、下流試験点 1 1 4 - 1 または上流試験点 1 1 4 - 2 がそれぞれの試験点コネクタ内に挿入されているか否かを分析して、スイッチ 1 1 2 - 1 および 1 1 2 - 2 の位置をそれぞれ決定し得る。

【 0 0 2 3 】

双方向結合器

図 2 は、いくつかの実施形態による、双方向結合器 1 0 8 のより詳細な例を図示する。双方向結合器 1 0 8 は、第 1 のポート 2 0 2、第 2 のポート 2 0 4、下流試験点 (TP) ポート 2 0 6、および上流試験点 (TP) ポート 2 0 8 を含む。第 1 のポート 2 0 2 および第 2 のポート 2 0 4 は、両方、上流信号および下流信号のために使用され得る。例えば、双方向結合器 1 0 8 が下流信号の下流を結合するとき、第 1 のポート 2 0 2 は、下流信号を受信する入力下流ポートであり、第 2 のポート 2 0 4 は、下流信号を出力する出力下流ポートである。双方向結合器 1 0 8 が上流信号の上流を結合するとき、第 2 のポート 2 0 4 は、上流信号を受信する入力上流ポートであり、第 1 のポート 2 0 2 は、上流信号を出力する出力上流ポートである。

【 0 0 2 4 】

スイッチ 1 1 2 - 2 は、終端負荷 1 1 6 - 2 と上流試験点 1 1 4 - 2 との間で切り替わり得る。示されるように、上流試験点 1 1 4 - 2 および終端負荷 1 1 6 - 2 の両方は、7 5 オームの負荷を有し得る。7 5 オームの負荷が使用されるが、負荷は、異なる値であってもよい。例えば、負荷インピーダンスは、7 5 オームのシステム (例えば、ケーブルテ

10

20

30

40

50

レビネットワーク)では75オームであり、50オームのシステム(例えば、Wi-Fiまたは無線システム)では50オームである。しかしながら、終端負荷116-2は、上流試験点114-2が上流試験点ポート208に接続されていないときに、最大の分離および最大方向性を提供するために、下流試験点114-1と同じ負荷(または閾値内で非常に類似の)を有し得る。

【0025】

スイッチ112-1はまた、終端負荷116-1と下流試験点114-1との間で切り替わり得る。同様に、終端負荷116-1および下流試験点114-1は、75オームの同じ負荷を有する。終端負荷116-1は、試験点114-1が下流試験点ポート206に接続されていないときに、最大の分離および方向性を提供するために、上流試験点114-2と同じ負荷(または閾値内で非常に類似の)を有し得る。

10

【0026】

上述のように、試験点接続内に挿入される試験点の異なる組み合わせが理解され得る。図3A、3B、および3Cは、いくつかの実施形態による、双方向結合器108に対する異なる接続を示す。図3Aは、いくつかの実施形態による、上流試験点114-2が双方向結合器108に接続されていない状態の下流接続を示す。下流試験点114-1は、試験点コネクタ内に挿入されており、双方向結合器108に接続される。

【0027】

入力下流ポート202は、下流信号を受信し、下流信号は、出力下流ポート204に結合される。また、下流信号は、スイッチ112-1が下流試験点114-1に切り替えられるため、下流試験点ポート206に結合される。したがって、終端負荷116-1は、双方向結合器108に接続されない。

20

【0028】

上流試験点ポート208はまた、出力下流ポート204に連結される。このポートは、下流方向に最大の分離を提供するために適切に終端される必要がある。この例では、上流試験点114-2は、試験点コネクタ内に挿入されない。したがって、スイッチ112-2は、終端負荷116-2を上流試験点ポート208に結合するように切り替えられ、それによって、上流試験点ポート208を終端し、開放ポートを残さない。終端負荷116-2は、最大方向性を提供するために、下流試験点114-1と同じ負荷である。

【0029】

30

図3Bは、いくつかの実施形態による、下流試験点114-1が双方向結合器108に接続されていない状態の上流接続を示す。入力上流ポート204は、上流信号を受信し、上流信号を出力上流ポート202に結合する。また、入力上流ポート204は、上流信号を上流試験点ポート208に結合する。上流試験点114-2は、試験点コネクタ内に挿入されており、スイッチ112-2を介して双方向結合器108に接続される。したがって、終端負荷116-2は、双方向結合器108に接続されない。

【0030】

また、出力上流ポート202は、下流試験点ポート206に結合される。このポートは、上流方向に最大の分離を提供するために適切に終端される必要がある。この例では、下流試験点114-1は、試験点コネクタ内に挿入されない。したがって、スイッチ112-1は、終端負荷116-1を下流試験点ポート206に結合するように切り替えられ、それによって、下流試験点ポート206を終端する。終端負荷116-1は、最大方向性を提供するために、上流試験点114-2と同じ負荷である。

40

【0031】

図3Cは、いくつかの実施形態による、下流試験点114-1および上流試験点114-2の両方が双方向結合器108に接続された状態の接続を示す。下流試験点114-1および上流試験点114-2の両方がそれぞれの試験点コネクタ内に挿入されるため、終端負荷は、不要である。スイッチ112-1は、下流試験点114-1を下流試験点ポート206に接続し、スイッチ112-2は、上流試験点114-2を上流試験点ポート208に接続する。試験点114-1および114-2は両方が同じ負荷であり、双方向結

50

合器 1 0 8 に対して最大の方向性を提供する。

【 0 0 3 2 】

いくつかの実施形態では、下流試験点 1 1 4 - 1 および上流試験点 1 1 4 - 2 は、試験点コネクタ内に挿入されなくてもよい。この例では、スイッチ 1 1 2 - 1 は、終端負荷 1 1 6 - 1 に接続され、スイッチ 1 1 2 - 2 は、終端負荷 1 1 6 - 2 に接続される。

【 0 0 3 3 】

検出機構の異なる例

次に、検出機構のいくつかの例を説明する。検出機構のこれらの例が説明されているが、検出機構の他の例が使用されてもよい。図 4 A および 4 B は、いくつかの実施形態による、試験点が試験点コネクタ 4 0 8 内に挿入されるときを検出するために使用されているセンサ 4 0 2 を示す。図 4 A では、光センサなどのセンサ 4 0 2 は、光などの信号を検出し得る。センサ 4 0 2 は、試験点 1 1 4 が挿入され得る試験点コネクタ 4 0 8 内に位置し得る。例えば、センサ 4 0 2 は、試験点 1 1 4 が試験点コネクタ 4 0 8 に接続するために挿入され得る回路基板上にあってもよい。

【 0 0 3 4 】

ノード 1 0 2 は、光などの信号を放射する、光エミッタ 4 0 4 などのエミッタを含み、これは、センサ 4 0 2 によって検出され得る。例えば、光は、ノード 1 0 2 の表面 4 0 6 でセンサ 4 0 2 まで反射し得る。しかしながら、他の例では、光は、表面で反射されなくてもよい。むしろ、光は、センサ 4 0 2 に直接放射されてもよい。

【 0 0 3 5 】

図 4 B は、いくつかの実施形態による、試験点 1 1 4 が試験点コネクタ 4 0 8 内に挿入されるときを示す。試験点 1 1 4 が試験点コネクタ 4 0 8 内に挿入されるとき、試験点 1 1 4 は、試験点 1 1 4 がノード 1 0 2 のネットワーク特性を試験し得るように、動作可能になる。しかしながら、試験点 1 1 4 は、双方向結合器 1 0 8 のポートに結合される必要がある。エミッタ 4 0 4 によって放射された光が、光センサ 4 0 2 に達することを妨害されるとき、光センサ 4 0 2 は、試験点 1 1 4 が試験点コネクタ 4 0 8 内に挿入されたことを示す信号を出力し得る。いくつかの実施形態では、光は、試験点 1 1 4 を妨害され得、それによって、光が光エミッタ 4 0 4 に到達することを妨害する。マイクロプロセッサ 1 1 8 は、光センサ 4 0 2 からの信号を使用して、スイッチ 1 1 2 - 1 および / または 1 1 2 - 2 の位置を変化させて、上述のように、試験点 1 1 4 を上流試験点ポート 2 0 8 および / または下流試験点ポート 2 0 6 に結合する。

【 0 0 3 6 】

図 5 A および 5 B は、いくつかの実施形態による、プッシュボタンスイッチの例を図示する。図 5 A では、プッシュボタンスイッチ 5 0 2 は、接触によって作動され得る構造であり得る。例えば、プッシュボタンスイッチは、試験点 1 1 4 の挿入方向に対して下向きまたは平行などの方向に押され得る。プッシュボタンスイッチ 5 0 2 は、試験点コネクタ 4 0 8 の底部に位置し得る。しかしながら、プッシュボタンスイッチ 5 0 2 はまた、試験点コネクタ 4 0 8 の側面などの、他の場所に位置し得る。また、プッシュボタンスイッチ 5 0 2 は、回路基板に平行、または試験点 1 1 4 に対して垂直などの、任意の方向に作動され得る。

【 0 0 3 7 】

図 5 B では、試験点 1 1 4 が試験点コネクタ 4 0 8 に挿入されるとき、プッシュボタンスイッチ 5 0 2 が下向き方向に作動される。閾値を超えるなど、プッシュボタンスイッチ 5 0 2 が作動されるとき、プッシュボタンスイッチ 5 0 2 は、次いで、試験点 1 1 4 が試験点コネクタ 4 0 8 内に挿入されたことを示す信号を出力する。プッシュボタンスイッチ 5 0 2 からの信号は、上述のように、試験点 1 1 4 を上流試験点ポート 2 0 8 および / または下流試験点ポート 2 0 6 に結合するために、スイッチ 1 1 2 - 1 および / または 1 1 2 - 2 を変化させるために使用され得る。

【 0 0 3 8 】

図 6 A および 6 B は、いくつかの実施形態による、ヒンジローラレバースwitchの例を

図示する。図 6 A では、ヒンジフォルダレバースイッチ 6 0 2 は、一方向に作動され得るレバーを含み得る。ヒンジフォルダレバースイッチ 6 0 2 は、試験点コネクタ 1 2 0 8 の側面に位置し得る。ローラを有するレバーは、試験点 1 1 4 が、試験点コネクタ 1 2 0 8 内に挿入されたときにローラに接触することになるように、試験点コネクタ 1 2 0 8 に近接して配置される。

【 0 0 3 9 】

図 6 B では、試験点 1 1 4 は、試験点コネクタ 1 2 0 8 内に挿入されている。6 0 4 では、ヒンジフォルダレバースイッチのレバーが、ボタンを押す方向に移動した。挿入されたとき、試験点 1 1 4 は、ローラレバーを、ヒンジローラレバースイッチ 6 0 2 上のボタンを押すなどの、ボタンを作動させるために一方向に移動させる。ボタンが押されるとき、ヒンジローラレバースイッチ 6 0 2 は、試験点 1 1 4 が試験点コネクタ 1 2 0 8 内に挿入されたことを示す信号を出力する。ヒンジフォルダレバースイッチ 6 0 2 からの信号は、上述のように、試験点 1 1 4 を上流試験点ポート 1 0 0 8 および / または下流試験点ポート 1 0 0 6 に結合するために、スイッチ 1 1 2 - 1 および / または 1 1 2 - 2 を変化させるために使用され得る。

【 0 0 4 0 】

スイッチ制御

上述のように、各実装は、スイッチに、試験点 1 1 4 を双方向結合器 1 0 8 に結合させる信号を送った。図 7 は、いくつかの実施形態による、スイッチ 1 1 2 を制御するための信号を図示する。ノード 1 0 2 は、下流試験点 1 1 4 - 1 が試験点コネクタ 4 0 8 内に挿入されたか否かを検出する検出機構 7 0 2 - 1 と、上流試験点 1 1 4 - 2 が試験点コネクタ 4 0 8 内に挿入されたか否かを検出する検出機構 7 0 2 - 2 と、を含む。検出機構 7 0 2 - 1 または 7 0 2 - 2 は、上述の検出機構のうちの 1 つであってもよく、または異なる検出機構であってもよい。検出機構 7 0 2 - 1 または 7 0 2 - 2 のいずれかが、それぞれ、試験点 1 1 4 - 1 または 1 1 4 - 2 の挿入を検出するとき、検出機構 7 0 2 - 1 または 7 0 2 - 2 は、マイクロプロセッサ 1 1 8 に信号を送信する。

【 0 0 4 1 】

マイクロプロセッサ 1 1 8 は、信号を処理し、試験点がそれぞれの試験点コネクタ 4 0 8 に挿入されたと決定する。試験点が試験点コネクタ 4 0 8 内に挿入されると、マイクロプロセッサ 1 1 8 は、スイッチ 1 1 2 - 1 またはスイッチ 1 1 2 - 2 と通信する。例えば、下流試験点 1 1 4 - 1 が試験点コネクタ 4 0 8 - 1 内に挿入されるとき、マイクロプロセッサ 1 1 8 は、下流試験点ポート 2 0 6 を下流試験点 1 1 4 - 1 に結合するために、スイッチ 1 1 2 - 1 に信号を送信する。同様に、試験点 1 1 4 - 2 が試験点コネクタ 4 0 8 - 2 内に挿入されたとマイクロプロセッサ 1 1 8 が検出するとき、マイクロプロセッサ 1 1 8 は、スイッチ 1 1 2 - 2 に信号を送信して、試験点コネクタ 1 1 4 - 2 を上流試験点ポート 2 0 8 に結合する。

【 0 0 4 2 】

図 8 は、いくつかの実施形態による、スイッチを制御するための方法の簡略化されたフローチャート 8 0 0 を図示する。8 0 2 では、マイクロプロセッサ 1 1 8 は、試験点コネクタ 4 0 8 内の試験点 1 1 4 の挿入を検出する。8 0 4 では、マイクロプロセッサ 1 1 8 は、どの試験点 1 1 4 が挿入されたかを決定する。例えば、マイクロプロセッサ 1 1 8 は、上流試験点 1 1 4 - 2 または下流試験点 1 1 4 - 1 が挿入されたか否かを決定し得る。8 0 6 では、下流試験点 1 1 4 - 1 が挿入されたとき、マイクロプロセッサ 1 1 8 は、スイッチ 1 1 2 - 1 を終端負荷 1 1 6 - 1 から下流試験点 1 1 4 - 1 に変化させる。

【 0 0 4 3 】

8 0 8 では、上流試験点 1 1 4 - 2 が挿入されたとき、マイクロプロセッサ 1 1 8 は、スイッチ 1 1 2 - 2 を終端負荷 1 1 6 - 2 から下流試験点 1 1 4 - 2 に変化させる。したがって、試験点が試験点コネクタ内に挿入されていないときに開放ポートを有する代わりに、いくつかの実施形態は、双方向結合器 1 0 8 に対してより良好な分離を提供するために、終端負荷を結合する。

10

20

30

40

50

【 0 0 4 4 】

本明細書では、電源制御システム用の技術が説明される。以下の説明では、説明を目的として、いくつかの実施形態の完全な理解を提供するために、多数の例および具体的な詳細が記載されている。特許請求の範囲によって定義されるいくつかの実施形態は、これらの例の一部または全部を単独で、または以下に説明される他の特徴との組み合わせで含み得、本明細書に説明される特徴および概念の修正および均等物をさらに含み得る。

【 0 0 4 5 】

いくつかの実施形態は、スロット内に挿入されたモジュールのタイプに基づいて、ノード内のスロットに印加される電源電圧を制御する。例えば、スロットは、アナログスモールフォームプラグブル (S F P) モジュールなどの、第 1 のタイプのモジュールを受信するように構成され得る。アナログ S F P モジュールは、 + 5 V 電源などの第 1 の電源電圧で動作するように構成され得る。いくつかの実施形態では、ノード用のプロセッサは、デフォルトの電源電圧を、第 1 の電源電圧とは異なる第 2 の電源電圧に設定し得る。例えば、 + 3 . 3 V の電源電圧などの、より低い電源電圧は、スロットに印加されるデフォルトの電源電圧として設定され得る。 + 3 . 3 V の電源電圧は、デジタル S F P モジュールなどの第 2 のタイプの S F P モジュールが使用するように構成されている電圧であり得るか、またはデジタル S F P モジュールを損傷しない電圧であり得る。したがって、デジタル S F P モジュールが意図せずスロット内に差し込まれた場合、デジタル S F P モジュールは、 3 . 3 V の電源電圧によって損傷されることはない。しかしながら、 + 5 V の電源電圧がデジタル S F P モジュールの電源ピンに印加されている場合、電圧は、デジタル S F P モジュールが + 5 V の電圧で動作するように構成されていないため、デジタル S F P モジュールを損傷することになる。より高い電圧は、デジタル S F P モジュールのいくつかの構成要素を損傷し得る。

【 0 0 4 6 】

電源電圧を制御するために、モジュールがノードのスロット内に挿入されるとき、プロセッサは、モジュールの挿入を検出する。次いで、プロセッサは、モジュールと通信して、どのタイプのモジュールがスロット内に挿入されているかを決定する。例えば、プロセッサは、モジュールから情報を受信し、情報を使用して、モジュールが、デジタル S F P モジュールであるか、またはアナログ S F P モジュールであるかを決定し得る。次いで、プロセッサは、モジュールに対して適切な電源電圧を決定し得る。例えば、プロセッサは、デジタル S F P モジュールに + 3 . 3 V の電源電圧を使用し、アナログ S F P モジュールに + 5 V の電源電圧を使用し得る。

【 0 0 4 7 】

プロセッサは、アナログ S F P が検出されるときに、スロットの電源ピンに供給される電源電圧を + 5 V に調整する。しかしながら、デジタル S F P モジュールがスロット内に挿入されている場合、プロセッサは、電源電圧を変化させない。

【 0 0 4 8 】

図 9 は、いくつかの実施形態による、電源電圧が制御されるネットワークのための簡略化されたシステム 1 0 0 を図示する。システム 9 0 0 は、ヘッドエンド 9 0 6、ノード 9 0 2、および顧客構内設備 (C P E) 9 0 4 を含む。ヘッドエンド 9 0 6 およびノード 9 0 2 は、デジタルネットワーク (例えば、イーサネットもしくは光ネットワーク) および / またはアナログネットワーク (例えば、無線周波数 (R F) ネットワーク) などのネットワークによって分離され得る。ノード 9 0 2 は、ヘッドエンド 9 0 6 と比較して、加入者の構内の近くに位置し得る。加入者の構内は、 C P E 9 0 4 (例えば、ケーブルモデム、加入者デバイス、セットトップボックス、ゲートウェイなど) などのネットワークデバイスを含む。このアーキテクチャが説明されているが、他の分散アーキテクチャが使用され得る。さらに、ノード 9 0 2 の構成要素は、ヘッドエンド 9 0 6 に位置し得る。

【 0 0 4 9 】

下流方向では、ヘッドエンド 9 0 6 は、イーサネットまたはパッシブ光ネットワーク (P O N) などのデジタル媒体を介して、デジタル信号をノード 9 0 2 に送信する。デジタ

10

20

30

40

50

ル信号は、ノード 902 内の遠隔物理デバイスで電気信号として受信される。遠隔物理デバイスは、ノード 902、またはノード 902 の一部とみなされ、示される構成要素を含み得る。しかしながら、議論の目的で、ノード 902 という用語が使用されることになる。ノード 902 は、デジタル信号を、無線周波数 (RF) 信号などのアナログ信号に変換する。

【0050】

ノード 902 はまた、アナログ媒体を介してヘッドエンド 106 からアナログ信号を受信し得る。ノード 902 は、次いで、デジタル媒体からのデジタル信号から変換されたアナログ信号と、アナログ媒体からのアナログ信号と、を合成し得る。ノード 902 は、合成されたアナログ信号 (例えば、RF 信号) を、同軸ネットワークなどのアナログ媒体を介して CPE 904 に送信する。

10

【0051】

上流方向では、CPE 104 はまた、アナログ信号をアナログ媒体を介してノード 902 に送信し得る。アナログ信号は、デジタル媒体およびアナログ媒体の両方を通じてヘッドエンド 106 への送信のための部分を含み得る。次いで、ノード 902 は、アナログ信号の少なくとも一部分をデジタル信号に変換し、デジタル媒体を通じてヘッドエンド 906 に送信する。加えて、ノード 902 は、アナログ媒体を通じてアナログ信号の少なくとも一部分をヘッドエンド 906 に送信する。

【0052】

ノード 902 内のアナログ信号およびデジタル信号の処理は、ここで、より詳細に議論されることになる。異なる SFP モジュールは、デジタルおよびアナログ信号を受信および送信するために使用され得る。SFP モジュールは、ノード 902 内のスロット内に挿入され得るモジュールである。スモールフォームプラガブルモジュールが説明されているが、ノード 902 のエリア内に挿入され得る他のタイプのモジュールが使用され得る。第 1 の SFP モジュールは、デジタル信号を受信および送信するように構成され、第 2 の SFP モジュールは、アナログ信号を受信、処理、および送信するように構成される。いくつかの例では、アナログ SFP モジュールは、デジタル信号を受信、処理、および送信することができず、デジタル SFP モジュールは、アナログ信号を受信および送信することができない。

20

【0053】

下流方向では、ノード 902 は、SFP-RF レシーバ (Rx) 908 などのアナログ SFP 受信機でアナログ信号を受信し得る。ノード 902 はまた、SFP トランシーバ 110 などのデジタル SFP トランシーバでデジタル信号を受信し得る。デジタル SFP は、通常 SFP または拡張 SFP+ であり得、上流および下流の両方にデジタル信号を送信し得る。通常デジタル SFP は、第 1 の量のギガビット (Gbit) / 秒の通信をサポートし得る。拡張 SFP (SFP+) は、SFP の拡張バージョンであり得、16 Gbit/s などの通常 SFP よりも高いデータレートをサポートし得る。拡張バージョンが、議論の目的で使用されることになるが、他の SFP タイプもまた、認められ得る。

30

【0054】

デジタル信号は、デジタル信号をアナログ信号に変換するデジタルアナログ変換器 (DAC) 916 にデジタル信号を送信する、フィールドプログラマブルゲートアレイ (FPGA) 914 によって処理される。SFP-RF Rx 908 からのアナログ信号および DAC 916 からのデジタル信号は、コンバイナ 920 で合成され得る。アナログ信号は、コンバイナ 920 によって合成されたアナログ信号出力内のデジタル信号とオーバーレイされる。次いで、合成された信号は、増幅器 924 によって増幅され、次いで、アナログ信号を CPE 904 に出力し得るデバイス 928 を通じて、転送され得る。転送デバイス 928 が、上流信号を下流信号と合成し得る。例えば、デバイス 928 は、上流帯域幅が 5 ~ 42 または 85 MHz であり、下流が 54 または 108 MHz ~ 1.2 GHz であるなどの、2 つのポートから単一のポートに信号を多重化し得る、ダイプレクサフィルタであり得る。また、デバイス 928 は、いずれかの方向に上流信号または下流信号のいず

40

50

れかを結合し得る結合器であり得る。

【 0 0 5 5 】

上流方向では、C P E 9 0 4 は、アナログ信号をノード 9 0 2 に送信し得る。転送デバイス 9 2 8 は、増幅用の増幅器 9 2 6 にアナログ信号を送信する。アナログ信号は、スプリッタ 9 2 2 に入力される。アナログ信号は、スプリッタ 9 2 2 で分割され得るデジタル部分およびアナログ部分を含む。アナログ部分は、S F P - R F 送信機 (T x) 9 1 2 などのアナログ S F P 送信機に送信される。次いで、S F P - R F T x 9 1 2 は、アナログ信号をヘッドエンド 9 0 6 に送信する。

【 0 0 5 6 】

上流信号のデジタル部分について、アナログデジタル変換器 (A D C) 9 1 8 は、上流信号のデジタル部分を受信し、アナログ信号をデジタルに変換する。F P G A 9 1 4 は、デジタル信号を受信し、デジタル信号をデジタル S F P 9 1 0 に提供する。S F P 9 1 0 は、次いで、デジタル信号をヘッドエンド 9 0 6 に送信し得る。

【 0 0 5 7 】

上記のネットワーク構成が説明されているが、他のネットワーク構成が使用され得ることが理解されることになる。また、ノード 9 0 2 に示されていない他の構成要素もまた、アナログおよびデジタル信号を処理するために使用され得る。

【 0 0 5 8 】

図 1 0 は、いくつかの実施形態による、ノード 9 0 2 のより詳細な例を図示する。ノード 9 0 2 は、複数のスロット 2 0 2 - 1 ~ 2 0 2 - 3 を含む。3つのスロットが示されているが、ノード 9 0 2 は、2つのスロット、4つのスロット、5つのスロットなどの、異なる数のスロットを有し得る。スロット 1 0 0 2 - 1 ~ 1 0 0 2 - 3 は、特定のタイプの S F P モジュールで動作するように具体的に構成され得る。いくつかの例では、スロット 1 0 0 2 - 1 は、S F P - R F R x 9 0 8 で動作するように構成され、スロット 1 0 0 2 - 2 は、デジタル S F P + 9 1 0 で動作するように構成され、スロット 1 0 0 2 - 3 は、S F P - R F T x 9 1 2 で動作するように構成されている。動作することによって、正しい S F P モジュールを受信するときの各スロットは、上流および/または下流方向に適切にデータを通信し得る。不適切な S F P モジュールがスロット 1 0 0 2 内に挿入されるとき、そのモジュールは、ノード 9 0 2 内の信号を適切に処理および送信しないことになる。例えば、アナログ S F P モジュールスロット内に挿入されているデジタル S F P モジュールは、そのスロットで受信されるアナログ信号を適切に処理および送信しないことになる。この構成が説明されているが、スロットの他の構成が認められ得る。

【 0 0 5 9 】

各スロット 1 0 0 2 は、S F P モジュールからのピンが、挿入されるなどの、結合され得る、ピンコネクタ 1 0 0 4 を含む。ピンコネクタは、S F P モジュールのピンを受信および接続し得る個々の接続点であり得る。いくつかの例では、各スロット 1 0 0 2 - 1 ~ 1 0 0 2 - 3 のピンレイアウト寸法は、類似または同じである。同じものは、ピンレイアウトを設計するときに同一寸法を使用し得る。ピンレイアウトは、ピンコネクタが、同じ間隔配置などの、レイアウト内で同じ位置にあるなどの、寸法的に同じであり得る。コネクタは、アナログ S F P モジュールおよびデジタル S F P モジュールの両方に適合するという点で同じである。つまり、ピンの数、ピンのレイアウト、およびピンの間隔は、アナログ S F P モジュールまたはデジタル S F P モジュールのピンのいずれかを受容し得る。さらに、コネクタは、同じタイプのピンを受容するように構成され得る。つまり、ピンの少なくとも一部分は、アナログ S F P モジュールおよびデジタル S F P モジュールの両方が同じ位置に電源ピンを有するなどの、類似の機能を実施するように構成され得る。アナログ S F P モジュールまたはデジタル S F P モジュールのパッケージもまた、類似に見え得る。つまり、両方のパッケージの設計は、類似のまたは同じ仕様を使用し得る。

【 0 0 6 0 】

図 1 1 は、いくつかの実施形態による、ノード 1 0 2 のより詳細な例を図示する。プロセッサ 1 1 0 2 は、異なる要件に基づいて、F P G A 9 1 4、D A C 9 1 6、A D C

10

20

30

40

50

918、転送デバイス928、およびノード902の他の構成要素を構成し得る。いくつかの実施形態は、プロセッサ1102を活用して、何のタイプのSFPモジュールがスロット内に挿入されたかに基づいて、電源電圧を調整する。例えば、プロセッサ1102は、スロット1002内に挿入されたSFPモジュール1112と通信するように構成されている。プロセッサ1102は、どのタイプのSFPモジュールがスロット1002内に挿入されているかに基づいて、5.0Vまたは3.3Vの電源電圧などの、第1の電源電圧または第2の電源電圧を出力し得る電源310を制御する。説明されたプロセスは、アナログSFPモジュールを受信するように構成されている各スロットに対して実施され得る。

【0061】

10

SFPモジュール1112がスロット202に挿入されるとき、プロセッサ1102は、ステータスラインを介して挿入を感知する。例えば、ステータスラインは、SFPモジュール1112がスロット1002内に挿入されるときを感知するMOD_ABSラインであり得る。いくつかの例では、ステータスラインは、ピンコネクタ#6に結合され、SFPモジュール1112は、ステータスラインを通じてモジュールセンサ1108に信号を送信する。信号は、SFPモジュールがスロット1002内に挿入されたことをモジュールセンサ908に示す。

【0062】

モジュールセンサ1108は、挿入を検出し、電源コントローラ1106に、どの電源電圧をSFPモジュール1112に供給するかを決定させる。いくつかの例では、電源コントローラ1106は、スロット1002のコネクタおよびSFPモジュール1112のピンに接続されている、I2Cバスなどのバスを通じて通信する。いくつかの例では、バスは、SFPモジュール1112のピン#3に接続される。通信を通じて、電源コントローラ1106は、SFPモジュール1112のタイプに関する情報を、他の情報と共に受信し得る。例えば、SFPモジュール1112は、バスのアドレス空間に情報を送信し得、これは、上側および下側の128バイトに分割され得る。SFPモジュール1112は、アドレス空間の下側128バイトなどの、アドレス空間の一部に情報を送信し得る。情報は、SFPタイプ（例えば、SFPモジュール312がデジタルSFP/SFP+モジュールまたはアナログSFPモジュールであるか）を含み得る。他の情報は、SFP製造者の名称、およびSFPモジュール1112が5Vまたは3.3Vの電源電圧を必要とするかなどのバイアス電圧を含み得る。

20

30

【0063】

図12は、いくつかの実施形態による、スロット1002内に挿入されたモジュールがアナログSFPモジュールであるか、またはデジタルSFPモジュールであるかを決定するための方法の簡略化されたフローチャート1200を図示する。1202では、プロセッサ1102は、モジュールがスロット1002内に挿入される信号を受信する。1204では、プロセッサ1102は、SFPモジュール用のステータス信号を受信する。1206では、プロセッサ1102は、ステータス信号内のアドレス空間の一部分を精査し得る。例えば、SFPモジュールがアナログSFPモジュールであるか、またはデジタルSFPモジュールであるかを決定するために必要な情報は、バスアドレス空間の256バイトの一部分に含まれ得る。プロセッサ302は、128ビットのアドレス空間内のバイトを検出し、SFPモジュールがデジタルSFPモジュールであるか、またはアナログSFPモジュールであるかを決定し得る。また、プロセッサ1102は、SFPモジュール用に指定されたバイアス電圧を決定し得る。バイアス電圧を決定することは、プロセッサ1102が、SFPモジュール1112用に指定された電源電圧を使用することを可能にし得る。例えば、プロセッサ1102は、異なるSFPモジュール用の電源電圧を複数の値（例えば、3つ以上の値）に動的に構成し得る。これは、アナログSFPおよびデジタルSFPモジュール用に2つの電源電圧を有するのではなく、より柔軟に電源電圧を構成することを可能にし得る。

40

【0064】

50

図 1 1 を再び参照すると、電源コントローラ 1 1 0 6 は、S F P モジュール 1 1 1 2 がアナログ S F P モジュールであることを電源コントローラ 1 1 0 6 が検出するときに、電源 1 1 1 0 に電源制御メッセージを送信し得る。これは、デフォルトで、電源 1 1 1 0 が、3 . 3 V の電源電圧（または 5 V もしくは 3 . 3 V 未満のいくつかの他の電圧）を S F P モジュール 1 1 1 2 に出力し得るためである。いくつかの実施形態では、電源電圧は、アナログ S F P モジュールおよびデジタル S F P モジュールの両方用の電源ピンであり得る、S F P モジュール 1 1 1 2 のピン 1 6 に出力され得る。電源コントローラ 1 1 0 6 は、信号を電源 1 1 1 0 に送信して、出力される電源電圧を 3 . 3 V から 5 . 0 V まで増加させ得る。次いで、電源 1 1 1 0 は、入力 5 . 3 V の信号を受信し、次いで、3 . 3 V の信号の代わりに 5 . 0 V の信号を出力し得る。次いで、アナログ S F P モジュールは、その仕様に適切な電源電圧を受信する。

10

【 0 0 6 5 】

S F P モジュール 1 1 1 2 がデジタル S F P モジュールであった場合、電源コントローラ 1 1 0 6 は、電源 1 1 1 0 による電圧出力を変化させなくてもよい。3 . 3 V の電圧がデフォルト電圧として使用され得るが、電源 1 1 1 0 は、他の電圧をデフォルト電圧として出力してもよい。例えば、他の例では、デフォルト電圧は、3 . 3 V 未満であり得、電源コントローラ 1 1 0 6 は、デジタル S F P モジュールがスロット 1 0 0 2 内に挿入されたと決定した際に、電圧を 3 . 3 V に増加させ得る。全ての場合、アナログ S F P モジュールがスロット 1 0 0 2 内に挿入されるとき、電源コントローラ 1 1 0 6 は、デフォルト電圧を 5 . 0 V（またはアナログ S F P モジュールに対して指定された幾らかの電圧）に増加させ得る。

20

【 0 0 6 6 】

したがって、デジタル S F P モジュール 1 1 1 2 が、アナログ S F P モジュール用に構成されているスロット内に挿入されるとき、デジタル S F P モジュールは、デジタル S F P モジュールが受信するように構成されるよりも高い電源電圧によって損傷されないことになる。しかしながら、アナログ S F P モジュールがアナログ S F P 用のスロット内に正しく挿入されるとき、プロセッサ 1 1 0 2 は、電源電圧をアナログ S F P 用に構成された量まで増加させ得る。アナログ S F P と同じパッケージを有し、アナログ S F P スロット内に誤って挿入され得るデジタル S F P は、したがって、損傷されない。いくつかの例では、アナログ S F P は、デジタル S F P スロット内に挿入された場合、損傷されないことになる。したがって、プロセッサ 1 1 0 2 は、デジタル S F P を受信するように構成されたスロット用の任意の電源電圧を検出し、変化させるプロセスを有しなくてもよい。

30

【 0 0 6 7 】

図 1 3 は、いくつかの実施形態による、スロット 1 0 0 2 用の電源電圧を管理するための方法の簡略化されたフローチャート 1 3 0 0 を図示する。上述したように、デジタルスロットは、デジタルスロット内に挿入されるアナログ S F P モジュールが、そのスロット 2 0 2 に提供される電源電圧によって損傷されない場合があるため、管理される必要がない場合がある。1 3 0 2 では、プロセッサ 1 1 0 2 は、電源 1 1 1 0 によって出力される電源電圧を、3 . 3 V などのデフォルト電圧に設定する。次いで、1 3 0 4 では、プロセッサ 1 1 0 2 は、スロット 1 0 0 2 内の S F P モジュール 1 1 1 2 の挿入を検出する。検出は、S F P モジュール 1 1 1 2 のピンに接続されているステータスラインを通じ得る。

40

【 0 0 6 8 】

1 3 0 6 では、プロセッサ 1 1 0 2 は、スロット 1 0 0 2 内に挿入された S F P モジュールがアナログ S F P であるか否かを決定する。アナログ S F P ではない場合、次いで、1 3 0 8 では、プロセッサ 1 1 0 2 は、3 . 3 V に電源電圧を維持する。例えば、プロセッサ 1 1 0 2 は、電源電圧を変化させるためにいかなる行為も実施しない場合がある。

【 0 0 6 9 】

プロセッサ 1 1 0 2 がスロット 1 0 0 2 内にアナログ S F P が挿入されたことを検出した場合、1 3 1 0 では、プロセッサ 1 1 0 2 は、電圧を 5 . 0 V に増加させるために電源 1 1 1 0 に信号を送信する。次いで、電源 1 1 1 0 は、電圧を 3 . 3 V から 5 . 0 V まで

50

増加させ、この電圧は、アナログ S F P モジュール用に構成された電圧である。アナログ S F P モジュールは、次いで、構成されたとおりにアナログ信号を送信または受信し得る。

【 0 0 7 0 】

1 3 1 2 では、プロセッサ 1 1 0 2 は、S F P モジュール 1 1 1 2 の取り外しを監視する。1 3 1 4 では、プロセッサ 1 1 0 2 は、S F P モジュール 3 1 2 が取り外されたかどうかを決定する。S F P モジュール 1 1 1 2 が取り外されたとき、1 3 1 6 では、プロセッサ 1 1 0 2 は、電源電圧を変化させて 3 . 3 V に戻す。スロット 1 0 0 2 内に挿入される別の S F P モジュール 1 1 1 2 が、より高い電源電圧によって損傷され得るデジタル S F P モジュールではない可能性があることを確保するために、3 . 3 V に電源電圧を戻す変化が、即座に実施され得る。

10

【 0 0 7 1 】

したがって、いくつかの実施形態は、スロットに対して構成されない可能性がある S F P モジュールを受信し得るスロット 1 0 0 2 に対する保護を提供する。類似のパッケージおよび類似のピンレイアウトを有して製造されたデジタル S F P モジュールおよびアナログ S F P モジュールを有することに起因して、スロット 1 0 0 2 が、そのスロット内に挿入されるように構成されていないスロット 1 0 0 2 内に挿入された S F P モジュールを有することが可能である。両方のモジュール用の電源ピンが同じコネクタに接続されているため、アナログ S F P モジュール用のより高い電圧は、デジタル S F P モジュールを損傷させ得る。誤って挿入されたデジタル S F P モジュールを損傷させないことは、大きな交換コストを節約することになる。プロセッサ 1 1 0 2 を活用して、ノード 9 0 2 内の電源 1 1 1 0 を制御することは、プロセッサ 1 1 0 2 がノード 1 0 2 の他の構成要素を構成するために使用されているため、最小限のコストを必要とするが、電源 1 1 1 0 の制御は、不適切な S F P モジュールをスロット 1 0 0 2 内に挿入することによって間違いが行われるときに、大きなコストを節約する。

20

【 0 0 7 2 】

システム

図 1 4 は、一実施形態による、ノード 1 0 2 を用いて構成された専用コンピュータシステム 9 0 0 の例を例示する。コンピュータシステム 1 4 0 0 は、バス 1 4 0 2、ネットワークインターフェース 1 4 0 4、コンピュータプロセッサ 1 4 0 6、メモリ 1 4 0 8、記憶デバイス 1 4 1 0、およびディスプレイ 1 4 1 2 を含む。

30

【 0 0 7 3 】

バス 1 4 0 2 は、情報を通信するための通信機構であり得る。コンピュータプロセッサ 9 0 6 は、メモリ 1 4 0 8 または記憶デバイス 1 4 0 8 に記憶されたコンピュータプログラムを実行し得る。C、C++、J A V A（登録商標）、アセンブリ言語などを含むいくつかの実施形態のルーチンを実装するために、任意の好適なプログラミング言語が使用され得る。手続き型またはオブジェクト指向型などの、異なるプログラミング技術が採用され得る。ルーチンは、単一のコンピュータシステム 1 4 0 0 または複数のコンピュータシステム 1 4 0 0 上で実行し得る。さらに、複数のコンピュータプロセッサ 1 4 0 6 が使用され得る。

【 0 0 7 4 】

40

メモリ 1 4 0 8 は、上述した技術を実施するために、ソースコードまたはバイナリコードなどの命令を記憶し得る。メモリ 1 4 0 8 はまた、プロセッサ 1 4 0 6 によって実行される命令の実行中に、変数または他の中間情報を記憶するために使用され得る。メモリ 1 4 0 8 の例は、ランダムアクセスメモリ（R A M）、読み出し専用メモリ（R O M）、またはその両方、を含む。

【 0 0 7 5 】

記憶デバイス 1 4 1 0 はまた、上述した技術を実施するための、ソースコードまたはバイナリコードなどの命令を記憶し得る。ストレージデバイス 1 4 1 0 は、追加的に、コンピュータプロセッサ 1 4 0 6 によって使用および操作されるデータを記憶し得る。例えば、記憶デバイス 1 4 1 0 は、コンピュータシステム 9 0 0 によってアクセスされるデータ

50

ベースとすることができる。記憶デバイス 1 4 1 0 の他の例は、ランダムアクセスメモリ (R A M)、読み出し専用メモリ (R O M)、ハードドライブ、磁気ディスク、光ディスク、 C D - R O M、 D V D、フラッシュメモリ、 U S B メモリカード、またはコンピュータが読み出し得る任意の他の媒体を含む。

【 0 0 7 6 】

メモリ 1 4 0 8 または記憶デバイス 1 4 1 0 は、コンピュータシステム 1 4 0 0 によって使用するための、またはそれに関連して使用するための、非一時的コンピュータ可読記憶媒体の一例であり得る。非一時的コンピュータ可読記憶媒体は、いくつかの実施形態によって説明される機能を実施し得るように構成されるようにコンピュータシステム 1 4 0 0 を制御するための命令を含む。命令は、 1 つ以上のコンピュータプロセッサ 1 4 0 6 によって実行されるとき、いくつかの実施形態で説明されることを実施するように構成され得る。

10

【 0 0 7 7 】

コンピュータシステム 1 4 0 0 は、コンピュータユーザに情報を表示するためのディスプレイ 1 4 1 2 を含む。ディスプレイ 1 4 1 2 は、コンピュータシステム 1 4 0 0 と対話するためにユーザによって使用されるユーザインターフェースを表示し得る。

【 0 0 7 8 】

コンピュータシステム 1 4 0 0 はまた、ローカルエリアネットワーク (L A N) またはワイドエリアネットワーク (W A N) などのネットワークを介したデータ通信接続を提供するために、ネットワークインターフェース 1 4 0 4 も含む。無線ネットワークもまた、使用され得る。任意のそのような実装では、ネットワークインターフェース 1 4 0 4 は、様々なタイプの情報を表すデジタルデータストリームを運ぶ電気信号、電磁信号、または光信号を送信および受信する。

20

【 0 0 7 9 】

コンピュータシステム 1 4 0 0 は、イントラネットまたはインターネットであり得るネットワーク 1 4 1 4 を介してネットワークインターフェース 1 4 0 4 を通じて情報を送信および受信し得る。コンピュータシステム 1 4 0 0 は、ネットワーク 1 4 1 4 を通じて他のコンピュータシステム 1 4 0 0 と対話し得る。いくつかの例では、クライアント - サーバ通信は、ネットワーク 1 4 1 4 を通じて起こる。また、いくつかの実施形態の実装は、ネットワーク 1 4 1 4 を通じてコンピュータシステム 1 4 0 0 全体に分散され得る。

30

【 0 0 8 0 】

いくつかの実施形態は、命令実行システム、装置、システム、または機械によって使用するための、またはそれらに関連して使用するための、非一時的コンピュータ可読記憶媒体内に実装され得る。コンピュータ可読ストレージ媒体は、いくつかの実施形態によって説明される方法を実施するようにコンピュータシステムを制御するための命令を含む。コンピュータシステムは、 1 つ以上のコンピューティングデバイスを含み得る。命令は、 1 つ以上のコンピュータプロセッサによって実行されたときに、いくつかの実施形態で説明されることを実施するように構成され得る。

【 0 0 8 1 】

明細書における説明においてならびにそれに続く特許請求の範囲にわたって使用された場合には、「 a 」、「 a n 」、および「 t h e 」は、文脈が明確に他のことを指示していない限りにおいて、複数の参照を含む。また、明細書における説明においてならびにそれに続く特許請求の範囲にわたって使用された場合には、「 i n 」の意味は、文脈が明確に他のことを指示していない限りにおいて、「 i n 」および「 o n 」を含む。

40

【 0 0 8 2 】

上記の説明は、いくつかの実施形態の態様がどのように実装され得るかの例と共に、様々な実施形態を例示する。上記の例および実施形態は、唯一の実施形態であるとみなされるべきではなく、以下の特許請求の範囲によって定義されるいくつかの実施形態の柔軟性および利点を例示するために提示される。上記の開示および以下の特許請求の範囲に基づいて、特許請求の範囲によって定義される本明細書の範囲から逸脱することなく、他の配

50

置、実施形態、実装、および均等物が採用され得る。

【0083】

実施形態

いくつかの実施形態は、第1のロットおよび第2のロットを含むコンピューティングデバイスによって、コンピューティングデバイスの第1のロット内に挿入されるモジュールを検出することであって、第1のロットが、第1のタイプのモジュールと動作するように構成されており、第2のロットが、第2のタイプのモジュールと動作するように構成されており、第1のロットおよび第2のロットが、第1のタイプのモジュールおよび第2のタイプのモジュールから電源ピンを受容するための同じピン位置を含む、検出することと、コンピューティングデバイスによって、モジュールが第1のタイプのモジュールであるか、または第2のタイプのモジュールであるかを決定するためにモジュールと通信することであって、第1のタイプのモジュールが、コンピューティングデバイスで第2のタイプのモジュールからの第2のタイプの信号と合成される第1のタイプの信号を受信するように構成されている、通信することと、コンピューティングデバイスによって、第1のタイプのモジュールが検出されるときに、第1のロットの電源ピンへの電源電圧を第1の値から第2の値まで調整することと、を含み得る。

10

【0084】

本明細書に開示されるいくつかの実施形態はまた、または代わりに、モジュールが第1のロットに挿入されていることを検出する前に、電源電圧を第1の値に設定することを含み得る。いくつかの実施形態では、第1の値は、モジュールが第1のロットに挿入されていないときのデフォルト値である。いくつかの実施形態はまた、または代わりに、モジュールがコンピューティングデバイスの第1のロットから取り外されるときを検出することと、電源電圧を第2の値から第1の値に変化させることと、を含み得る。いくつかの実施形態では、第1のタイプのモジュールおよび第2のタイプのモジュールは、同じピンタイプの配置を有する。いくつかの実施形態では、第1のタイプのモジュールおよび第2のタイプのモジュールは、同じピンレイアウト寸法を有する。いくつかの実施形態では、第1のロットおよび第2のロットは、同じピンタイプの配置を有する。いくつかの実施形態では、第1のタイプのモジュールおよび第2のタイプのモジュールは、同じパッケージ設計を有する。

20

【0085】

いくつかの実施形態では、第1のタイプのモジュールは、第2のタイプのモジュールよりも高い電源電圧を使用する。いくつかの実施形態では、第1のタイプのモジュールは、5ボルトの電源電圧を使用し、第2のタイプのモジュールは、3.3ボルトの電源電圧を使用する。いくつかの実施形態では、第1のタイプのモジュールは、アナログ信号を受信するように構成され、第2のタイプのモジュールは、デジタル信号を受信するように構成されている。いくつかの実施形態は、コンピューティングデバイスが、デジタル信号から変換されるアナログ信号上にアナログ信号をオーバーレイし、合成された信号を出力する、実施形態を含み得る。いくつかの実施形態は、電源電圧を調整することが、電源に信号を出力して、電源電圧を第2の値に調整することを含む、実施形態を含み得る。

30

【0086】

いくつかの実施形態は、モジュールが挿入されることを検出することが、第1のロット内に挿入されていることを示す信号を、モジュールに接続されたピンから受信することを含む、実施形態を含み得る。いくつかの実施形態は、モジュールと通信することが、デバイスタイプを示すモジュールから信号を受信することと、信号を分析して、デバイスタイプが第1のタイプのモジュールであると決定することと、を含む、実施形態を含み得る。いくつかの実施形態は、第1のロットが、第2のタイプのモジュールと動作し、第2のタイプの信号を処理するように構成されていない、実施形態を含み得る。

40

【0087】

いくつかの実施形態は、命令を含む非一時的コンピュータ可読記憶媒体であって、命令は、実行されたとき、第1のロットおよび第2のロットを含むコンピュータシステム

50

において、コンピュータシステムの第1のスロット内に挿入されるモジュールを検出することであって、第1のスロットが、第1のタイプのモジュールと動作するように構成されており、第2のスロットが、第2のタイプのモジュールと動作するように構成されており、第1のスロットおよび第2のスロットが、第1のタイプのモジュールおよび第2のタイプのモジュールから電源ピンを受容するための同じピン位置を含む、検出することと、モジュールが第1のタイプのモジュールであるか、または第2のタイプのモジュールであるかを決定するためにモジュールと通信することであって、第1のタイプのモジュールが、コンピュータシステムで第2のタイプのモジュールからの第2のタイプの信号と合成される第1のタイプの信号を受信するように構成されている、通信することと、第1のタイプのモジュールが検出されるときに、第1のスロットの電源ピンへの電源電圧を第1の値から第2の値まで調整することと、のために構成されるようにコンピュータシステムを制御する、非一時的コンピュータ可読記憶媒体を含み得る。いくつかの実施形態は、モジュールが第1のスロット内に挿入されていることを検出する前に、電源電圧を第1の値に設定するように構成された非一時的コンピュータ可読記憶媒体を含み得る。いくつかの実施形態は、モジュールがコンピューティングデバイスの第1のスロットから取り外されるときを検出することと、電源電圧を第2の値から第1の値に変化させることと、のためにさらに構成された非一時的コンピュータ可読記憶媒体を含み得る。

10

【0088】

いくつかの実施形態は、装置であって、1つ以上のコンピュータプロセッサと、命令を含む非一時的コンピュータ可読記憶媒体であって、命令は、実行されたとき、第1のスロットおよび第2のスロットを含む装置において、装置の第1のスロット内に挿入されるモジュールを検出することであって、第1のスロットが、第1のタイプのモジュールと動作するように構成されており、第2のスロットが、第2のタイプのモジュールと動作するように構成されており、第1のスロットおよび第2のスロットが、第1のタイプのモジュールおよび第2のタイプのモジュールから電源ピンを受容するための同じピン位置を含む、検出することと、モジュールが第1のタイプのモジュールであるか、または第2のタイプのモジュールであるかを決定するためにモジュールと通信することであって、第1のタイプのモジュールが、装置で第2のタイプのモジュールからの第2のタイプの信号と合成される第1のタイプの信号を受信するように構成されている、通信することと、第1のタイプのモジュールが検出されるときに、第1のスロットの電源ピンへの電源電圧を第1の値から第2の値まで調整することと、のために構成されるように1つ以上のコンピュータプロセッサを制御する、非一時的コンピュータ可読記憶媒体と、を備える、装置を含み得る。いくつかの実施形態は、開示された特徴を単独またはいくつかの組み合わせで含む、本明細書に開示される方法を実施することができる装置を含み得る。

20

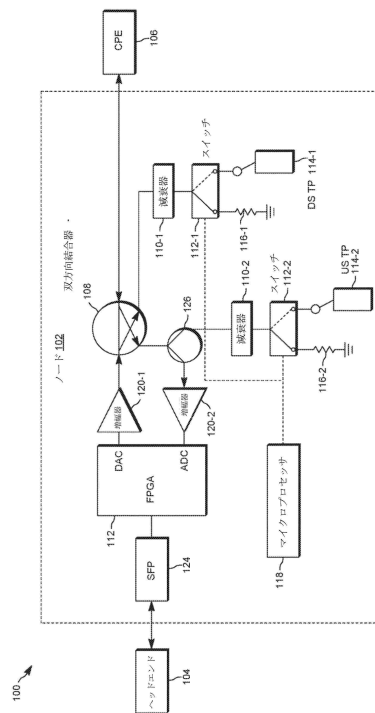
30

40

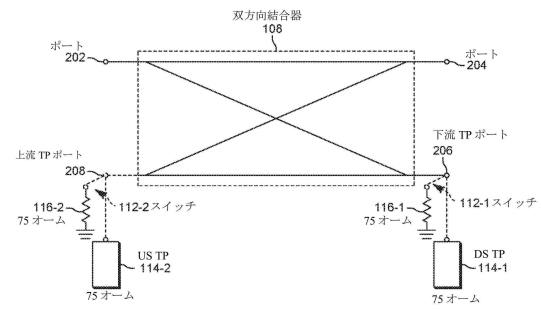
50

【図面】

【 図 1 】



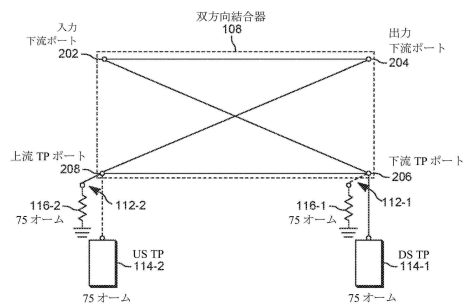
【 図 2 】



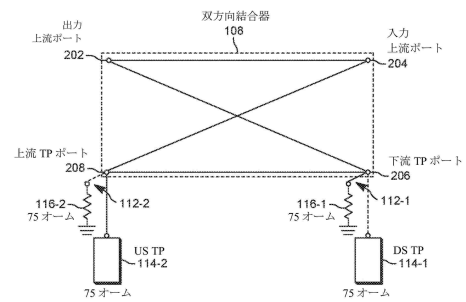
10

20

【 図 3 A 】



【 図 3 B 】

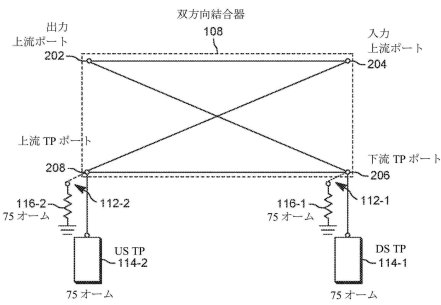


30

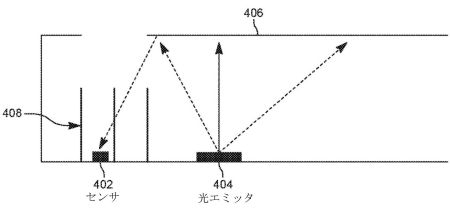
40

50

【図 3 C】



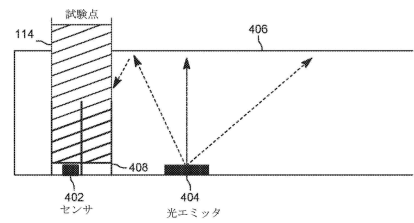
【図 4 A】



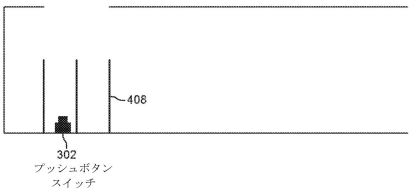
10

20

【図 4 B】



【図 5 A】

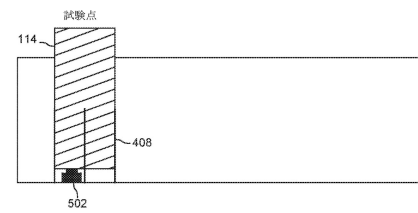


30

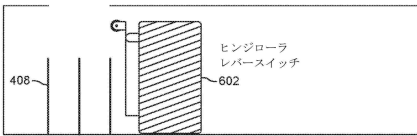
40

50

【図 5 B】

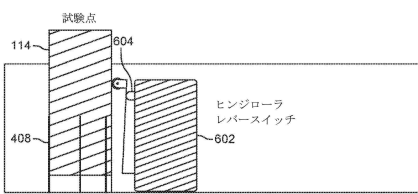


【図 6 A】

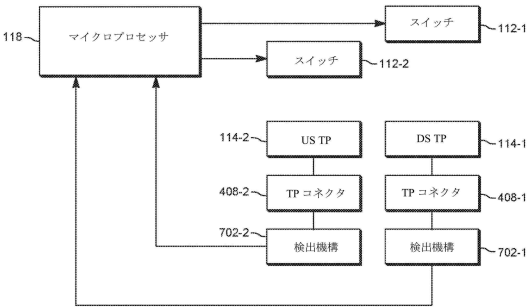


10

【図 6 B】



【図 7】



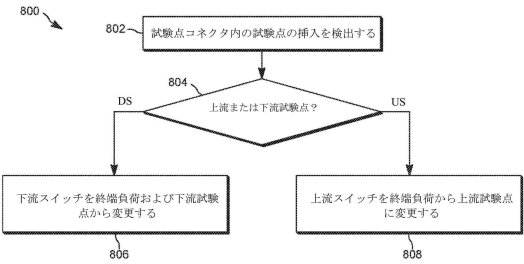
20

30

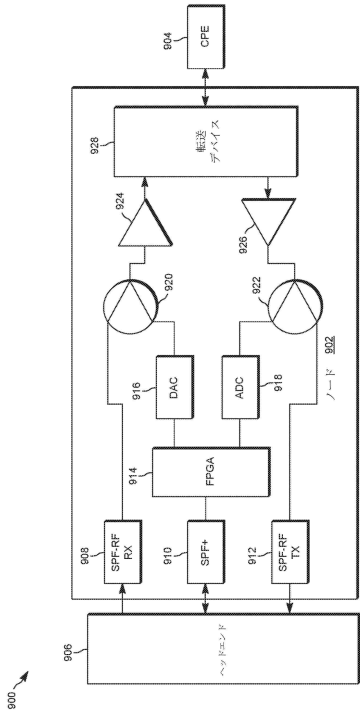
40

50

【図 8】



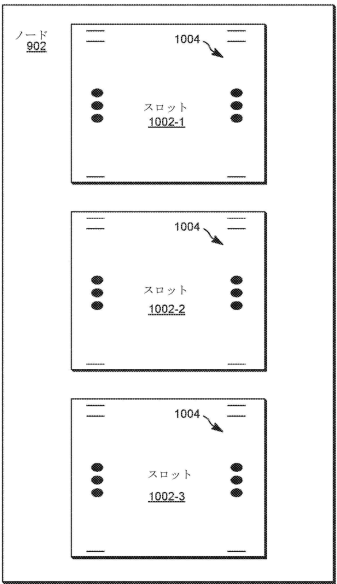
【図 9】



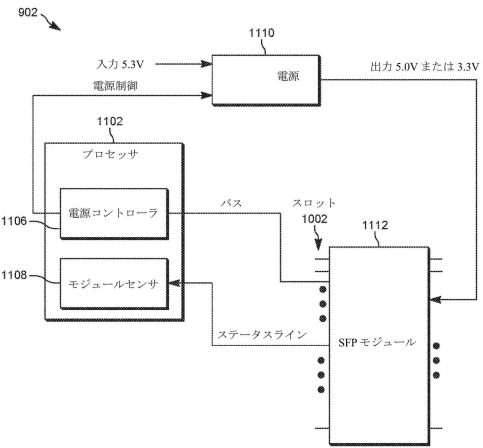
10

20

【図 10】



【図 11】

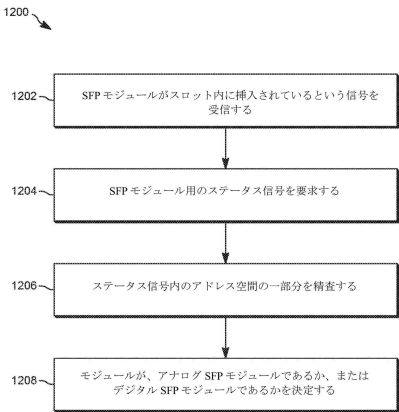


30

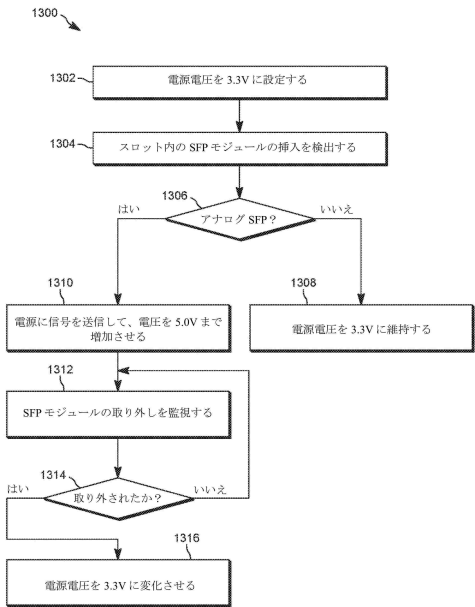
40

50

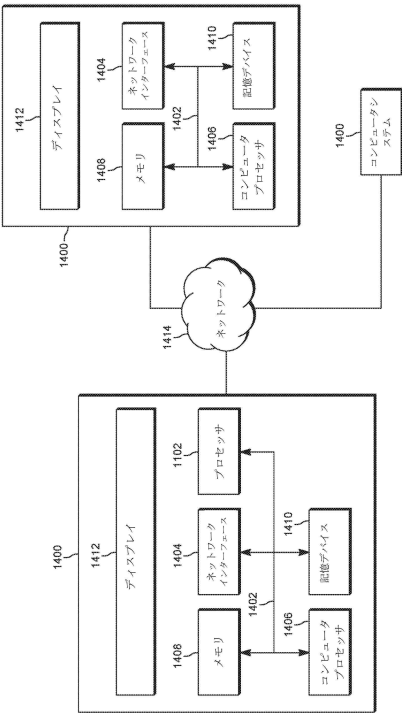
【図 1 2】



【図 1 3】



【図 1 4】



10

20

30

40

50

フロントページの続き

- (33)優先権主張国・地域又は機関
米国(US)
アメリカ合衆国 06001 コネチカット州 エイボン バッキンガム ロード 43
- (72)発明者 コーミエ、エリック ジェイ、
アメリカ合衆国 06010 コネチカット州 ブリストル ウィッチズ ロック ロード 637
- (72)発明者 マリセビック、ゾーラン
アメリカ合衆国 06117 コネチカット州 ウェスト ハートフォード ハイ リッジ ロード 103
- (72)発明者 アーノルド、ブレント
アメリカ合衆国 18901 ペンシルバニア州 ドイルスタウン ウッドクレスト レーン 100
- 審査官 対馬 英明
- (56)参考文献 登録実用新案第3212567(JP, U)
特開平07-212256(JP, A)
特開2005-094627(JP, A)
米国特許出願公開第2018/0124706(US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H04B 1/60
H04B 3/46 - 3/493
H04B 17/00 - 17/40
H04N 7/10
H04N 7/14 - 7/173
H04N 7/20 - 7/56
H04N 21/00 - 21/858