

(21) 申請案號：102140842

(22) 申請日：中華民國 102 (2013) 年 11 月 11 日

(51) Int. Cl. : *H01L21/3065(2006.01)*

H01L21/336 (2006.01)

(30) 優先權：2013/02/01 美國

13/757,069

(71) 申請人：格羅方德半導體公司 (美國) GLOBALFOUNDRIES US INC. (US)
美國

(72) 發明人：保雷克 伯羅米傑 真 PAWLAK, BARTLOMIEJ JAN (BE) ; 班特利 史帝芬
BENTLEY, STEVEN (US) ; 雅各布 阿喬伊 JACOB, AJEY (US)

(74) 代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：39 項 圖式數：1 共 36 頁

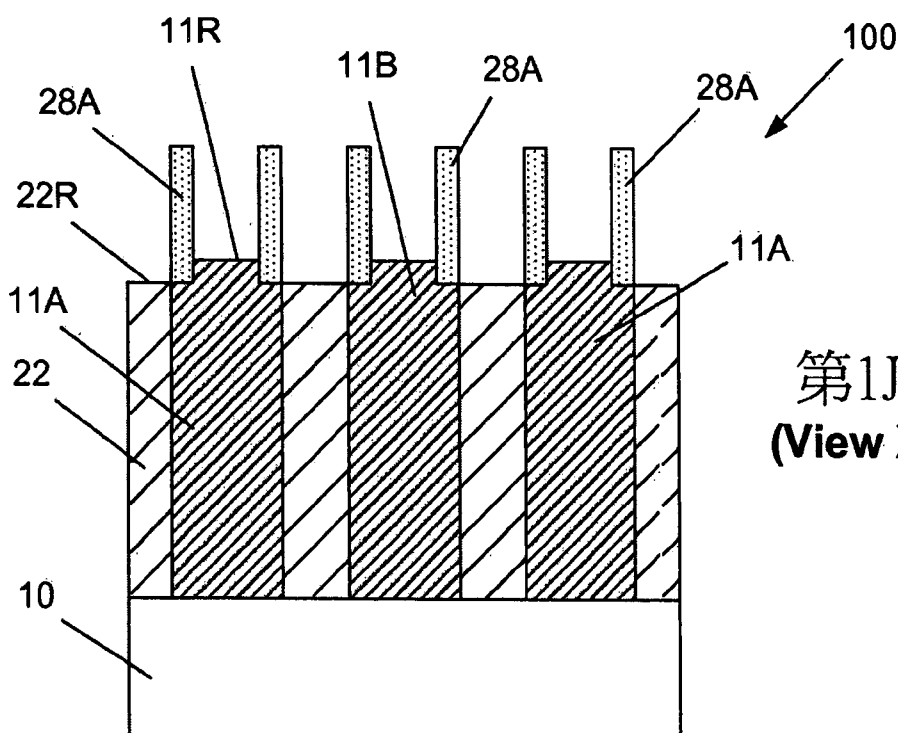
(54) 名稱

使用心軸氧化製程形成鳍式場效電晶體半導體設備之鳍部的方法

METHODS OF FORMING FINNS FOR A FINFET SEMICONDUCTOR DEVICE USING A MANDREL OXIDATION PROCESS

(57) 摘要

揭示於本文之一個示意方法包括：形成心軸結構於半導體基板上，進行氧化製程以氧化該心軸結構之至少一部份以便藉此在該心軸結構上定義氧化區，移除該等氧化區以便藉此定義厚度減少之心軸結構，在該厚度減少之心軸結構上形成複數個鳍部以及進行蝕刻製程以選擇性地移除該厚度減少之心軸結構的至少一部份，以便藉此暴露該等鳍部中之每一者的至少一部份。



第1J圖
(View X-X)

- 10：半導體基板
- 11A：心軸結構
- 11B：厚度減少之鳍式心軸結構
- 11R：表面
- 22：絕緣材料層
- 22R：凹陷上表面
- 28A：半導體材料間隔體/鳍部
- 100：新穎 FinFET 半導體設備

(21) 申請案號：102140842

(22) 申請日：中華民國 102 (2013) 年 11 月 11 日

(51) Int. Cl. : *H01L21/3065(2006.01)*

H01L21/336 (2006.01)

(30) 優先權：2013/02/01 美國

13/757,069

(71) 申請人：格羅方德半導體公司 (美國) GLOBALFOUNDRIES US INC. (US)
美國

(72) 發明人：保雷克 伯羅米傑 真 PAWLAK, BARTLOMIEJ JAN (BE) ; 班特利 史帝芬
BENTLEY, STEVEN (US) ; 雅各布 阿喬伊 JACOB, AJEY (US)

(74) 代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：39 項 圖式數：1 共 36 頁

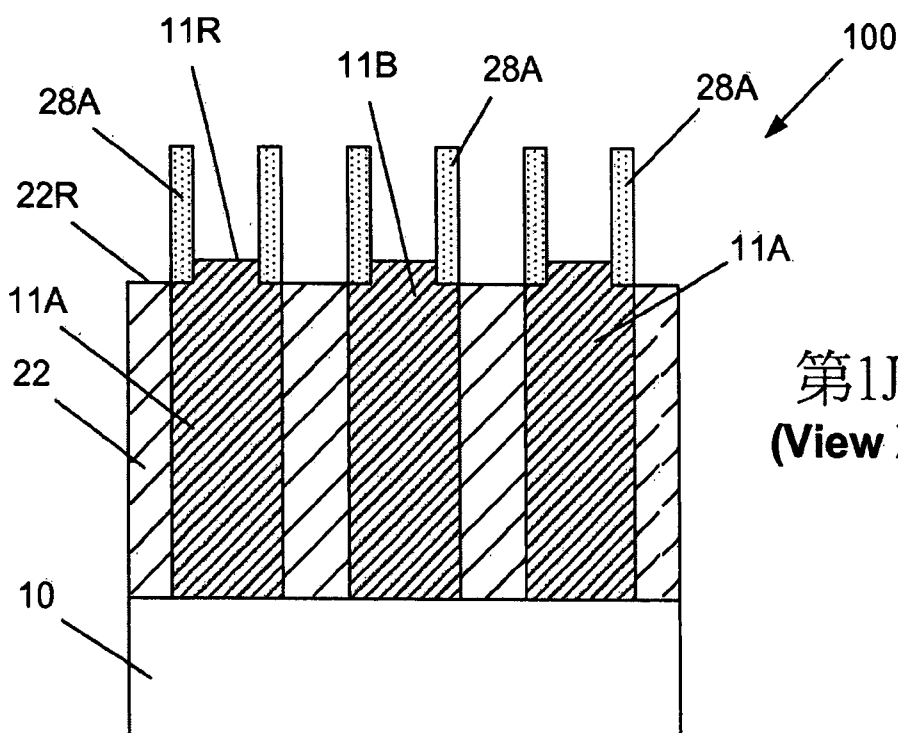
(54) 名稱

使用心軸氧化製程形成鳍式場效電晶體半導體設備之鳍部的方法

METHODS OF FORMING FINNS FOR A FINFET SEMICONDUCTOR DEVICE USING A MANDREL OXIDATION PROCESS

(57) 摘要

揭示於本文之一個示意方法包括：形成心軸結構於半導體基板上，進行氧化製程以氧化該心軸結構之至少一部份以便藉此在該心軸結構上定義氧化區，移除該等氧化區以便藉此定義厚度減少之心軸結構，在該厚度減少之心軸結構上形成複數個鳍部以及進行蝕刻製程以選擇性地移除該厚度減少之心軸結構的至少一部份，以便藉此暴露該等鳍部中之每一者的至少一部份。



第1J圖
(View X-X)

10：半導體基板

11A：心軸結構

11B：厚度減少之鳍式
心軸結構

11R：表面

22：絕緣材料層

22R：凹陷上表面

28A：半導體材料間隔
體/鳍部

100：新穎 FinFET 半
導體設備

發明摘要

※ 申請案號：102140842

※ 申請日：102.11.11

※ IPC 分類：

【發明名稱】(中文/英文)

H01L 21/365

H01L 21/36

H01L 21/336

H01L 21/36

使用心軸氧化製程形成鰭式場效電晶體半導體設備之鰭部的方法

METHODS OF FORMING FINS FOR A FINFET SEMICONDUCTOR DEVICE USING A MANDREL OXIDATION PROCESS

【中文】

揭示於本文之一個示意方法包括：形成心軸結構於半導體基板上面，進行氧化製程以氧化該心軸結構之至少一部份以便藉此在該心軸結構上定義氧化區，移除該等氧化區以便藉此定義厚度減少之心軸結構，在該厚度減少之心軸結構上形成複數個鰭部以及進行蝕刻製程以選擇性地移除該厚度減少之心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者的至少一部份。

【英文】

One illustrative method disclosed herein includes forming a mandrel structure above a semiconductor substrate, performing an oxidation process to oxidize at least a portion of the mandrel structure so as to thereby define oxidized regions on the mandrel structure, removing the oxidized regions to thereby defined a reduced thickness mandrel structure, forming a plurality of fins on the reduced thickness mandrel structure and performing an etching process to selectively remove at least a portion of the reduced thickness mandrel structure so as to thereby expose at least a portion of each of the fins.

【代表圖】

【本案指定代表圖】：第（ 1J ）圖。

【本代表圖之符號簡單說明】：

- 10 半導體基板
- 11A 心軸結構
- 11B 厚度減少之鰭式心軸結構
- 11R 表面
- 22 絕緣材料層
- 22R 凹陷上表面
- 28A 半導體材料間隔體/鰭部
- 100 新穎 FinFET 半導體設備

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

使用心軸氧化製程形成鰭式場效電晶體半導體設備之鰭部的方法

METHODS OF FORMING FINS FOR A FINFET SEMICONDUCTOR DEVICE USING A MANDREL OXIDATION PROCESS

【技術領域】

【0001】本揭示內容大致有關於 FET 半導體設備的製造，且更特別的是，有關於使用新穎心軸氧化製程形成鰭式場效電晶體半導體設備以形成該設備之鰭部的各種方法。

【先前技術】

【0002】製造諸如 CPU、儲存裝置、ASIC(特殊應用積體電路)之類的先進積體電路需要根據指定的電路佈局在給定晶片區中形成大量電路元件，其中所謂金屬氧化物場效電晶體(MOSFET 或 FET)為一種重要的電路元件，其係實質決定積體電路的效能。習知 FET(不論是 NFET 還是 PFET)為通常包含源極區、汲極區、位於源極區和汲極區間之通道區以及位於通道區上方之閘極電極的平面設備。流過 FET 的電流係藉由控制施加至閘極電極的電壓來控制。例如，以 NMOS 設備而言，如果閘極電極沒有外加電壓，則沒有電流流過 NMOS 設備(忽略極小、不合需要的洩露電流)。不過，當施加適當的正電壓至閘極電極時，NMOS 設備的通道區變為導電，並且通過導通的通道區允許電流在源極區、汲極區之

間流動。

【0003】爲了改善 FET 的操作速度，以及提高 FET 在積體電路設備上的密度，設備設計者過去幾十年來已大幅縮減 FET 的實際尺寸。更特別的是，FET 的通道長度已大幅減小，而得以改善切換速度以及降低 FET 的操作電流及電壓。不過，減小 FET 的通道長度也減小源極區與汲極區的距離。在有些情形下，這會減少源極與汲極的分離，使得難以有效地防止源極區及通道的電位受到汲極電位的不利影響。這有時被稱作所謂的短通道效應，其中作爲主動開關之 FET 的特性會惡化。

【0004】對比於平面型 FET，有所謂的 3D 設備，例如有三維結構的例示 FinFET 設備。更特別的是，在 FinFET 中，形成大致垂直地安置的鰭狀主動區，以及閘極電極圍封鰭狀主動區的兩側及上表面以形成三閘極結構，以便利用具有三維結構而不是平面結構的通道。在有些情形下，絕緣帽蓋層(例如，氮化矽)位於鰭之頂部，而 FinFET 設備只有雙閘極結構(只有側壁)。不同於平面型 FET，在 FinFET 設備中，形成垂直於半導體基板之表面的通道，以便縮減半導體設備的實際大小。再者，在 FinFET 中，大幅減少在設備之汲極區處的接面電容，這傾向大幅減少短通道效應。當適當的電壓施加至 FinFET 設備的閘極電極時，鰭部的表面(以及靠近表面的內在部份)，亦即，鰭部的垂直取向側壁與上表面形成對電流傳導有貢獻的表面反轉層或容積反轉層。在 FinFET 設備中，“通道寬度”估計約爲兩倍垂直鰭部高度加鰭部的頂面寬度，亦即，鰭部寬度。在與平面電晶體設備相同的足跡 (foot-print) 中可形成複數個鰭部。因此，對於給定的標定空間(plot space)或

足跡，FinFET 傾向能夠產生明顯高於平面電晶體設備的驅動電流密度。另外，與平面型 FET 的洩露電流相比，FinFET 設備在設備“關閉”後的洩露電流大幅減少，因為 FinFET 設備上的“鰭部”通道有優異的閘極靜電控制。簡言之，相較於平面型 FET，FinFET 設備的 3D 結構為優異的 MOSFET 結構，特別是在 20 奈米 CMOS 技術節點及以下者。

【0005】通常用來形成 FinFET 設備的一個加工流程涉及在基板中形成複數個溝槽以定義將形成 STI 區的區域以及定義鰭部的初始結構，以及為了簡化加工，在同一個加工作業期間，可在該基板中形成該等溝槽。在有些情形下，該等溝槽希望設計成有相同的間距(為了在微影時有更佳的解析度)以及形成有相同的深度及寬度(為了簡化加工以及各種功能要求)，其中該等溝槽的深度對於所需鰭部高度是足夠的以及深度足以允許形成有效的 STI 區。在形成溝槽後，形成一層絕緣材料(例如，二氧化矽)以便過填(overflow)該等溝槽。之後，進行化學機械研磨(CMP)製程以平坦化絕緣材料的上表面以及鰭部的頂面(或經圖案化之硬遮罩的頂面)。之後，進行回蝕製程(etch-back process)以使在鰭部之間的該絕緣材料層凹陷，藉此暴露對應至鰭部之最終鰭部高度的鰭部上半部。

【0006】在持續的壓力下，設備製造商生產相對於前一設備世代具有提高效能及較低生產成本的積體電路產品。因此，設備設計者花費大量的時間及努力以最大化設備效能，同時尋找降低製造成本及改善製造可靠性的方法。至於與 3D 設備有關者，設備設計者已耗時多年及運用各種技術以努力改善此類設備的效能

功能(performance capability)及可靠性。設備設計者目前在研究使用替代半導體材料，例如所謂的 III-V 族材料，以製造旨在改善此類設備之效能功能的 FinFET 設備，例如，致能低電壓操作。不過，整合此類替代材料於矽基板(為用於本產業的主要基板)上並非小事，因為除了其他問題以外，還包括此類材料與矽之間有很大的晶格常數差異。

【0007】本揭示內容係針對用新穎心軸氧化製程形成鰭式場效電晶體半導體設備以形成該設備之鰭部的各種方法。

【發明內容】

【0008】為供基本理解本發明的一些態樣，提出以下簡化的總結。此總結並非本發明的窮舉式總覽。它不是想要識別本發明的關鍵或重要元件或者是描繪本發明的範疇。唯一的目的是要以簡要的形式提出一些概念作為以下更詳細之說明的前言。

【0009】本揭示內容大體針對用新穎心軸氧化製程形成 FinFET 半導體設備以形成該設備之鰭部的各種方法。揭示於本文之一個示意方法包括：形成具有側壁的心軸結構，進行氧化製程以氧化該心軸結構之至少一部份，藉此在該心軸結構的該等側壁上定義氧化區，移除該等氧化區，藉此定義厚度減少之心軸結構，在該厚度減少之心軸結構上形成複數個鰭部，以及進行蝕刻製程以選擇性地移除該厚度減少之心軸結構的至少一部份，藉此暴露該等鰭部中之每一者的至少一部份。

【0010】揭示於本文之另一示意方法包括：在半導體基板上形成鰭式心軸結構，進行氧化製程以氧化該鰭式心軸結構之至少一部份，藉此在該鰭式心軸結構上定義氧化區，移除該等氧化

區，藉此定義厚度減少之鰭式心軸結構，在該厚度減少之鰭式心軸結構上形成複數個鰭部，進行蝕刻製程以選擇性地移除該厚度減少之鰭式心軸結構的至少一部份，藉此暴露該等鰭部中之每一者的至少一部份，以及在該等鰭部的暴露部份附近形成最終閘極結構。

【0011】揭示於本文之又一示意方法包括：形成由第一半導體材料構成的鰭式心軸結構於由不同於該第一半導體材料之第二半導體材料構成的半導體基板上方，進行氧化製程以氧化該鰭式心軸結構之至少一部份，藉此在該鰭式心軸結構上定義氧化半導體材料區，移除該等氧化半導體材料區，藉此定義厚度減少之鰭式心軸結構，在該厚度減少之鰭式心軸結構上形成複數個鰭部，其中該等鰭部由磊晶生長半導體材料構成，進行蝕刻製程以選擇性地移除該厚度減少之鰭式心軸結構的至少一部份，藉此暴露該等鰭部之至少一部份，以及在該等鰭部的至少一部份附近形成最終閘極結構。

【圖式簡單說明】

【0012】參考以下結合附圖的說明可明白本揭示內容，其中類似的元件係以相同的元件符號表示。

第 1A 圖至第 1L 圖圖示揭示於本文用新穎心軸氧化製程形成 FinFET 半導體設備以形成該設備之鰭部的各種示意方法。

儘管本發明容易做成各種修改及替代形式，本文仍以附圖為例圖示幾個本發明的特定具體實施例且詳述其中的細節。不過，應瞭解本文所描述的特定具體實施例不是想要把本發明限定成本文所揭示的特定形式，反而是，本發明是要涵蓋落入由隨附申請

專利範圍定義之本發明精神及範疇內的所有修改、等價及替代性陳述。

【實施方式】

【0013】以下描述本發明的各種示意具體實施例。爲了清楚說明，本專利說明書沒有描述實際具體實作的所有特徵。當然，應瞭解，在開發任一此類的實際具體實施例時，必需做許多與具體實作有關的決策以達成開發人員的特定目標，例如遵循與系統相關及商務有關的限制，這些都會隨著每一個具體實作而有所不同。此外，應瞭解，此類開發即複雜又花時間，但對本技術領域一般技術人員而言在閱讀本揭示內容後仍將是例行工作。

【0014】此時以參照附圖來描述本發明。示意圖示於附圖的各種結構、系統及裝置係僅供解釋以及避免熟諳此技術領域者所習知的細節混淆本發明。儘管如此，仍納入附圖用來描述及解釋本揭示內容的示意實施例。應使用與相關技術領域技術人員所熟悉之意思一致的方式理解及解釋用於本文的字彙及片語。本文沒有特別定義的術語或片語(亦即，與熟諳此技術領域者所理解之普通慣用意思不同的定義)是想要用術語或片語的一致用法來暗示。在這個意義上，希望術語或片語具有特定的意思時(亦即，不同於熟諳此技術領域者所理解的意思)，則會在本專利說明書中以直接明白地提供特定定義的方式清楚地陳述用於該術語或片語的特定定義。

【0015】本揭示內容針對用新穎心軸氧化製程形成 FinFET 半導體設備以形成該設備之鱗部的各種方法。熟諳此技術領域者在讀完本申請案後會了解，本發明方法可應用於各種設備，包括

但不限於：邏輯設備、記憶設備、等等，以及揭示於本文的方法可用來形成 N 型或 P 型半導體設備。此時參考附圖更詳述地描述揭示於本文之方法及設備的各種示意具體實施例。

【0016】第 1A 圖的透視圖圖示形成於半導體基板 B 上方的參考 FinFET 半導體設備 A。設備 A 包含複數個鰭部 C、閘極電極 D、側壁間隔體 E 以及閘極帽蓋層 F。第 1A 圖圖示本文所揭示之設備可繪於以下附圖所示之各種橫截面圖的位置。更特別的是，視線“X-X”為沿著與閘極電極 D 之長軸平行之方向(亦即，閘極寬度方向)穿過閘極電極 D 的剖面線。鰭部 C 中被閘極電極 D 覆蓋的部份為 FinFET 設備 A 的通道區。視線“Y-Y”為沿著橫互鰭部 C 之長軸之方向穿過鰭部 C(在閘極電極 D 及間隔體 E 之外)的剖面線，亦即，穿過會變成設備之源極/汲極區的鰭部 C。在習知加工流程中，藉由執行一個或多個磊晶生長製程，鰭部 C 中位於源極/汲極區中的部份可增加尺寸，甚至併在一起(未圖示於第 1A 圖)。在設備之源極/汲極區中增加鰭部 C 之大小或合併鰭部 C 的方法是要減少源極/汲極區的電阻或在通道區中誘發拉伸或壓縮應力。應瞭解，提供第 1A 圖只是用來圖示可繪於以下附圖之各種橫截面圖的位置，而有許多描述於下文的態樣未圖示於第 1A 圖以便不使第 1A 圖中所描繪的設備 A 過於複雜。

【0017】第 1B 圖至第 1L 圖圖示揭示於本文之新穎 FinFET 半導體設備 100 的各種示意具體實施例，以及製作 FinFET 設備 100 的各種方法。設備 100 可為 N 型設備或者是 P 型設備，以及可用所謂“先形成閘極 (gate-first)”或者是“取代閘極”(“後形成閘極 (gate-last)”)的技術來形成它的閘極結構。在附圖中，設

備 100 圖示成其係形成於由第一半導體材料(例如,矽等等)構成的半導體基板 10 之上。示意基板 10 可為塊狀半導體基板,或可為所謂 SOI(絕緣體上覆矽)基板或所謂 SGOI(絕緣體上覆矽鍺)基板的主動層。因此,應瞭解,用語“基板”、“半導體基板”或“半導體基板”涵蓋所有半導體材料以及該等半導體材料的所有形式。在基板 10 中可形成溝槽隔離結構(未圖示)以界定設備 100 會在此形成的主動區。當然,熟諳此技術領域者在讀完本申請案後會了解,該隔離結構可在形成設備 100 的各種鰭部(如下述)之前或之後形成。

【0018】在圖示於第 1B 圖的製造點,在一個示意具體實施例中,基板 10 上已形成一層半導體材料 11 及經圖案化之遮罩層 16。在一個示意具體實施例中,該層半導體材料 11 可由與基板 10 之半導體材料不同的半導體材料構成。例如,在基板 10 為矽的情形下,該層半導體材料 11 可為一層矽鍺、鍺、磷化銮、砷化銮、砷化鎵等等,以及藉由進行磊晶生長製程可形成於基板 10 上。在一個示意具體實施例中,該層半導體材料 11 可具有約 10 至 100 奈米的厚度,然而它的厚度可隨著特定應用而有所不同。

【0019】經圖圖案化之遮罩層 16 可為經圖案化之硬遮罩層,以及可用習知的沉積、微影及蝕刻技術形成。希望經圖案化之遮罩層 16 在本質上有代表性,因為它可由各種材料構成,例如,光阻材料、氮化矽、氮氧化矽、二氧化矽等等。此外,經圖案化之遮罩層 16 可由多層材料構成,例如,形成於該層半導體材料 11 上的墊氧化物層(pad oxide layer, 未圖示)以及形成於該墊氧化物層上的氮化矽層(未圖示)。因此,經圖案化之遮罩層 16 的特

定形式及組合物及其製作方法應不被視作本發明的限制。在經圖案化之遮罩層 16 由一個或多個硬遮罩層構成的情形下，藉由進行各種習知加工技術可形成該等諸層，例如化學氣相沉積(CVD)製程、原子層沉積(ALD)製程、磊晶沉積製程(EPI)、或該等製程的電漿增強版，而且該(等)層的厚度可隨著特定應用而有所不同。在一個示意具體實施例中，經圖案化之遮罩層 16 為氮化矽之硬遮罩層，其形成係初始藉由進行 CVD 製程以沉積一層氮化矽，然後用習知側壁圖像轉印技術及/或光微影技術的圖案化該層氮化矽以及進行習知蝕刻技術。

【0020】接下來，如第 1C 圖所示，通過經圖案化之遮罩層 16 對於該層半導體材料 11 進行一個或多個乾或濕蝕刻製程以形成複數個溝槽 12。在此實施例中，該蝕刻製程在基板 10 上中止。此蝕刻製程導致定義出複數個心軸結構 11A，以及在此特定具體實施例中，定義出為各自由該層半導體材料 11 之一部份構成的鰭式心軸結構。在示意實施例中，心軸結構 11A 都有實質垂直取向的側壁。溝槽 12 及心軸結構 11A 的整體大小、形狀及組構可隨著特定應用而有所不同。溝槽 12 的深度及寬度以及鰭式心軸結構 11A 的高度及寬度可隨著特定應用而有所不同。在一個示意具體實施例中，基於當今的技術，溝槽 12 的寬度可約在 10 至 40 奈米之間。在一些具體實施例中，鰭式心軸結構 11A 可具有約在 20 至 60 奈米之間的寬度。可形成有任何所欲間距的鰭式心軸結構 11A。在圖示於附圖的示意實施例中，溝槽 12 及鰭式心軸結構 11A 都有一致的大小及形狀。不過，溝槽 12 及鰭式心軸結構 11A 可以不需要有一致的大小及形狀以實施揭示於本文之本發明的至少一

些態樣。揭示於本文的實施例中，溝槽 12 圖示成已用導致溝槽 12 示意圖示具有大體矩形組構及實質垂直側壁的非等向性蝕刻製程形成。在實際真實設備中，溝槽 12 的側壁可能有點向內變尖，但此組構未圖示於附圖。在有些情形下，溝槽 12 可能有靠近溝槽 12 底部的凹角型輪廓(reentrant profile)。相較於用非等向性蝕刻製程形成有大致矩形組構的溝槽 12，如果藉由進行濕蝕刻製程來形成溝槽 12，溝槽 12 可能傾向有更圓的組構或非線性組構。因此，溝槽 12 的大小及組構及其製作方式不應被視作本發明的限制。為了便於揭示，以下附圖只圖示實質矩形的溝槽 12。

【0021】第 1D 圖圖示在已進行數個加工作業之後的設備 100。首先，在設備 100 上形成一層絕緣材料 22 以便過填溝槽 12。該層絕緣材料 22 可由各種不同的材料(例如，二氧化矽、氮化矽、氮氧化矽或常用於半導體製造工業等等的任何其他介電材料)或彼等之多層等等構成，以及可藉由進行各種技術來形成，例如，CVD 等等。接下來，用經圖案化之遮罩層 16 作為研磨中止層，進行一個或多個化學機械研磨(CMP)製程以平坦化該層絕緣材料 22 的上表面。在該 CMP 製程後，該層絕緣材料 22 的上表面與經圖案化之遮罩層 16 的上表面 16S 實質一樣高。繼續參考第 1D 圖，隨後對於該經平坦化之絕緣材料 22 層進行蝕刻製程以減少它的厚度，藉此導致該層絕緣材料有凹陷上表面 22R。絕緣材料 22 層的凹陷表面 22R 暴露部份鑷式心軸結構 11A 供進一步加工。鑷式心軸結構 11A 在此製程露出的數量或高度可隨著特定應用而有所不同，以及在一個示意具體實施例中，可約在 30 至 50 奈米之間。

【0022】然後，如第 1E 圖所示，進行氧化製程以形成基於半

導體之氧化物區 24 於鰭式心軸結構 11A 的暴露部份上。在該層半導體材料 11(第 11 圖)由鍺構成的情形下，基於半導體之氧化物區 24 可由氧化鍺構成。在一個示意具體實施例中，基於半導體之氧化物區 24 可具有約 4 至 12 奈米的橫向厚度或寬度，然而基於半導體之氧化物區 24 的厚度可隨著特定應用以及設備 100 之最終鰭部結構的所欲寬度而有所不同，以下會有更完整的描述。

【0023】接下來，如第 1F 圖所示，進行蝕刻製程(例如，濕蝕刻製程)以移除基於半導體之氧化物區 24。此製程導致形成厚度減少之鰭式心軸結構 11B，其中原始鰭式心軸結構 11A 之暴露部份之寬度或厚度的減少數量大約對應至基於半導體之氧化物區 24 的兩倍寬度或厚度。厚度減少之鰭式心軸結構 11B 的最終厚度或橫向寬度可隨著特定應用而有所不同，例如，可具有約 10 至 40 奈米的厚度，這取決於原始鰭式心軸結構 11A 的寬度或厚度以及基於半導體之氧化物區 24 的寬度或厚度。

【0024】第 1G 圖圖示半導體材料 28 已磊晶生長於厚度減少之鰭式心軸結構 11B 上之後的設備。一般而言，半導體材料 28 可由可對於厚度減少之鰭式心軸結構 11B 之材料選擇性地加以蝕刻的半導體材料構成。在一個示意具體實施例中，半導體材料 28 可為 III-V 族材料、砷化鎵銻(InGaAs)、砷化鎵、砷化銻、銻化鎵、砷化銻銻(InSbAs)等等。在有些情形下，半導體材料 28 可由與用於基板 10 及該層半導體材料 11 之半導體材料不同的半導體材料製成。半導體材料 28 本質上可能是或不是鑽石形狀或其他不規則形狀，這取決於厚度減少之鰭式心軸結構 11B 的結晶結構。在一個特定具體實施例中，生長足夠的半導體材料 28，使得半導體材

料 28 實際併在一起，其方式與圖示於附圖者類似或稍微不同。合併的程度及形狀取決於特定半導體材料之各種晶面的生長條件及相對生長動力學。

【0025】接下來，如第 1H 圖所示，通過經圖案化之遮罩層 16 進行非等向性蝕刻製程，以移除半導體材料 28 中不被經圖案化之遮罩層 16 保護的部份。此非等向性蝕刻製程導致定義出會變成最終 FinFET 設備 100 之鰭部的複數個半導體材料間隔體/鰭部 28A。應注意，在此蝕刻製程完成後，鰭部 28A 都位在經圖案化之遮罩層 16 之部份下。如圖示，在一個示意具體實施例中，半導體材料間隔體/鰭部 28A 的橫向寬度或厚度大約對應至基於半導體之氧化物區 24 的橫向寬度或厚度(第 1E 圖)。

【0026】第 1I 圖圖示在進行一個或多個蝕刻製程以對於周遭結構選擇性地移除經圖案化之遮罩層 16 之後的設備 100。

【0027】接下來，如第 1H 圖所示，進行蝕刻製程(例如，定時之濕或乾蝕刻製程)以移除厚度減少之鰭式心軸結構 11B 相對於半導體材料間隔體/鰭部 28A 的部份。如圖示，在一些具體實施例中，以比整個移除厚度減少之鰭式心軸結構 11B 還短的持續時間，進行該蝕刻製程，例如，在凹陷步驟後，厚度減少之鰭式心軸結構 11B 的表面 11R 可位在絕緣材料 22 層的凹陷表面 22R 上方約 10 至 40 奈米。

【0028】第 1K 圖圖示在進行數個加工作業之後的設備 100。首先，在設備 100 上形成一層絕緣材料 30 以便過填在半導體材料間隔體/鰭部 28A 之間的空間或溝槽。該層絕緣材料 30 可由各種不同的材料(例如，二氧化矽、氮化矽、氮氧化矽或常用於半導體

製造工業等的任何其他介電材料)或彼等之多層等等構成，以及可藉由進行各種技術來形成，例如 CVD、ALD 等等。接下來，用半導體材料間隔體/鰭部 28A 作為研磨中止層，進行一個或多個化學機械研磨(CMP)製程以平坦化絕緣材料 30 層的上表面。在該 CMP 製程後，該層絕緣材料 30 的上表面與半導體材料間隔體/鰭部 28A 的上表面實質一樣高。繼續參考第 1K 圖，隨後對於該經平坦化之絕緣材料 30 層進行蝕刻製程以減少它的厚度，藉此導致該層絕緣材料 30 有凹陷表面 30R。絕緣材料 30 層的凹陷表面 30R 有效地界定鰭部 28A 的最終高度，這可隨著特定應用而有所不同，以及在一個示意具體實施例中，可約在 30 至 50 奈米之間。

【0029】接下來，如第 1L 圖所示，用眾所周知的技術(亦即，先形成閘極或後形成閘極技術)在設備 100 上形成最終閘極結構 40。在使用先形成閘極製造技術的一個示意具體實施例中，示意圖示之閘極結構 40 包含示意閘極絕緣層 40A 與示意閘極電極 40B。也在示意閘極電極 40B 上方形成示意閘極帽蓋層(未圖示)。閘極絕緣層 40A 可由各種不同的材料構成，例如二氧化矽、所謂的高 k(k 大於 7)絕緣材料(其中 k 為相對電介質常數)、等等。閘極絕緣層 40A 的厚度也可隨著特定應用而有所不同，例如，可具有約 1 至 2 奈米的物理厚度。同樣，閘極電極 40B 也可由各種導電材料構成，例如多晶矽或非晶矽，或可由用作為閘極電極 40B 的一層或多層金屬層構成。熟諳此技術領域者在讀完本申請案後會了解，圖示於附圖之設備 100 的閘極結構 40(亦即，閘極絕緣層 40A 與閘極電極 40B)旨在代表其本質。亦即，閘極結構 40 可由各種不同的材料構成，以及它可具有各種組構。在一個示意具體實

施例中，可進行熱氧化製程以形成由基於半導體之氧化物材料構成的閘極絕緣層 40A，例如氧化鋯、二氧化矽、高 k 絕緣材料層、氧化鋁等等。之後，閘極材料 40B 與閘極帽蓋層材料(未圖示)可沉積於設備 100 上方以及可用習知光微影及蝕刻技術加以圖案化。在另一示意具體實施例中，可進行保形 CVD 或 ALD 製程以形成由氧化鉛構成的閘極絕緣層 40A。之後，在設備 100 上方可沉積一層或多層金屬層(會變成閘極電極 40B)與閘極帽蓋層材料(未圖示)，例如，氮化矽。

【0030】在此時，可進行傳統製造技術以完成設備 100 的製造。例如，可形成由諸如氮化矽之類構成與最終閘極結構 40 鄰接的側壁間隔體(未圖示)。在形成該間隔體後，若需要，可進行磊晶生長製程以在鰭部 28A 中位在間隔體外的部份上形成附加半導體材料(未圖示)。然後，用傳統技術在設備上方可形成附加接觸及金屬化層。

【0031】熟諳此技術領域者在讀完本申請案後應瞭解，揭示於本文的方法係廣泛地針對形成 FinFET 設備之鰭部的各種方法，其係藉由氧化心軸結構的側壁，移除該心軸結構的氧化部份，藉此定義厚度減少之心軸結構，在該厚度減少之心軸結構上形成複數個鰭部以及進行蝕刻製程以選擇性地移除該厚度減少之心軸結構的至少一部份，藉此暴露該等鰭部中之每一者的至少一部份。在示意實施例中，該心軸結構係藉由在半導體材料中形成複數個溝槽來形成的鰭狀心軸結構 11A，但是本發明不應被視為受限於本文所揭示的示意實施例。亦即，該心軸結構可形成於半導體基板中或上方，以及它不需要具有本文所描述的示意鰭狀結

構。例如，在一個具體實施例中，該心軸可直接形成於基板中，以及可省略形成額外的半導體材料層，亦即，層 11。然後，如上述，可加工形成於基板中的心軸結構，亦即，氧化鰭狀心軸的側壁，移除該等氧化區以定義厚度減少之心軸，生長半導體材料於厚度減少之心軸的側壁上、等等。

【0032】以上所揭示的特定具體實施例均僅供圖解說明，因為熟諳此技術領域者在受益於本文的教導後顯然可以不同但等價的方式來修改及實施本發明。例如，可用不同的順序完成以上所提出的製程步驟。此外，除非在以下申請專利範圍有提及，不希望本發明受限於本文所示之構造或設計的細節。因此，顯然可改變或修改以上所揭示的特定具體實施例而所有此類變體都被認為仍然是在本發明的範疇與精神內。因此，本文提出以下的申請專利範圍尋求保護。

【符號說明】

【0033】

10	半導體基板	11	半導體材料層
11A	心軸結構		
11B	厚度減少之鰭式心軸結構		
11R	表面	12	溝槽
16	經圖案化之遮罩層	16S	上表面
22	絕緣材料層	22R	凹陷上表面
24	基於半導體之氧化物區		
28	半導體材料		
28A	半導體材料間隔體/鰭部		

30	絕緣材料層	30R	凹陷表面
40	最終閘極結構	40A	示意閘極絕緣層
40B	示意閘極電極		
100	新穎 FinFET 半導體設備		
A	參考 FinFET 半導體設備		
B	半導體基板	C	鰭部
D	閘極電極	E	側壁間隔體
F	閘極帽蓋層		

申請專利範圍

1. 一種形成設備的方法，係包含：
 - 形成具有側壁的心軸結構；
 - 進行氧化製程，以氧化該心軸結構之至少一部份，藉此在該心軸結構的該等側壁上定義氧化區；
 - 移除該等氧化區，藉此定義厚度減少之心軸結構；
 - 形成複數個鰭部於該厚度減少之心軸結構上；以及
 - 進行蝕刻製程，以選擇性地移除該厚度減少之心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者的至少一部份。
2. 如申請專利範圍第 1 項所述之方法，更包括：在該等鰭部之該等暴露部份的至少一部份附近形成最終閘極結構。
3. 如申請專利範圍第 1 項所述之方法，其中，形成該心軸結構包括：在半導體材料中，藉由蝕刻複數個溝槽而形成鰭狀心軸結構。
4. 如申請專利範圍第 1 項所述之方法，其中，在由矽、鍺或矽鍺構成的半導體基板上方形形成該心軸結構。
5. 如申請專利範圍第 4 項所述之方法，其中，該等鰭部由 III-V 族材料、砷化鎵銮、砷化鎵、砷化銮、或砷化銻銮中之一者構成。
6. 如申請專利範圍第 1 項所述之方法，其中，該心軸結構與該等鰭部由不同的半導體材料構成。
7. 如申請專利範圍第 1 項所述之方法，其中，在由矽、鍺或矽鍺構成的半導體基板中形成該心軸結構。

8. 如申請專利範圍第 1 項所述之方法，其中，形成該複數個鰭部於該厚度減少之心軸結構上包括：

形成磊晶生長半導體材料於該厚度減少之心軸結構上；以及

對於該磊晶生長半導體材料進行非等向性蝕刻製程，藉此在該厚度減少之心軸結構上定義由該磊晶生長半導體材料構成的該複數個鰭部。

9. 如申請專利範圍第 1 項所述之方法，其中，該等側壁為實質垂直取向之側壁。

10. 一種形成設備的方法，係包含：

在第一半導體材料上方形成經圖案化之遮罩層；

通過該經圖案化之遮罩層，進行至少一個第一蝕刻製程，以形成由該第一半導體材料構成的心軸結構，該心軸結構具有側壁；

進行氧化製程，以氧化該心軸結構之至少一部份，藉此在該心軸結構的該等側壁上定義氧化區；

進行至少一個第二蝕刻製程，以移除該等氧化區，藉此定義厚度減少之心軸結構；

在該厚度減少之心軸結構上形成第二半導體材料，該第二半導體材料係與該第一半導體材料不同；

通過該經圖案化之遮罩層，進行至少一個第三蝕刻製程，以移除該第二半導體材料之部份，以便藉此定義由該第二半導體材料構成的複數個鰭部於該厚度減少之心軸結構上；以及

進行至少一個第四蝕刻製程，以選擇性地移除該厚度減少

之心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者的至少一部份。

11. 如申請專利範圍第 10 項所述之方法，其中，在進行該至少一個第三蝕刻製程後，該複數個鰭部係位在該經圖案化之遮罩層之部份下方。

12. 一種形成設備的方法，係包含：

在半導體基板上方形成鰭式心軸結構；

進行氧化製程，以氧化該鰭式心軸結構之至少一部份，藉此在該鰭式心軸結構上定義氧化區；

移除該等氧化區，藉此定義厚度減少之鰭式心軸結構；

在該厚度減少之鰭式心軸結構上形成複數個鰭部；以及

進行蝕刻製程，以選擇性地移除該厚度減少之鰭式心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者之至少一部份。

13. 如申請專利範圍第 12 項所述之方法，更包括：在該等鰭部之該等暴露部份的至少一部份附近形成最終閘極結構。

14. 如申請專利範圍第 12 項所述之方法，其中，該半導體基板由矽構成，以及該鰭式心軸結構由矽、鍺或矽鍺化合物中之一者構成，以及該等鰭部由 III-V 族材料、砷化鎵銻、砷化鎵、砷化銻或砷化銻銻中之一者構成。

15. 如申請專利範圍第 13 項所述之方法，其中，該最終閘極結構包含由高 k 絕緣材料構成的閘極絕緣層，以及由至少一層金屬構成的閘極電極。

16. 如申請專利範圍第 13 項所述之方法，其中，該最終閘極結構

包含由氧化物構成的閘極絕緣層，以及由多晶矽構成的閘極電極。

17. 如申請專利範圍第 12 項所述之方法，其中，形成該鰭式心軸結構包括：

在該半導體基板上方形成第一半導體材料的第一層；

在該第一半導體材料之該第一層上方形成經圖案化之遮罩層；以及

通過該經圖案化之遮罩層，進行至少一個第一蝕刻製程，藉此在該第一半導體材料之該第一層中形成複數個隔開溝槽，藉此定義由該第一半導體材料構成的該鰭式心軸結構。

18. 如申請專利範圍第 17 項所述之方法，其中，該基板由與該第一半導體材料不同的第二半導體材料構成。

19. 如申請專利範圍第 12 項所述之方法，其中，移除該等氧化區包括：進行濕蝕刻製程或乾蝕刻製程，以移除該等氧化區。

20. 如申請專利範圍第 12 項所述之方法，其中，在該厚度減少之鰭式心軸結構上形成該複數個鰭部包括：

在該厚度減少之鰭式心軸結構上形成磊晶生長半導體材料；以及

通過經圖案化之遮罩層，對於該磊晶生長半導體材料進行非等向性蝕刻製程，藉此在該厚度減少之鰭式心軸結構上定義由該磊晶生長半導體材料構成的該複數個鰭部。

21. 如申請專利範圍第 12 項所述之方法，其中，進行該蝕刻製程以選擇性地移除該厚度減少之鰭式心軸結構之至少一部份以便藉此暴露該等鰭部中之每一者之至少一部份包括：進行定時

蝕刻製程。

22. 一種形成設備的方法，係包含：

形成由第一半導體材料構成的鰭式心軸結構於由與該第一半導體材料不同之第二半導體材料構成的半導體基板上；

進行氧化製程，以氧化該鰭式心軸結構之至少一部份，藉此在該鰭式心軸結構上定義氧化半導體材料區；

移除該等氧化半導體材料區，藉此定義厚度減少之鰭式心軸結構；

在該厚度減少之鰭式心軸結構上形成複數個鰭部，該等鰭部由磊晶生長半導體材料構成；

進行蝕刻製程，以選擇性地移除該厚度減少之鰭式心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者之至少一部份；以及

在該等鰭部之該等暴露部份的至少一部份附近形成最終閘極結構。

23. 如申請專利範圍第 22 項所述之方法，其中，該半導體基板由矽構成，以及該鰭式心軸結構由矽、鍺或矽鍺化合物中之一者構成，以及該等鰭部由 III-V 族材料、砷化鎵銻、砷化鎵、砷化銻或砷化銻銻中之一者構成。

24. 如申請專利範圍第 22 項所述之方法，其中，該磊晶生長半導體材料為與該第一及該第二半導體材料不同的半導體材料。

25. 如申請專利範圍第 22 項所述之方法，其中，形成該鰭式心軸結構包括：

在該半導體基板上形成該第一半導體材料的第一層；

在該第一半導體材料之該第一層上方形成經圖案化之遮罩層；以及

通過該經圖案化之遮罩層，進行至少一個第一蝕刻製程，藉此在該第一半導體材料之該第一層中形成複數個隔開溝槽，藉此定義由該第一半導體材料構成的該鰭式心軸結構。

26. 如申請專利範圍第 22 項所述之方法，其中，移除該等氧化半導體材料區包括：進行濕蝕刻製程或乾蝕刻製程，以移除該等氧化半導體材料區。

27. 如申請專利範圍第 22 項所述之方法，其中，在該厚度減少之鰭式心軸結構上形成該複數個鰭部包括：

在該厚度減少之鰭式心軸結構上形成該磊晶生長半導體材料；以及

通過經圖案化之遮罩層，對於該磊晶生長半導體材料進行非等向性蝕刻製程，藉此在該厚度減少之鰭式心軸結構上定義由該磊晶生長半導體材料構成的該複數個鰭部。

28. 如申請專利範圍第 22 項所述之方法，其中，進行該蝕刻製程以選擇性地移除該厚度減少之鰭式心軸結構之至少一部份以便藉此暴露該等鰭部中之每一者之至少一部份包括：進行定時蝕刻製程。

29. 一種形成設備的方法，係包含：

形成第一半導體材料的第一層於由與該第一半導體材料不同之第二半導體材料構成的半導體基板上方；

形成經圖案化之遮罩層於該第一半導體材料之該第一層上方；

通過該經圖案化之遮罩層，進行至少一個第一蝕刻製程，藉此在該第一半導體材料之該層中形成複數個隔開溝槽，藉此定義由該第一半導體材料構成的鰭式心軸結構；

形成一層絕緣材料於該基板上方以及於該等隔開溝槽中，該絕緣材料層具有暴露該鰭式心軸結構之一部份的上表面；

進行氧化製程，以氧化該鰭式心軸結構之該暴露部份，藉此在該鰭式心軸結構上定義氧化半導體材料區；

移除該等氧化半導體材料區，藉此定義厚度減少之鰭式心軸結構；

在存在該經圖案化之遮罩層下，形成磊晶生長半導體材料於該厚度減少之鰭式心軸結構上；

通過該經圖案化之遮罩層，對於該磊晶生長半導體材料進行非等向性蝕刻製程，藉此定義由該磊晶生長半導體材料構成的複數個鰭部於該厚度減少之鰭式心軸結構上；

移除該經圖案化之遮罩層；

進行蝕刻製程，以選擇性地移除該厚度減少之鰭式心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者之至少一部份；以及

在該等鰭部之該等暴露部份的至少一部份附近形成最終閘極結構。

30. 如申請專利範圍第 29 項所述之方法，其中，該第一半導體材料由矽鍺構成，該第二半導體材料由矽構成，以及該磊晶生長半導體材料由下列之其中一者構成：III-V 族材料、砷化鎵銻、

砷化鎵、砷化銻或砷化銻銻。

31. 如申請專利範圍第 29 項所述之方法，其中，該磊晶生長半導體材料為與該第一及該第二半導體材料不同的半導體材料。

32. 如申請專利範圍第 29 項所述之方法，其中，該經圖案化之遮罩層由氮化矽構成。

33. 一種形成設備的方法，係包含：

在由半導體材料構成之基板中形成複數個隔開溝槽，藉此定義由該半導體材料構成的心軸結構；

進行氧化製程，以氧化該心軸結構之至少一部份，藉此在該心軸結構上定義氧化區；

移除該等氧化區，藉此定義厚度減少之心軸結構；

形成複數個鰭部於該厚度減少之心軸結構上；以及

進行蝕刻製程，以選擇性地移除該厚度減少之心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者的至少一部份。

34. 如申請專利範圍第 33 項所述之方法，其中，形成該心軸結構包括：

形成經圖案化之遮罩層於該基板上方；以及

通過該經圖案化之遮罩層，進行至少一個第一蝕刻製程，藉此形成該複數個隔開溝槽。

35. 如申請專利範圍第 33 項所述之方法，其中，形成該複數個鰭部於該厚度減少之心軸結構上包括：

形成磊晶生長半導體材料於該厚度減少之心軸結構上；以及

通過經圖案化之遮罩層，對於該磊晶生長半導體材料進行非等向性蝕刻製程，藉此在該厚度減少之心軸結構上定義由該磊晶生長半導體材料構成的該複數個鰭部。

36. 如申請專利範圍第 33 項所述之方法，其中，進行該蝕刻製程以選擇性地移除該厚度減少之心軸結構之至少一部份以便藉此暴露該等鰭部中之每一者之至少一部份包括：進行定時蝕刻製程。
37. 如申請專利範圍第 33 項所述之方法，其中，該心軸結構為鰭狀心軸結構。
38. 一種形成設備的方法，係包含：

形成經圖案化之遮罩層於由第一半導體材料構成的基板上方；

進行至少一個第一蝕刻製程，以在該基板中形成複數個隔開溝槽，該等溝槽定義由該第一半導體材料構成的心軸結構；

進行氧化製程，以氧化該心軸結構之至少一部份，藉此在該心軸結構上定義氧化區；

進行至少一個第二蝕刻製程，以移除該等氧化區，藉此定義厚度減少之心軸結構；

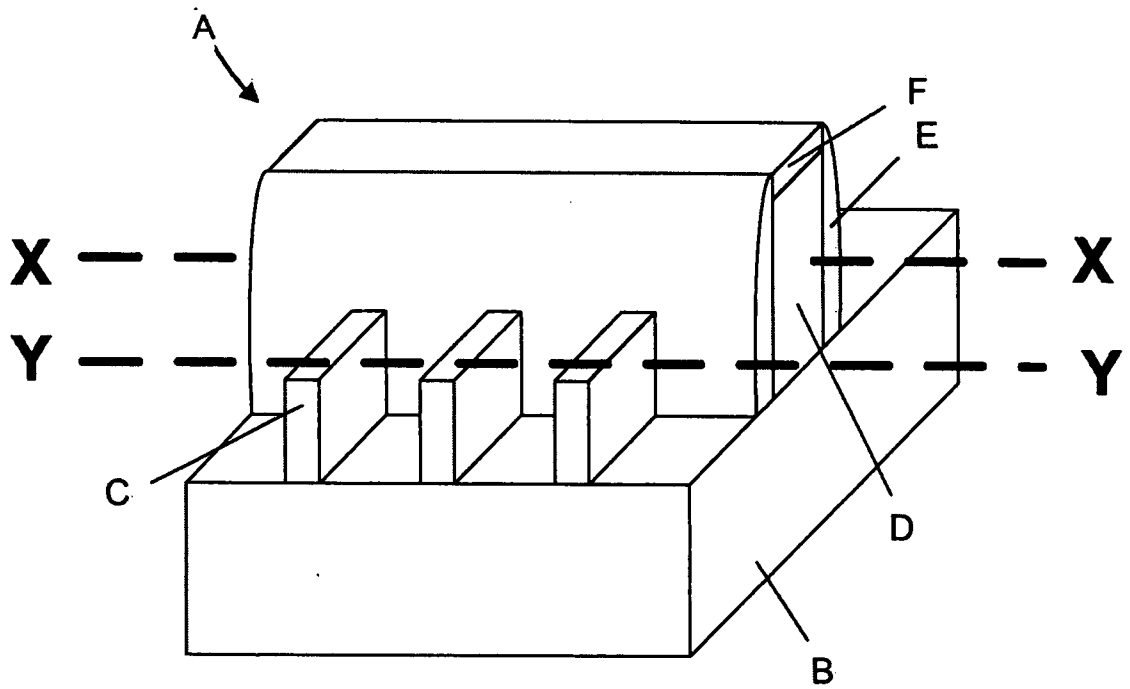
在該厚度減少之心軸結構上形成第二半導體材料，該第二半導體材料係與該第一半導體材料不同；

通過該經圖案化之遮罩層，進行至少一個第三蝕刻製程，以移除該第二半導體材料的數個部份，以便藉此定義由該第二半導體材料構成的複數個鰭部於該厚度減少之心軸結構上；以及

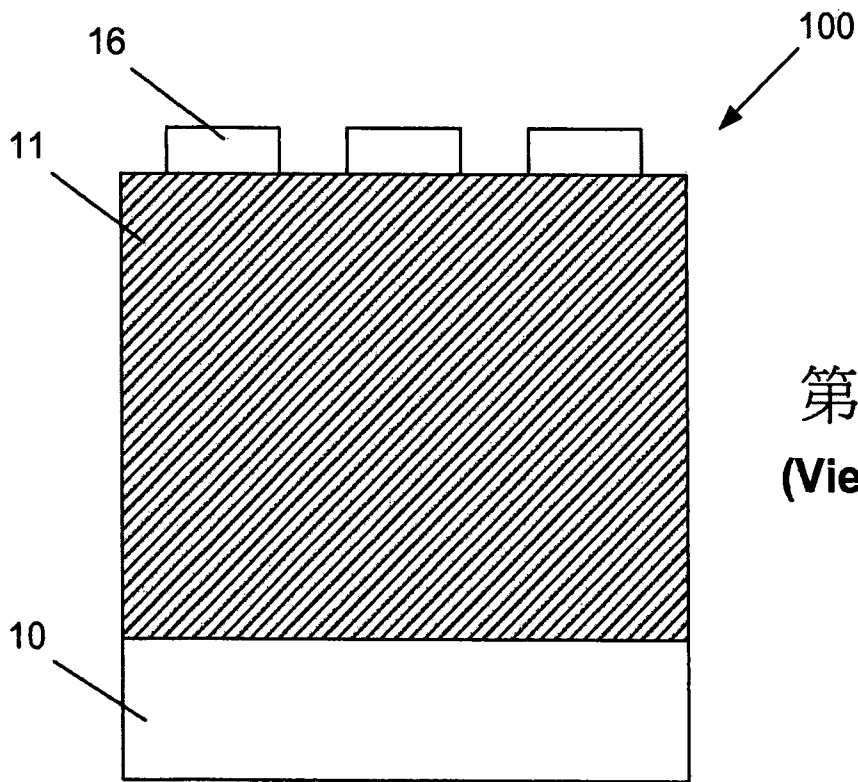
進行至少一個第四蝕刻製程，以選擇性地移除該厚度減少之心軸結構的至少一部份，以便藉此暴露該等鰭部中之每一者的至少一部份。

39. 如申請專利範圍第 38 項所述之方法，其中，在進行該至少一個第三蝕刻製程後，該複數個鰭部係位在該經圖案化之遮罩層之部份下方。

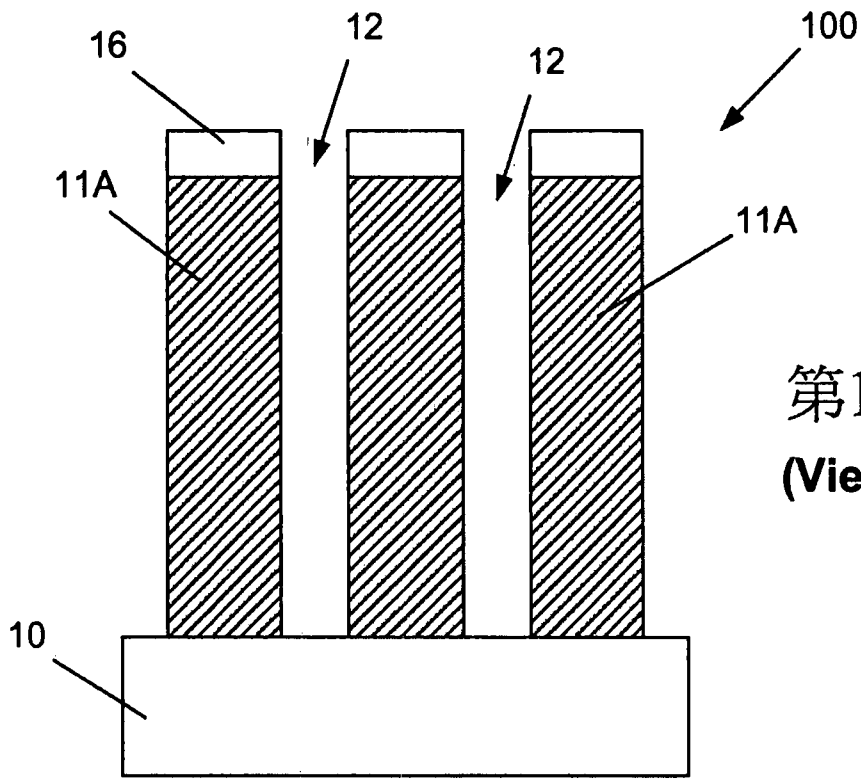
圖式



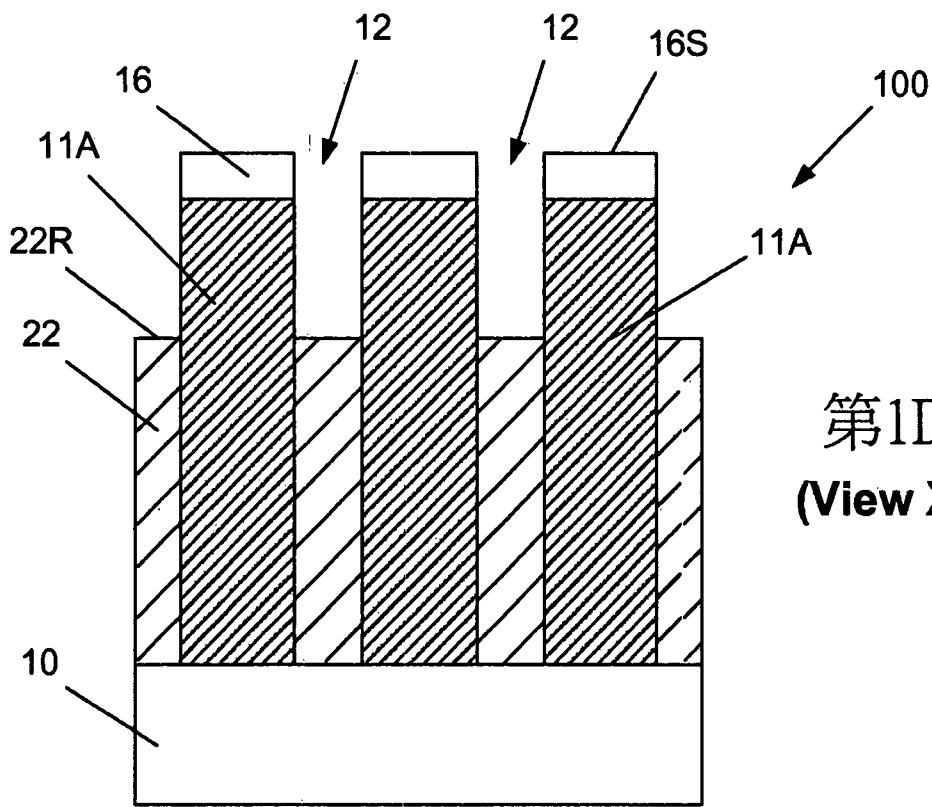
第1A圖



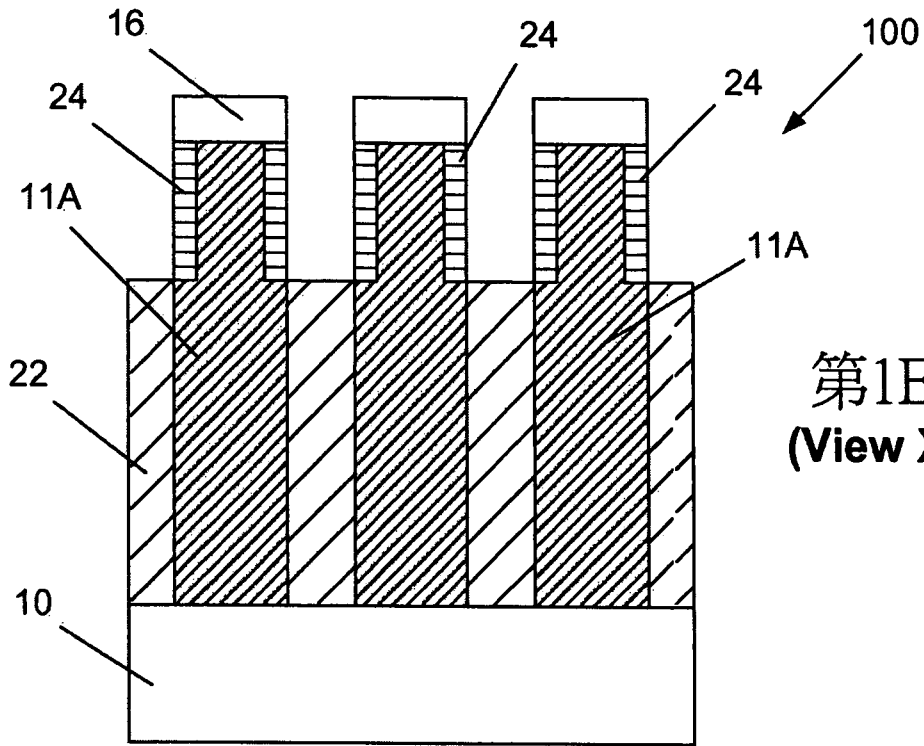
第1B圖
(View X-X)



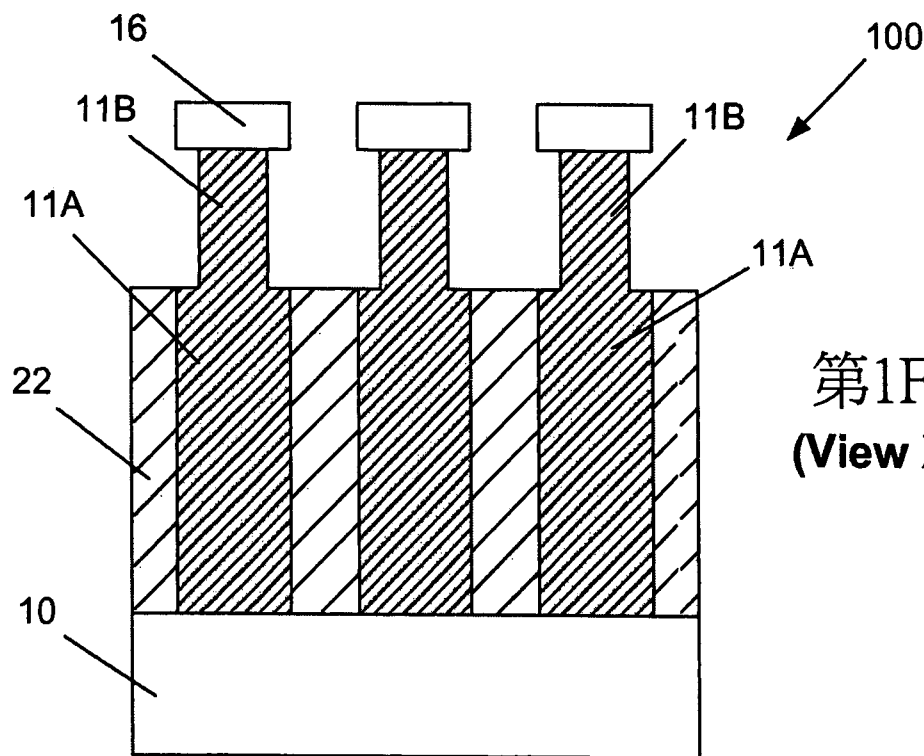
第1C圖
(View X-X)



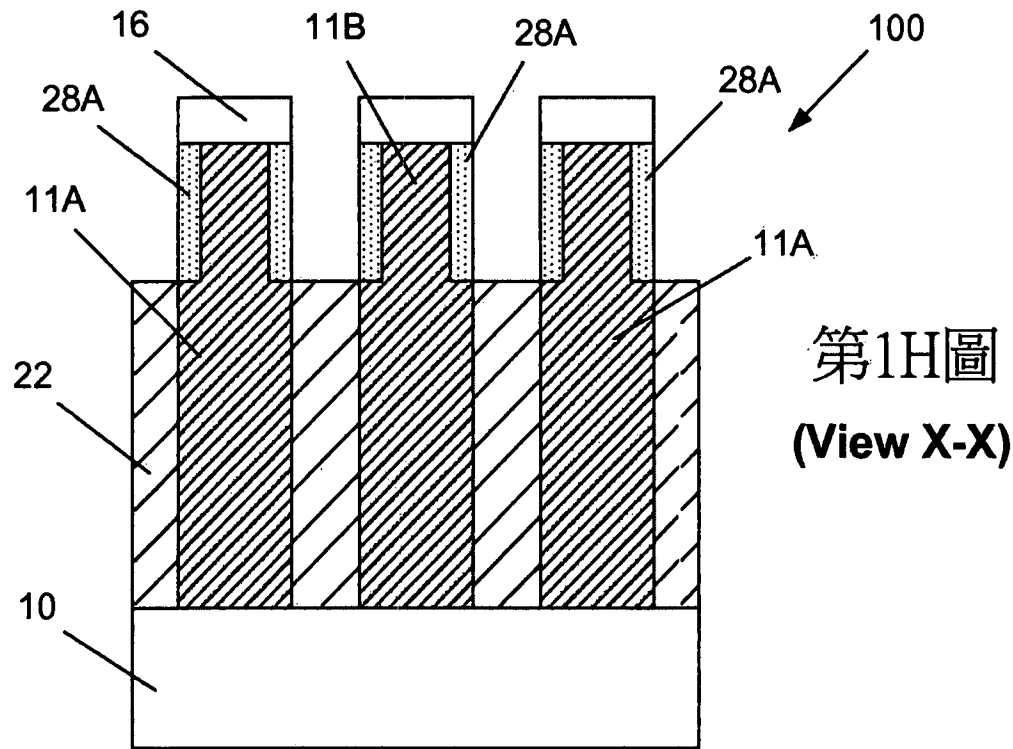
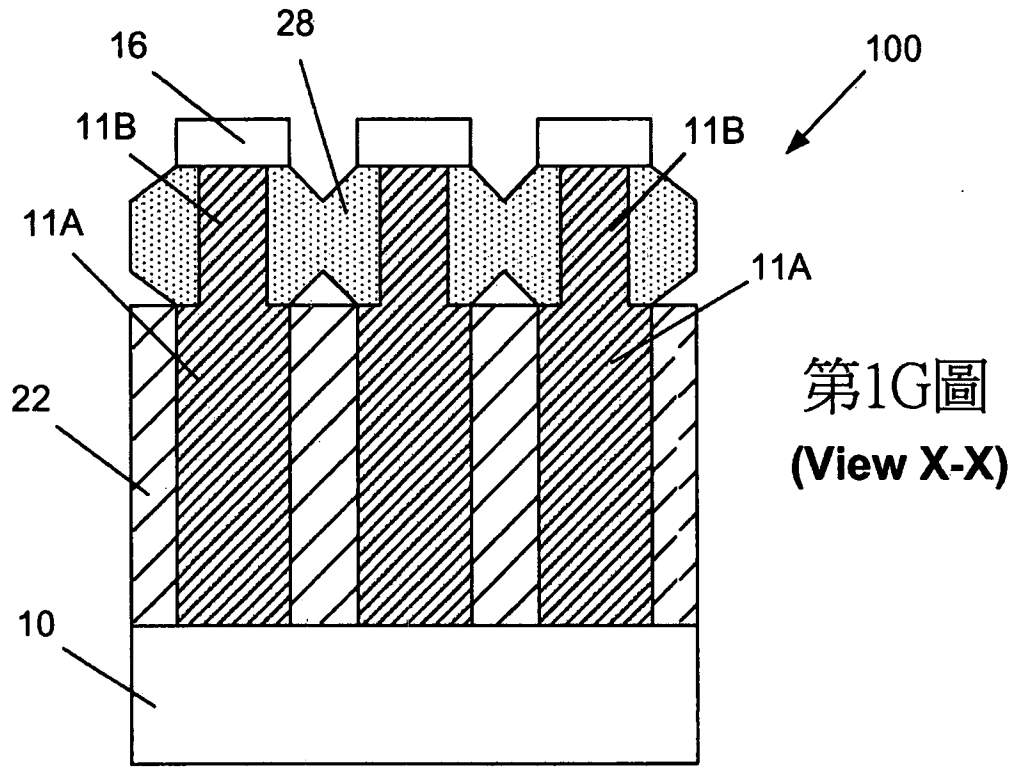
第1D圖
(View X-X)

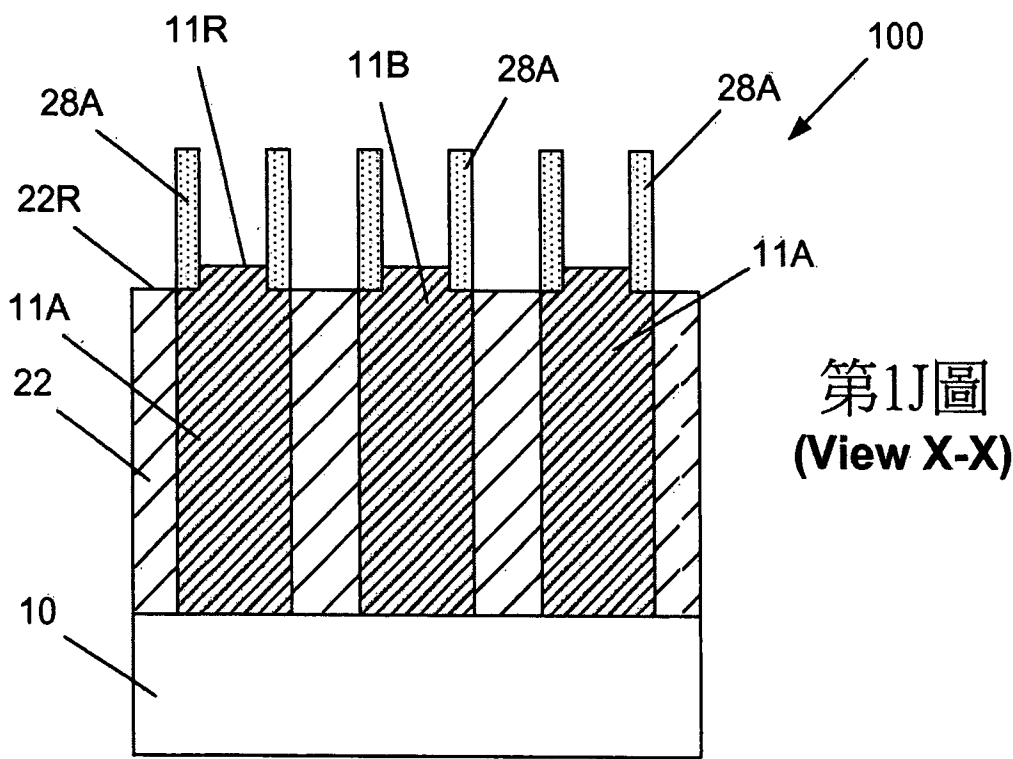
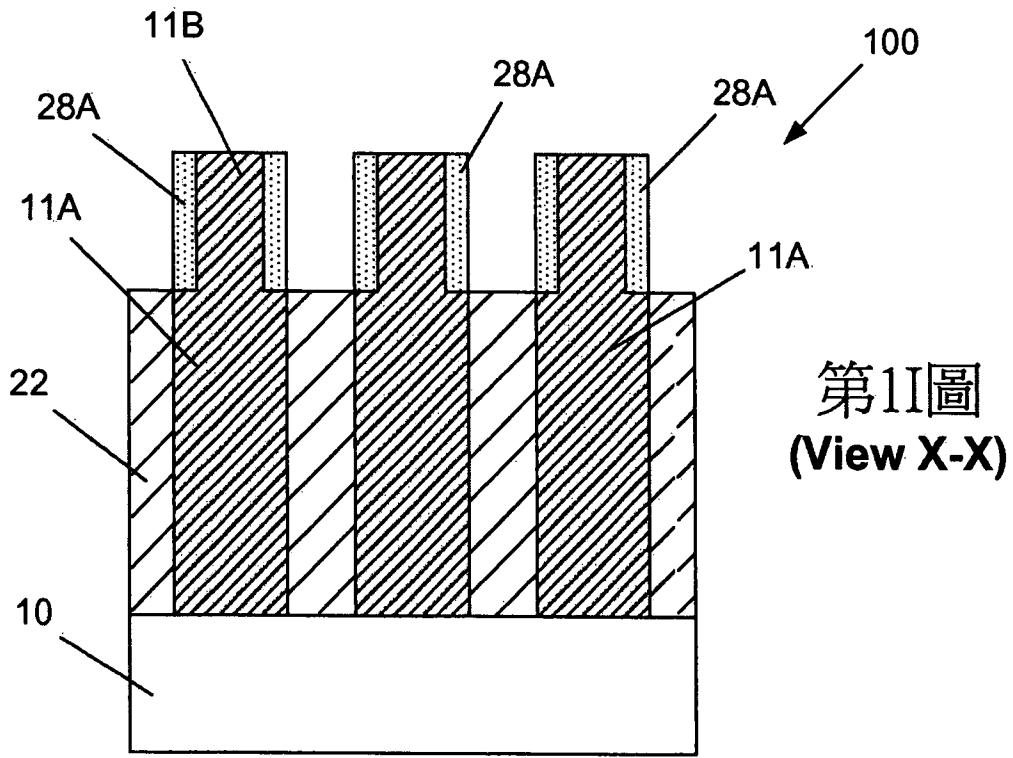


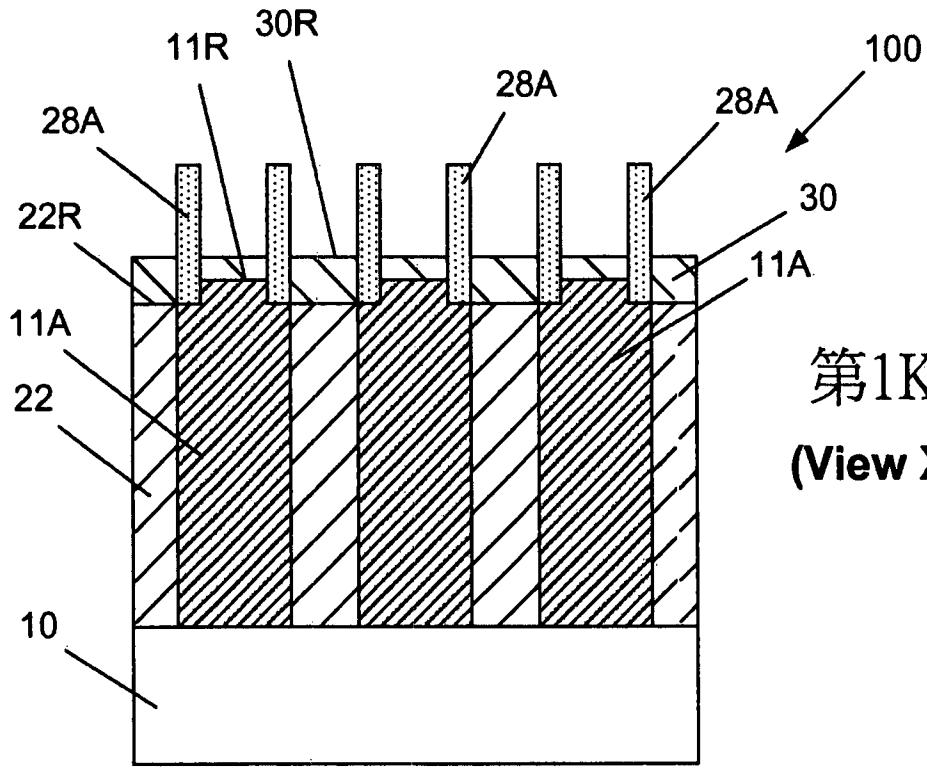
第1E圖
(View X-X)



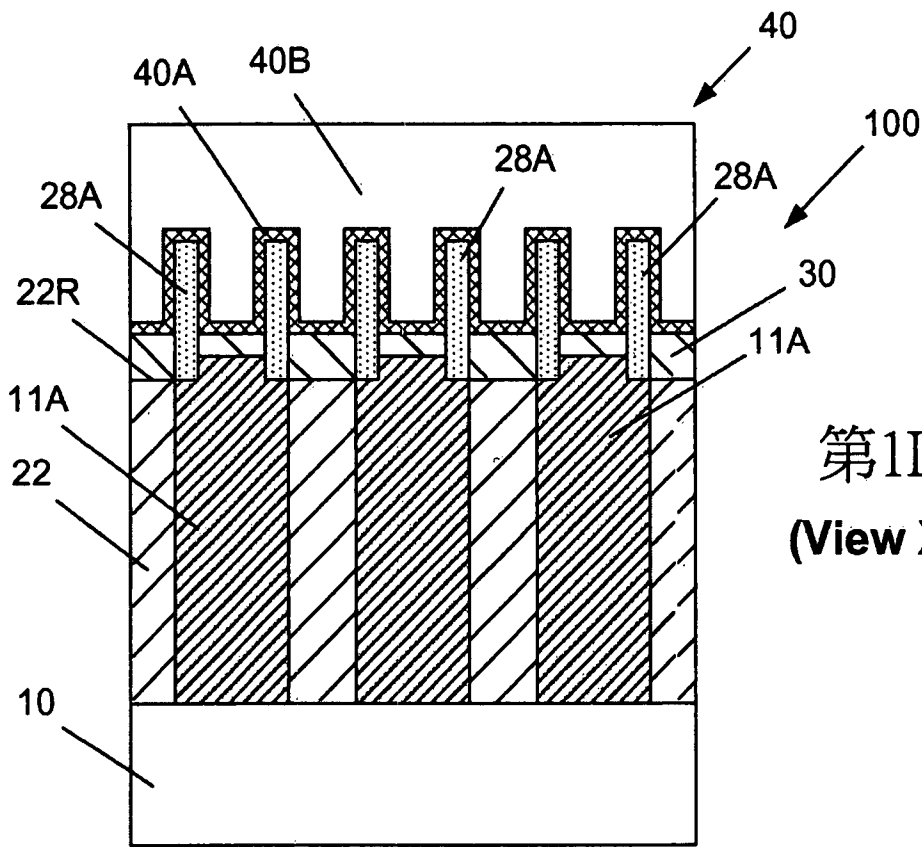
第1F圖
(View X-X)







第1K圖
(View X-X)



第1L圖
(View X-X)