

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5964142号
(P5964142)

(45) 発行日 平成28年8月3日 (2016.8.3)

(24) 登録日 平成28年7月8日 (2016.7.8)

(51) Int.Cl.		F I		
HO 1 L 23/12	(2006.01)	HO 1 L 23/12	5 O 1 B	
HO 1 L 23/14	(2006.01)	HO 1 L 23/14	S	

請求項の数 13 (全 11 頁)

(21) 出願番号	特願2012-124463 (P2012-124463)	(73) 特許権者	000190688
(22) 出願日	平成24年5月31日 (2012.5.31)		新光電気工業株式会社
(65) 公開番号	特開2013-251372 (P2013-251372A)		長野県長野市小島田町80番地
(43) 公開日	平成25年12月12日 (2013.12.12)	(74) 代理人	100068755
審査請求日	平成27年5月20日 (2015.5.20)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	村山 啓
			長野県長野市小島田町80番地 新光電気
			工業 株式会社 内
		(72) 発明者	相澤 光浩
			長野県長野市小島田町80番地 新光電気
			工業 株式会社 内

最終頁に続く

(54) 【発明の名称】 配線基板及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

上面に電子部品が搭載される配線基板であって、
 前記上面において、第1の方向に沿って配列され、前記電子部品の接続端子が接続される複数の第1パッドと、
 結晶軸を有し、前記複数の第1パッドの配列方向に対して前記結晶軸が傾斜した基板本体と、
 を有し、
 前記配線基板の外形は矩形状に形成され、
 前記複数の第1パッドの配列方向は前記外形と平行であること
 を特徴とする配線基板。

【請求項 2】

前記第1パッドが形成された上面側から見て、前記基板本体の結晶軸と前記第1パッドの配列方向とが互いに傾いて形成されてなることを特徴とする請求項1に記載の配線基板。

【請求項 3】

前記基板本体はシリコン単結晶基板であることを特徴とする請求項1又は2に記載の配線基板。

【請求項 4】

前記基板本体には、前記基板本体を貫通する貫通電極が形成され、

前記第１パッドは前記貫通電極に接続されていること、
を特徴とする請求項１～３のうちの何れか一項に記載の配線基板。

【請求項５】

基板本体の上面に形成された絶縁層を有し、
前記第１パッドは前記絶縁層の上面に形成されていること、
を特徴とする請求項１～４のうちの何れか一項に記載の配線基板。

【請求項６】

上面に電子部品が搭載される配線基板であって、
前記上面に形成され、前記電子部品の接続端子が接続される複数の第１パッドと、
結晶軸を有し、前記配線基板の外形に対して前記結晶軸が傾斜した基板本体と、
を有し、
前記複数の第１パッドは、前記配線基板の外形と平行に配列されたこと
を特徴とする配線基板。

10

【請求項７】

前記基板本体はシリコン単結晶基板であることを特徴とする請求項６に記載の配線基板
。

【請求項８】

前記基板本体には、前記基板本体を貫通する貫通電極が形成され、
前記第１パッドは前記貫通電極に接続されていること、
を特徴とする請求項６又は７に記載の配線基板。

20

【請求項９】

基板本体の上面に形成された絶縁層を有し、
前記第１パッドは前記絶縁層の上面に形成されていること、
を特徴とする請求項６～８のうちの何れか一項に記載の配線基板。

【請求項１０】

１つの主面に複数の接続端子が形成された電子部品と、
上面に前記電子部品の接続端子が接続される複数の第１パッドが形成された配線基板と
、
を有し、
前記複数の第１パッドは、前記上面において第１の方向に沿って配列され、
前記配線基板は、結晶軸を有し、前記第１の方向に対して前記結晶軸が傾斜した基板本
体を含み、
前記配線基板の外形は矩形状に形成され、
前記複数の第１パッドの配列方向は前記外形と平行であること、
を特徴とする半導体装置。

30

【請求項１１】

前記基板本体はシリコン単結晶基板であることを特徴とする請求項１０に記載の半導体
装置。

【請求項１２】

前記基板本体には、前記基板本体を貫通する貫通電極が形成され、
前記第１パッドは前記貫通電極に接続されていること、
を特徴とする請求項１０又は１１に記載の半導体装置。

40

【請求項１３】

基板本体の上面に形成された絶縁層を有し、
前記第１パッドは前記絶縁層の上面に形成されていること、
を特徴とする請求項１０～１２のうちの何れか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

配線基板及び半導体装置に関する。

50

【背景技術】

【0002】

従来、電子部品と、電子部品が実装される配線基板と、を有する半導体装置がある。配線基板は基板本体を有している。基板本体は、例えば、シリコン基板、化合物半導体基板、ガラス基板（石英ガラス基板も含む）等である。基板本体には貫通電極が形成されている。貫通電極は、基板本体の上面に形成された配線層を介して基板本体の上面に形成されたパッドと接続されている。また、貫通電極は、基板本体の下面に形成された配線層を介して外部接続用パッドと接続されている。例えば半導体装置（LSI）である電子部品は、配線基板に形成されたパッドにフリップチップ実装されている。（例えば、特許文献1参照）。 10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-093088号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、配線基板に搭載される電子部品の数の増加や、電子部品の大型化等により、配線基板における電子部品を搭載する主面の面積が大きくなっている。また、半導体装置（パッケージ）の薄型化により、配線基板の厚さが薄くなっている。このため、製造工程のハンドリング（搬送）等において、配線基板に生じる応力により配線基板に亀裂が生じることや、配線基板が割れる等の不良が発生する虞がある。 20

【課題を解決するための手段】

【0005】

本発明の一観点によれば、上面に電子部品が搭載される配線基板であって、前記上面において、第1の方向に沿って配列され、前記電子部品の接続端子が接続される複数の第1パッドと、結晶軸を有し、前記複数の第1パッドの配列方向に対して前記結晶軸が傾斜した基板本体とを有し、前記配線基板の外形は矩形状に形成され、前記複数の第1パッドの配列方向は前記外形と平行である。

【発明の効果】 30

【0006】

本発明の一観点によれば、不良の発生を低減することが可能な配線基板を提供することができる。

【図面の簡単な説明】

【0007】

【図1】一実施形態の半導体装置の（a）概略平面図、（b）概略断面図。

【図2】配線基板の概略平面図。

【図3】配線基板を形成するためのウェハの概略平面図。

【図4】半導体装置の（a）概略平面図、（b）概略側面図。

【図5】比較例の半導体装置の（a）概略平面図、（b）概略側面図。 40

【図6】比較例の配線基板を形成するためのウェハの概略平面図。

【発明を実施するための形態】

【0008】

以下、一実施形態を添付図面を参照して説明する。

なお、添付図面は、特徴を分かりやすくするために便宜上特徴となる部分を拡大して示している場合があり、寸法、比率などは実際と異なる場合がある。また、断面図では、各部材の断面構造を分かりやすくするために、一部のハッチングを省略している。また、同じ図面内において同じ部材については符号を省略するものがある。

【0009】

図1（a）に示すように、半導体装置1は、第1の配線基板10、第2の配線基板20 50

、複数（図１（a）において４つ）の半導体チップ４０a～４０dを有している。

各配線基板１０、２０及び各半導体チップ４０a～４０dは、それぞれ平面視して矩形状に形成されている。第２の配線基板２０は、第１の配線基板１０上に搭載されている。半導体チップ４０a～４０dは第２の配線基板２０上に搭載されている。半導体チップ４０a～４０dは電子部品の一例である。図１（b）に示すように、半導体装置１は、基板２上に搭載される。基板２は、例えばコンピュータなどの電子回路が構成された有機基材からなる基板（マザーボード）である。

【００１０】

第１の配線基板１０の基板本体１１上面には第２の配線基板２０を接続するための接続用パッド１２が形成されている。基板本体１１の下面には、半導体装置１を基板２に実装するための接続用パッド１３及びバンプ１４が形成されている。

10

【００１１】

基板本体１１は、有機基材からなる基板（有機基板）である。基板本体１１は、上面の接続用パッド１２と、下面の接続用パッド１３とを互いに電氣的に接続する。このため、基板本体１１の内部には、配線層が形成されていてもよく、配線層が形成されていなくてもよい。なお、基板本体１１の内部に配線層が形成される場合には、複数の配線層が層間絶縁層を介して積層され、各配線層と各絶縁層に形成されたビアとによって接続用パッド１２、１３を互いに電氣的に接続している。基板本体１１としては、例えばコア基板を有するコア付きビルドアップ基板やコア基板を有さないコアレス基板等を用いることができる。

20

【００１２】

第２の配線基板２０の基板本体２１には、２つの主面（上面及び下面）の間を貫通する貫通孔２１aが形成されている。基板本体２１の材料は、例えばシリコン（Si）である。貫通孔２１a内には、貫通電極２２が形成されている。貫通電極２２の材料は、例えば銅（Cu）である。貫通電極２２と基板本体２１は、貫通孔２１aの内周面に形成された絶縁膜２３により互いに絶縁されている。絶縁膜２３は、例えばシリコン酸化膜である。なお、基板本体２１の材料をシリコンとした場合、貫通孔２１a内の絶縁膜２３と同様に、基板本体２１の上面及び下面に絶縁膜を形成してもよい。

【００１３】

基板本体２１の上面２１bには絶縁層２４が形成されている。絶縁層２４の上面には、第２の配線基板２０に半導体チップ４０a～４０dを実装するための接続用パッド２５が形成されている。接続用パッド２５と貫通電極２２は、絶縁層２４を貫通するビア２６により互いに電氣的に接続されている。なお、絶縁層２４の上面側に、接続用パッド２５を露出する開口部を有するレジスト膜（ソルダーレジスト）を設けてもよい。

30

【００１４】

基板本体２１の下面２１cには絶縁層２７が形成されている。絶縁層２７の下面には配線層２８が形成されている。配線層２８と貫通電極２２は、絶縁層２７を貫通するビア２９により互いに電氣的に接続されている。

【００１５】

絶縁層２７の表面及び配線層２８は、絶縁層３０により覆われている。絶縁層３０の下面には、第２の配線基板２０を第１の配線基板１０に実装するための接続用パッド３１が形成されている。接続用パッド３１と配線層２８は、絶縁層３０を貫通するビア３２により互いに電氣的に接続されている。接続用パッド３１の下面にはバンプ３３が形成されている。絶縁層３０の表面（下面）はレジスト膜３４にて覆われている。

40

【００１６】

なお、配線層２８を、複数の絶縁層と複数の配線層を積層した多層構造としてもよい。また、基板本体２１の上面２１b側に単層又は多層の配線層を形成してもよい。また、基板本体２１の上面２１b側及び下面２１c側に単層又は多層の配線層を形成してもよい。

【００１７】

なお、ビア２６、２９、３２の材料は、例えば銅、ニッケル（Ni）、ニッケル合金、

50

等である。配線層 28 や接続用パッド 25, 31 の材料は、例えば銅、ニッケル (Ni)、ニッケル合金、等である。絶縁層 24, 27, 30 の材料は、例えばエポキシ樹脂やポリイミド樹脂などの絶縁樹脂である。

【0018】

半導体チップ 40a の主面 41 (図 1 (b) において下面) には複数のバンプ 42 が形成されている。複数のバンプ 42 は、例えば主面 41 において、マトリックス状に配置されている。同様に、半導体チップ 40b の主面 41 には、複数のバンプ 42 が形成され、これらのバンプ 42 はマトリックス状に配置されている。なお、図 1 (b) には示されていないが、図 1 (a) に示す半導体チップ 40c, 40d においても、同様に配置された複数のバンプを有している。第 2 の配線基板 20 の接続用パッド 25 は、これらのバンプ 42 に対応する位置に形成されている。

10

【0019】

第 2 の配線基板 20 に形成されたバンプ 33 は、第 1 の配線基板 10 に形成された接続用パッド 12 に接続されている。第 1 の配線基板 10 と第 2 の配線基板 20 の間にはアンダーフィル樹脂 51 が充填されている。アンダーフィル樹脂 51 は、第 1 の配線基板 10 と第 2 の配線基板 20 の間の接続強度を向上させる。また、アンダーフィル樹脂 51 は、接続用パッド 12 の腐食やエレクトロマイグレーションの発生を抑制する。アンダーフィル樹脂 51 の材料は、例えば例えばエポキシ系樹脂やポリイミド系樹脂などの絶縁性樹脂、又はこれら樹脂にシリカやアルミナ等のフィラーを混入した樹脂材である。

20

【0020】

半導体チップ 40a ~ 40d に形成されたバンプ 42 は、第 2 の配線基板 20 に形成された接続用パッド 25 に接続されている。第 2 の配線基板 20 と半導体チップ 40a ~ 40d の間にはアンダーフィル樹脂 52 が充填されている。

【0021】

図 2 に示すように、第 2 の配線基板 20 の上面 20a (図 1 (b) に示す絶縁層 24 の上面) には複数の接続用パッド 25 が、各半導体チップ 40a ~ 40d に対応して、マトリックス状に配置されている。各半導体チップ 40a ~ 40d は、図 1 (a) に示すように、矩形状に形成され、各半導体チップ 40a ~ 40d のバンプは各半導体チップ 40a ~ 40d の外形に沿って配列されている。図 2 には各半導体チップ 40a ~ 40d の外形を一点鎖線で示している。

30

【0022】

上記したように、第 2 の配線基板 20 は基板本体 21 を有し、この基板本体 21 は例えばシリコン単結晶基板である。第 2 の配線基板 20 の上面 20a、つまり基板本体 21 の上面 21b の面方位は、例えば (100) 面である。図 2 には、第 2 の配線基板 20 (基板本体 21) における 2 つの結晶軸 Cy, Cz を二点鎖線で示している。結晶軸 Cy の結晶方位は例えば <010> であり、結晶軸 Cz の結晶方位は例えば <001> である。なお、図 2 に示す結晶軸 Cy, Cz は、基板本体 21 の結晶軸を代表して示すものである。

【0023】

第 2 の配線基板 20 は、結晶軸 Cy, Cz と半導体チップ 40a ~ 40d の外形とが所定の角度を成すように形成されている。例えば、図 2 に示すように、半導体チップ 40a の外形と結晶軸 Cy の間の角度を傾斜角 θ とする。傾斜角 θ の設定範囲は、例えば 10 度 ~ 80 度である。主面の面方位が (100) 面である第 2 の配線基板 20 において、好適な傾斜角 θ の値は、例えば、22.5 度、45 度、67.5 度である。なお、傾斜角 θ の値は、正確に上記の値である必要はない。

40

【0024】

上記したように、各半導体チップ 40a ~ 40d において、バンプ 42 は半導体チップ 40a ~ 40d の外形と平行な直線に沿って配列されている。第 2 の配線基板 20 の上面 20a に形成された接続用パッド 25 は、半導体チップ 40a ~ 40d のバンプ 42 に対応する位置に形成されている。配列された接続用パッド 25 (最外周の接続用パッド) の中心を通る直線 L1 は、第 2 の配線基板 20 に実装された半導体チップ 40a の外形 (上

50

辺)と平行である。直線L1と結晶軸Cyとが成す角度は傾斜角 θ となる。従って、第2の配線基板20は、結晶軸Cy、Czと、上面に形成された接続用パッド25の中心を通り、接続用パッド25の配列方向に沿って延びる直線L1とが成す角度が所定の傾斜角 θ となるように形成されている。

【0025】

第2の配線基板20の形成方法について説明する。

図3に示すように、円盤状のシリコン基板(シリコンウェハ)60には、所定の結晶方位を示す指標、例えばノッチ61が形成されている。例えば、主面60aの面方位が(100)面であるシリコン基板60において、中心Oとノッチ61を通る直線(図3において上下方向に延びる二点鎖線)L2は、例えば結晶方位が $\langle 001 \rangle$ であり、主面60aにおいてこの直線L2と直交する直線(図3において左右方向に延びる二点鎖線)L3は、例えば結晶方位が $\langle 010 \rangle$ である。例えば、直線L2は結晶軸Czと一致し、直線L3は結晶軸Cyと一致する。

10

【0026】

このシリコン基板60には、複数の基板形成領域62が設定される。図3における破線は、基板形成領域62を個片化するための切断線63を示している。複数の基板形成領域62は、切断線63が結晶軸Cyに対して傾斜角 θ をなすように傾いて形成される。シリコン基板60の各基板形成領域には、図1(b)に示す貫通電極22、ビア29、32等が形成される。そして、切断線63にそってシリコン基板60を個片化することにより、図2に示す第2の配線基板20が得られる。

20

【0027】

次に、上記の第2の配線基板20における作用を説明する。

図4(a)に示すように、第2の配線基板20の上面20a(図1(b)に示す基板本体21の上面21b)の面方位は(100)面である。第2の配線基板20は、外形に対して傾斜した結晶軸Cy、Czを有している。なお、図4(a)に示す結晶軸Cy、Czは、基板本体21の結晶軸を代表して示すものである。第2の配線基板20の上面20aには複数の半導体チップ40a~40dが実装される。半導体チップ40aは、マトリクス状に配列された複数のバンプ42を有し、これらのバンプ42は第2の配線基板20の上面に形成された接続用パッド25(図2参照)に接続される。なお、図4(a)では省略したが、半導体チップ40b~40dについても半導体チップ40aと同様に形成されたバンプが配線基板20の上面に形成された接続用パッドに接続される。そして、図4(b)に示すように、半導体チップ40a、40bと配線基板20の間にはアンダーフィル樹脂52が充填される。

30

【0028】

このように半導体チップ40a~40dが実装された第2の配線基板20において、半導体チップ40a~40dと第2の配線基板20の間に充填されたアンダーフィル樹脂52の外周、つまり半導体チップ40a、40bの外形に沿って応力が発生する。つまり、応力は、第2の配線基板20において、結晶軸Cy、Czに対して傾いた直線に沿って発生する。従って、第2の配線基板20に発生する応力は、複数の結晶軸に対して分散される。なお、図1に示す半導体チップ40c、40dにおいても、半導体チップ40a、40bと同様である。

40

【0029】

(比較例)

図6に示すように、シリコン基板70には、所定の結晶方位を示すノッチ71が形成されている。このシリコン基板70における結晶方位は、図3に示すシリコン基板60と同様に、直線L2(図6において上下方向に延びる二点鎖線)は結晶方位が $\langle 001 \rangle$ (結晶軸Cz)であり、主面70aにおいてこの直線L2と直交する直線L3(図6において左右方向に延びる二点鎖線)は結晶方位が $\langle 010 \rangle$ (結晶軸Cy)である。

【0030】

このシリコン基板70において、切断線73が結晶軸Cy、Czに対して平行になるよ

50

うに、複数の基板形成領域 72 が設定される。そして、このシリコン基板 70 を切断線 73 に沿って個片化して図 5 (a) に示す配線基板 80 が得られる。

【0031】

図 5 (a) に示すように、配線基板 80 は、上面 80 a の面方位が (100) 面であり、外形と平行な結晶軸 Cy, Cz を有している。なお、図 5 (a) に示す結晶軸 Cy, Cz は、基板本体 21 の結晶軸を代表して示すものである。配線基板 80 の上面 80 a には複数の半導体チップ 40 a ~ 40 d が実装される。半導体チップ 40 a は、マトリックス状に配列された複数のバンプ 42 を有し、これらのバンプ 42 は配線基板 80 の上面 80 a に形成された接続用パッド (図示略) に接続される。なお、図 5 (a) では省略したが、半導体チップ 40 b ~ 40 d についても半導体チップ 40 a と同様に形成されたバンプが配線基板 80 の上面 80 a に形成された接続用パッドに接続される。そして、図 5 (b) に示すように、半導体チップ 40 a, 40 b と配線基板 80 の間にはアンダーフィル樹脂 53 が充填される。

10

【0032】

このように半導体チップ 40 a ~ 40 d が実装された配線基板 80 において、半導体チップ 40 a ~ 40 d と配線基板 80 の間に充填されたアンダーフィル樹脂 53 の外周、つまり半導体チップ 40 a ~ 40 d の外形に沿って応力が発生する。つまり、応力は、配線基板 80 において、結晶軸 Cy, Cz と平行な直線に沿って発生する。つまり、配線基板 80 に発生する応力は、所定の結晶軸に集中する。このような応力によって、配線基板 80 において結晶軸 Cy, Cz に沿って亀裂 81 (図 5 (b) 参照) が生じたり、結晶軸 Cy, Cz に沿って配線基板 80 が割れたりする。

20

【0033】

なお、半導体チップ 40 a ~ 40 d を実装した配線基板 80 をアンダーフィル樹脂 53 を充填する装置に搬送 (ハンドリング) する場合においても、同様の不良が発生する。即ち、図 5 (a) に示すように、半導体チップ 40 a と配線基板 80 を接続する複数のバンプ 42 のうち、半導体チップ 40 a の最外周のバンプ 42 が接続された接続用パッドにおいて、配線基板 80 に応力が発生する。従って、配線基板 80 に発生する応力は、接続用パッド、つまり半導体チップ 40 a において最外周のバンプ 42 が配列された直線に沿って発生する。このように発生する応力は、所定の結晶軸に集中するため、この応力が集中する結晶軸に応じて亀裂の発生や配線基板の割れが生じる。

30

【0034】

これに対し、本実施形態における第 2 の配線基板 20 は、図 4 (a) に示すように、結晶軸 Cy, Cz に対して、半導体チップ 40 a のバンプ 42 が配列された直線が傾いている。従って、第 2 の配線基板 20 に発生する応力は、所定の結晶軸に集中することなく、複数の結晶軸に対して分散される。従って、不良の発生を低減することができる。

【0035】

以上記述したように、一実施形態によれば、以下の効果を奏する。

(1) 半導体装置 1 は、第 1 の配線基板 10 の上面に搭載された第 2 の配線基板 20 と、第 2 の配線基板 20 の上面に搭載された複数の半導体チップ 40 a ~ 40 d を有している。第 2 の配線基板 20 の上面 20 a には、半導体チップ 40 a ~ 40 d のバンプ 42 が接続される複数の接続用パッド 25 が形成され、下面には第 1 の配線基板 10 に接続される接続用パッド 31 及びバンプ 33 が形成されている。

40

【0036】

第 2 の配線基板 20 は、結晶軸 Cy, Cz を有する基板本体 21 を含む。基板本体 21 の結晶軸 Cy に対し、所定の傾斜角 θ を成すように、上面 20 a の接続用パッド 25 が配列されている。従って、矩形状に形成された第 2 の配線基板 20 の外形は、結晶軸 Cy に対して傾斜角 θ をなすように傾斜している。また、第 2 の配線基板 20 の上面 20 a に搭載される複数の半導体チップ 40 a ~ 40 d の外形は、第 2 の配線基板 20 の結晶軸 Cy に対して傾斜角 θ をなすように傾斜している。

【0037】

50

半導体チップ40a～40dが搭載された第2の配線基板20において発生する応力は、半導体チップ40a～40dと第2の配線基板20の間に充填されたアンダーフィル樹脂52の端部、即ち半導体チップ40a～40dの外形と平行な直線に沿って発生する。半導体チップ40a～40dの外形は、第2の配線基板20の結晶軸Cyに対して傾斜角 θ をなすように傾斜している。従って、発生する応力は、複数の結晶軸に対して分散するため、発生する応力により第2の配線基板20に生じる亀裂などの不良を低減することができる。

【0038】

また、半導体チップ40a～40dが搭載された第2の配線基板20をアンダーフィル樹脂52を充填する工程に搬送する。このハンドリングにおいて、配線基板20には、半導体チップ40a～40dにおいて最外周に形成されたバンプ42の配列方向、即ち第2の配線基板20の上面20aに形成された接続用パッド25の配列方向に沿って応力が生じる。この配列方向は、基板本体21の結晶軸Cyに対して傾斜角 θ をなすように傾斜している。従って、このようなハンドリングにおいても、第2の配線基板20に生じる亀裂等の不良を低減することができる。

10

【0039】

なお、図5(a)に示す配線基板80の外形に対して、半導体チップ40a～40dの外形を傾けて実装することも考えられる。しかし、このような実装方法は、配線基板80の大型化を招く。また、配線基板80において、外形に対して傾いた方向に沿って接続用パッドを形成しなければならないため、外部パッドや貫通電極などの製造に用いるマスク等を作成しなければならないため、製造コストの増加を招く。これに対し、本実施形態の配線基板20は、大型化やコストの増加を抑制することができる。

20

【0040】

なお、上記実施形態は、以下の態様で実施してもよい。

・第2の配線基板20において、基板本体21の材料を適宜変更してもよい。例えば、基板本体21として、炭化珪素(SiC)基板、ガリウム・ヒ素(GaAs)等の化合物半導体基板、ガラス基板(石英ガラス基板も含む)等を用いることができる。

【0041】

・第2の配線基板20を、マザーボード等の基板2に搭載してもよい。

・第2の配線基板20に実装する電子部品として、半導体チップ、チップ抵抗、チップコンデンサ、水晶振動子等を用いることができる。また、電子部品は、半導体チップ等を搭載した配線基板を含み、この配線基板を第2の配線基板20に実装するようにしてもよい。

30

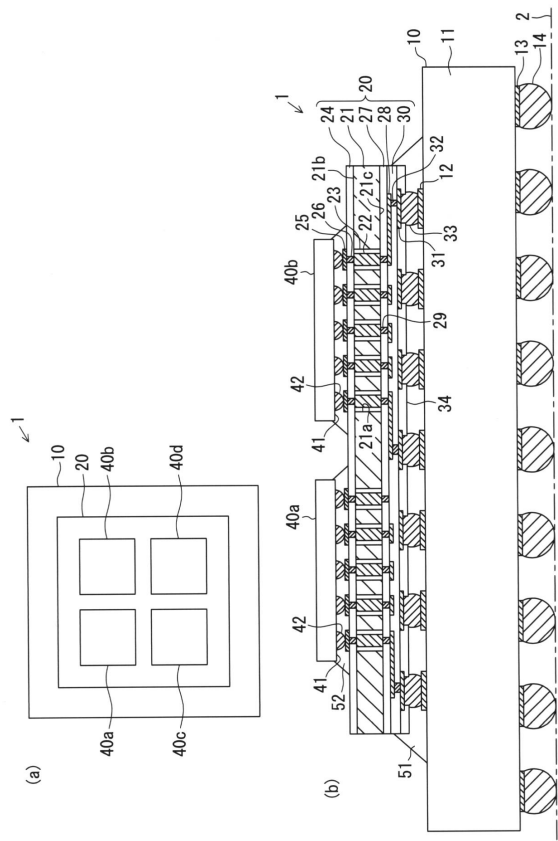
【符号の説明】

【0042】

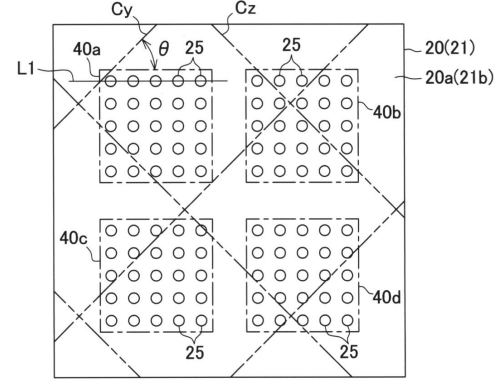
20 第2の配線基板
20a 上面
21 基板本体
21b 上面
25 接続用パッド(第1パッド)
40a～40d 半導体チップ(電子部品)
41 主面
42 バンプ(接続端子)
Cy, Cz 結晶軸

40

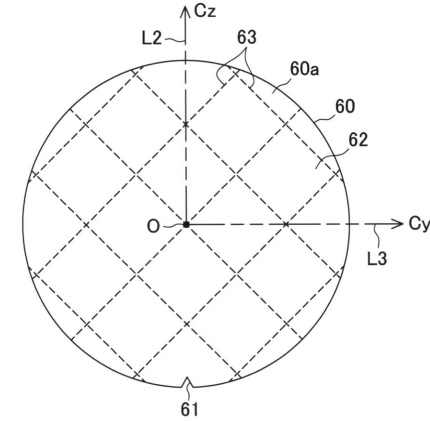
【図 1】



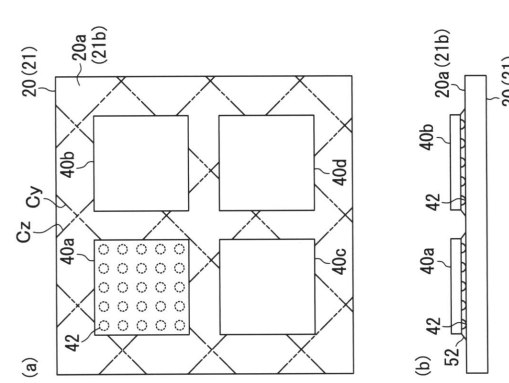
【図 2】



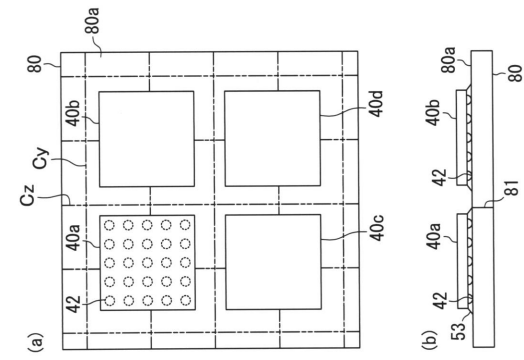
【図 3】



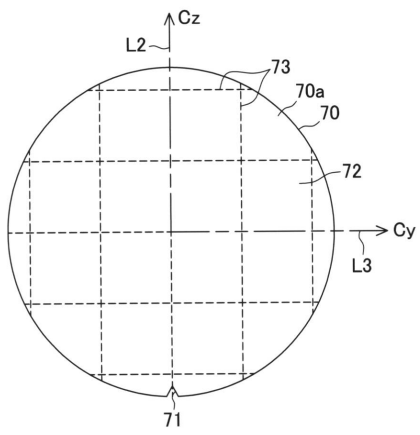
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 原 浩児

長野県長野市小島田町80番地 新光電気工業 株式会社 内

審査官 豊島 洋介

(56)参考文献 特開2007-220781 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/301

21/3205-21/3213

21/768

21/78

23/12 - 23/15

23/522

23/532

25/00 - 25/07

25/10 - 25/11

25/16 - 25/18

H05K 1/00 - 1/02

1/18

3/02 - 3/26

3/38