

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-46991
(P2004-46991A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl.⁷
G11C 16/02

F I
G11C 17/00 612D
G11C 17/00 611E

テーマコード(参考)
5B025

審査請求 未請求 請求項の数 10 O L (全 20 頁)

(21) 出願番号	特願2002-204686 (P2002-204686)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年7月12日(2002.7.12)	(74) 代理人	100098431 弁理士 山中 郁生
		(74) 代理人	100097009 弁理士 富澤 孝
		(72) 発明者	古山 孝昭 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		Fターム(参考)	5B025 AA01 AD04 AD08 AE05 AF02

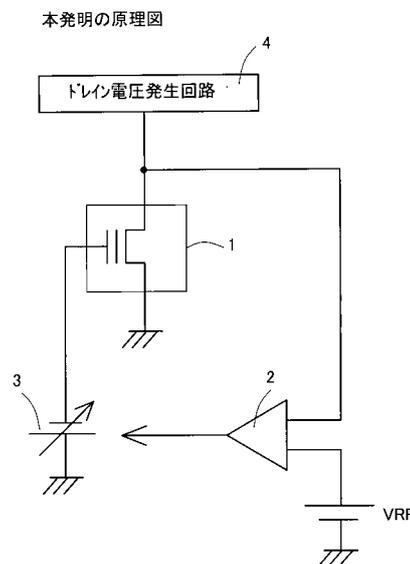
(54) 【発明の名称】 不揮発性半導体記憶装置の閾値電圧調整方法、および不揮発性半導体記憶装置

(57) 【要約】

【課題】 記憶セルのゲート電圧を連続的に制御して消去後の閾値電圧調整の際に導通する過消去記憶セル数を最大限に維持し、短時間で閾値電圧の調整を行なうことができる不揮発性半導体記憶装置とその閾値電圧調整方法を提供すること

【解決手段】 ドレイン端子から差動増幅器2を介してゲート電圧発生回路を制御して記憶セル群1において導通する記憶セル数を制御するフィードバックループが構成され、差動増幅器2によりドレイン印加電圧が所定ドレイン電圧VRFに維持されるようにゲート電圧発生回路3が制御される。ドレイン印加電圧と所定ドレイン電圧との差電圧に基づき可変ゲート印加電圧を制御するフィードバックループにより、可変ゲート印加電圧を連続的に制御することができるので、ドレイン電圧発生回路4の電流供給能力に関わらず、電流供給能力に適合して効率よく閾値電圧の調整動作を行なうことができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電氣的バイアスで閾値電圧を変化させることによりデータ消去が行なわれる記憶セルに対して、前記データ消去の後に閾値電圧の調整を行なう不揮発性半導体記憶装置の閾値電圧調整方法において、

前記記憶セルのドレイン端子にドレイン印加電圧を印加するドレイン電圧印加ステップと、

前記ドレイン端子に印加される前記ドレイン印加電圧と所定ドレイン電圧との比較をする比較ステップと、

前記記憶セルのゲート端子に前記比較ステップの比較結果に応じた可変ゲート印加電圧を印加することにより前記ドレイン電圧印加ステップを制御する、ゲート電圧印加ステップとを有することを特徴とする不揮発性半導体記憶装置の閾値電圧調整方法。 10

【請求項 2】

前記ゲート電圧印加ステップにおいて前記可変ゲート印加電圧が連続的に変化されることにより、前記ドレイン電圧印加ステップにおいて前記ドレイン印加電圧が所定ドレイン電圧に維持されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

【請求項 3】

前記可変ゲート印加電圧の初期電圧は、前記記憶セルのソース端子への印加電圧に対して負電圧であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。 20

【請求項 4】

前記可変ゲート印加電圧を常時監視し所定ゲート電圧に達したことを検出することにより、前記閾値電圧の調整の停止指示を行なう調整動作停止指示ステップを有することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

【請求項 5】

前記所定ゲート電圧を可変する検出電圧調整ステップを有することを特徴とする請求項 4 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

【請求項 6】

電氣的バイアスで閾値電圧を変化させることにより記憶セルのデータ消去が行なわれる不揮発性半導体記憶装置において、 30

前記データ消去の後に前記記憶セルの閾値電圧の調整を行なうにあたり、

閾値電圧調整信号に基づき活性化され、前記記憶セルのドレイン端子にドレイン印加電圧を供給するドレイン電圧発生部と、

前記ドレイン印加電圧を検出するドレイン電圧検出部と、

前記閾値電圧調整信号に基づき活性化され、前記ドレイン電圧検出部からのドレイン電圧検出信号に応じて、前記記憶セルのゲート端子に印加される可変ゲート印加電圧を制御するゲート電圧発生部とを備えることを特徴とする不揮発性半導体記憶装置。

【請求項 7】

前記ドレイン電圧検出部は、前記所定ドレイン電圧に基づき入力される基準入力信号と、 40
前記ドレイン印加電圧に基づき入力される入力信号とにより、前記ドレイン電圧検出信号を出力する差動増幅器を備えることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】

前記ゲート電圧発生部は、前記ドレイン電圧検出信号により制御される電圧補正部を備え、

前記電圧補正部は、

前記所定ドレイン電圧に対して前記ドレイン印加電圧が高い電圧であることを示す前記ドレイン電圧検出信号に対しては、正の電圧補正を行ない、

前記所定ドレイン電圧に対して前記ドレイン印加電圧が低い電圧であることを示す前記ド 50

レイン電圧検出信号に対しては、負の電圧補正を行なうことを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 9】

前記可変ゲート印加電圧が所定ゲート電圧であることを検出するゲート電圧検出部を備え、

前記ゲート電圧検出部からのゲート電圧検出信号に基づき、前記ドレイン電圧発生部または前記ゲート電圧発生部の少なくとも何れか一方が非活性化されることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 10】

前記ゲート電圧検出部は、前記所定ゲート電圧を設定する所定ゲート電圧設定部を備えることを特徴とする請求項 9 に記載の不揮発性半導体記憶装置。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記憶データを電気的に書き換えることができる不揮発性半導体記憶装置の閾値電圧調整方法、および不揮発性半導体記憶装置に関するものであり、特に、データ消去後の記憶セルの閾値電圧の調整に関するものである。

【0002】

【従来の技術】

フラッシュメモリに代表される不揮発性半導体記憶装置では、図 11 に N 型の記憶セルについて示すように、ソース領域 S とドレイン領域 D との間のチャンネル形成領域上に、絶縁膜を介したフローティングゲート FG と、更にその上に絶縁膜を介した制御ゲート CG とが備えられて記憶セルが構成されている。データは、フローティングゲート FG に蓄積される電子 e の有無による記憶セルの閾値電圧の違いにより記憶される。フローティングゲート FG から電子 e が放出され閾値電圧が低くなっている状態をデータ “ 1 ” の記憶状態とし、電子 e が蓄積され閾値電圧が高くなっている状態をデータ “ 0 ” の記憶状態とする。 20

【0003】

記憶セルへのデータの書き込みは、全記憶セルのフローティングゲート FG から電子 e が放出されている状態 (“ 1 ” データの記憶状態) を初期状態として、書き込み対象となる記憶セルのフローティングゲート FG に電子 e を注入することにより行なわれる。書き込み動作とは、記憶セルに “ 0 ” データを書き込むことでありこの動作をプログラム動作という。 30

【0004】

プログラム動作に先立ち、全記憶セルを初期状態にするためには、フローティングゲートから電子 e を放出させてデータ “ 1 ” の記憶状態にする、いわゆる消去動作が必要となる。消去動作は FN トンネリング現象を利用して電子 e を放出させることにより行なわれる。図 11 に示すように、制御ゲート CG を負電圧 (= - V) とし、チャンネル領域を構成するバックゲートを正電圧 (= + V) として行なわれる (チャンネル消去の場合)。ここで、図示はされていないがソース領域 S を正電圧 (= + V) にバイアスする方法もある (ソース消去の場合)。また、セクタ等の単位ごと一括して消去動作を行なうフラッシュメモリ等では、電子 e の放出に先立ち、セクタ内の全記憶セルの状態を “ 0 ” データの記憶状態、すなわちフローティングゲート FG に電子 e が蓄積されている状態にしておくことが必要である。これにより、全記憶セルのフローティングゲート FG から一括して電子 e を放出することができる。図 12 (A) には、消去動作における記憶セルの閾値電圧の分布を示している。消去動作により、“ 1 ” データの記憶状態である高閾値電圧の分布から低閾値電圧の分布に移行する。 40

【0005】

消去動作後、記憶データは “ 1 ” データの記憶状態となるが、データの読み出し余裕から閾値電圧の最大値は低く設定されることが好ましい。これに対して、製造ばらつきやチッ 50

ブレイアウト・印加電圧等の非対称性等に起因する個々の記憶セルの特性ばらつきにより、一括の消去動作を行なった場合には消去動作後の閾値電圧の分布が所定の広がりを持つることとなる。そのため、図12の(I)領域に示すように、閾値電圧が0Vを下回ってデプレッション特性を示す記憶セルが存在する場合がある。いわゆる過消去の状態である。このような過消去状態の記憶セルに対しては、プログラム動作に似た電圧バイアスを印加してホットエレクトロンによりフローティングゲートFGに電子eを注入して閾値電圧を上昇させる、閾値電圧の調整が行なわれる(図12(B))。いわゆるAPDE(Auto-Program Disturb after Erase)動作である。APDE動作時の電圧ストレスは、ソース領域Sに対してドレイン領域Dに正電圧を印加しながら制御ゲートCGには後述のゲート電圧を印加する。ゲート電圧以下の閾値電圧を有する過消去の記憶セルを導通してフローティングゲートFGに電子eの注入をすることにより閾値電圧を上昇させる調整を行なう。

【0006】

APDE動作を行なう際の基本的な回路ブロック図を図13に示す。記憶セル群100はドレイン端子が共通のビット線BLに接続され、ビット線BLがドレイン電圧発生回路400に接続されている。APDE動作においては、ドレイン電圧発生回路400からビット線BLに正電圧VPPが印加され記憶セル群100のドレイン端子に供給される。ゲート端子は共通に接続されソース端子との電圧差が0Vに維持される($V_G = V_S = 0V$)。ドレイン電圧VDは、ドレイン電圧発生回路400の電圧供給能力の範囲内で正電圧VPPとなる($V_D = V_{PP}$)。従って、デプレッション特性を有する記憶セル(図12の(I)領域)の数が多き場合には、閾値電圧の調整のために多くの電流が必要とされ、ドレイン電圧発生回路400の能力によってはドレイン端子に印加される正電圧が低下して調整効率が低下し、APDE動作に多くの時間を要することとなる。ここで、正電圧VPPとして、電源電圧VCCに対して昇圧された電圧を使用することも考えられる。この場合のドレイン電圧発生回路400としては、チャージポンプ回路等が考えられる。

【0007】

APDE動作時間の短縮を考慮した従来技術として、特開平8-55487号公報では、図13のゲート電圧VGに代えて、負電圧のゲート電圧VG(例えば $V_G = -1.0V$)で過消去記憶セルの閾値電圧の修正を開始して、記憶セルが所望される最小の閾値電圧に達するまでゲート電圧VGを段階的に増大させる方法が記載されている。例えば、図14に示すように、ソース電圧 $V_S = 0V$ 、ドレイン電圧 $V_D = 6.0V$ の状態、段階的なゲート電圧 $V_G = -1.0V$ 、 $-0.75V$ 、 $-0.5V$ 、 $-0.25V$ が印加される。これにより、過消去された記憶セルであっても負電圧のゲート電圧VGより閾値電圧が高い記憶セルは導通せず、調整動作に必要なとされる電流が低減され、正電圧VPPを出力するドレイン電圧発生回路400の回路規模を小さくすることが可能となる。

【0008】

【発明が解決しようとする課題】

しかしながら、図13のゲート電圧 $V_G = 0V$ のバイアス条件では、閾値電圧が負電圧であるデプレッション特性を有する全ての過消去記憶セルが導通状態となる。そのため、消去動作により閾値電圧が負電圧となる過消去の記憶セルの分布(図12の(I)領域)が多い条件では、APDE動作において、(I)領域に属する全ての記憶セルが導通してしまい多大なドレイン電流が流れることとなる。このドレイン電流がドレイン電圧発生回路400の供給能力を越えて増加すると、ドレイン電圧VDは正電圧VPPから低下してしまう。ドレイン端子への電圧ストレスが低下することによりホットエレクトロンが減少してフローティングゲートFGへの電子の注入効率が悪化してしまう。APDE動作時間が長くなってしまい、場合によっては閾値電圧の調整自体ができなくなってしまうおそれがあり問題である。

【0009】

また、図14に示す負電圧から開始して段階的にゲート電圧VGを上昇させていく方法では、ステップごとの印加電圧と印加時間とが予め定められている。一方、記憶セルの動作

特性は、製造等に起因する記憶セルごとの特性ばらつきに周囲温度や動作電圧等の使用条件の違いに伴う特性変化が加わり所定の広がりをもっている。そのため、A P D E動作において、ドレイン電流の総和がドレイン電圧発生回路400の電流供給能力の限界に達しないように、十分な余裕度を確保してゲート電圧V Gの設定を行なう必要がある。各ステップにおいては、導通する過消去の記憶セル数を制限してドレイン電流の総和がドレイン電圧発生回路400の電流供給能力内に確実に収まるようにゲート電圧V Gが設定される。ドレイン電圧発生回路400の最大能力でA P D E動作を行なうことができず、A P D E動作に多大な時間を要してしまうおそれがあり問題である。

【0010】

本発明は前記従来技術の問題点を解消するためになされたものであり、記憶データを電氣的に書き換えることができる不揮発性半導体記憶装置に対して、消去動作により過消去の記憶セルが多数存在する場合にも、消去後の閾値電圧の調整のために導通する過消去の記憶セル数を最大限に維持するように記憶セルのゲート電圧が連続的に制御され、短時間で閾値電圧の調整を行なうことができる不揮発性半導体記憶装置の閾値電圧調整方法、および不揮発性半導体記憶装置を提供することを目的とする。

10

【0011】**【課題を解決するための手段】**

前記目的を達成するために、請求項1に係る不揮発性半導体記憶装置の閾値電圧調整方法は、電氣的バイアスで閾値電圧を変化させることによりデータ消去が行なわれる記憶セルに対して、データ消去後に閾値電圧の調整が、記憶セルのドレイン端子にドレイン印加電圧を印加するドレイン電圧印加ステップと、ドレイン端子に印加されるドレイン印加電圧と所定ドレイン電圧との比較をする比較ステップと、記憶セルのゲート端子に比較ステップの比較結果に応じた可変ゲート印加電圧を印加することによりドレイン電圧印加ステップを制御する、ゲート電圧印加ステップとを有して行なわれることを特徴とする。

20

【0012】

請求項1の不揮発性半導体記憶装置の閾値電圧調整方法では、ドレイン電圧印加ステップにより記憶セルのドレイン端子に印加されるドレイン印加電圧が、比較ステップにおいて所定ドレイン電圧と比較される。ゲート電圧印加ステップにより、比較結果に応じた可変ゲート印加電圧がゲート端子に印加されることにより、ドレイン電圧印加ステップが制御される。

30

【0013】

また、請求項6の不揮発性半導体記憶装置は、電氣的バイアスで閾値電圧を変化させることにより記憶セルのデータ消去が行なわれる際、データ消去後に記憶セルの閾値電圧の調整を行なうにあたり、閾値電圧調整信号に基づき活性化され、記憶セルのドレイン端子にドレイン印加電圧を供給するドレイン電圧発生部と、ドレイン印加電圧を検出するドレイン電圧検出部と、閾値電圧調整信号に基づき活性化され、ドレイン電圧検出部からのドレイン電圧検出信号に応じて、記憶セルのゲート端子に印加される可変ゲート印加電圧を制御するゲート電圧発生部とを備えることを特徴とする。

【0014】

請求項6の不揮発性半導体記憶装置では、データ消去後に記憶セルの閾値電圧の調整を行なう閾値電圧調整信号に基づき、ドレイン電圧発生部とゲート電圧発生部とが活性化される。ドレイン電圧発生部から出力され記憶セルのドレイン端子に印加されるドレイン印加電圧はドレイン電圧検出部により検出され、ドレイン電圧検出部からのドレイン電圧検出信号に応じて可変ゲート印加電圧が制御される。

40

【0015】

これにより、データ消去後に、閾値電圧が0V以下のデプレッション領域に分布した過消去についての記憶セルの閾値電圧を調整する場合、ドレイン電圧検出部から出力されるドレイン電圧検出信号に応じて可変ゲート印加電圧がゲート端子に印加されることにより、ドレイン印加電圧が制御される。

【0016】

50

また、請求項 2 に係る不揮発性半導体記憶装置の閾値電圧調整方法は、請求項 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法において、ゲート電圧印加ステップにおいて可変ゲート印加電圧が連続的に変化されることにより、ドレイン電圧印加ステップにおいてドレイン印加電圧が所定ドレイン電圧に維持されることを特徴とする。

【 0 0 1 7 】

これにより、データ消去後に、閾値電圧が 0 V 以下のデプレッション領域に分布した過消去についての記憶セルの閾値電圧を調整する場合、ドレイン電圧印加ステップにおける駆動能力またはドレイン電圧発生部の駆動能力に応じて、ドレイン印加電圧が過負荷状態に到る前の所定ドレイン電圧に維持されるように、ゲート端子に印加されるゲート印加電圧が連続的に制御されるので、ドレイン電圧印加ステップにおける駆動能力またはドレイン電圧発生部の駆動能力に関わらず、常時、その駆動能力を最大限に発揮できるバイアス条件で閾値電圧の調整動作を行なうことができる。

10

【 0 0 1 8 】

また、請求項 3 に係る不揮発性半導体記憶装置の閾値電圧調整方法は、請求項 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法において、可変ゲート印加電圧の初期電圧は、記憶セルのソース端子への印加電圧に対して負電圧であることを特徴とする。

【 0 0 1 9 】

これにより、データ消去後に、デプレッション領域である 0 V 以下の負電圧の領域に閾値電圧が分布した過消去の記憶セルに対して閾値電圧を調整する際、初期電圧としてゲート端子に印加される負電圧以下の閾値電圧の記憶セルのみを導通させることができ、ドレイン電圧発生部の駆動能力に応じて閾値電圧の調整動作を開始することができる。

20

【 0 0 2 0 】

また、請求項 4 に係る不揮発性半導体記憶装置の閾値電圧調整方法は、請求項 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法において、可変ゲート印加電圧を常時監視し所定ゲート電圧に達したことを検出することにより、閾値電圧の調整の停止指示を行なう調整動作停止指示ステップを有することを特徴とする。

【 0 0 2 1 】

請求項 4 の不揮発性半導体記憶装置の閾値電圧調整方法では、調整動作停止指示ステップにより、常時監視されている可変ゲート印加電圧が所定ゲート電圧に達したことが検出され、それにより閾値電圧の調整の停止指示が行なわれる。

30

【 0 0 2 2 】

また、請求項 9 に係る不揮発性半導体記憶装置は、請求項 6 に記載の不揮発性半導体記憶装置において、可変ゲート印加電圧が所定ゲート電圧であることを検出するゲート電圧検出部を備え、ゲート電圧検出部からのゲート電圧検出信号に基づき、ドレイン電圧発生部またはゲート電圧発生部の少なくとも何れか一方が非活性化されることを特徴とする。

【 0 0 2 3 】

請求項 9 に係る不揮発性半導体記憶装置では、ゲート電圧検出部により可変ゲート印加電圧が所定ゲート電圧であることが検出されると、ゲート電圧検出部からはゲート電圧検出信号が出力され、ドレイン電圧発生部またはゲート電圧発生部の少なくとも何れか一方が非活性化される。

40

【 0 0 2 4 】

これにより、0 V 以下の閾値電圧に分布する記憶セルは、負の閾値電圧側から順次調整されてゲート印加電圧の閾値電圧付近に調整されるが、負の閾値電圧側の記憶セルが調整されるに伴い、可変ゲート印加電圧は連続的に上昇するので、記憶セルの閾値電圧も順次上昇して最終的には所定ゲート電圧付近に調整される。所定ゲート電圧に応じて実効的な閾値電圧分布の下限を設定することができ、調整後の閾値電圧の分布を設定することができる。データ消去動作による記憶セルの閾値電圧の特性分布を設定することができる。

【 0 0 2 5 】

また、ゲート印加電圧が実効的な閾値電圧分布の下限となるので、可変ゲート印加電圧が所定ゲート電圧であることが検出されるにより閾値電圧の調整が完了したとすれば、

50

調整動作の後に閾値電圧の確認を行なう必要はない。データ消去後の閾値電圧の調整期間の短縮をすることができる。

【0026】

また、請求項5に係る不揮発性半導体記憶装置の閾値電圧調整方法は、請求項4に記載の不揮発性半導体記憶装置の閾値電圧調整方法において、所定ゲート電圧を可変する検出電圧調整ステップを有することを特徴とする。

【0027】

請求項5の不揮発性半導体記憶装置の閾値電圧調整方法では、検出電圧調整ステップにより所定ゲート電圧が可変とされ調整される。

【0028】

また、請求項10に係る不揮発性半導体記憶装置は、請求項9に記載の不揮発性半導体記憶装置において、ゲート電圧検出部は、所定ゲート電圧を設定する所定ゲート電圧設定部を備えることを特徴とする。

【0029】

請求項10に係る不揮発性半導体記憶装置では、ゲート電圧検出部に備えられた所定ゲート電圧設定部により、所定ゲート電圧が設定される。

【0030】

これにより、調整された閾値電圧の分布の下限值を設定することができ、データ消去動作での記憶セルの閾値電圧の特性分布を設定することができる。

【0031】

また、請求項7に係る不揮発性半導体記憶装置は、請求項6に記載の不揮発性半導体記憶装置において、ドレイン電圧検出部は、所定ドレイン電圧に基づき入力される基準入力信号と、ドレイン印加電圧に基づき入力される入力信号とにより、ドレイン電圧検出信号を出力する差動増幅器を備えることを特徴とする。更に、請求項8に係る不揮発性半導体記憶装置は、請求項6に記載の不揮発性半導体記憶装置において、ゲート電圧発生部は、ドレイン電圧検出信号により制御される電圧補正部を備え、電圧補正部は、所定ドレイン電圧に対してドレイン印加電圧が高い電圧であることを示すドレイン電圧検出信号に対しては、正の電圧補正を行ない、所定ドレイン電圧に対してドレイン印加電圧が低い電圧であることを示すドレイン電圧検出信号に対しては、負の電圧補正を行なうことを特徴とする。

【0032】

請求項7の不揮発性半導体記憶装置では、ドレイン電圧検出部に備えられている差動増幅器により、所定ドレイン電圧に対してドレイン印加電圧が差動増幅されて、ドレイン電圧検出信号が出力される。ここで、基準入力信号および入力信号としては、所定ドレイン電圧およびドレイン印加電圧をそのまま入力する構成とすることが可能である他、各々の電圧について所定比率の分圧または所定量のレベルシフトを施した上で入力することもできる。また、請求項8の不揮発性半導体記憶装置では、ゲート電圧発生部に備えられている電圧補正部により、所定ドレイン電圧に対してドレイン印加電圧が高い電圧であることを示すドレイン電圧検出信号に対しては、正の電圧補正が行なわれ、所定ドレイン電圧に対してドレイン印加電圧が低い電圧であることを示すドレイン電圧検出信号に対しては、負の電圧補正が行なわれる。

【0033】

これにより、ゲート印加電圧が、ドレイン印加電圧と所定ドレイン電圧との差電圧に応じて連続的に制御されるので、閾値電圧の調整期間中は、ドレイン電圧発生部の駆動能力に関わらず、常時、駆動能力が最大限に発揮されるバイアス条件で閾値電圧の調整動作を行なうことができる。このため、効率のよい調整動作を行なうことができ、データ消去後の過消去記憶セルに対する閾値電圧の調整期間を短縮することができる。

【0034】

図1に本発明の原理図を示す。複数の記憶セルを含む記憶セル群1のドレイン端子はドレイン電圧発生回路4に接続されている。ドレイン端子に印加されるドレイン印加電圧は差

10

20

30

40

50

動増幅器 2 に入力され、所定ドレイン電圧 V_{RF} との間で差動増幅された出力信号がゲート電圧発生回路 3 に入力される。ゲート電圧発生回路 3 からは、負電圧を初期電圧とした可変ゲート印加電圧が記憶セル群 1 のゲート端子に入力される。ドレイン端子から差動増幅器 2 を介してゲート電圧発生回路 3 を制御して記憶セル群 1 において導通する記憶セル数を制御するフィードバックループが構成される。

【0035】

差動増幅器 2 により、ドレイン印加電圧が所定ドレイン電圧 V_{RF} に維持されるようにゲート電圧発生回路 3 が制御される。すなわち、ドレイン電圧発生回路 4 の電流供給能力以上に記憶セル群 1 内の各記憶セルが導通してドレイン電圧発生回路 4 が過負荷状態となる場合にはドレイン印加電圧が低下する。低下したドレイン印加電圧に対しては、差動増幅器 2 を含むフィードバックループが作用して可変ゲート印加電圧が低下して導通する記憶セルの数が減少する。これにより記憶セル群 1 のドレイン端子に入力される電流が減少してドレイン電圧発生回路 4 は過負荷状態を脱し、ドレイン印加電圧は回復し所定ドレイン電圧に維持される。

10

【0036】

逆に、記憶セル群 1 内で導通する記憶セル数が少なくドレイン電圧発生回路 4 からの電流供給が少ない場合には、ドレイン印加電圧が上昇する。上昇したドレイン印加電圧に対しては、差動増幅器 2 を含むフィードバックループが作用して可変ゲート印加電圧が上昇して導通する記憶セルの数が増加する。これにより記憶セル群 1 のドレイン端子に入力される電流が増大してドレイン電圧発生回路 4 からの電流供給が増え、ドレイン印加電圧は所定ドレイン電圧に維持される。

20

【0037】

ドレイン印加電圧と所定ドレイン電圧との差電圧に基づき可変ゲート印加電圧を制御するフィードバックループにより、可変ゲート印加電圧を連続的に制御することができるので、ドレイン電圧発生回路 4 の電流供給能力に関わらず、電流供給能力に適合して効率よく閾値電圧の調整動作を行なうことができる。

【0038】

【発明の実施の形態】

以下、本発明の不揮発性半導体記憶装置の閾値電圧調整方法、および不揮発性半導体記憶装置について具体化した実施形態を図 2 乃至図 10 に基づき図面を参照しつつ詳細に説明する。

30

【0039】

図 2 に本発明の第 1 実施形態の回路図を示す。図示しない制御回路から正論理の APDE 開始信号 STAT が状態ラッチ回路 61 に入力される。更に、状態ラッチ回路 61 には負論理の APDE 終了信号 END / が入力され、ナンドゲートで構成されたフリップフロップ回路により、APDE 動作状態であるか否かの状態がラッチされる。状態ラッチ回路 61 からは、APDE 動作状態であることを示す正論理の状態信号 ACT および負論理の状態信号 ACT / が出力される。ここで、正論理とは伝播したい情報をハイレベルとして示す信号であり、負論理とは伝播したい情報をローレベルとして示す信号である。

【0040】

ビット線電圧発生回路 41 のイネーブル端子 EN には状態信号 ACT が入力されており、状態信号 ACT の活性化に応じて電源電圧 VCC に対してビット線バイアス電圧 BL D を出力する。ここで、ビット線バイアス電圧 BL D は、APDE 動作の際、後述する記憶セル MC0 乃至 MC2 のドレイン端子に印加される電圧であり、効率的な APDE 動作を行なうために電源電圧 VCC から昇圧される場合がある。この場合、ビット線電圧発生回路 41 にはチャージポンプ回路が使用される場合がある。チャージポンプ回路では、ポンピング動作を決定する動作周波数や、ポンピングされた昇圧電圧を蓄積しておくキャパシタ素子の容量値から供給できる電流容量が決定されており、この駆動能力の範囲内で記憶セル MC0 乃至 MC2 をバイアスすることが必要となる。

40

【0041】

50

ビット線バイアス電圧BLDの出力端子は、状態信号ACTノにより導通制御されるPMOSトランジスタMP4を介して、記憶セルアレイ内のセクタ71からのデータ入出力線であるデータ線DBに接続制御される。また、状態信号ACTノにより導通制御されるNMOSトランジスタMN2により接地電圧に接続制御される。APDE動作状態では、状態信号ACTがハイレベルとなりビット線電圧発生回路41が活性化されると同時に、状態信号ACTノがローレベルとなり、NMOSトランジスタMN2が非導通となると共にPMOSトランジスタMP4が導通して、ビット線バイアス電圧BLDをセクタ71のデータ線DBに供給する。APDE動作状態が終了すると、状態信号ACT、ACTノの論理レベルが反転して、ビット線電圧発生回路41をデータ線DBから切り離すと共に、ビット線バイアス電圧BLDの出力端子は接地電圧に保持される。

10

【0042】

また、ビット線バイアス電圧BLDは分圧抵抗R1、R2により分圧されて、差動増幅器21の反転入力端子に入力される。非反転入力端子には基準電圧Vrefが入力されており、入力端子間の差電圧が差動増幅されて差動増幅信号VFBが出力される。なお、第1実施形態では、差動増幅器21の反転入力端子に分圧抵抗R1、R2を備え、ビット線バイアス電圧BLDを分圧して供給する場合を示しているが、ビット線バイアス電圧BLDをそのまま入力する構成とすることの他、所定の電圧レベルをシフトして入力する構成とすることもできる。

【0043】

セクタ71において、データ線DBはYパスゲート51に接続される。Yパスゲート51は、上位ビットの列アドレスYDx_uと、状態信号ACTとの間でビットごとに論理和演算された下位ビットの列アドレスYDx_lとにより選択されて、通常データアクセスの際には複数のビット線11のうち1本のビット線11が、APDE動作の際には複数のビット線11のうち少なくとも1本のビット線11が、データ線DBに接続される。通常データアクセスの際には、データ線DBを介してデータの入出力動作をするため、1本のビット線11が選択されることが必要であるのに対して、APDE動作の際には、ビット線電圧発生回路41から出力されるビット線バイアス電圧BLDの供給能力の範囲内で、同時に所定数のビット線11に電圧供給をすることができる。1本のビット線に接続されている記憶セルMC0乃至MC2のうち過消去記憶セルの数が多い場合には、少数のビット線11を同時接続し、過消去記憶セルの数が多い場合には、多数のビット線11を同時接続することができる。

20

30

【0044】

尚、データ線DBを、Yパスゲート51とビット線電圧発生回路41との間に備えることに代えて、ビット線電圧発生回路41とは反対方向に備える構成とすることもできる。この場合、データ線DBと複数のビット線11とを通常データアクセスの際に接続するパスゲートを新たに備えてやればよい。これにより、ビット線電圧発生回路41から出力されるビット線バイアス電圧BLDをデータバスDBに供給する必要がなくなり、ビット線電圧発生回路41が駆動すべき負荷を低減することができる。

【0045】

各ビット線11には、ソース端子が接地電圧に接続された複数の記憶セルMC0乃至MC2のドレイン端子が接続されている。各ビット線11の記憶セルMC0乃至MC2のゲート端子には、ワード線ドライバWD0乃至WD2からワード線WL0乃至WL2が共通に接続されている。各ワード線ドライバWD0乃至WD2は、通常データアクセスの際には図示しない行アドレスにより択一に選択されて、記憶セルMC0乃至MC2のうちのいずれか1つの記憶セルをバイアスする。選択されたワード線が接続されている、各ビット線11の記憶セルに対してデータの入出力が行なわれる。APDE動作の際には、全てのワード線WL0乃至WL2は、ワード線ドライバWD0乃至WD2を非活性状態にしてローレベルがバイアスされる。APDE動作は、0V以下となった過消去記憶セルの閾値電圧を0Vまたは0V以上の調整電圧に調整することを目的としており、調整電圧以上の正常な閾値電圧を有する記憶セルは閾値電圧が調整されることのないようにバイアスされる

40

50

必要がある。そのため、上記のローレベルの電圧値は適宜に設定されたワード線バイアス電圧とすることが必要となる。

【0046】

A P D E 動作の際、ワード線バイアス電圧はワード線電圧発生回路31で生成され可変基準電圧端子X D Sを介してワード線ドライバW D 0乃至W D 2から各ワード線W L 0乃至W L 2に供給される。ワード線電圧発生回路31内の負電圧発生回路32のイネーブル端子には状態信号A C Tが入力され、状態信号A C Tがハイレベルで活性化される。負電圧発生回路32の出力端子は可変基準電圧端子X D Sに接続されると共に、電圧補正部33の出力端子に接続されている。

【0047】

電圧補正部33は、ソース端子が電源電圧V C Cに接続され、ゲート端子が差動増幅信号V F Bで制御されるP M O SトランジスタM P 1と、P M O SトランジスタM P 1のドレイン端子にソース端子が接続され、ゲート端子とドレイン端子とが接続されたダイオード接続のP M O SトランジスタM P 2を備えており、P M O SトランジスタM P 2のドレイン端子が出力端子を構成している。

【0048】

P M O SトランジスタM P 1は、電圧制御電流源あるいは電圧制御抵抗として機能しており、差動増幅信号V F Bの電圧に応じてオン抵抗が可変されて導通する。電源電圧V C Cからオン抵抗により降圧され、更にダイオード接続されたP M O SトランジスタM P 2により降圧される正電圧は、負電圧発生回路32から出力される負電圧を補正する。すなわち、負電圧発生回路32から出力される負電圧に対して、P M O SトランジスタM P 1のゲート端子における差動増幅信号V F Bによる電流制御、および電流制御されたP M O SトランジスタM P 1のオン抵抗とダイオード接続されたP M O SトランジスタM P 2とによる電源電圧V C Cからの電圧降下により、可変基準電圧端子X D Sに供給されるワード線バイアス電圧が補正されて出力される。

【0049】

ここで、負電圧発生回路32からの負電圧、およびP M O SトランジスタM P 2での電圧降下は固定であるところ、P M O SトランジスタM P 1の電流制御が差動増幅信号V F Bにより可変制御される。差動増幅信号V F Bは、差動増幅器21の出力信号であり、基準電圧V r e fに対するビット線バイアス電圧B L Dの分圧電圧の差電圧が反転増幅される。すなわち、基準電圧V r e fに比して分圧電圧が高電圧となるビット線バイアス電圧B L Dの状態では、差動増幅信号V F Bの電圧値が降下してP M O SトランジスタM P 1のオン抵抗を低下させる。これにより、電源電圧V C Cの供給能力が増大して可変基準電圧端子X D Sへの電圧は上昇する。逆に、基準電圧V r e fに比して分圧電圧が低電圧となるビット線バイアス電圧B L Dの状態では、差動増幅信号V F Bの電圧値が上昇してP M O SトランジスタM P 1のオン抵抗を増大させる。これにより、電源電圧V C Cの供給能力が低下して可変基準電圧端子X D Sへの電圧は降下する。

【0050】

可変基準電圧端子X D Sに供給されるワード線バイアス電圧がワード線W L 0乃至W L 2に印加される。そのため、可変基準電圧端子X D Sが電圧降下すれば同時にワード線W L 0乃至W L 2も電圧降下し、過消去記憶セルM C 0乃至M C 2のうち導通する記憶セルの数が減少する。その結果、ドレイン電流の総和が減少してビット線電圧発生回路41の駆動能力に対して動作余裕が確保されるため、ビット線バイアス電圧B L Dが上昇する。可変基準電圧端子X D Sの電圧上昇によりワード線W L 0乃至W L 2が電圧上昇すれば、過消去記憶セルM C 0乃至M C 2のうち導通する記憶セルの数が増加する。ドレイン電流の総和が増加してビット線バイアス電圧B L Dが降下する。

【0051】

ワード線電圧発生回路31からのバイアス条件に応じて導通する記憶セルM C 0乃至M C 2の数が変化することにより、記憶セルのドレイン電流の総和が変化してビット線電圧発生回路41から出力されるビット線バイアス電圧B L Dが変化する。このビット線バイア

10

20

30

40

50

ス電圧 B L D の変化を差動増幅器 2 1 で常時検出しながら、検出結果に応じた差動増幅信号 V F B によりワード線電圧発生回路 3 1 からの出力電圧を補正して導通する記憶セル数を制御する。このフィードバックループにより構成されるフィードバック制御により、ワード線電圧発生回路 3 1 の駆動能力を最大限に利用するようにビット線バイアス電圧 B L D が維持される。

【 0 0 5 2 】

ワード線バイアス電圧検出部 6 2 は、ソース端子が電源電圧 V C C に接続され、ゲート端子が接地電圧に接続されて電流源を構成する P M O S トランジスタ M P 3 と、ソース端子が接地電圧に接続され、ゲート端子が可変基準電圧端子 X D S に接続された N M O S トランジスタ M N 1 とを備えており、両トランジスタのドレイン端子が接続されて A P D E 終了信号 E N D / が出力される。ワード線電圧発生回路 3 1 から可変基準電圧端子 X D S に出力されるワード線バイアス電圧が所定電圧に達したことを検出して、A P D E 動作を終了させる信号 E N D / を出力する。

10

【 0 0 5 3 】

データ消去後の過消去記憶セルの閾値電圧は、データ消去状態における最大閾値電圧から負電圧領域に分布している。図 2 のフィードバックループにより A P D E 動作を行なうことにより、負電圧側の閾値電圧を有する記憶セルから閾値電圧の調整が行なわれ、ワード線バイアス電圧の閾値電圧に調整される。調整されるに応じて順次ワード線バイアス電圧は上昇していくので、所定電圧に達した時点 A P D E 動作の終了状態と設定することができる。

20

【 0 0 5 4 】

図 2 では、所定電圧を N M O S トランジスタ M N 1 の閾値電圧と同等の電圧に設定する構成である。所定電圧が入力されて N M O S トランジスタ M N 1 が導通し P M O S トランジスタ M P 3 のオン抵抗を下回ることにより、A P D E 終了信号 E N D / をローレベルに反転させる。所定電圧を閾値電圧に設定することにより、データ消去状態における記憶セルの閾値電圧の分布の下限値を、0 V に比して高い正電圧とすることができ、データ消去状態における記憶セルの閾値電圧の分布の広がりを抑えることができる。

【 0 0 5 5 】

図 3 は、ワード線ドライバ W D 0 乃至 W D 2 の具体例を示す回路図である。P M O S トランジスタと N M O S トランジスタで構成されるインバータゲート構成を有している。P M O S トランジスタのバックゲート端子には昇圧電圧 V P P が接続されると共に、ソース端子には可変電源電圧端子 V P X j に接続されている。N M O S トランジスタのソース端子には可変基準電圧端子 X D S が接続されている。両トランジスタのドレイン端子は接続され、ワード線 W L j に接続されている。ゲート端子には負論理のワード線選択信号 W L j / が入力される。

30

【 0 0 5 6 】

通常のリード動作の際には、可変電源電圧端子 V P X j には昇圧電圧 V P P が印加され可変基準電圧端子 X D S には基準電圧が印加された上で、選択されたワード線に対してワード線選択信号 W L j / がローレベルに遷移することにより、ワード線 W L j が昇圧電圧 V P P に印加される。非選択のワード線については、ワード線選択信号 W L j / がハイレベルを維持することにより、ワード線 W L j が基準電圧に印加される。

40

【 0 0 5 7 】

A P D E 動作の際には、可変電源電圧端子 V P X j には電源電圧 V C C が印加され可変基準電圧端子 X D S にはワード線バイアス電圧が印加された上で、ワード線の非選択状態であるワード線選択信号 W L j / がハイレベルを維持することにより、ワード線 W L j がワード線バイアス電圧に印加される。A P D E 動作ではワード線を非選択状態に維持して N M O S トランジスタを導通しておけば、フィードバックループにより可変基準電圧端子 X D S に印加されるワード線バイアス電圧 W L j をそのままワード線 W L j に印加することができる。

【 0 0 5 8 】

50

図4は、Yパスゲート51の具体例を示す回路図である。図4のYパスゲート51は、通常のデータアクセス時とAPDE動作時とに共用のパスゲートの回路例を示している。データ線DBと各ビット線BL_i乃至BL_lの間には、2段構成のNMOSトランジスタスイッチが備えられている。データ線側に備えられているNMOSトランジスタは、上位ビットの列アドレスYD_{1u}により導通制御される。ビット線側に備えられているNMOSトランジスタは、下位ビットの列アドレスYD_{1j}乃至YD_{1l}により導通制御される。

【0059】

通常のデータアクセス時には、上位ビットの列アドレスYD_{1u}により選択されたビット線BL_i乃至BL_lのうちから、下位ビットの列アドレスYD_{1i}乃至YD_{1l}により1本のビット線が選択されてデータ線DBと接続することによりデータアクセスが行なわれる。APDE動作時には、状態信号ACTとの論理和演算により下位ビットの列アドレスYD_{1i}乃至YD_{1l}が同時に選択され、ビット線BL_i乃至BL_lがデータ線DBに接続される。ビット線電圧発生回路41から出力されるビット線バイアス電圧BLDがビット線BL_i乃至BL_lに同時に供給される。

10

【0060】

図4では、下位ビットの列アドレスYD_{1i}乃至YD_{1l}が状態信号ACTとの間で論理和演算が行なわれる結果、4本の列アドレスYD_{1i}乃至YD_{1l}が同時に選択される場合を例にとり説明したが、状態信号ACTとの間で論理和演算を行なう列アドレスは、上位ビットの列アドレスも含め適宜に組み合わせることができる。同時にAPDE動作を行なうビット線の数は適宜に設定することができる。

20

【0061】

データ消去動作が複数のビット線11が選択されて行なわれた場合でも、同様のビット線11を選択してAPDE動作を一括して行なうことができる。また、一連のデータ消去動作が行なわれた後に、データ消去動作が行なわれたビット線11を纏めて選択して一括してAPDE動作を行なうことができる。ビット線電圧発生回路41の駆動能力に合わせて同時にAPDE動作を行なうビット線11の数を調整することができる。

【0062】

APDE動作の開始から終了までの動作を図5に示す。APDE開始信号STATがハイレベルのパルス信号として入力されると、状態ラッチ回路61にAPDE状態がラッチされ、ハイレベルの状態信号ACTおよびローレベルの状態信号ACT/が出力される。状態信号ACTをイネーブル端子ENに受けたビット線電圧発生回路41と負電圧発生回路32とが起動し、ビット線バイアス電圧BLDが上昇すると共に、負電圧発生回路32からワード線電圧発生回路31を介して可変基準電圧端子XDSに負電圧が印加される。このとき状態信号ACT/によりNMOSトランジスタMN2が非導通となると共にPMOSトランジスタMP4が導通してビット線バイアス電圧BLDを記憶セルMC0乃至MC2のドレイン端子に印加する。ここで、起動直後のビット線バイアス電圧BLDの上昇過程においては、差動増幅器21の反転入力端子の電圧が基準電圧Vrefに比して低い状態であり、差動増幅信号VFBとしてハイレベルが出力されているため、ワード線電圧発生回路31の電圧補正部33は起動していない。そのため、可変基準電圧端子XDSには負電圧発生回路32から出力される負電圧がそのまま出力される。フィードバックループによる制御がかからない状態である。

30

40

【0063】

起動後、ビット線バイアス電圧BLDが上昇し、差動増幅器21の反転入力端子への入力電圧が基準電圧Vrefと同程度に到ると、フィードバックループによる制御が開始される。フィードバックループにより連続して制御がかかる結果、ビット線バイアス電圧BLDが高い場合には差動増幅信号VFBの電圧レベルが低下して可変基準電圧端子XDSの電圧レベルを上昇させビット線バイアス電圧BLDを低下させる方向に制御がかかり、ビット線バイアス電圧BLDが低い場合にはビット線バイアス電圧BLDを上昇させる方向に制御がかかり、図5に示すようにビット線バイアス電圧BLDは所定電圧に維持される

50

。

【0064】

この間、継続して過消去記憶セルについての閾値電圧の調整が行なわれ、負の閾値電圧を有する記憶セルが減少していくので、可変基準電圧端子XDSの電圧レベルは徐々に上昇していく。この電圧レベルがNMOSトランジスタMN1の閾値電圧レベルに達するとワード線バイアス電圧検出部62により検出される。ワード線バイアス電圧検出部62からローレベルのパルス信号としてAPDE終了信号ENDノが出力され、状態ラッチ回路61のAPDE状態がリセットされる。状態信号ACTおよびACTノがリセットされ、ビット線電発生回路41と負電圧発生回路32とが非活性化されると共に、PMOSトランジスタMP4が非導通となる。加えて、NMOSトランジスタMN2が導通してビット線電発生回路41の出力端子を接地電圧に固定する。

10

【0065】

第1実施形態によれば、データ消去後に、閾値電圧が0V以下のデプレッション領域に分布した過消去の記憶セルMC0乃至MC2の閾値電圧を調整する場合、ドレイン電圧発生部であるビット線電圧発生回路41の駆動能力に応じて、ドレイン印加電圧であるビット線バイアス電圧BLDが過負荷状態に到る前の所定ドレイン電圧に維持されるように、ゲート端子に印加されるゲート印加電圧であるワードバイアス電圧が制御されるので、ビット線電圧発生回路41の駆動能力に関わらず、常時、その駆動能力を最大限に発揮できるバイアス条件で閾値電圧の調整動作を行なうことができる。

【0066】

また、データ消去後に、デプレッション領域である0V以下の負電圧の領域に閾値電圧が分布した過消去の記憶セルMC0乃至MC2に対して閾値電圧を調整する際、初期電圧としてゲート端子に印加される負電圧以下の閾値電圧を有する記憶セルのみを導通させることができ、ビット線電圧発生回路41の駆動能力に応じて閾値電圧の調整動作を開始することができる。

20

【0067】

また、0V以下の閾値電圧に分布する記憶セルMC0乃至MC2は、負の閾値電圧側から順次調整されてワード線バイアス電圧の閾値電圧付近に調整される。負の閾値電圧側の記憶セルが調整されるに伴い、ワード線バイアス電圧は連続的に上昇するので、記憶セルの閾値電圧も順次上昇して最終的には所定ゲート電圧であるNMOSトランジスタMN1の閾値電圧付近に調整される。所定ゲート電圧に応じて、記憶セルMC0乃至MC2の実効的な閾値電圧分布の下限を設定することができ、調整後の閾値電圧の分布を設定することができる。データ消去動作による記憶セルの閾値電圧の特性分布を設定することができる。

30

。

【0068】

また、ワード線バイアス電圧が実効的な閾値電圧分布の下限となるので、ワードバイアス電圧がNMOSトランジスタMN1の閾値電圧であることが検出されるにより閾値電圧の調整が完了したとすれば、調整動作の後に閾値電圧の確認を行なう必要はない。データ消去後の閾値電圧の調整期間の短縮をすることができる。

【0069】

また、調整された閾値電圧の分布の下限值を設定することができ、データ消去動作での記憶セルMC0乃至MC2の閾値電圧の特性分布を設定することができる。

40

【0070】

また、ゲート印加電圧であるワードバイアス電圧が、ビット線バイアス電圧BLDと所定ドレイン電圧である基準電圧Vrefとの差電圧に応じて連続的に制御されるので、閾値電圧の調整期間中は、ビット線電圧発生回路41の駆動能力に関わらず、常時、駆動能力が最大限に発揮されるバイアス条件で閾値電圧の調整動作を行なうことができる。このため、効率のよい調整動作を行なうことができ、データ消去後の過消去記憶セルMC0乃至MC2に対する閾値電圧の調整期間を短縮することができる。

【0071】

50

図6には、ワード線電圧発生回路の第1変形例31Aを示す。負電圧発生回路32の出力端子と電源電圧VCCとの間に電圧補正部として可変抵抗回路33Aを含んだ抵抗分割回路34を備える。抵抗分割回路34から出力される分圧電圧を、バッファ回路35を介して可変基準電圧端子XDSに供給する構成である。抵抗分割回路34に備えられる可変抵抗回路33Aは、差動増幅信号VFBにより制御される。電圧補正部33(図2)に示したようなMOSトランジスタのオン抵抗を利用する構成の他、複数の抵抗素子をMOSトランジスタスイッチで切り替える構成等で実現することができる。ワード線電圧発生回路31(図2)が駆動能力を有する負電圧の出力端子について電圧補正を行なうのに対して、負荷が接続されないバッファ回路35のリファレンス電圧について電圧補正を行なうことができ、消費電流が低減されたワード線電圧発生回路31Aを実現することができる。

10

【0072】

図7には、ワード線電圧発生回路の第2変形例31Bを示す。電圧補正部として差動増幅信号VFBで発振周波数が制御される発振器33Bを備える構成である。負電圧発生回路32がチャージポンプ回路方式で構成されている場合に、負電圧発生回路32に供給されるポンピング用の周波数信号fOSCを可変することにより、可変基準電圧端子XDSに供給される負電圧の電圧レベルを調整することができる。電圧値を抵抗分圧する際に必要となる分圧のための電流経路を備える必要がなく、消費電流が低減されたワード線電圧発生回路31Bを実現することができる。

【0073】

図8には、ワード線バイアス電圧検出部の第1変形例を示す。ワード線バイアス電圧検出部62(図2)に加えて、MOSトランジスタMN1のソース端子と接地電圧との間に、可変抵抗回路63を備える構成である。可変抵抗回路63は、図6に示した可変抵抗回路33Aと同様に、アナログ電圧値で調整されるMOSトランジスタのオン抵抗を利用する構成の他、複数の抵抗素子をMOSトランジスタスイッチで切り替える構成等で実現することができる。APDE終了信号END/を出力する可変基準電圧端子XDSの所定電圧を、NMOSトランジスタMN1以上の電圧値に調整する場合に適用することができる。

20

【0074】

図9には、ワード線バイアス電圧検出部の第2変形例を示す。可変基準電圧端子XDSの電圧レベルを所定電圧と比較する比較器66を備えている。所定電圧は、少なくともいずれか一方が抵抗可変機能を有する抵抗回路64、65により分圧されて構成されている。抵抗可変機能は、可変抵抗回路63(図8)と同様な回路構成とすることができる。抵抗回路65に接続されている低レベル電圧VLは接地電圧または負電圧とすることができる。所定電圧を任意の電圧値に設定することができる。

30

【0075】

図10に本発明の第2実施形態の回路図を示す。第2実施形態では、複数のセクタ71を備える場合のAPDE動作時のバイアス印加構成について示している。ビット線電圧発生回路41からのビット線バイアス電圧BLDの供給は、セクタゲート81により選択されたセクタ71に対して行なわれる。セクタゲート81によるセクタ71の選択は、第1実施形態におけるYパスゲート51の場合と同様である。すなわち、上位ビットのセクタアドレスSECuと、状態信号ACTとの間でビットごとに論理和演算された下位ビットのセクタアドレスSEC1とにより選択される。通常のリデータアクセスの際には複数のセクタ71のうち1つのセクタ71が選択される。APDE動作の際には複数のセクタ71のうち少なくとも1つのセクタ71が選択される。尚、セクタ71ごとにワード線バイアス電圧を供給する構成とすることもできる。

40

【0076】

セクタゲート81によるセクタ71以外の回路構成、作用、効果については第1実施形態の場合と同様でありここでの説明は省略する。

【0077】

第2実施形態によれば、データ消去動作が複数のセクタ71が選択されて行なわれた場合でも、同様のセクタ71を選択してAPDE動作を一括して行なうことができる。また、

50

一連のデータ消去動作が行なわれた後に、データ消去動作が行なわれたセクタ71を纏めて選択して一括してAPDE動作を行なうことができる。ビット線電圧発生回路41の駆動能力に合わせて同時にAPDE動作を行なうセクタ71の数を調整することができる。

【0078】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態は、Yパスゲート51によりAPDE動作が行なわれるビット線11を選択する場合を例に設定したが、これに加えてまたはこれに代えて、可変基準電圧端子XDSに印加されたワード線バイアス電圧をワード線に供給するワード線ドライバを選択する構成とすることもできる。

10

また、ワード線電圧発生回路31、ビット線電圧発生回路41を半導体記憶装置内に1つ備える場合について示したが、本発明はこれに限定されるものではなく、所定領域ごとに備える構成とすることもできる。

また、差動増幅器21については、常に活性化されている構成について示したが、状態信号ACTまたはACT/等の信号によりAPDE動作の終了後に回路動作を停止する構成とすることもできる。

また、各回路の活性化・非活性化は、状態信号ACTまたはACT/により行なわれる場合について説明したが、各回路に状態のラッチ機能を備える構成とすれば状態ラッチ回路61は不要であり、各回路にはAPDE開始信号STATおよびAPDE終了信号END/が直接入力されるように構成することもできる。

20

【0079】

(付記1) 電気的バイアスで閾値電圧を変化させることによりデータ消去が行なわれる記憶セルに対して、前記データ消去の後に閾値電圧の調整を行なう不揮発性半導体記憶装置の閾値電圧調整方法において、

前記記憶セルのドレイン端子にドレイン印加電圧を印加するドレイン電圧印加ステップと、
前記ドレイン端子に印加される前記ドレイン印加電圧と所定ドレイン電圧との比較をする比較ステップと、

前記記憶セルのゲート端子に前記比較ステップの比較結果に応じた可変ゲート印加電圧を印加することにより前記ドレイン電圧印加ステップを制御する、ゲート電圧印加ステップとを有することを特徴とする不揮発性半導体記憶装置の閾値電圧調整方法。

30

(付記2) 前記ゲート電圧印加ステップにおいて前記可変ゲート印加電圧が連続的に変化されることにより、前記ドレイン電圧印加ステップにおいて前記ドレイン印加電圧が所定ドレイン電圧に維持されることを特徴とする付記1に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記3) 前記ゲート電圧印加ステップでは、前記比較ステップにおける前記所定ドレイン電圧に対する前記ドレイン印加電圧の差電圧に応じて、前記可変ゲート印加電圧が制御されることを特徴とする付記2に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記4) 前記可変ゲート印加電圧は、正の前記差電圧に応じて電圧値が上昇し、負の前記差電圧に応じて電圧値が低下するように制御されることを特徴とする付記3に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

40

(付記5) 前記可変ゲート印加電圧は、初期電圧から最終電圧に向けて連続的に増加することを特徴とする付記1に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記6) 前記可変ゲート印加電圧の初期電圧は、前記記憶セルのソース端子への印加電圧に対して負電圧であることを特徴とする付記1に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記7) 前記可変ゲート印加電圧の最終電圧は、前記データ消去の状態を示す前記記憶セルのうちの最大閾値電圧以下の所定ゲート電圧であることを特徴とする付記1に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記8) 前記可変ゲート印加電圧を常時監視し所定ゲート電圧に達したことを検出す

50

ることにより、前記閾値電圧の調整の停止指示を行なう調整動作停止指示ステップを有することを特徴とする付記 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記 9) 前記所定ゲート電圧を可変する検出電圧調整ステップを有することを特徴とする付記 8 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記 10) 前記所定ドレイン電圧は、昇圧された電圧であることを特徴とする付記 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記 11) 前記閾値電圧の調整は、記憶セルアレイ内の前記データ消去が行なわれた消去領域に対して、一括して行なわれることを特徴とする付記 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。

(付記 12) 前記閾値電圧の調整は、記憶セルアレイ内の前記データ消去が行なわれた消去領域に含まれる複数のビット線のうち所定数の前記ビット線に対して、一括して行なわれることを特徴とする付記 1 に記載の不揮発性半導体記憶装置の閾値電圧調整方法。 10

(付記 13) 電氣的バイアスで閾値電圧を変化させることにより記憶セルのデータ消去が行なわれる不揮発性半導体記憶装置において、

前記データ消去の後に前記記憶セルの閾値電圧の調整を行なうにあたり、

閾値電圧調整信号に基づき活性化され、前記記憶セルのドレイン端子にドレイン印加電圧を供給するドレイン電圧発生部と、

前記ドレイン印加電圧を検出するドレイン電圧検出部と、

前記閾値電圧調整信号に基づき活性化され、前記ドレイン電圧検出部からのドレイン電圧検出信号に応じて、前記記憶セルのゲート端子に印加される可変ゲート印加電圧を制御するゲート電圧発生部とを備えることを特徴とする不揮発性半導体記憶装置。 20

(付記 14) 前記ゲート電圧発生部において前記可変ゲート印加電圧を連続的に変化させることにより、前記ドレイン印加電圧が所定ドレイン電圧に維持されることを特徴とする付記 13 に記載の不揮発性半導体記憶装置。

(付記 15) 前記ドレイン電圧検出部は、前記所定ドレイン電圧に基づき入力される基準入力信号と、前記ドレイン印加電圧に基づき入力される入力信号とにより、前記ドレイン電圧検出信号を出力する差動増幅器を備えることを特徴とする付記 13 に記載の不揮発性半導体記憶装置。

(付記 16) 前記ゲート電圧発生部は、前記ドレイン電圧検出信号により制御される電圧補正部を備え、 30

前記電圧補正部は、

前記所定ドレイン電圧に対して前記ドレイン印加電圧が高い電圧であることを示す前記ドレイン電圧検出信号に対しては、正の電圧補正を行ない、

前記所定ドレイン電圧に対して前記ドレイン印加電圧が低い電圧であることを示す前記ドレイン電圧検出信号に対しては、負の電圧補正を行なうことを特徴とする付記 13 に記載の不揮発性半導体記憶装置。

(付記 17) 前記可変ゲート印加電圧が所定ゲート電圧であることを検出するゲート電圧検出部を備え、

前記ゲート電圧検出部からのゲート電圧検出信号に基づき、前記ドレイン電圧発生部または前記ゲート電圧発生部の少なくとも何れか一方が非活性化されることを特徴とする付記 13 に記載の不揮発性半導体記憶装置。 40

(付記 18) 前記ゲート電圧検出部は、前記所定ゲート電圧を設定する所定ゲート電圧設定部を備えることを特徴とする付記 17 に記載の不揮発性半導体記憶装置。

(付記 19) 記憶セルアレイが所定領域ごとに区画されるセクタを少なくとも 1 つ選択して消去セクタとして前記データ消去が行なわれる場合、

前記ドレイン電圧発生部または前記ゲート電圧発生部の少なくとも何れか一方を、前記消去セクタに接続するセクタゲート部を備え、

前記消去セクタに対して一括して前記閾値電圧の調整が行なわれることを特徴とする付記 13 に記載の不揮発性半導体記憶装置。

(付記 20) 前記ドレイン電圧発生部または前記ゲート電圧発生部の少なくとも何れか 50

一方を、前記データ消去が行なわれる消去セクタに含まれる複数のビット線のうちの所定数のビット線に接続するパスゲート部を備え、
前記所定数のビット線に対して一括して前記閾値電圧の調整が行なわれることを特徴とする付記 13 に記載の不揮発性半導体記憶装置。

【0080】

【発明の効果】

本発明によれば、記憶データを電氣的に書き換えることができる不揮発性半導体記憶装置において、消去動作により過消去の記憶セルが多数存在する場合にも、消去後の閾値電圧調整のために導通する過消去の記憶セル数を最大限に維持するように記憶セルのゲート電圧が連続的に制御され、短時間で閾値電圧の調整を行なうことができる不揮発性半導体記憶装置の閾値電圧調整方法、および不揮発性半導体記憶装置を提供することができる。

10

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】第1実施形態の回路図である。

【図3】ワード線ドライバの具体例を示す回路図である。

【図4】Yパスゲートの具体例を示す回路図である。

【図5】第1実施形態の動作波形を示す波形図である。

【図6】ワード線電圧発生回路の第1変形例を示す回路図である。

【図7】ワード線電圧発生回路の第2変形例を示す回路図である。

【図8】ワード線バイアス電圧検出部の第1変形例を示す回路図である。

20

【図9】ワード線バイアス電圧検出部の第2変形例を示す回路図である。

【図10】第2実施形態の回路図である。

【図11】消去動作状態にバイアスされた記憶セルの断面図である。

【図12】消去動作およびAPDE動作における記憶セルの閾値電圧の分布図である。

【図13】従来技術におけるAPDE動作時のバイアス関係を示す回路ブロック図である。

【図14】他の従来技術におけるAPDE動作時のゲート電圧波形を示す波形図である。

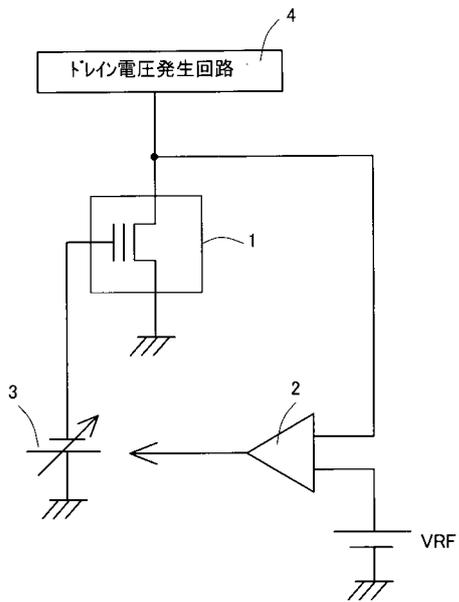
【符号の説明】

1 1	ビット線	
2 1	差動増幅器	30
3 1	ワード線電圧発生回路	
3 2	負電圧発生回路	
3 3	電圧補正部	
4 1	ビット線電圧発生回路	
5 1	Yパスゲート	
6 1	状態ラッチ回路	
6 2	ワード線バイアス電圧検出部	
7 1	セクタ	
8 1	セクタゲート	
B L D	ビット線バイアス電圧	40
D B	データ線	
E N D /	A P D E 終了信号	
M C 0 乃至 M C 2	記憶セル	
R 1、R 2	分圧抵抗	
S E C 1	下位ビットのセクタアドレス	
S E C u	上位ビットのセクタアドレス	
S T A T	A P D E 開始信号	
V F B	差動増幅信号	
V r e f	基準電圧	
W L 0 乃至 W L 2	ワード線	50

Y D x l 下位ビットの列アドレス
 Y D x u 上位ビットの列アドレス
 X D S 可変基準電圧端子

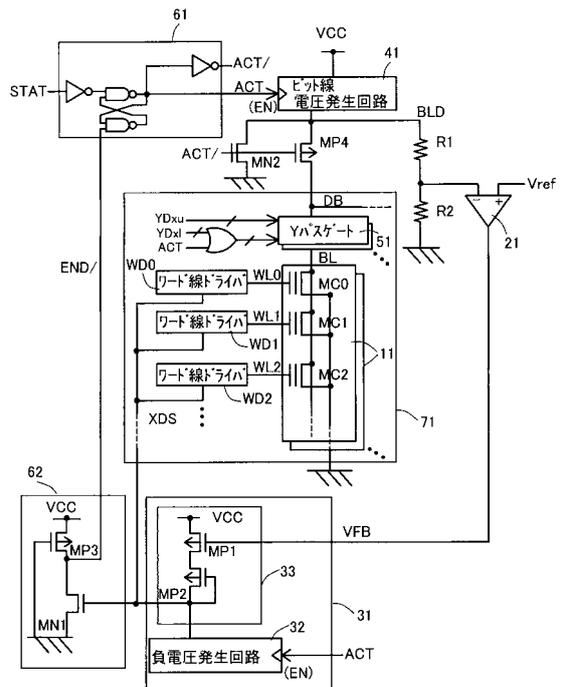
【 図 1 】

本発明の原理図



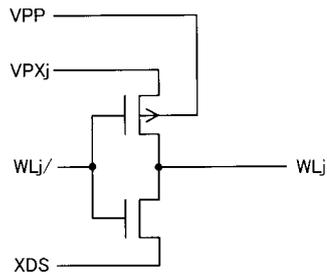
【 図 2 】

第1実施形態の回路図



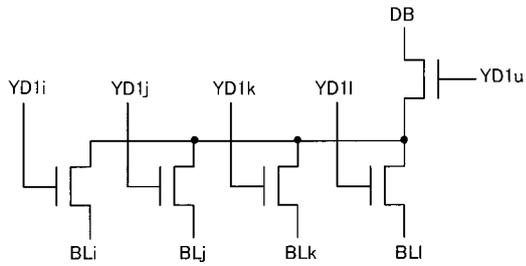
【 図 3 】

ワード線ドライバの具体例



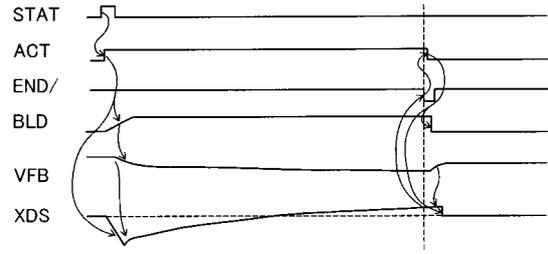
【 図 4 】

Yパステートの具体例



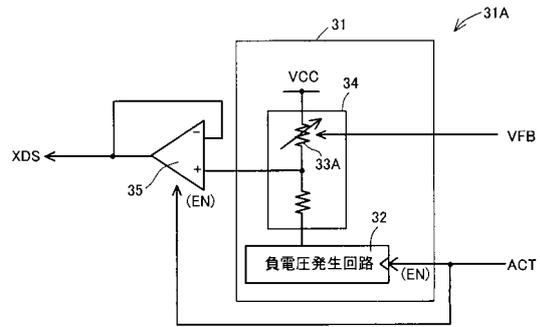
【 図 5 】

第1実施形態の動作波形



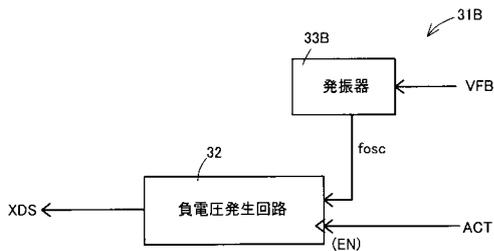
【 図 6 】

ワード線電圧発生回路の第1変形例



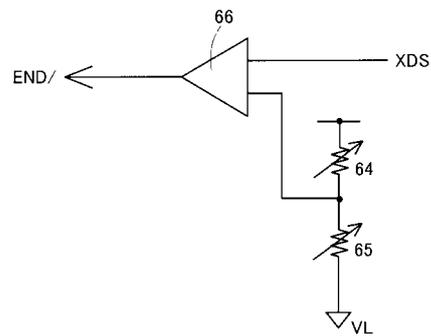
【 図 7 】

ワード線電圧発生回路の第2変形例



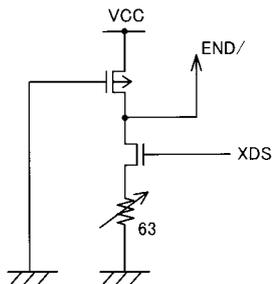
【 図 9 】

ワード線ハイアス電圧検出部の第2変形例



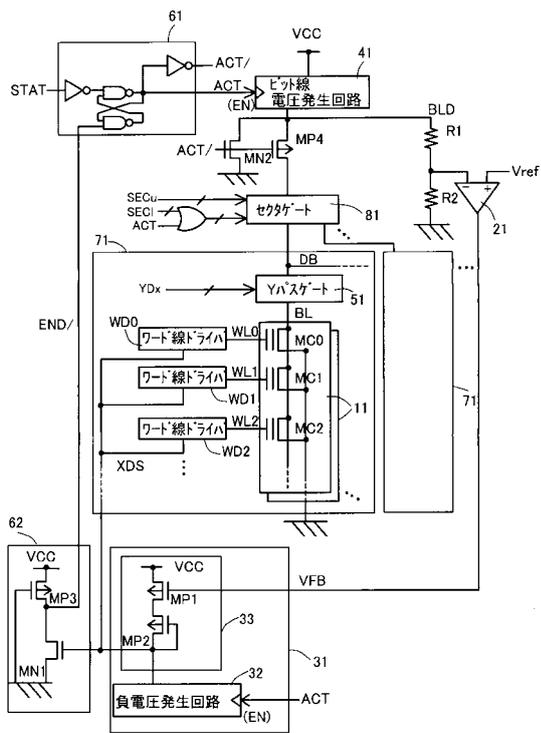
【 図 8 】

ワード線ハイアス電圧検出部の第1変形例



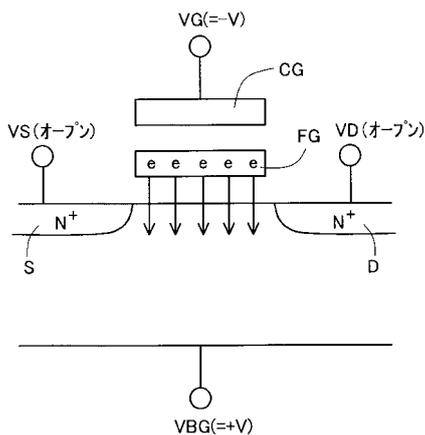
【 図 1 0 】

第2実施形態の回路図



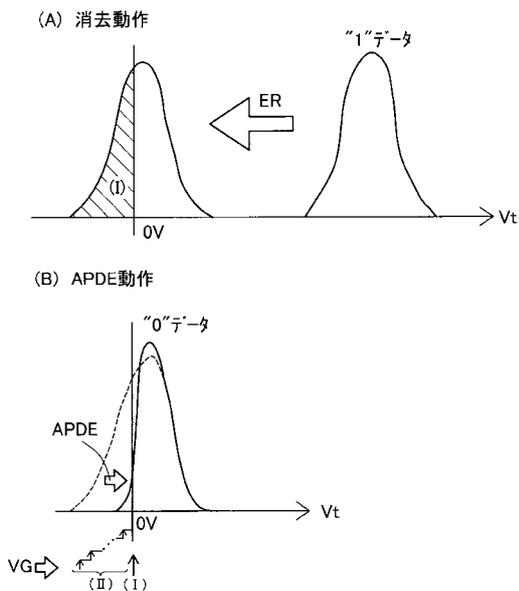
【 図 1 1 】

消去動作状態にバイアスされた記憶セルの断面図



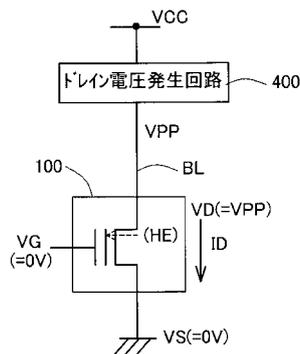
【 図 1 2 】

消去動作およびAPDE動作における記憶セルの閾値電圧分布



【 図 1 3 】

従来技術におけるAPDE動作時のバイアス関係を示す回路ブロック図



【 図 1 4 】

他の従来技術におけるAPDE動作時のゲート電圧波形

