

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 2 日 (02.01.2025)



(10) 国际公布号
WO 2025/002235 A1

(51) 国际专利分类号:
H01L 21/28 (2006.01) **H01L 21/336** (2006.01)

(21) 国际申请号: PCT/CN2024/101925

(22) 国际申请日: 2024 年 6 月 27 日 (27.06.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310781425.X 2023年6月29日 (29.06.2023) CN

(71) 申请人: 北京北方华创微电子装备有限公司 (**BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.**) [CN/CN]; 中国北京市大兴区北京经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。

(72) 发明人: 李佳阳 (**LI, Jiayang**); 中国北京市大兴区北京经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (**TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS**); 中国北京市东城区东长安街 1 号东方广场东方经贸城西一办公楼 5 层 1, 6-12 室, Beijing 100738 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 发明名称: 半导体器件的制造方法

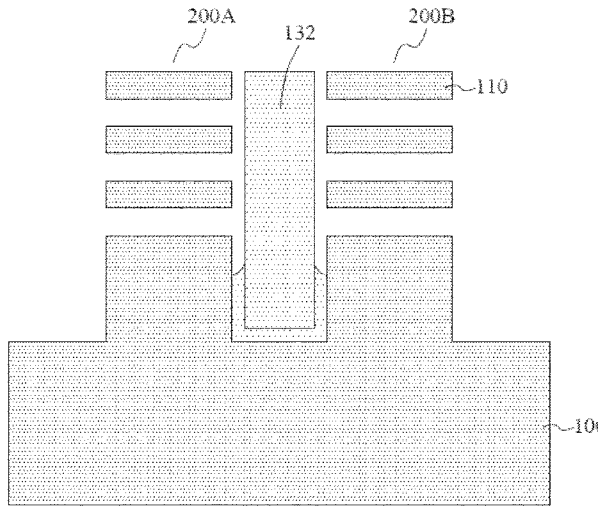


图 8

(57) Abstract: The present application relates to the technical field of semiconductors, and particularly discloses a semiconductor device manufacturing method, comprising: forming, on a substrate, a first stack structure and a second stack structure which are spaced from each other, wherein the first stack structure and the second stack structure each comprise first semiconductor layers and second semiconductor layers which are alternately stacked; providing an isolation wall and sacrificial layers between the first stack structure and the second stack structure, wherein the sacrificial layers are located on two sides of the isolation wall so as to respectively isolate the partition wall from the first stack structure and the second stack structure, and the sacrificial layers have high etching selectivity relative to the first semiconductor layers or the second semiconductor layers; removing either the first semiconductor layers or the second

PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

semiconductor layers, and the sacrificial layers; and forming a gate structure around the other of the first semiconductor layers and the second semiconductor layers. According to the present application, an isolation wall and sacrificial layers are formed in the isolation trench, and the sacrificial layers are removed by means of a subsequent etching process, so as to form a gate structure surrounding the entire channel area, achieving less DIBL, achieving better control on leakage current of semiconductor devices.

(57) 摘要: 本申请属于半导体技术领域, 具体公开一种半导体器件的制造方法, 包括: 在衬底上形成相互间隔的第一叠层结构和第二叠层结构, 第一叠层结构和第二叠层结构分别包括交替堆叠的第一半导体层和第二半导体层; 在第一叠层结构和第二叠层结构之间填充隔离墙和牺牲层, 牺牲层位于隔离墙的两侧, 以分别间隔隔离墙与第一叠层结构和第二叠层结构, 牺牲层相对于第一半导体层或第二半导体层具有高刻蚀选择比; 去除第一半导体层和第二半导体层中的一者以及牺牲层; 在另一者周围形成栅极结构。本申请在隔离沟槽内形成隔离墙和牺牲层并通过后续刻蚀工艺去除牺牲层, 从而形成围绕整个沟道区周围的栅极结构, 能够实现更小的DIBL, 对半导体器件的漏电流实现更好的控制。

半导体器件的制造方法

技术领域

本申请属于半导体技术领域，具体涉及一种半导体器件的制造方法。

背景技术

为了应对半导体器件的关键尺寸不断缩小、且器件密度不断增大的挑战，目前提出了一种 Forksheet（叉板晶体管）结构，该结构在两个晶体管之间引入隔离墙结构，以使得两个晶体管之间的间距能够进一步缩短。

然而，在常规的 Forksheet 结构中，两个晶体管的沟道区贴附于隔离墙的两侧，后续在沟道区外侧形成栅极结构时，栅极结构仅能围绕沟道区的三个侧面，在 3nm 以及更精细的半导体制造工艺中，难以实现更小的漏致势垒降低（DIBL，Drain Induced Barrier Lowering）。

发明内容

本申请实施例公开了一种半导体器件的制造方法，以解决相关技术中半导体器件 DIBL 较大的问题。

为了解决上述技术问题，本申请实施例公开了一种半导体器件的制造方法，包括：

在衬底上形成相互间隔的第一叠层结构和第二叠层结构，所述第一叠层结构和所述第二叠层结构分别包括交替堆叠的第一半导体层和第二半导体层；

在所述第一叠层结构和所述第二叠层结构之间填充隔离墙和牺牲层，所述牺牲层位于所述隔离墙的两侧，以分别间隔所述隔离墙与所述第一叠层结构和所述第二叠层结构，所述牺牲层相对于所述第一半导体层或所述第二半

导体层具有高刻蚀选择比；

去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层；

在所述第一半导体层和所述第二半导体层中的另一者周围形成栅极结构。

作为一些可选实施方式，所述在衬底上形成相互间隔的第一叠层结构和第二叠层结构，包括：

在所述衬底上形成交替堆叠的所述第一半导体层和所述第二半导体层；

对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀以形成隔离沟槽，所述隔离沟槽将交替堆叠的所述第一半导体层和所述第二半导体层分隔为所述第一叠层结构和所述第二叠层结构，所述第一叠层结构用于形成第一半导体器件，所述第二叠层结构用于形成第二半导体器件。

作为一些可选实施方式，所述在所述第一叠层结构和所述第二叠层结构之间填充隔离墙和牺牲层，包括：

形成覆盖所述隔离沟槽的侧壁和底面的衬垫层；

在所述衬垫层上形成所述隔离墙以填充所述隔离沟槽；

去除位于所述隔离沟槽侧壁的至少部分所述衬垫层以形成空腔；

向所述空腔填充所述牺牲层。

作为一些可选实施方式，所述去除位于所述隔离沟槽侧壁的至少部分所述衬垫层以形成空腔，包括：

去除所述隔离墙与所述第一叠层结构之间的至少部分所述衬垫层以形成第一空腔；以及

去除所述隔离墙与所述第二叠层结构之间的至少部分所述衬垫层以形成第二空腔；

所述向所述空腔填充所述牺牲层，包括：

向所述第一空腔填充第一子牺牲层，所述第一子牺牲层相对于所述第一

半导体层和所述第二半导体层中的一者具有高刻蚀选择比；以及

向所述第二空腔填充第二子牺牲层，所述第二子牺牲层相对于所述第一半导体层和所述第二半导体层中的另一者具有高刻蚀选择比。

作为一些可选实施方式，所述牺牲层包括第一子牺牲层和第二子牺牲层；

所述第一子牺牲层位于所述隔离墙与所述第一叠层结构之间，以间隔所述隔离墙与所述第一叠层结构，所述第一子牺牲层相对于所述第一半导体层和所述第二半导体层中的一者具有高刻蚀选择比；

所述第二子牺牲层位于所述隔离墙与所述第二叠层结构之间，以间隔所述隔离墙与所述第二叠层结构，所述第二子牺牲层相对于所述第一半导体层和所述第二半导体层中的另一者具有高刻蚀选择比。

作为一些可选实施方式，所述第一子牺牲层的材料与所述第一半导体层和所述第二半导体层中的一者相同；

所述第二子牺牲层的材料与所述第一半导体层和所述第二半导体层中的另一者相同。

作为一些可选实施方式，所述第一半导体层为 Si，所述第二半导体层为 SiGe；

所述第一子牺牲层为多晶 Si 和多晶 SiGe 中的一者；

所述第二子牺牲层为多晶 Si 和多晶 SiGe 中的另一者。

作为一些可选实施方式，所述第一半导体层相对于所述第二半导体层具有高刻蚀选择比；或者

所述第二半导体层相对于所述第一半导体层具有高刻蚀选择比。

作为一些可选实施方式，所述牺牲层的材料与所述第一半导体层或所述第二半导体层相同；

当所述牺牲层的材料与所述第一半导体层相同时，所述牺牲层和所述第

一半导体层相对于所述第二半导体层具有高刻蚀选择比，所述去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层，包括：去除所述第一半导体层和所述牺牲层；

当所述牺牲层的材料与所述第二半导体层相同时，所述牺牲层和所述第二半导体层相对于所述第一半导体层具有高刻蚀选择比，所述去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层，包括：去除所述第二半导体层和所述牺牲层。

作为一些可选实施方式，所述第一半导体层为 Si，所述第二半导体层为 SiGe；

所述牺牲层为多晶 Si 或多晶 SiGe。

作为一些可选实施方式，利用干法或湿法刻蚀工艺去除位于所述隔离沟槽侧壁的至少部分所述衬垫层；

所述衬垫层与所述隔离墙之间具有高刻蚀选择比；并且

所述牺牲层与所述隔离墙之间具有高刻蚀选择比。

作为一些可选实施方式，在去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层之前，还包括：

在所述第一叠层结构和所述第二叠层结构的沿第二方向的两侧形成源区和漏区，所述第二方向与第一方向垂直，所述第一方向为所述第一叠层结构和所述第二叠层结构的排布方向。

作为一些可选实施方式，所述在所述第一叠层结构和所述第二叠层结构的沿第二方向的两侧形成源区和漏区，包括：

沿所述第二方向去除预定厚度的所述第一半导体层和所述第二半导体层中的一者；

利用绝缘层填充被去除的所述第一半导体层和所述第二半导体层中的所述一者；

在所述第一半导体层和所述第二半导体层中的另一者表面进行外延生长以形成所述源区和所述漏区。

在本申请实施例的半导体器件的制造方法中，通过在隔离沟槽内形成隔离墙和牺牲层，并通过后续的刻蚀工艺去除该牺牲层，从而可以形成围绕整个沟道区周围的栅极结构，能够实现更小的 DIBL，对半导体器件的漏电流实现更好的控制。

附图说明

图 1 示出了本申请实施例的半导体器件的制造方法的流程图；

图 2 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 3 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 4 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 5 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 6 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 7 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 8 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 9 至图 12 分别示出了本申请另一实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 13 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 14 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 15A 和图 15B 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 16A 和图 16B 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 17A 和图 17B 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 18A 和图 18B 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 19A 和图 19B 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 20 示出了本申请实施例的半导体器件的制造方法的各个阶段之一的示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本领域技术人员应当理解，本申请实施例仅是对可以以各种形式来实施本申请所请求保护的结构和方法的说明。此外，结合各种实施例给出的每个

示例旨在是说明性的，而不是限制性的。此外，附图不一定按比例绘制，一些特征可能被夸大以显示特定组件的细节。因此，本申请实施例中的具体结构和功能细节不应被解释为限制性的，而仅仅是作为教导本领域技术人员以不同方式采用本申请实施例的方法和结构的代表性基础。还应注意，相同和对应的元素由相同的附图标记表示。

在下文的描述中，阐述了许多具体细节，例如特定结构、组件、材料、尺寸、处理步骤和技术，以便提供对本申请的各种实施例的理解。然而，本领域技术人员应当理解，可以在没有这些具体细节的情况下实践本申请的各种实施例。在其他情况下，未详细描述众所周知的结构或处理步骤，以避免混淆本申请。

出于下文描述的目的，术语“上”、“右”、“左”、“垂直”、“水平”、“顶部”、“底部”及其派生词应与说明书附图所公开的结构和方法中的定向有关。应当理解，当作为层、区域或衬底的元素被称为在另一元素上时，该元素可以直接在另一元素上，或者也可以存在中间元素。相反，当一个元素被称为直接在另一元素上时，两者之间不存在中间元素。还应当理解，当一个元素被称为在另一元素下时，该元素可以直接在另一元素下，或者可以存在中间元素。相反。当一个元素被称为直接在另一元素下时，两者之间不存在中间元素。

下面将结合附图，对本申请实施例公开的技术方案进行详细说明。

本申请实施例提供了一种半导体器件的制造方法，如图1所示，该方法可以包括如下步骤。

S110. 在衬底上形成相互间隔的第一叠层结构和第二叠层结构。

如图3所示，衬底100上形成有相互间隔的第一叠层结构200A和第二叠层结构200B，第一叠层结构200A和第二叠层结构200B分别包括交替堆叠的第一半导体层110和第二半导体层120。在一些可选实施方式中，第一叠层结构200A和第二叠层结构200B例如可以通过隔离沟槽130间隔开。

衬底 100 在至少其表面部分上包括单晶半导体层。衬底 100 可以包括单晶半导体材料, 诸如但不限于 Si、Ge、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 和 InP。在一些可选实施方式中, 衬底 100 可以由晶体 Si 制成。衬底 100 可以在其表面区中包括一个或多个缓冲层(未示出)。缓冲层可以用于逐渐地将晶格常数从衬底的晶格常数改变为源极/漏极区的晶格常数。缓冲层可以由外延生长的单晶半导体材料形成, 诸如但不限于 Si、Ge、GeSn、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、GaN、GaP 和 InP。在一些可选实施方式中, 衬底 100 可以包括在硅衬底上外延生长的硅锗(SiGe)缓冲层。衬底 100 还可以包括已经适当掺杂有杂质(例如, p 型或 n 型导电性)的各个区域。

第一半导体层 110 和第二半导体层 120 可以由具有不同晶格常数的材料制成, 并且可以包括 Si、Ge、SiGe、GeSn、SiGeSn、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 或 InP 的一层或多层。在一些可选实施方式中, 第一半导体层 110 和第二半导体层 120 由 Si、Si 化合物、SiGe、Ge 或 Ge 化合物制成。在某些可选实施方式中, 第一半导体层 110 是 Si, 第二半导体层 120 是 SiGe。在其他可选实施方式中, 第一半导体层 110 也可以是 SiGe, 第一半导体层 110 和第二半导体层 120 的 Ge 含量不同。为简要起见, 在本文中, 以第一半导体层 110 为 Si, 第二半导体层 120 为 SiGe 为例, 详细描述本申请实施例。

需要说明的是, 在后续的刻蚀工艺中, 第一半导体层 110 相对于第二半导体层 120 具有高刻蚀选择比, 或者第二半导体层 120 相对于第一半导体层 110 具有高刻蚀选择比, 从而可以选择性地去除第一半导体层 110 或是第二半导体层 120。在这里, 高刻蚀选择比指的是刻蚀选择比大于 10, 优选地大于 50, 更优选地大于 100, 以精确地进行选择性刻蚀工艺, 在去除掉第一半导体层 110 和第二半导体层 120 中的一者的同时, 尽可能避免对第一半导体

层 110 和第二半导体层 120 中的另一者造成损伤。

在本实施例中，第一叠层结构 200A 用于形成第一半导体器件，第二叠层结构 200B 用于形成第二半导体器件，该第一半导体器件和第二半导体器件例如可以为场效应晶体管。以第一半导体层 110 为 Si，第二半导体层 120 为 SiGe 为例，当待形成的半导体器件被去除第一半导体层 110，保留第二半导体层 120 时，该半导体器件可以作为 P 型半导体器件；当待形成的半导体器件被去除第二半导体层 120，保留第一半导体层 110 时，该半导体器件可以作为 N 型半导体器件。

在图 3 的示例中，第一叠层结构 200A 和第二叠层结构 200B 中的第一半导体层 110 和第二半导体层 120 同层设置。在本申请实施例的一些可选实施方式中，第一叠层结构 200A 和第二叠层结构 200B 中的第一半导体层 110 和第二半导体层 120 可以错层设置，即第一叠层结构 200A 中的第一半导体层 110 与第二叠层结构 200B 中的第二半导体层 120 位于同一水平面，第一叠层结构 200A 中的第二半导体层 120 与第二叠层结构 200B 中的第一半导体层 110 位于同一水平面。

在本申请实施例的一些可选实施方式中，上述步骤 S110 可以包括：

S111. 在衬底上形成交替堆叠的第一半导体层和第二半导体层。

如图 2 所示，衬底 100 上形成了交替堆叠的第一半导体层 110 和第二半导体层 120。

S112. 对交替堆叠的第一半导体层和第二半导体层进行刻蚀以形成隔离沟槽。

如图 3 所示，通过刻蚀工艺在交替堆叠的第一半导体层 110 和第二半导体层 120 中形成了隔离沟槽 130，隔离沟槽 130 分隔开了用于形成第一半导体器件的第一叠层结构 200A 和用于形成第二半导体器件的第二叠层结构 200B。作为本申请实施例的一些可选实施方式，第一半导体器件和第二半导

体器件可以为相同导电类型，例如都为 N 型半导体器件或 P 型半导体器件。在另一些可选实施方式中，第一半导体器件和第二半导体器件也可以为不同导电类型，例如第一半导体器件为 N 型半导体器件，第二半导体器件为 P 型半导体器件。在本申请实施例的一些可选实施方式中，隔离沟槽 130 可以深入至衬底 100 中，如图 3 所示，从而可以作为浅沟槽隔离结构 (shallow trench isolation, STI)，以将两个半导体器件隔离开。

S120. 在第一叠层结构和第二叠层结构之间填充隔离墙和牺牲层。

如图 7 所示，隔离墙 132 和牺牲层 134 形成在第一叠层结构 200A 和第二叠层结构 200B 之间，且填充第一叠层结构 200A 和第二叠层结构 200B 之间的空间。牺牲层 134 位于隔离墙 132 的两侧，以分别间隔隔离墙 132 与第一叠层结构 200A 和第二叠层结构 200B，也即隔离墙 132 的两侧分别通过牺牲层 134 与第一叠层结构 200A 和第二叠层结构 200B 间隔开。为了保证在后续的刻蚀工艺中，牺牲层 134 被随同第一半导体层 110 或所述第二半导体层 120 去除，牺牲层 134 需要相对于第一半导体层 110 或第二半导体层 120 具有高刻蚀选择比。

在本申请实施例的一些可选实施方式中，上述步骤 S120 可以包括：

S121. 形成覆盖隔离沟槽的侧壁和底面的衬垫层。

如图 4 所示，可以通过 CVD（包括 LPCVD 和 PECVD）、PVD、ALD 或其他合适的工艺形成衬垫层 131，以覆盖隔离沟槽 130 的顶面、底面和侧壁。在某些可选实施方式中，衬垫层 131 可以为氧化硅，例如可以通过 ALD 工艺制成。

S122. 在衬垫层上形成隔离墙以填充隔离沟槽。

如图 5 所示，衬垫层 131 上形成了隔离墙 132，从而填充了隔离沟槽 130。在本步骤中，例如可以通过 ALD 或 CVD 等工艺来形成隔离墙 132。隔离墙 132 可以为氮化硅、氧化铝、氧化铪 (HfO_2)，或者其他高 k 介电材料。尽管

图中未示出，本领域技术人员应当理解，在形成隔离墙 132 填充隔离沟槽 130 之后，可以通过刻蚀或化学机械研磨（CMP）等工艺去除隔离沟槽 130 以外的衬垫层 131 和隔离墙 132，从而得到如图 5 所示的半导体结构。

S123. 去除位于隔离沟槽侧壁的至少部分衬垫层以形成空腔。

如图 6 所示，隔离沟槽 130 侧壁的至少部分衬垫层 131 被去除，以形成空腔 133。在图 6 的示例中，隔离沟槽 130 侧壁的部分衬垫层 131 被去除，空腔 133 延伸至衬底 100 的表面下方。当然，也可以选择去除隔离沟槽 130 侧壁的全部衬垫层 131。

在本申请实施例的一些可选实施方式中，由于需要实现对衬垫层 131 进行刻蚀时，避免隔离墙 132 受到损伤，衬垫层 131 与隔离墙 132 之间具有高刻蚀选择比，可以采用干法刻蚀工艺来执行步骤 S123，例如可以采用较低的腔室压力，以增大刻蚀等离子体的自由程，从而能够使得空腔 133 延伸至衬底 100 的表面下方。在本申请实施例的另一些可选实施方式中，可以采用湿法刻蚀工艺来执行步骤 S123。

S124. 向空腔填充牺牲层。

如图 7 所示，空腔 133 被填充了牺牲层 134。在本步骤中，可以采用较低的腔室压力，以增大沉积等离子体的自由程，从而使得空腔 133 能够被充分填充。

在本申请实施例的一些可选实施方式中，牺牲层 134 与隔离墙 132 之间具有高刻蚀选择比。为此，牺牲层 134 可以选用与第一半导体层 110 或第二半导体层 120 相同的材料。具体而言，当牺牲层 134 的材料与第一半导体层 110 相同时，牺牲层 134 和第一半导体层 110 相对于第二半导体层 120 具有高刻蚀选择比，从而在后续的刻蚀工艺中，牺牲层 134 与第一半导体层 110 一同被去除；当牺牲层 134 的材料与第二半导体层 120 相同时，牺牲层 134 和第二半导体层 120 相对于第一半导体层 110 具有高刻蚀选择比，从而在后

续的刻蚀工艺中，牺牲层 134 与第二半导体层 120 一同被去除。并且，在去除牺牲层 134 与第一半导体层 110 或第二半导体层 120 的同时，需要保持隔离墙 132 不被刻蚀。也正是基于上述考虑，在本实施例中，将部分衬垫层 131 的材料替换为了牺牲层 134 的材料，从而能够实现后续的选择性刻蚀。

在本申请实施例的一些更具体的可选实施方式中，第一半导体层 110 为 Si，第二半导体层 120 为 SiGe；牺牲层 134 为多晶 Si 或多晶 SiGe。当牺牲层 134 为多晶 Si 时，在后续的刻蚀工艺中，牺牲层 134 与第一半导体层 110 一同被去除；当牺牲层 134 为多晶 SiGe 时，在后续的刻蚀工艺中，牺牲层 134 与第二半导体层 110 一同被去除。具体地，向空腔 133 填充牺牲层 134 的步骤，可以包括：向空腔 133 填充非晶 Si 或非晶 SiGe；对非晶 Si 或非晶 SiGe 进行退火处理以形成多晶 Si 或多晶 SiGe。例如可以采用 LPCVD 工艺向空腔 133 填充非晶 Si 或非晶 SiGe，然后对所填充的非晶 Si 或非晶 SiGe 进行高温退火处理，以使得非晶 Si 或非晶 SiGe 重结晶为多晶 Si 或多晶 SiGe。

S130. 形成第一半导体器件和第二半导体器件的源区和漏区。为避免本申请的主要构思被模糊，在下文中将对此步骤进行详细描述。

S140. 去除第一半导体层和第二半导体层中的一者以及牺牲层。

在图 8 的示例中，第一叠层结构 200A 和第二叠层结构 200B 中的第二半导体层 120 以及牺牲层 134 被去除，仅保留第一半导体层 110。如上文所述，第一半导体层 110 例如可以为 Si，第二半导体层 120 例如可以为 SiGe，牺牲层 134 例如可以为多晶 SiGe，在本步骤的刻蚀工艺中，通过使 SiGe 与 Si 之间具有高刻蚀选择比，从而实现第二半导体层 120 以及牺牲层 134 被去除，仅保留第一半导体层 110，从而通过后续工艺形成两个 N 型半导体器件。然而，本申请并不限于此，在一些可选实施方式中，第一半导体层 110 例如可以为 Si，第二半导体层 120 例如可以为 SiGe，牺牲层 134 例如可以为多晶 Si，在此情况下，通过使刻蚀工艺中 Si 与 SiGe 之间具有高刻蚀选择比，从

而实现第一半导体层 110 以及牺牲层 134 被去除, 仅保留第二半导体层 120, 从而通过后续工艺形成两个 P 型半导体器件。同时, 由于还需要避免去除牺牲层 134 时对隔离墙 132 造成损伤, 需要牺牲层 134 与隔离墙 132 之间具有高刻蚀选择比。

在本申请实施例的另一些可选实施方式中, 如图 9 至图 12 所示, 隔离墙 132 两侧的牺牲层可以不同, 牺牲层 134 可以包括第一子牺牲层 134a 和第二子牺牲层 134b, 第一子牺牲层 134a 位于隔离墙 132 与第一叠层结构 200A 之间, 以间隔隔离墙 132 与第一叠层结构 200A; 第二子牺牲层 134b 位于隔离墙 132 与第二叠层结构 200B 之间, 以间隔隔离墙 132 与第二叠层结构 200B。其中, 第一子牺牲层 134a 相对于第一半导体层 110 和第二半导体层 120 中的一者具有高刻蚀选择比, 第二子牺牲层 134b 相对于第一半导体层 110 和第二半导体层 120 中的另一者具有高刻蚀选择比。例如第一子牺牲层 134a 相对于第一半导体层 110 具有高刻蚀选择比, 第二子牺牲层 134b 相对于第二半导体层 120 具有高刻蚀选择比, 由此, 在后续的对第一叠层结构 200A 的刻蚀工艺中, 第一子牺牲层 134a 与第二半导体层 120 一同被去除, 第一叠层结构 200A 仅保留第一半导体层 110; 在后续的对第二叠层结构 200B 的刻蚀工艺中, 第二子牺牲层 134b 与第一半导体层 110 一同被去除, 第二叠层结构 200B 仅保留第二半导体层 120, 从而可以通过后续工艺形成一个 N 型半导体器件和一个 P 型半导体器件。

具体地, 第一子牺牲层 134a 的材料与第一半导体层 110 和第二半导体层 120 中的一者相同, 第二子牺牲层 134b 的材料与第一半导体层 110 和第二半导体层 120 中的另一者相同。例如, 第一子牺牲层 134a 的材料与第二半导体层 120 相同, 第二子牺牲层 134b 的材料与第一半导体层 110 相同。更具体地, 第一半导体层 110 为 Si, 第二半导体层 120 为 SiGe, 第一子牺牲层 134a 为多晶 Si 和多晶 SiGe 中的一者; 第二子牺牲层 134b 为多晶 Si 和多晶 SiGe

中的另一者。例如，第一子牺牲层 134a 为多晶 SiGe，第二子牺牲层 134b 为多晶 Si。

具体而言，形成上述第一子牺牲层 134a 和第二子牺牲层 134b 的方法可以包括如下步骤：

S123a. 去除隔离墙与第一叠层结构之间的至少部分衬垫层以形成第一空腔。

如图 9 所示，需要形成保护隔离墙 132 与第二叠层结构 200B 之间的衬垫层 131b 的掩膜层，该掩膜层例如可以覆盖隔离墙 132、衬垫层 131b 以及第二叠层结构 200B，从而可以对暴露出的隔离墙 132 与第一叠层结构 200A 之间的至少部分衬垫层 131 进行刻蚀，以形成第一空腔 133a。

S124a. 向第一空腔填充第一子牺牲层。

如图 10 所示，向图 9 所示的第一空腔 133a 填充第一子牺牲层 134a，第一子牺牲层 134a 相对于第一半导体层 110 和第二半导体层 120 中的一者具有高刻蚀选择比。在一种可选实施方式中，第一半导体层 110 为 Si，第二半导体层 120 为 SiGe，第一子牺牲层 134a 为多晶 SiGe。

S123b. 去除隔离墙与第二叠层结构之间的至少部分衬垫层以形成第二空腔。

如图 11 所示，去除上述步骤 S123a 中形成的掩膜层，并形成保护隔离墙 132 与第一叠层结构 200A 之间的第一子牺牲层 134a 的掩膜层，该掩膜层例如可以覆盖隔离墙 132、第一子牺牲层 134a 以及第一叠层结构 200A，从而可以对暴露出的隔离墙 132 与第二叠层结构 200B 之间的至少部分衬垫层 131b 进行刻蚀，以形成第二空腔 133b。

S124b. 向第二空腔填充第二子牺牲层。

如图 12 所示，向图 11 所示的第二空腔 133b 填充第二子牺牲层 134b，并去除步骤 S123b 中形成的掩膜层，从而可以得到图 12 所示的半导体结构。

通过上述步骤 S123a、S124a、S123b 和 S124b 即可以实现在隔离墙 132 两侧分别形成的第一子牺牲层 134a 和第二子牺牲层 134b，从而可以通过后续工艺，在隔离墙 132 的两侧分别形成一个 N 型半导体器件和一个 P 型半导体器件。

S150. 在第一半导体层和第二半导体层中的另一者周围形成栅极结构。

栅极结构可以包括围绕第一半导体层和第二半导体层中的另一者（即，在完成步骤 S140 之后第一半导体层和第二半导体层中保留下来的一者）设置的栅极介电层 141 和栅电极层 142。

在图 13 的示例中，由于第二半导体层 120 被去除，仅保留第一半导体层 110，并且由于牺牲层 134 被去除，第一半导体层 110 与隔离墙 132 之间存在间隙，从而可以围绕整个第一半导体层 110 的周围形成栅极介电层 141，被栅极介电层 141 所围绕的第一半导体层 110 形成成为半导体器件的沟道区。在一些可选实施方式中，栅极介电层 141 可以包括介电材料（诸如氧化硅、氮化硅或高 k 介电材料）、其他合适的介电材料和/或其组合的一层或多层。高 k 介电材料例如可以包括 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、氧化锆、氧化铝、氧化钛、二氧化铪-氧化铝($\text{HfO}_2\text{-Al}_2\text{O}_3$)合金、其他合适的高 k 介电材料和/或其组合。在某些实施例，在沟道区（即第一半导体层 110）和栅极介电层 141 之间还可以形成有界面层。栅极介电层 141 可以通过 CVD、ALD 或任何合适的方法形成。在一个可选实施例中，栅极介电层 141 的厚度在约 1nm 至约 6nm 的范围内。

如图 14 所示，在栅极介电层 141 外侧填充栅电极层 142，从而形成了围绕第一半导体层 110 设置的栅电极层 142。在一些可选实施方式中，栅电极层 142 可以包括一层或多层导电材料，诸如多晶硅、铝、铜、钛、钽、钨、钴、钼、氮化钽、硅化镍、硅化钴、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN、其合金、其他合适的材料和/或其组合。栅电极层 142 可以通过 CVD、

ALD、电镀或其他合适的方法形成。

不同于常规的 Forksheet 结构中栅极结构只能围绕沟道的三个侧面，在本申请实施例的半导体器件的制造方法中，通过在隔离沟槽内形成隔离墙和牺牲层，并通过后续的刻蚀工艺去除该牺牲层，从而可以形成围绕整个沟道区周围的栅极结构，能够实现更小的 DIBL，对半导体器件的漏电流实现更好的控制。

在下文中将对步骤 S130 进行详细说明，更具体地，需要在第一叠层结构 200A 和第二叠层结构 200B 的沿第二方向的两侧形成源区和漏区 160，其中第二方向与第一方向垂直，第一方向为第一叠层结构 200A 和第二叠层结构 200B 的排布方向。上述步骤 S130 具体可以包括：

S131. 形成覆盖第一叠层结构 200A、第二叠层结构 200B、隔离墙 132 和牺牲层 134 的伪栅（dummy gate）结构 140，如图 15A 和图 15B 所示。

S132. 沿第二方向去除预定厚度的第一半导体层 110 和第二半导体层 120 中的一者。

在图 16A 和图 16B 的示例中，第二半导体层 120 被去除预定厚度，该预定厚度约为 3nm 至 10nm，更优选地为约 5nm。

S133. 利用绝缘层 150 填充被去除的第一半导体层 110 和第二半导体层 120 中的一者（即在完成步骤 S132 之后第一半导体层 110 和第二半导体层 120 中被去除预定厚度的一者）。

在图 17A 和图 17B 的示例中，绝缘层 150 填充了被去除的第二半导体层 120。绝缘层 150 例如可以为氮化硅，例如可以通过 ALD 工艺形成在第一半导体层 110 和第二半导体层 120 的侧壁上，然后通过刻蚀工艺去除第一半导体层 110 上的绝缘层 150。绝缘层 150 用于避免后续形成的栅极结构与源区或漏区导通。

S134. 在第一半导体层 110 和第二半导体层 120 中的另一者表面进行外

延生长以形成源区和漏区 160。

在图 18A 和图 18B 的示例中，通过外延生长，在第一半导体层 110 表面生长出源区和漏区 160。然后去除伪栅结构，从而得到图 18A 和图 18B 所示的半导体结构。

在一些实施例中，在完成步骤 S134 之后，还可以包括以下步骤：

S135. 在源区和漏区 160 上形成绝缘结构 161，如图 19A 和图 19B 所示。

至此，通过上述步骤 S131 至 S135 实现了本申请实施例的半导体器件的源极和漏极结构的制造。在后续工序中，通过上文所述的步骤 S140 和 S150 实现了半导体器件的栅极结构的制造。

为了更清楚地表示步骤 S140 之后的半导体结构，图 20 示出了步骤 S140 之后的半导体结构的截面轴侧视图，如图 20 所示，沟道区（即第一半导体层 110）沿第二方向上的两端分别连接于源区和漏区 160，从而在图 8 所示的第一方向上的截面图中显示为悬空设置。绝缘层 150 形成在源区和漏区 160 与待形成的栅极结构之间，以避免栅极结构与源区和漏区 160 导通。在本申请实施例的半导体器件的制造方法中，通过在隔离沟槽内形成隔离墙和牺牲层，并通过后续的刻蚀工艺去除该牺牲层，从而可以形成围绕整个沟道区周围的栅极结构，能够实现更小的 DIBL，对半导体器件的漏电流实现更好的控制。

本申请上文实施例中重点描述的是各个实施例之间的不同，各个实施例之间不同的优化特征只要不矛盾，均可以组合形成更优的实施例，考虑到行文简洁，在此则不再赘述。

以上所述仅为本申请的实施例而已，并不用于限制本申请。对于本领域技术人员来说，本申请可以有各种更改和变化。凡在本申请的精神和原理之内所作的任何修改、等同替换、改进等，均应包含在本申请的权利要求范围之内。

权 利 要 求 书

1、一种半导体器件的制造方法，其特征在于，包括：

在衬底上形成相互间隔的第一叠层结构和第二叠层结构，所述第一叠层
5 结构和所述第二叠层结构分别包括交替堆叠的第一半导体层和第二半导体
层；

在所述第一叠层结构和所述第二叠层结构之间填充隔离墙和牺牲层，所
述牺牲层位于所述隔离墙的两侧，以分别间隔所述隔离墙与所述第一叠层结
构和所述第二叠层结构，所述牺牲层相对于所述第一半导体层或所述第二半
10 导体层具有高刻蚀选择比；

去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层；

在所述第一半导体层和所述第二半导体层中的另一者周围形成栅极结
构。

15 2、根据权利要求 1 所述的半导体器件的制造方法，其特征在于，所述
在衬底上形成相互间隔的第一叠层结构和第二叠层结构，包括：

在所述衬底上形成交替堆叠的所述第一半导体层和所述第二半导体层；

对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀以形成
隔离沟槽，所述隔离沟槽将交替堆叠的所述第一半导体层和所述第二半导体
20 层分隔为所述第一叠层结构和所述第二叠层结构，所述第一叠层结构用于形
成第一半导体器件，所述第二叠层结构用于形成第二半导体器件。

3、根据权利要求 2 所述的半导体器件的制造方法，其特征在于，所述
在所述第一叠层结构和所述第二叠层结构之间填充隔离墙和牺牲层，包括：

25 形成覆盖所述隔离沟槽的侧壁和底面的衬垫层；

在所述衬垫层上形成所述隔离墙以填充所述隔离沟槽；

去除位于所述隔离沟槽侧壁的至少部分所述衬垫层以形成空腔；

向所述空腔填充所述牺牲层。

4、根据权利要求3所述的半导体器件的制造方法，其特征在于，所述去除位于所述隔离沟槽侧壁的至少部分所述衬垫层以形成空腔，包括：

5 去除所述隔离墙与所述第一叠层结构之间的至少部分所述衬垫层以形成第一空腔；以及

去除所述隔离墙与所述第二叠层结构之间的至少部分所述衬垫层以形成第二空腔；

所述向所述空腔填充所述牺牲层，包括：

10 向所述第一空腔填充第一子牺牲层，所述第一子牺牲层相对于所述第一半导体层和所述第二半导体层中的一者具有高刻蚀选择比；以及

向所述第二空腔填充第二子牺牲层，所述第二子牺牲层相对于所述第一半导体层和所述第二半导体层中的另一者具有高刻蚀选择比。

15 5、根据权利要求1所述的半导体器件的制造方法，其特征在于，所述牺牲层包括第一子牺牲层和第二子牺牲层；

所述第一子牺牲层位于所述隔离墙与所述第一叠层结构之间，以间隔所述隔离墙与所述第一叠层结构，所述第一子牺牲层相对于所述第一半导体层和所述第二半导体层中的一者具有高刻蚀选择比；

20 所述第二子牺牲层位于所述隔离墙与所述第二叠层结构之间，以间隔所述隔离墙与所述第二叠层结构，所述第二子牺牲层相对于所述第一半导体层和所述第二半导体层中的另一者具有高刻蚀选择比。

25 6、根据权利要求5所述的半导体器件的制造方法，其特征在于，所述第一子牺牲层的材料与所述第一半导体层和所述第二半导体层中的一者相同；

所述第二子牺牲层的材料与所述第一半导体层和所述第二半导体层中

的另一者相同。

7、根据权利要求6所述的半导体器件的制造方法，其特征在于，所述第一半导体层为Si，所述第二半导体层为SiGe；

5 所述第一子牺牲层为多晶Si和多晶SiGe中的一者；

所述第二子牺牲层为多晶Si和多晶SiGe中的另一者。

8、根据权利要求1所述的半导体器件的制造方法，其特征在于，所述第一半导体层相对于所述第二半导体层具有高刻蚀选择比；或者

10 所述第二半导体层相对于所述第一半导体层具有高刻蚀选择比。

9、根据权利要求8所述的半导体器件的制造方法，其特征在于，所述牺牲层的材料与所述第一半导体层或所述第二半导体层相同；

15 当所述牺牲层的材料与所述第一半导体层相同时，所述牺牲层和所述第一半导体层相对于所述第二半导体层具有高刻蚀选择比，所述去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层，包括：去除所述第一半导体层和所述牺牲层；

20 当所述牺牲层的材料与所述第二半导体层相同时，所述牺牲层和所述第二半导体层相对于所述第一半导体层具有高刻蚀选择比，所述去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层，包括：去除所述第二半导体层和所述牺牲层。

10、根据权利要求9所述的半导体器件的制造方法，其特征在于，所述第一半导体层为Si，所述第二半导体层为SiGe；

25 所述牺牲层为多晶Si或多晶SiGe。

11、根据权利要求3所述的半导体器件的制造方法，其特征在于，利用

干法或湿法刻蚀工艺去除位于所述隔离沟槽侧壁的至少部分所述衬垫层；
所述衬垫层与所述隔离墙之间具有高刻蚀选择比；并且
所述牺牲层与所述隔离墙之间具有高刻蚀选择比。

- 5 12、根据权利要求 1-11 中任一项所述的半导体器件的制造方法，其特征在于，在去除所述第一半导体层和所述第二半导体层中的一者以及所述牺牲层之前，还包括：

 在所述第一叠层结构和所述第二叠层结构的沿第二方向的两侧形成源区和漏区，所述第二方向与第一方向垂直，所述第一方向为所述第一叠层结
10 构和所述第二叠层结构的排布方向。

 13、根据权利要求 12 所述的半导体器件的制造方法，其特征在于，所述在所述第一叠层结构和所述第二叠层结构的沿第二方向的两侧形成源区和漏区，包括：

- 15 沿所述第二方向去除预定厚度的所述第一半导体层和所述第二半导体层中的一者；

 利用绝缘层填充被去除的所述第一半导体层和所述第二半导体层中的所述一者；

- 在所述第一半导体层和所述第二半导体层中的另一者表面进行外延生长以形成所述源区和所述漏区。
20

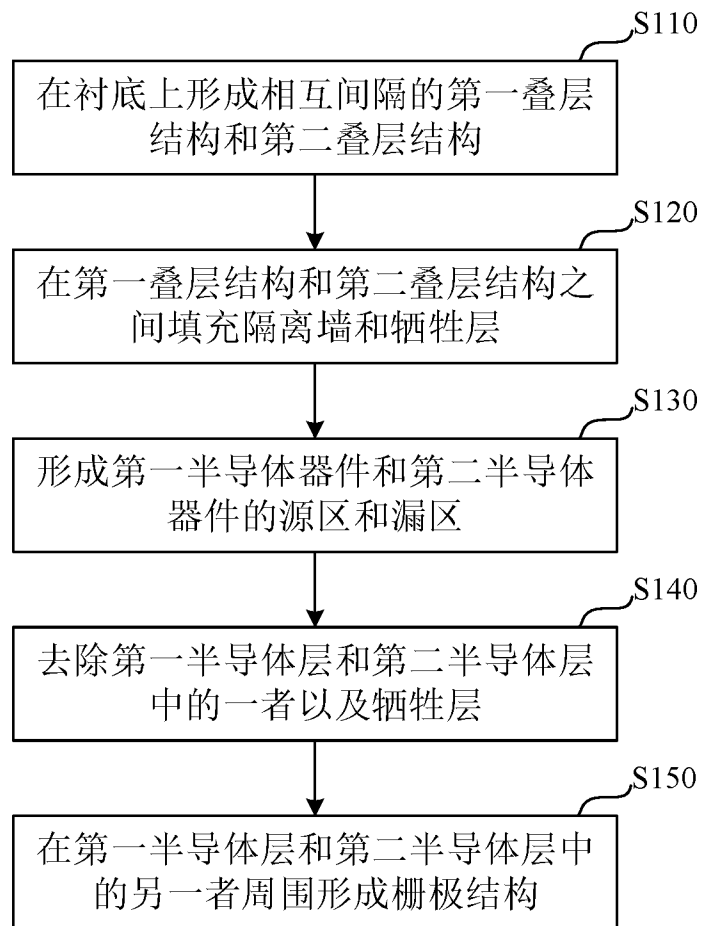


图 1

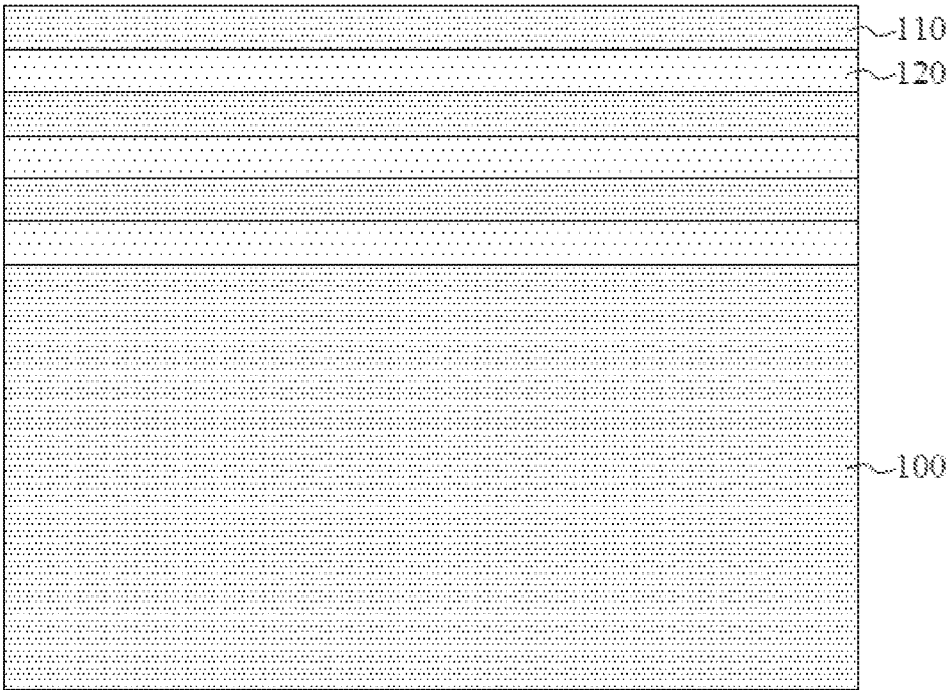


图 2

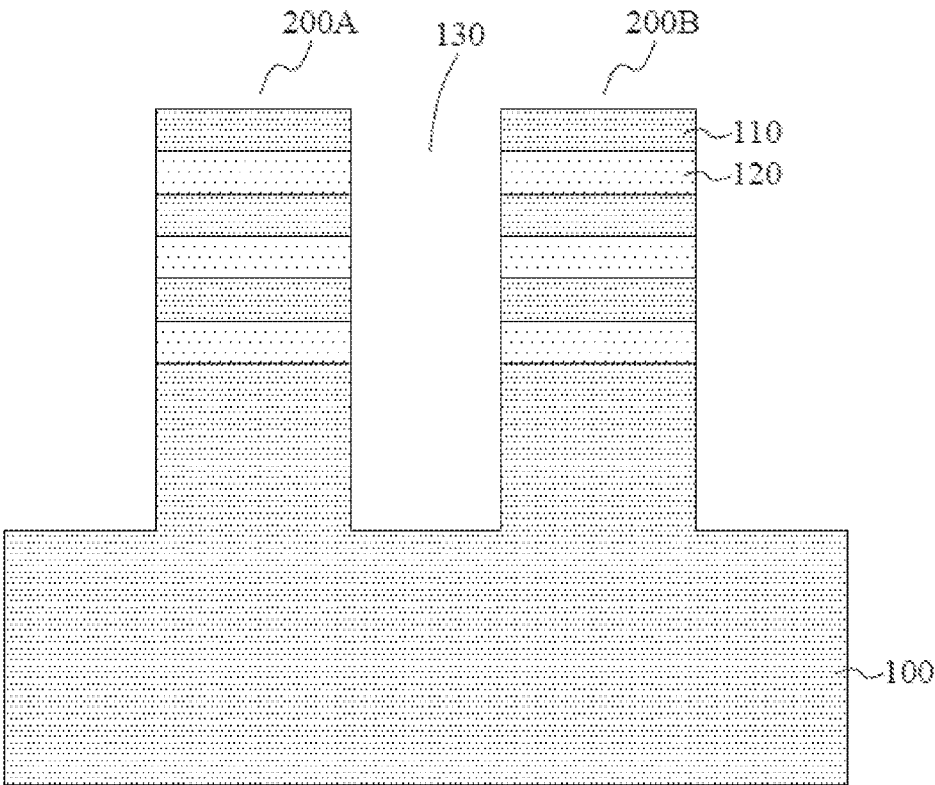


图 3

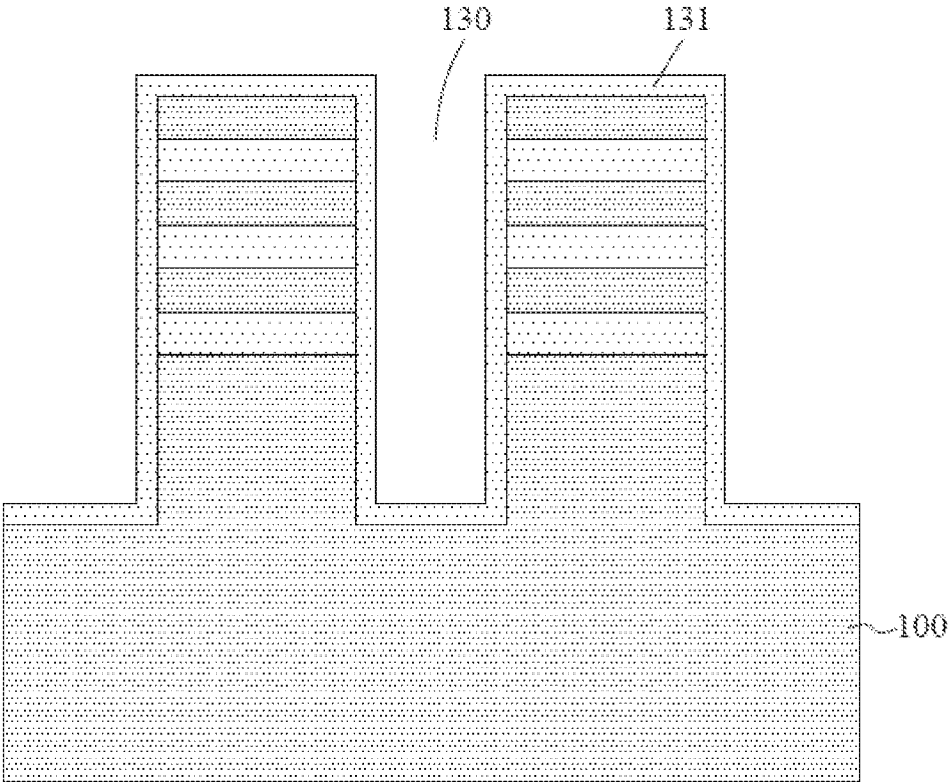


图 4

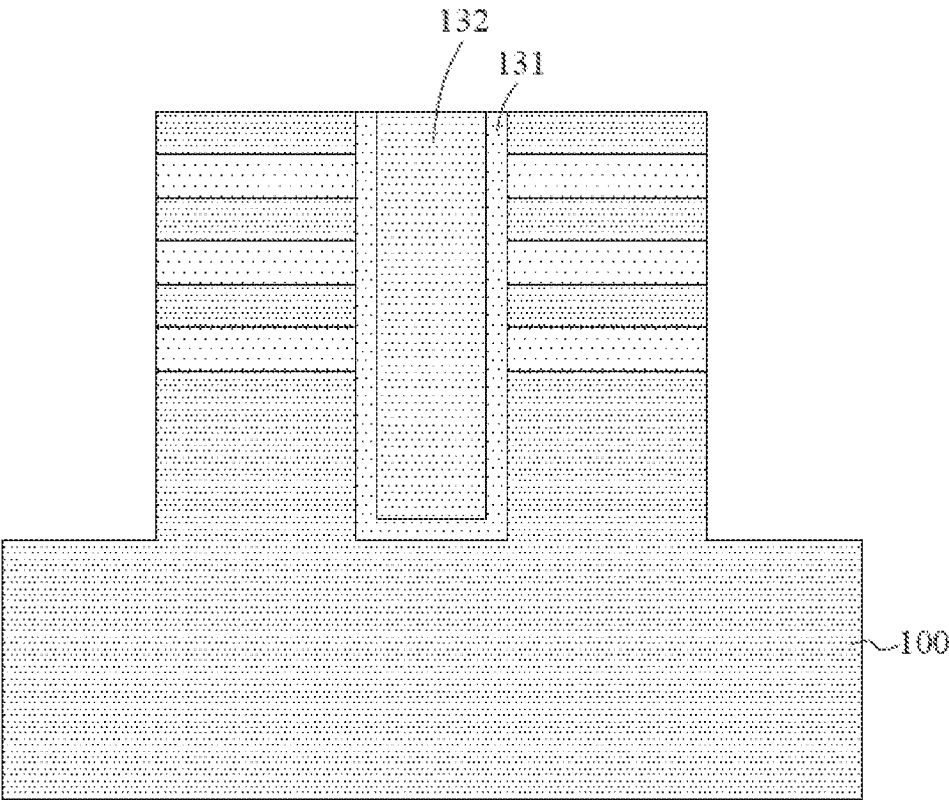


图 5

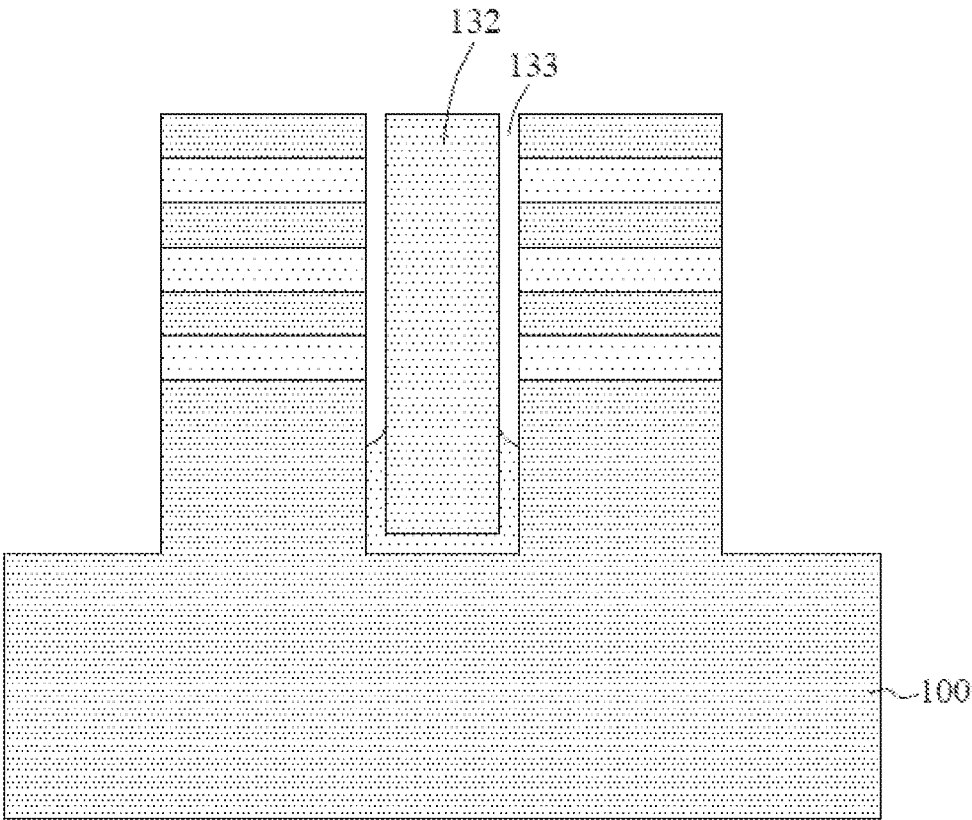


图 6

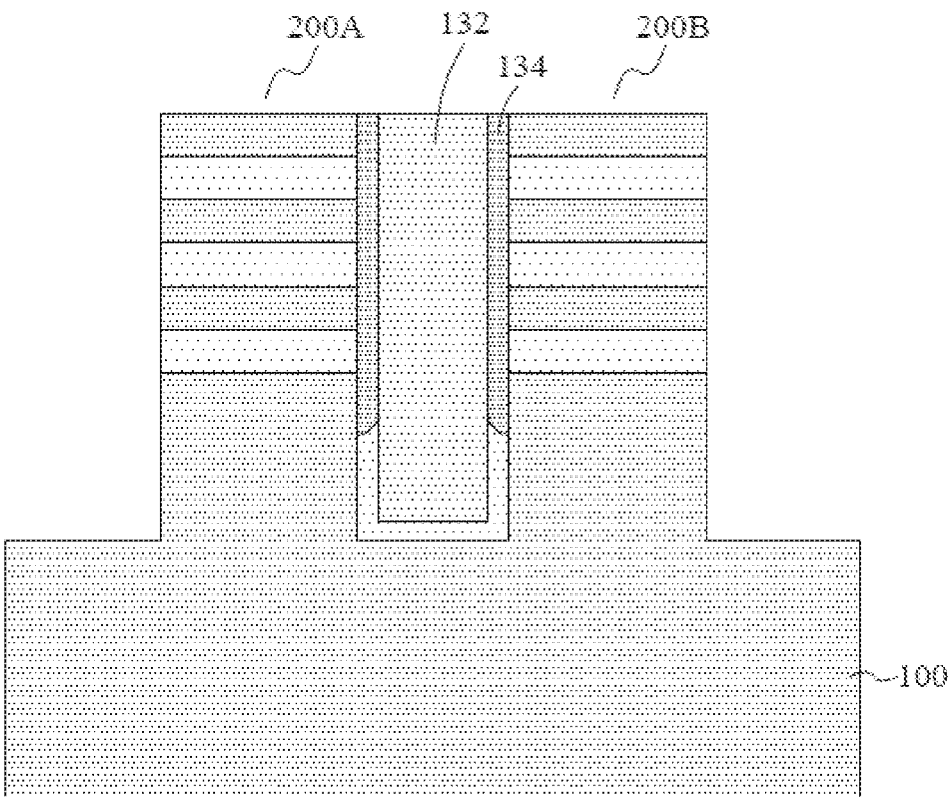


图 7

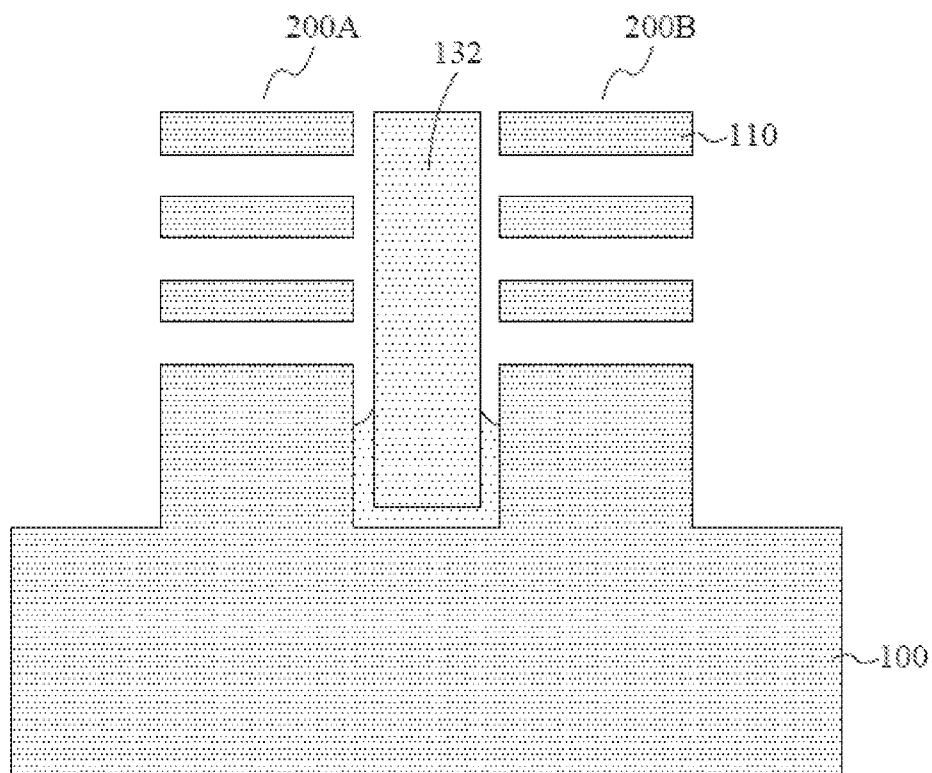


图 8

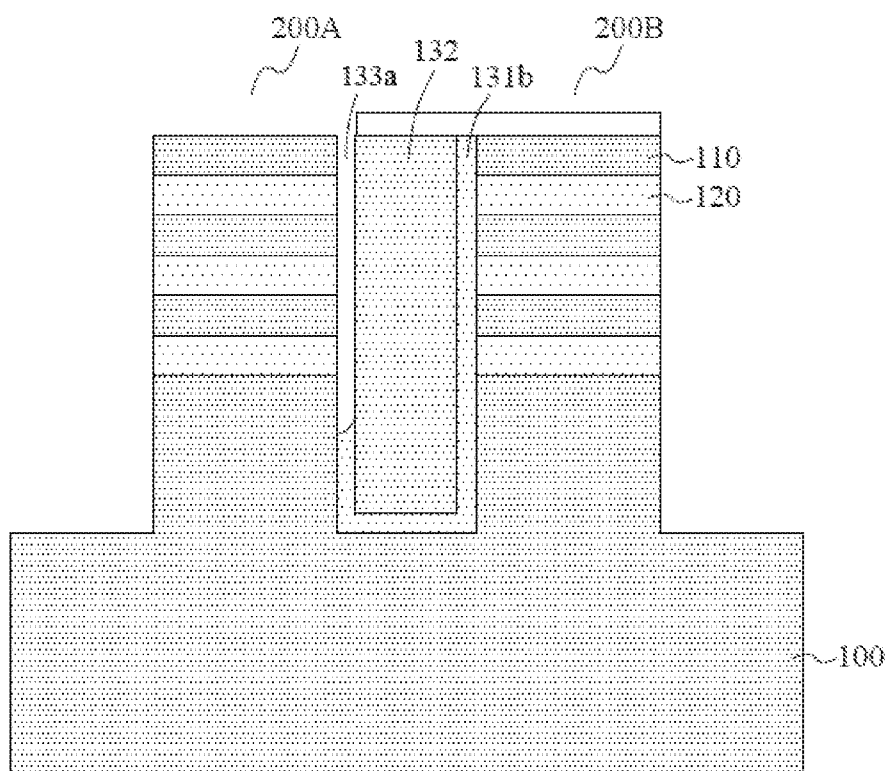


图 9

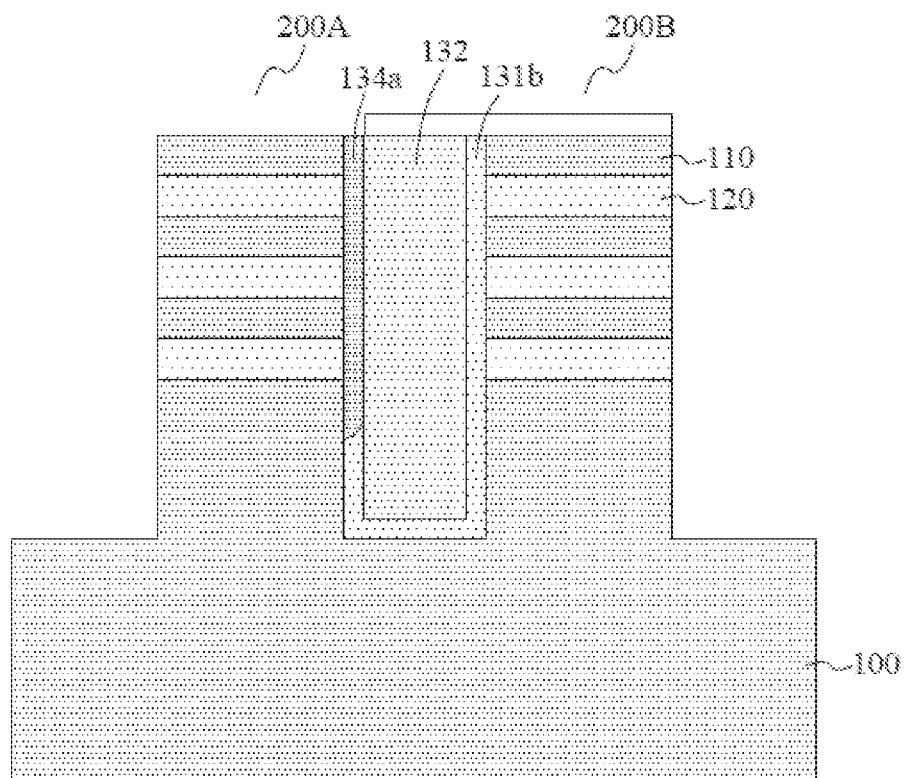


图 10

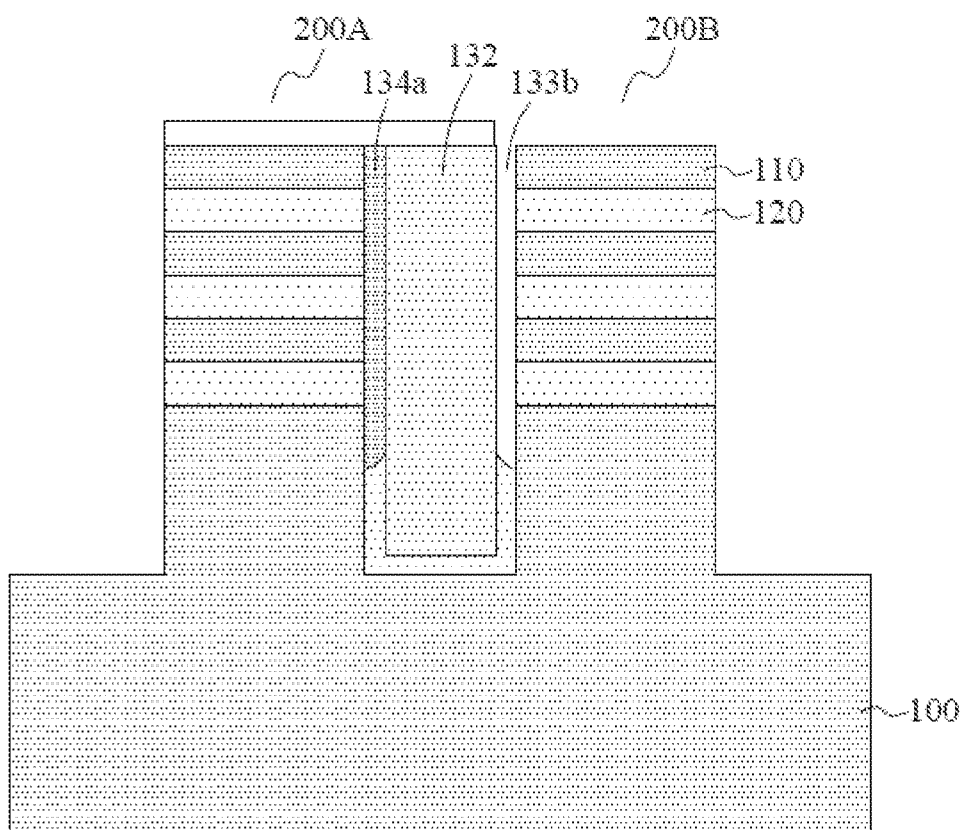


图 11

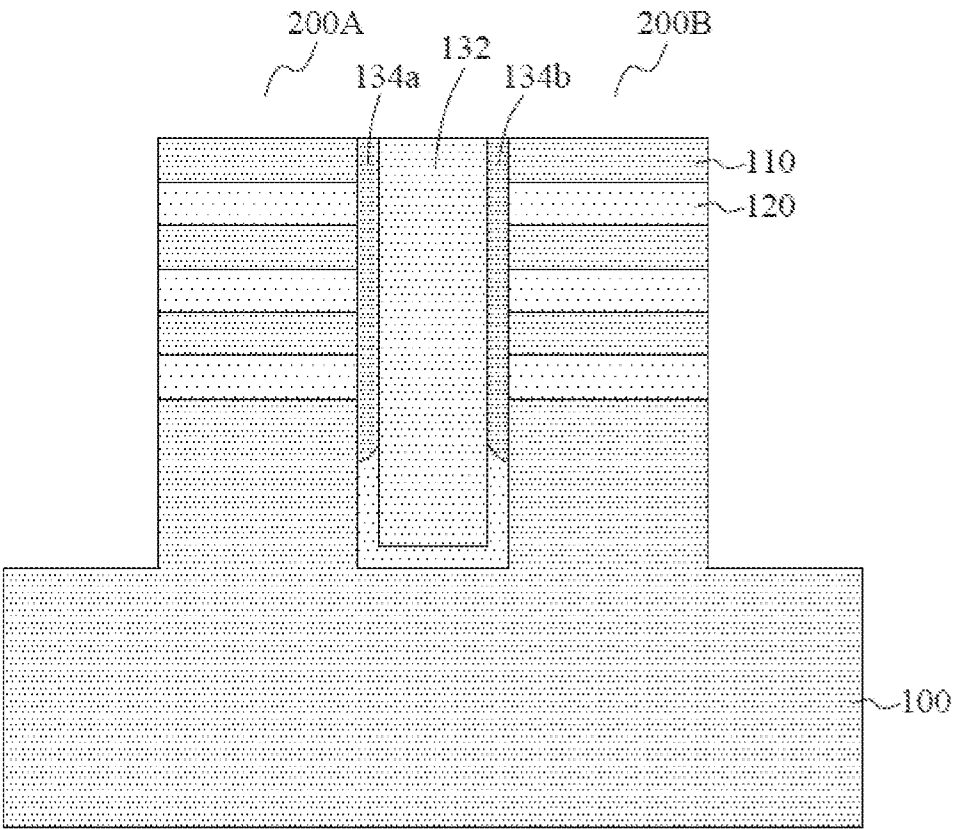


图 12

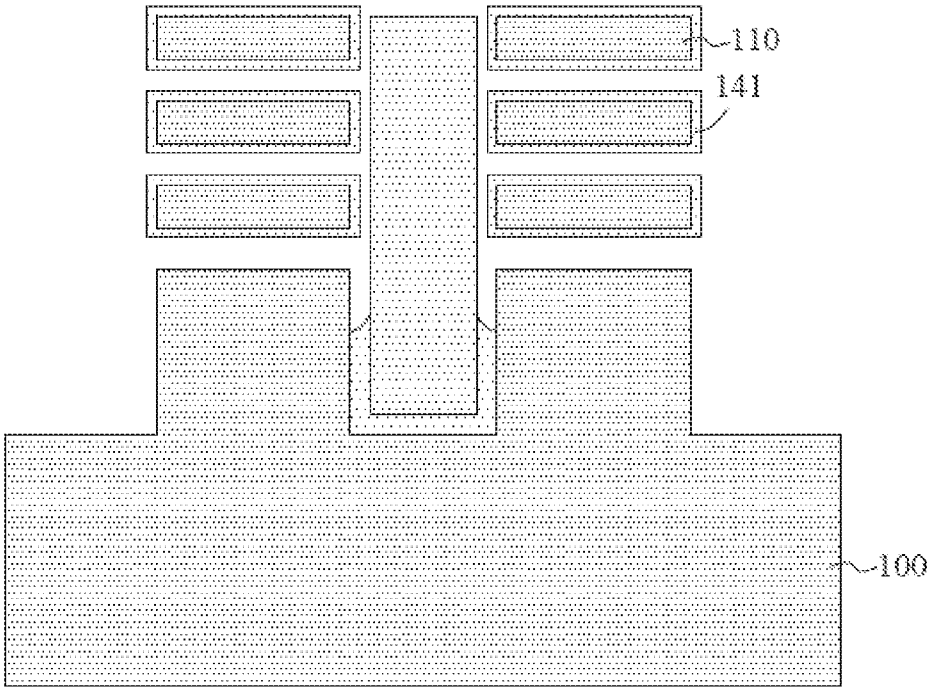


图 13

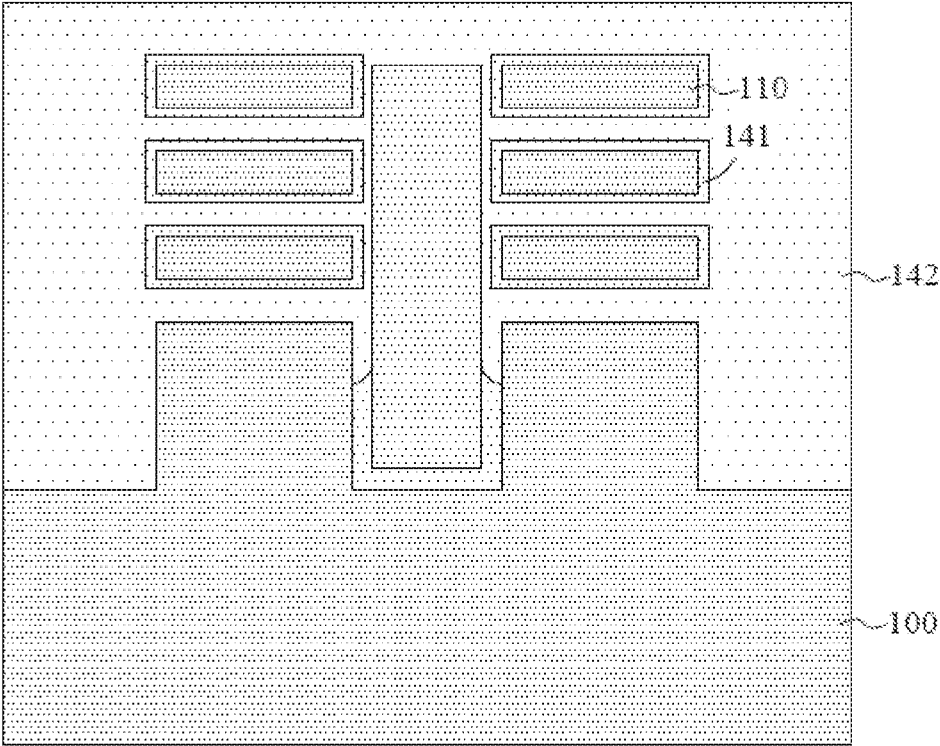


图 14

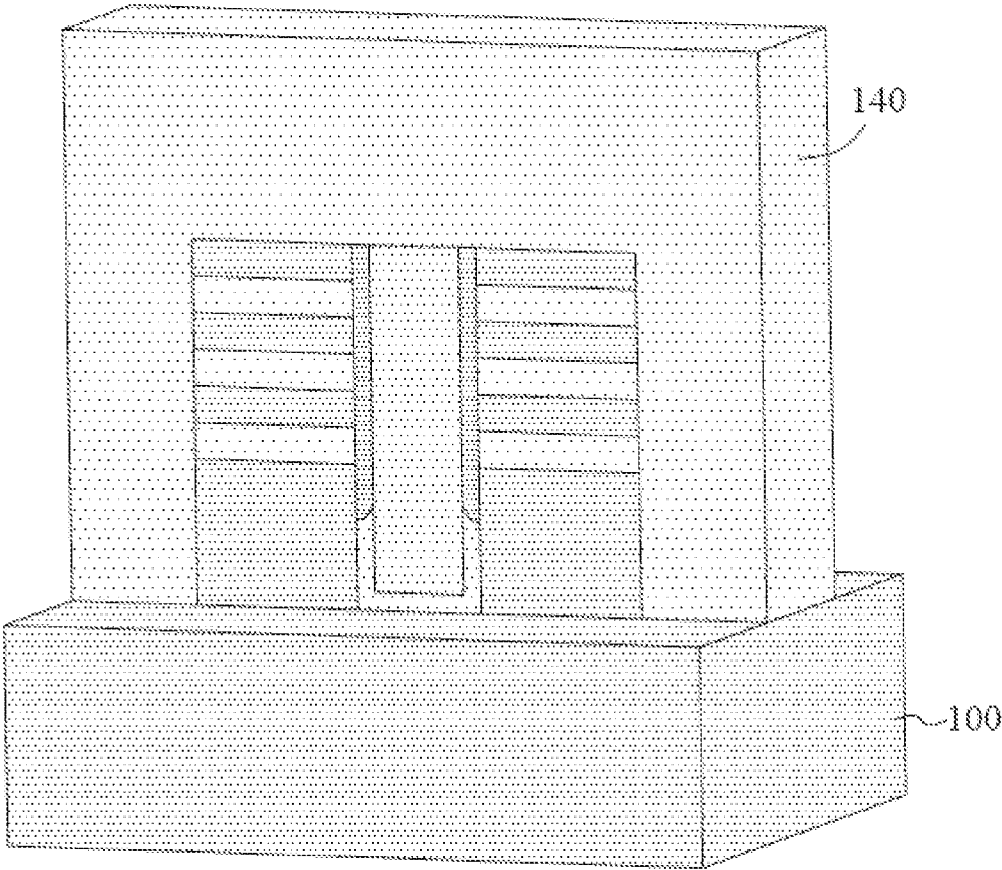


图 15A

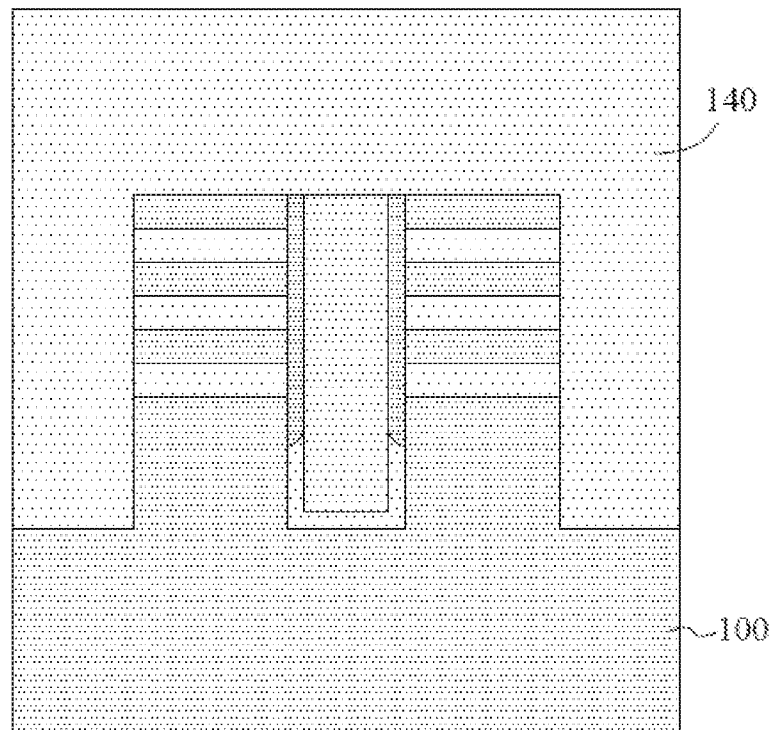


图 15B

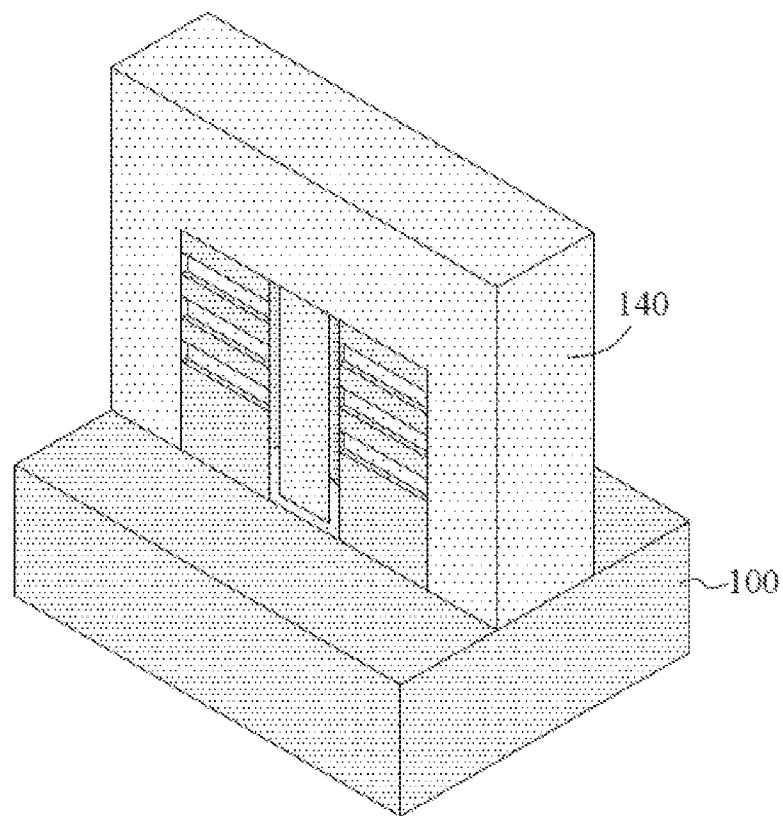


图 16A

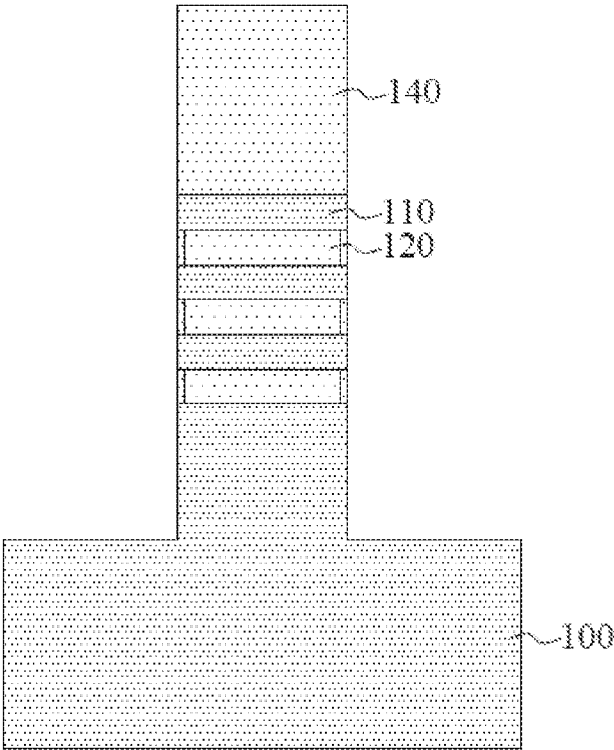


图 16B

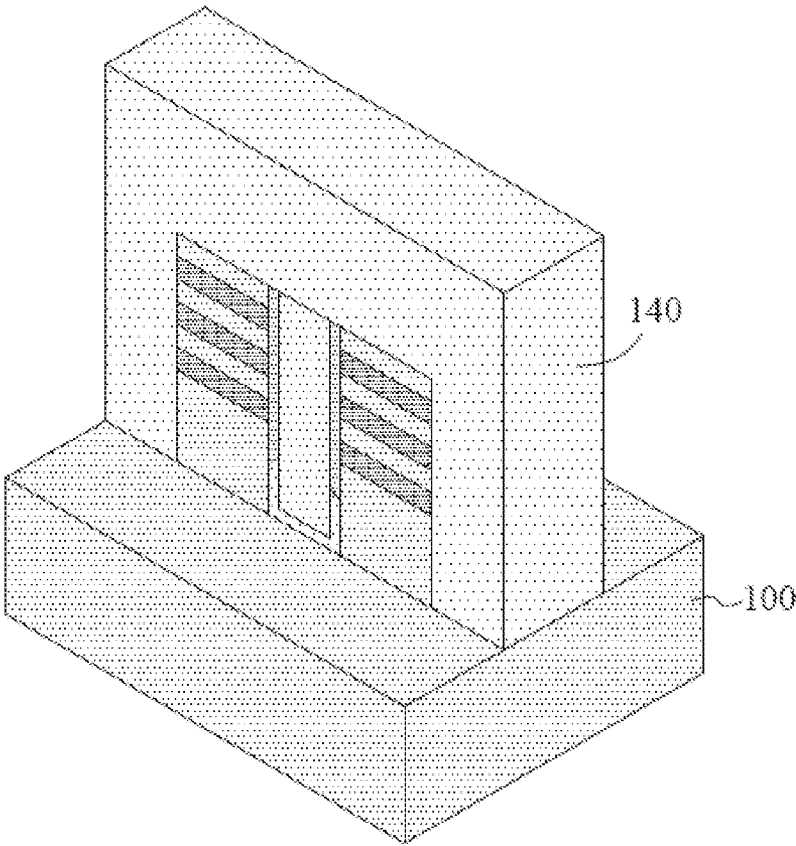


图 17A

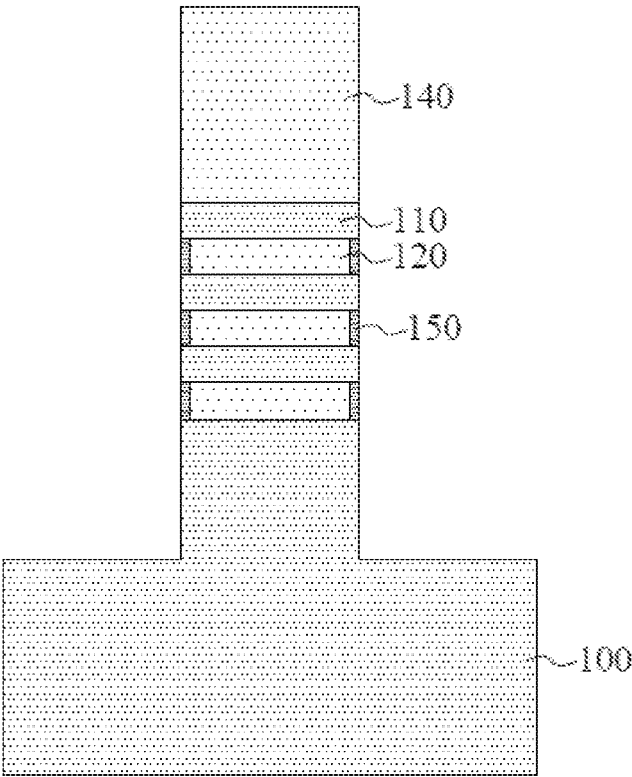


图 17B

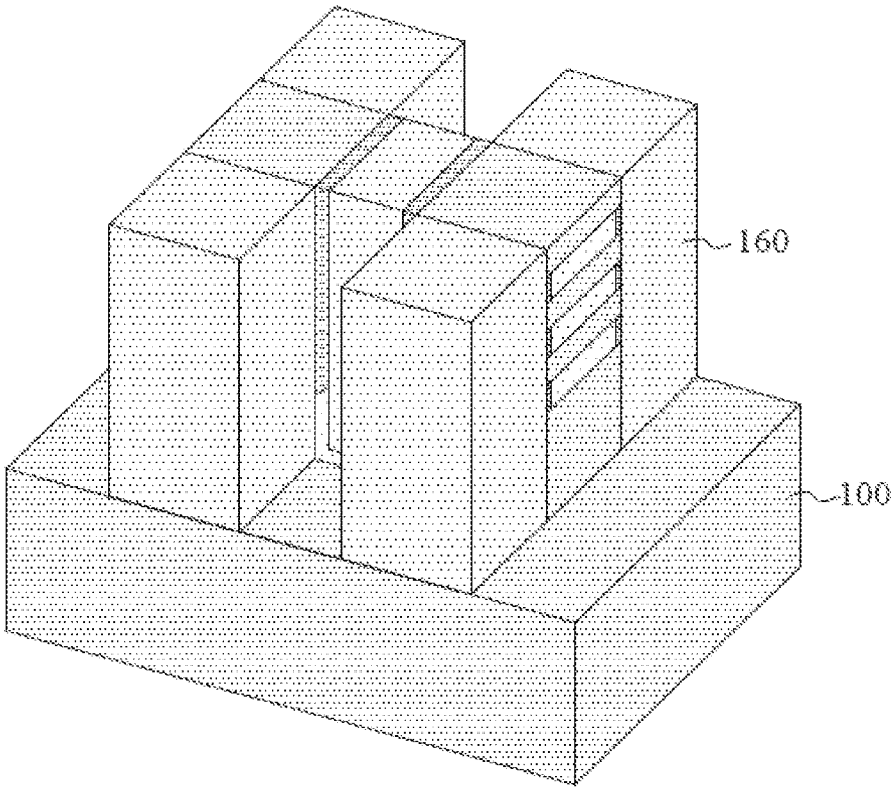


图 18A

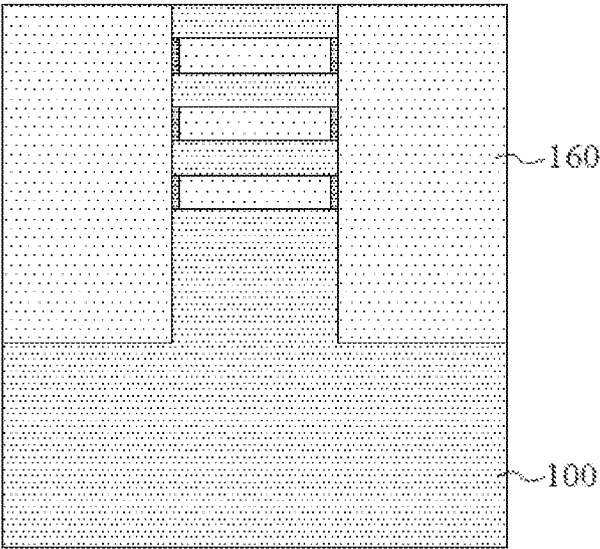


图 18B

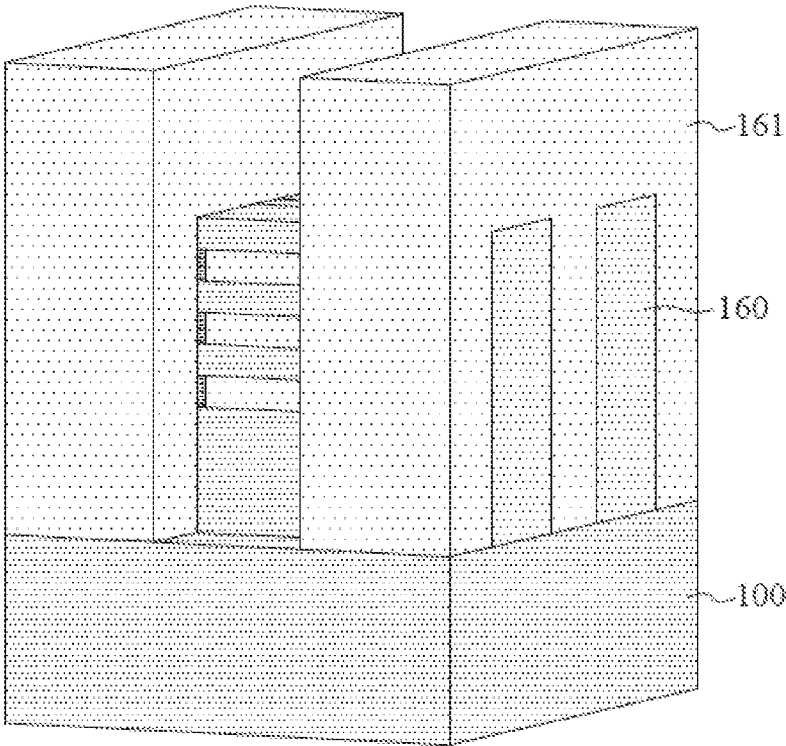


图 19A

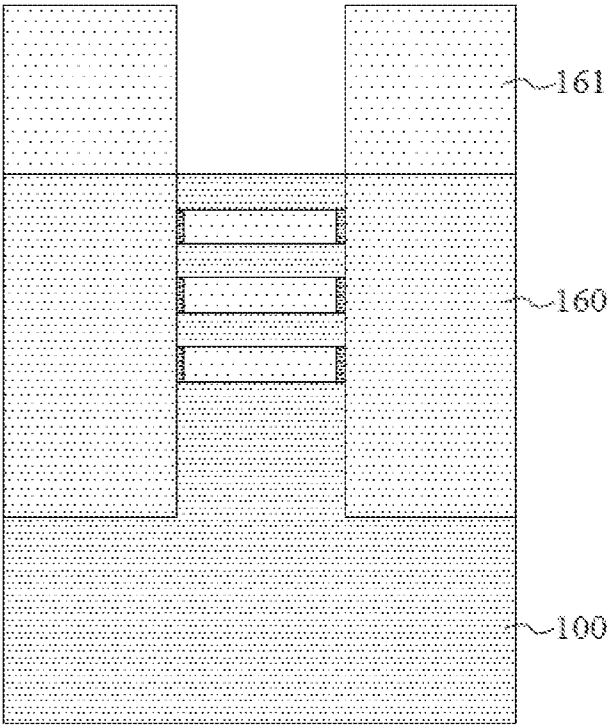


图 19B

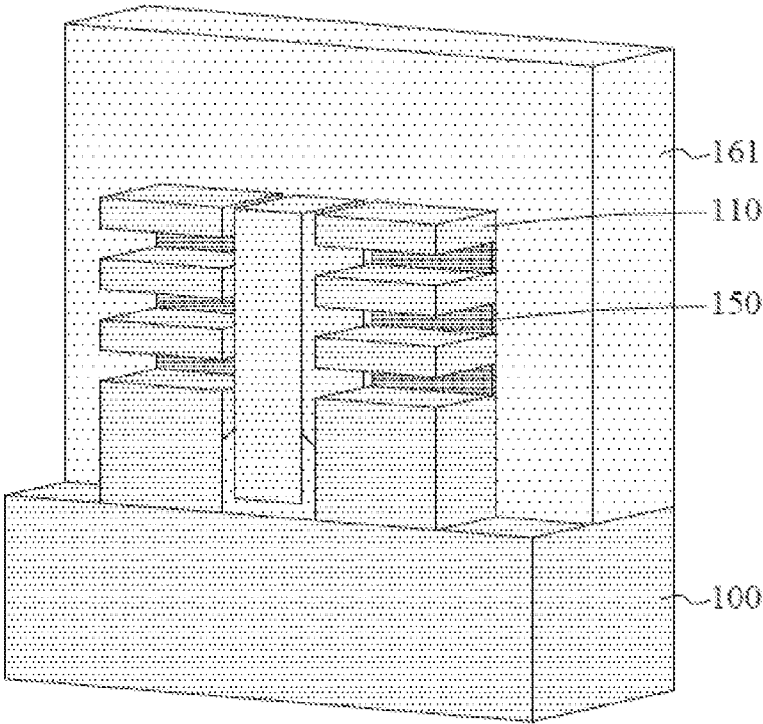


图 20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/101925

A. CLASSIFICATION OF SUBJECT MATTER H01L21/28(2006.01)i; H01L21/336(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, ENTXT, IEEE, CNABS, CNTXT, CNKI: GAA, gate, around+, surround+, fork+, transistor, isolat+, insulat+, wall, sacrific +, 栅, 包围, 围绕, 叉, 晶体管, 隔离, 绝缘, 介质, 墙, 壁, 牺牲		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116504616 A (BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.) 28 July 2023 (2023-07-28) claims 1-13, description, paragraphs [0025]-[0077], and figures 1-20	1-13
X	CN 113903808 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 07 January 2022 (2022-01-07) description, paragraphs [0051]-[0123], and figures 6-25	1-2, 8, 12-13
X	CN 113437150 A (INTEL CORP.) 24 September 2021 (2021-09-24) description, paragraphs [0087]-[0099], and figures 10A-10L	1-2, 8, 12-13
A	CN 115376998 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 22 November 2022 (2022-11-22) entire document	1-13
A	CN 115763371 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 07 March 2023 (2023-03-07) entire document	1-13
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 12 August 2024		Date of mailing of the international search report 16 August 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/101925

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2020105752 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 02 April 2020 (2020-04-02) entire document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/101925

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116504616	A	28 July 2023	CN	116504616	B	14 November 2023
CN	113903808	A	07 January 2022	CN	113903808	B	22 December 2023
CN	113437150	A	24 September 2021	KR	20210118724	A	01 October 2021
				US	2021296315	A1	23 September 2021
				US	11239236	B2	01 February 2022
				TW	202201686	A	01 January 2022
				US	2022102346	A1	31 March 2022
				US	11664377	B2	30 May 2023
CN	115376998	A	22 November 2022	None			
CN	115763371	A	07 March 2023	None			
US	2020105752	A1	02 April 2020	US	10923474	B2	16 February 2021
				TW	202025394	A	01 July 2020
				US	2021167065	A1	03 June 2021
				US	11532623	B2	20 December 2022
				CN	110970418	A	07 April 2020

A. 主题的分类

H01L21/28(2006.01)i; H01L21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, ENTXT, IEEE, CNABS, CNTXT, CNKI: GAA, gate, around+, surround+, fork+, transistor, isolat+, insulat+, wall, sacrific+, 栅, 包围, 围绕, 叉, 晶体管, 隔离, 绝缘, 介质, 墙, 壁, 牺牲

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116504616 A (北京北方华创微电子装备有限公司) 2023年7月28日 (2023 - 07 - 28) 权利要求1-13、说明书第[0025]-[0077]段、附图1-20	1-13
X	CN 113903808 A (中芯国际集成电路制造(上海)有限公司 等) 2022年1月7日 (2022 - 01 - 07) 说明书第[0051]-[0123]段、附图6-25	1-2, 8, 12-13
X	CN 113437150 A (英特尔公司) 2021年9月24日 (2021 - 09 - 24) 说明书第[0087]-[0099]段、附图10A-10L	1-2, 8, 12-13
A	CN 115376998 A (中芯国际集成电路制造(上海)有限公司 等) 2022年11月22日 (2022 - 11 - 22) 全文	1-13
A	CN 115763371 A (中芯国际集成电路制造(上海)有限公司 等) 2023年3月7日 (2023 - 03 - 07) 全文	1-13
A	US 2020105752 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2020年4月2日 (2020 - 04 - 02) 全文	1-13

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年8月12日

国际检索报告邮寄日期

2024年8月16日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

李元

电话号码 (+86) 010-53961205

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/101925

检索报告引用的专利文件				公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116504616	A	2023年7月28日	CN	116504616	B	2023年11月14日	
CN	113903808	A	2022年1月7日	CN	113903808	B	2023年12月22日	
CN	113437150	A	2021年9月24日	KR	20210118724	A	2021年10月1日	
				US	2021296315	A1	2021年9月23日	
				US	11239236	B2	2022年2月1日	
				TW	202201686	A	2022年1月1日	
				US	2022102346	A1	2022年3月31日	
				US	11664377	B2	2023年5月30日	
CN	115376998	A	2022年11月22日	无				
CN	115763371	A	2023年3月7日	无				
US	2020105752	A1	2020年4月2日	US	10923474	B2	2021年2月16日	
				TW	202025394	A	2020年7月1日	
				US	2021167065	A1	2021年6月3日	
				US	11532623	B2	2022年12月20日	
				CN	110970418	A	2020年4月7日	