

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4984569号
(P4984569)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 S
 HO2M 3/155 H

請求項の数 11 (全 31 頁)

(21) 出願番号 特願2006-51018(P2006-51018)
 (22) 出願日 平成18年2月27日(2006.2.27)
 (65) 公開番号 特開2006-296186(P2006-296186A)
 (43) 公開日 平成18年10月26日(2006.10.26)
 審査請求日 平成20年6月5日(2008.6.5)
 (31) 優先権主張番号 特願2005-80640(P2005-80640)
 (32) 優先日 平成17年3月18日(2005.3.18)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090516
 弁理士 松倉 秀実
 (74) 代理人 100113608
 弁理士 平川 明
 (74) 代理人 100105407
 弁理士 高田 大輔
 (74) 代理人 100089244
 弁理士 遠山 勉
 (72) 発明者 佐伯 充雄
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 スイッチングコンバータ

(57) 【特許請求の範囲】

【請求項1】

出力端子と接続したコイル(A)と、
 該コイル(A)を介して出力する電力をスイッチングする第一のスイッチ(1A)と、
 該第一のスイッチ(1A)と交互にオン状態となって整流する第二のスイッチ(2A)と、
 該第一のスイッチ(1A)及び第二のスイッチ(2A)を交互に駆動する駆動部(A)と、
 前記コイル(A)と直列に接続するコイル(B)と、
 該コイル(B)及びコイル(A)を介して出力する電力をスイッチングする第一のスイ
 ッチ(1B)と、

該第一のスイッチ(1B)と交互にオン状態となって整流する第二のスイッチ(2B)と、
 該第一のスイッチ(1B)及び第二のスイッチ(2B)を交互に駆動する駆動部(B)と、
 前記駆動部(A)及び駆動部(B)を選択的に駆動させる選択部と、
 を備えたスイッチングコンバータ。

【請求項2】

前記第一のスイッチ(1B)及び第二のスイッチ(2B)に対し、前記第一のスイッチ(1A)
)及び第二のスイッチ(2A)を大容量とし、

前記選択部が、出力の負荷が所定値より高い場合に駆動部(A)を駆動させ、出力の負
 荷が所定値以下の場合に駆動部(B)を駆動させる請求項1に記載のスイッチングコンバ
 ータ。

【請求項3】

10

20

前記コイル（Ｂ）に対し、前記コイル（Ａ）を大容量とし、

前記選択部が、出力側の負荷に応じ、該負荷が所定値より高い場合に駆動部（Ａ）を駆動させ、該負荷が所定値以下の場合に駆動部（Ｂ）を駆動させる請求項１又は２に記載のスイッチングコンバータ。

【請求項４】

前記コイル（Ｂ）に対し、前記コイル（Ａ）が低インダクタンスである請求項３に記載のスイッチングコンバータ。

【請求項５】

前記駆動部（Ｂ）に対し、前記駆動部（Ａ）を大容量とし、

前記選択部が、出力側の負荷に応じ、該負荷が所定値より高い場合に駆動部（Ａ）を駆動させ、該負荷が所定値以下の場合に駆動部（Ｂ）を駆動させる請求項１から４の何れか一項に記載のスイッチングコンバータ。

10

【請求項６】

一つのコイルの一端から中点までの部分を前記コイル（Ａ）とし、該中点から他端までの部分を前記コイル（Ｂ）とした請求項１から５の何れか一項に記載のスイッチングコンバータ。

【請求項７】

前記選択部が、負荷側回路の稼動状況を示す情報を受信し、該情報に応じて前記駆動部（Ａ）又は駆動部（Ｂ）を駆動させる請求項１から６の何れか一項に記載のスイッチングコンバータ。

20

【請求項８】

前記選択部が、出力電流に応じて前記駆動部（Ａ）又は駆動部（Ｂ）を駆動させる請求項１から７の何れか一項に記載のスイッチングコンバータ。

【請求項９】

ドレイン端子を入力端子に接続している第一のＦＥＴ（１Ａ）と、

ドレイン端子を該第一のＦＥＴ（１Ａ）のソース端子に接続し、ソース端子をグラウンドに接続している第二のＦＥＴ（２Ａ）と、

該第一のＦＥＴ（１Ａ）及び第二のＦＥＴ（２Ａ）のゲート端子に接続し、該第一のＦＥＴ（１Ａ）及び第二のＦＥＴ（２Ａ）を交互に駆動させる駆動部（Ａ）と、

該第一のＦＥＴ（１Ａ）のソース端子及び第二のＦＥＴ（２Ａ）のドレイン端子が接続してなる発振部（Ａ）に一端子を接続し、他端子を出力端子と接続するコイル（Ａ）と、

30

ドレイン端子を入力端子に接続している第一のＦＥＴ（１Ｂ）と、

ドレイン端子を第一のＦＥＴ（１Ｂ）のソース端子に接続し、ソース端子をグラウンドに接続している第二のＦＥＴ（２Ｂ）と、

該第一のＦＥＴ（１Ｂ）及び第二のＦＥＴ（２Ｂ）のゲート端子に接続し、該第一のＦＥＴ（１Ｂ）及び第二のＦＥＴ（２Ｂ）を交互に駆動させる駆動部（Ｂ）と、

該第一のＦＥＴ（１Ｂ）のソース端子及び第二のＦＥＴ（２Ｂ）のドレイン端子が接続してなる発振部（Ｂ）に一端子を接続し、他端子を発振部（Ａ）と接続するコイル（Ｂ）と、

前記駆動部（Ａ）及び駆動部（Ｂ）を選択的に駆動させる選択部と、

を備えたスイッチングコンバータ。

40

【請求項１０】

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負荷とを有する電子機器であって、

該スイッチングコンバータが、

出力端子と接続したコイル（Ａ）と、

該コイル（Ａ）を介して出力する電力をスイッチングする第一のスイッチ（１Ａ）と、

該第一のスイッチ（１Ａ）と交互にオン状態となって整流する第二のスイッチ（２Ａ）と、

該第一のスイッチ（１Ａ）及び第二のスイッチ（２Ａ）を交互に駆動する駆動部（Ａ）と、

前記コイル（Ａ）と直列に接続するコイル（Ｂ）と、

該コイル（Ｂ）及びコイル（Ａ）を介して出力する電力をスイッチングする第一のスイ

50

ツチ(1B)と、

該第一のスイッチ(1B)と交互にオン状態となって整流する第二のスイッチ(2B)と、
該第一のスイッチ(1B)及び第二のスイッチ(2B)を交互に駆動する駆動部(B)と、
前記駆動部(A)及び駆動部(B)を選択的に駆動させる選択部と、
を備えた電子機器。

【請求項11】

出力端子と接続したコイル(A)と、
該コイル(A)を介して出力する電力をスイッチングする第一のスイッチ(1A)と、
該第一のスイッチ(1A)と交互にオン状態となって整流する第二のスイッチ(2A)と、
前記コイル(A)と直列に接続するコイル(B)と、
該コイル(B)及びコイル(A)を介して出力する電力をスイッチングする第一のスイッチ(1B)と、
該第一のスイッチ(1B)と交互にオン状態となって整流する第二のスイッチ(2B)と、
を備えたスイッチング回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同期整流型の直流-直流変換又は交流-直流変換を行う技術に関する。

【背景技術】

【0002】

従来、種々の電子機器に同期整流型DC-DCコンバータが用いられている。この同期整流型DC-DCコンバータは、例えばACアダプタで商用電源から変換されて得られたDC電力や、電池から得られたDC電力等を、内部回路の動作に適した電圧にまで降圧する機能を有する。この同期整流型DC-DCコンバータは、高効率低損失であるという利点を有している。

20

【0003】

同期整流型DC-DCコンバータとしては、例えば、図13に示す構成が考えられる。該DC-DCコンバータは、入力端子101と接続したメインスイッチとしてのFET111や、該FET111のソース端子とグランドの間に接続された同期整流用スイッチとしてのFET112、出力コイル113、出力コンデンサ114、入力コンデンサ115、該FET111及びFET112を交互に駆動するFETドライバー部116等を備えている。

30

【0004】

図13のDC-DCコンバータでは、発振制御部120が、出力電圧検出部117、出力電流検出部118、稼動状態制御部119の出力に応じてFETドライバー部116を制御し、FET111のデューティ比を変えて出力電圧を制御している。

【0005】

DC-DCコンバータにおいて、大きな負荷電流が必要とされる場合、例えば図14に示すように複数の出力制御用FET91,92を設け、これらをドライバ回路93で駆動すると共に、複数の同期整流用FET94,95を設け、これらをドライバ回路96で駆動する構成が考えられる。

40

【0006】

また、ドライバ回路(FETを制御する回路)を多数用意し、FETを選択的に動作させることで、負荷の変動に対応可能なものも知られている。例えばマルチフェーズ対応のDC-DCコンバータ(ADP3205(アナログデバイス製IC)など)がそれである。

【0007】

このようなマルチフェーズ対応のDC-DCコンバータでは、フェーズ毎にFET及びコイルを備える、即ち、nフェーズに対しn個の出力制御用FET、同期整流FET、コイルをそれぞれ備えている。

50

【 0 0 0 8 】

この方式では、負荷電流が少ない場合、フェーズ毎にそのフェーズを駆動するドライバを停止させることで、回路の効率改善を図っている。

また、本願発明に関連する先行技術として、例えば、下記の特許文献 1 乃至 2 に開示される技術がある。

【特許文献 1】特開 2 0 0 3 - 2 8 4 3 3 3 号公報

【特許文献 2】特開 2 0 0 3 - 3 1 9 6 4 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上述のように、フェーズ毎にドライバを設けた DC - DC コンバータでは、該ドライバを停止した場合に、このドライバによって駆動される複数の FET が全て使用できなくなってしまうため、各フェーズを止めるか否かの単純な制御しかできず、負荷や入出力電圧の状況によっては、必ずしも最適な変換効率を得られるとは限らなかった。

【 0 0 1 0 】

特にモバイル用途のパーソナルコンピュータは、パフォーマンスが重視される場面では高負荷に、持ち運びなどでのスタンバイ（サスペンド）状態では低負荷になり、その負荷の変動が大きいいため、高負荷状態・低負荷状態の両方ともに高効率を実践することが難しかった。

【 0 0 1 1 】

一般的な電源回路は、負荷の最大状態を考慮して設計され、低負荷状態では変換効率が急激に悪く傾向にある。このため低負荷状態では、発振の方式を PWM（パルス幅変調方式）から、PFM（パルス周波数変調方式）に変更し、発振周波数を落とすことで効率を上げることも考えられる。

しかしながら、発振一回当たりの損失は同じであり、この損失を低減する必要があった。

【 0 0 1 2 】

そこで本発明は、複数のスイッチに対して夫々駆動部を設け、負荷電流や入力電圧、出力電圧、入出力電圧差に応じて各スイッチを制御することにより、スイッチング変換時の変換効率を向上させる技術を提供する。

【課題を解決するための手段】

【 0 0 1 3 】

上記課題を解決するため、本発明は、以下の構成を採用した。

即ち、本発明の制御回路は、

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

前記第二のスイッチを駆動する第二の駆動部と、

負荷電流、入力電圧、出力電圧又は入出力電圧差に応じて前記複数の第一の駆動部の一部を停止させる選択部と、を備える。

【 0 0 1 4 】

また、本発明の制御回路は、

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

第一のスイッチを駆動する第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

負荷電流、入力電圧、出力電圧又は入出力電圧差に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、を備える。

【 0 0 1 5 】

また、本発明の制御回路は、

10

20

30

40

50

第一のスイッチと第二のスイッチとを交互にオン状態として同期整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ所要の出力に応じてオン又はオフ状態に繰り返し駆動する複数の第一の駆動部と、

複数の第二のスイッチをそれぞれ前記第一のスイッチと同期させてオン又はオフ状態に駆動する複数の第二の駆動部と、

負荷電流、出力電圧、入力電圧或は入出力電圧差に応じて前記複数の第一の駆動部の一部、並びに前記複数の第二の駆動部の一部又は全部を停止させる選択部と、を備える。

【0016】

また、本発明のスイッチングコンバータは、
複数の第一のスイッチと、
第二のスイッチと、
前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
前記第二のスイッチを駆動する第二の駆動部と、
負荷電流、入力電圧、出力電圧又は入出力電圧差を検出する検出部と、
該検出部の検出結果に応じて前記複数の第一の駆動部の一部を停止させる選択部と、を備える。

10

【0017】

また、本発明のスイッチングコンバータは、
第一のスイッチと、
複数の第二のスイッチと、
第一のスイッチを駆動する第一の駆動部と、
前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
負荷電流、入力電圧、出力電圧又は入出力電圧差を検出する検出部と、
該検出部の検出結果に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、を備える。

20

【0018】

また、本発明のスイッチングコンバータは、
複数の第一のスイッチと、
複数の第二のスイッチと、
前記複数の第一のスイッチをそれぞれ所要の出力に応じてオン又はオフ状態に繰り返し駆動する複数の第一の駆動部と、
前記複数の第二のスイッチをそれぞれ前記第一のスイッチと同期させて交互にオン状態となるように駆動する複数の第二の駆動部と、
負荷電流、入力電圧、出力電圧又は入出力電圧差を検出する検出部と、
該検出部の検出結果に応じて前記複数の第一の駆動部の一部、並びに前記複数の第二の駆動部の一部又は全部を停止させる選択部と、を備える。

30

【0019】

前記第一のスイッチは、ドレイン端子を入力端子に接続し、ソース端子を前記第二のスイッチに接続し、ゲート端子を前記第一の駆動部に接続したFETであっても良い。該FETは、該入力端子と第二のスイッチ間に並列に複数接続しても良い。

40

【0020】

前記第二のスイッチは、ドレイン端子を前記第一のスイッチに接続し、ソース端子をグランドに接続し、ゲート端子を前記第二の駆動部に接続したFETであっても良い。該FETは、第二のスイッチとグランド間に並列に複数接続しても良い。

【0021】

更に、前記スイッチングコンバータは、前記第一のスイッチ（前記FETのドレイン端子）及び前記第二のスイッチ（前記FETのソース端子）と一端を接続し他端を出力端子と接続するコイルや、該出力端子とグランドとの間に接続する平滑用コンデンサを備えても良い。

50

【 0 0 2 2 】

また、本発明のスイッチング回路は、
出力端子と接続したコイル（ A ）と、
該コイル（ A ）を介して出力する電力をスイッチングする第一のスイッチ（ 1A ）と、
該第一のスイッチ（ 1A ）と交互にオン状態となって整流する第二のスイッチ（ 2A ）と、
前記コイル（ A ）と直列に接続するコイル（ B ）と、
該コイル（ B ）及びコイル（ A ）を介して出力する電力をスイッチングする第一のスイッチ（ 1B ）と、
該第一のスイッチ（ 1B ）と交互にオン状態となって整流する第二のスイッチ（ 2B ）と、
を備えた。

10

【 0 0 2 3 】

また、本発明のスイッチングコンバータは、
出力端子と接続したコイル（ A ）と、
該コイル（ A ）を介して出力する電力をスイッチングする第一のスイッチ（ 1A ）と、
該第一のスイッチ（ 1A ）と交互にオン状態となって整流する第二のスイッチ（ 2A ）と、
該第一のスイッチ（ 1A ）及び第二のスイッチ（ 2A ）を交互に駆動する駆動部（ A ）と、
前記コイル（ A ）と直列に接続するコイル（ B ）と、
該コイル（ B ）及びコイル（ A ）を介して出力する電力をスイッチングする第一のスイッチ（ 1B ）と、
該第一のスイッチ（ 1B ）と交互にオン状態となって整流する第二のスイッチ（ 2B ）と、
該第一のスイッチ（ 1B ）及び第二のスイッチ（ 2B ）を交互に駆動する駆動部（ A ）と、
前記駆動部（ A ）及び駆動部（ B ）を選択的に駆動させる選択部と、を備えた。

20

【 0 0 2 4 】

前記スイッチングコンバータは、
前記第一のスイッチ（ 1B ）及び第二のスイッチ（ 2B ）に対し、前記第一のスイッチ（ 1A ）
及び第二のスイッチ（ 2A ）を大容量とし、
前記選択部が、出力の負荷が所定値より高い場合に駆動部（ A ）を駆動させ、出力の負荷が所定値以下の場合に駆動部（ B ）を駆動させても良い。

【 0 0 2 5 】

前記スイッチングコンバータは、
前記コイル（ B ）に対し、前記コイル（ A ）を大容量とし、
前記選択部が、出力側の負荷に応じ、該負荷が所定値より高い場合に駆動部（ A ）を駆動させ、該負荷が所定値以下の場合に駆動部（ B ）を駆動させても良い。

30

【 0 0 2 6 】

前記コイル（ B ）に対し、前記コイル（ A ）が低インダクタンスであっても良い。

【 0 0 2 7 】

前記スイッチングコンバータは、
前記駆動部（ B ）に対し、前記駆動部（ A ）を大容量とし、
前記選択部が、出力側の負荷に応じ、該負荷が所定値より高い場合に駆動部（ A ）を駆動させ、該負荷が所定値以下の場合に駆動部（ B ）を駆動させても良い。

40

【 0 0 2 8 】

前記スイッチングコンバータは、
一つのコイルの一端から中点までの部分を前記コイル（ A ）とし、該中点から他端までの部分を前記コイル（ B ）としても良い。

【 0 0 2 9 】

前記スイッチングコンバータは、
前記選択部が、負荷側回路の稼動状況を示す情報を受信し、該情報に応じて前記駆動部（ A ）又は駆動部（ B ）を駆動させても良い。

【 0 0 3 0 】

前記選択部は、出力電流に応じて前記駆動部（ A ）又は駆動部（ B ）を駆動させても良

50

い。

【 0 0 3 1 】

また、本発明のスイッチングコンバータは、
 ドレイン端子を入力端子に接続している第一の F E T (1 A) と、
 ドレイン端子を該第一の F E T (1 A) のソース端子に接続し、ソース端子をグランドに
 接続している第二の F E T (2 A) と、
 該第一の F E T (1 A) 及び第二の F E T (2 A) のゲート端子に接続し、該第一の F E T
 (1 A) 及び第二の F E T (2 A) を交互に駆動させる駆動部 (A) と、
 該第一の F E T (1 A) のソース端子及び第二の F E T (2 A) のドレイン端子が接続して
 なる発振部 (A) に一端子を接続し、他端子を出力端子と接続するコイル (A) と、
 ドレイン端子を入力端子に接続している第一の F E T (1 B) と、
 ドレイン端子を第一の F E T (1 B) のソース端子に接続し、ソース端子をグランドに接
 続している第二の F E T (2 B) と、
 該第一の F E T (1 B) 及び第二の F E T (2 B) のゲート端子に接続し、該第一の F E T
 (1 B) 及び第二の F E T (2 B) を交互に駆動させる駆動部 (B) と、
 該第一の F E T (1 B) のソース端子及び第二の F E T (2 B) のドレイン端子が接続して
 なる発振部 (B) に一端子を接続し、他端子を発振部 (A) と接続するコイル (B) と、
 前記駆動部 (A) 及び駆動部 (B) を選択的に駆動させる選択部と、を備えた。

10

【 0 0 3 2 】

また、本発明の電子機器は、
 スwitchingコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する機器であって、
 該スイッチングコンバータが、
 出力端子と接続したコイル (A) と、
 該コイル (A) を介して出力する電力をスイッチングする第一のスイッチ (1 A) と、
 該第一のスイッチ (1 A) と交互にオン状態となって整流する第二のスイッチ (2 A) と、
 該第一のスイッチ (1 A) 及び第二のスイッチ (2 A) を交互に駆動する駆動部 (A) と、
 前記コイル (A) と直列に接続するコイル (B) と、
 該コイル (B) 及びコイル (A) を介して出力する電力をスイッチングする第一のスイ
 ッチ (1 B) と、
 該第一のスイッチ (1 B) と交互にオン状態となって整流する第二のスイッチ (2 B) と、
 該第一のスイッチ (1 B) 及び第二のスイッチ (2 B) を交互に駆動する駆動部 (A) と、
 前記駆動部 (A) 及び駆動部 (B) を選択的に駆動させる選択部と、を備えた。

20

30

【 発明の効果 】

【 0 0 3 3 】

本発明によれば、複数のスイッチに対して夫々駆動部を設け、負荷電流や入力電圧、出
 力電圧、入出力電圧に応じて各スイッチを制御することにより、スイッチング変換時の変
 換効率を向上できる。

【 発明を実施するための最良の形態 】

【 0 0 3 4 】

以下、図面を参照して本発明を実施するための最良の形態について説明する。以下の実
 施の形態の構成は例示であり、本発明は実施の形態の構成に限定されない。

40

実施形態 1

図 1 は、本発明に係る同期整流型のスイッチングコンバータ (D C - D C コンバータ)
 の概要図である。

この D C - D C コンバータ 1 の入力端子 1 0 a と出力端子 1 0 b との間には、第 1 のス
 イッチである F E T (field-effect transistor) 1 1 a , 1 1 b が並列に設けられ、こ
 の出力端子 1 0 b 側にインダクタ L が配置されている。また、このインダクタ L と接地
 点 1 3 の間には第 2 のスイッチである F E T 1 2 a , 1 2 b が並列に設けられている。こ
 こで、第 1 及び第 2 のスイッチとしては、F E T を用いたが、これに限らず他のスイッチ

50

グ素子であっても良い。

【0035】

前記第1のスイッチであるFET11a, 11bは、出力制御用スイッチ、出力制御用FET、メインスイッチ、メイン側FET、ハイサイドスイッチ、ハイサイドFET等と称されることもある。

【0036】

前記第2のスイッチであるFET12a, 12bは、同期整流用スイッチ、同期整流用FET、同期整流側スイッチ、同期整流側FET、ローサイドスイッチ、ローサイドFET等と称することもある。

【0037】

また、同期整流用FET12a, 12bと並列にダイオード14が配置されている。

そして、このDC-DCコンバータ1には、出力制御用FET11a, 11bと同期整流用FET12a, 12bとを交互にオン状態に制御する制御回路15が備えられている。

【0038】

図2は、出力制御用FET11a, 11bおよび同期整流用FET12a, 12bのオンオフの時間変化を示す図である。

【0039】

このように、出力制御用FET11a, 11bが、オン状態にされた間だけ入力端子10aからの電流を通し、インダクタL及びキャパシタC1で平滑化して出力させることにより、入力電圧が該出力制御用FET11a, 11bのデューティ比に応じた出力電圧に変換される。

【0040】

制御回路15は、前記出力制御用FET11a, 11bおよび同期整流用FET12a, 12bをそれぞれ駆動するドライバ16a~16dや、該ドライバ16a~16dを選択的に停止させるセクタ17、該セクタ17を介して各ドライバ16a~16dパルス信号を供給するPWM比較器18を備えている。

該PWM比較器18には、差動増幅器19からの信号と三角波発振器21からの信号が入力されている。

【0041】

差動増幅器19は、リファレンス電圧V1と出力端子10bの出力電圧が入力されており、その出力電圧のリファレンス電圧V1からの偏差を表わす誤差信号をPWM比較器18に入力する。一方、三角波発振器21は、所定周波数の三角波を生成し、PWM比較器18に入力している。

【0042】

これによりPWM比較器18では、三角波発振器21から入力された三角波のタイミングで、差動増幅器19からの誤差信号に基づくパルス幅のパルス信号をセクタ17に出力する。ここで本例のPWM比較器18は、該誤差信号に基づき、出力電圧が基準電圧V1よりも低くなるほど、広いパルス幅のパルス信号を出力し、出力電圧が基準電圧V1よりも高くなるほど、狭いパルス幅を持つパルス信号を生成する。そしてこのパルス信号をセクタ17が、ドライバ16a, 16b(第一の駆動部)に入力し、前記図2に示したように出力制御用FET11a, 11bをオン/オフする。同時にセクタ17は、PWM比較器18からのパルス信号を略反転させてドライバ(第二の駆動部)16c, 16dに入力し、前記図2に示したように同期整流用FET12a, 12bをオン/オフする。従って出力制御用FET11a, 11bおよび同期整流用FET12a, 12bのデューティ比が出力電圧に応じて調整され、該出力電圧が所定の電圧値となるようにフィードバック制御される。ここでドライバ16a~16dは、前記出力制御用FET11a, 11bと同期整流用FET12a, 12bとのオン/オフを厳密に反転させたタイミングで制御することに限らず、貫通電流を考慮して両FETを同時にオフにする期間を有しても良い。

10

20

30

40

50

【 0 0 4 3 】

また、制御回路 1 5 は、入力電圧を検出する差動増幅器（入力電圧検出部）2 2 と、出力電圧を検出する差動増幅器（出力電圧検出部）2 3 とを備えている。該差動増幅器 2 2 は、入力電圧のリファレンス電圧 V 2 からの偏差を表わす誤差信号をセレクタ 1 7 に入力し、該差動増幅器 2 3 は、出力電圧のリファレンス電圧 V 3 からの偏差を表わす誤差信号をセレクタ 1 7 に入力する。このように、入力電圧と出力電圧とを検出することにより、この入力電圧と出力電圧との差（入出力電圧差）が求められる。即ち本実施形態では、差動増幅器 2 2 及び 2 3 が電圧差検出部に相当する。

【 0 0 4 4 】

そしてセレクタ 1 7 は、この入力電圧と出力電圧との差（入出力電圧差）に基づいてドライバ 1 6 a ~ 1 6 d を選択的に停止させる。即ち、セレクタ 1 7 は、停止するドライバへパルス信号を入力せず、F E T のゲート電圧のチャージを行わせないようにする。

10

【 0 0 4 5 】

例えば、三角波発振器 2 1 から出力されるパルス信号の周波数が 1 0 0 k H z で、入力電圧を 1 6 V 、出力電圧を 1 V とした場合、出力制御用 F E T 1 1 a , 1 1 b と同期整流用 F E T 1 2 a , 1 2 b のオンオフ時間は、図 3 のようになる。

同様に、入力電圧を 1 6 V 、出力電圧を 1 5 V とした場合、出力制御用 F E T 1 1 a , 1 1 b と同期整流用 F E T 1 2 a , 1 2 b のオンオフ時間は、図 4 のようになる。

【 0 0 4 6 】

図 3 に示したように、入出力電圧差が大きい場合（1 5 V）、出力制御用 F E T 1 1 a , 1 1 b のオン時間は 0 . 6 2 5 μ s と短く、該出力制御用 F E T 1 1 a , 1 1 b にかかる電力積は小さい。また、図 4 に示したように、入出力電圧差が小さい場合（1 V）、出力制御用 F E T 1 1 a , 1 1 b のオン時間は 9 . 3 7 5 μ s と長く、該出力制御用 F E T 1 1 a , 1 1 b にかかる電力積は大きい。従って、入力電圧 1 6 V で出力電圧を 1 ~ 1 5 V に変換可能な D C - D C コンバータであれば、出力制御用 F E T 1 1 a , 1 1 b が最小の入出力電圧差（1 V）に耐えられるように設計される。このため、図 3 に示したように入出力電圧差が大きくなり、一方の出力制御用 F E T の許容範囲内となった場合には、出力制御用 F E T 1 1 a , 1 1 b の一方を停止しても他方だけでスイッチングを行うことができる。

20

【 0 0 4 7 】

例えば、出力制御用 F E T 1 1 a を停止した際に、出力制御用 F E T 1 1 b のドレイン電流が 1 0 A となり、該出力制御用 F E T 1 1 b がこの 1 0 A のドレイン電流に 2 μ s 耐えられるのであれば、出力制御用 F E T 1 1 b が 1 0 V の入出力電圧差でスイッチングが可能といえる。そこで、入出力電圧差が 1 0 V 以上であれば出力制御用 F E T 1 1 a のドライバ 1 6 a を停止し、入出力電圧差が 1 0 V 未満であれば出力制御用 F E T 1 1 a , 1 1 b 双方のドライバ 1 6 a , 1 6 b を駆動するように、セレクタ 1 7 を設定する。なお、これらの数値は使用する F E T や負荷等によって任意に設定可能である。また、本例では 2 つの出力制御用 F E T 1 1 a , 1 1 b のうち 1 つを停止する場合について示したが、更に多くの出力制御用 F E T を設け、この一部を停止し、残りの F E T でスイッチングを行う構成としても良い。

30

40

【 0 0 4 8 】

このように出力制御用 F E T のオン時間によって、スイッチングに必要な最小限の素子数が決まるため、本実施形態では、セレクタ 1 7 が、差動増幅器 2 2 , 2 3 によって入力された入出力電圧差に応じた数のドライバへ選択的にパルス信号を供給するように設定している。即ち、該セレクタ 1 7 は、必要数を越えた出力制御用 F E T のドライバを停止させる。なお、この数に応じて具体的にどのドライバを停止するのは、任意に設定できる。

【 0 0 4 9 】

一方、図 3 に示したように、入出力電圧差が大きい場合（1 5 V）、同期整流用 F E T 1 2 a , 1 2 b のオン時間は 9 . 3 7 5 μ s と長く、該同期整流用 F E T 1 2 a , 1 2 b

50

にかかる電力積は大きい。また、図 4 に示したように、入出力電圧差が小さい場合 (1 V)、同期整流用 FET 12 a, 12 b のオン時間は $0.625 \mu\text{s}$ と短く、該同期整流用 FET 12 a, 12 b にかかる電力積は小さい。従って、入力電圧 16 V で出力電圧を 1 ~ 15 V に変換可能な DC - DC コンバータであれば、同期整流用 FET 12 a, 12 b が最大の入出力電圧差 (15 V) に耐えられるように設計される。このため、図 4 に示したように入出力電圧差が小さくなり、一方の同期整流用 FET の許容範囲内となった場合には、同期整流用 FET 12 a, 12 b の一方を停止しても他方だけでスイッチングを行うことができる。

【0050】

また、同期整流用 FET 12 a, 12 b に係る電力が小さく、この電力をダイオード 14 にかけた場合の電力損失が無視できる程度に小さい場合には、同期整流用 FET 12 a, 12 b を全て停止させても良い。

10

【0051】

例えば、同期整流用 FET 12 a を停止した際に、同期整流用 FET 12 b のドレイン電流が 10 A となり、該同期整流用 FET 12 b がこの 10 A のドレイン電流に $2 \mu\text{s}$ 耐えられるのであれば、同期整流用 FET 12 b が 3 V の入出力電圧差でスイッチングが可能といえる。そこで、入出力電圧差が 1.5 V 未満であれば同期整流用 FET 12 a, 12 b 双方のドライバ 16 c, 16 d を停止し、入出力電圧差が 1.5 V 以上 3 V 以下であれば同期整流用 FET 12 a のドライバ 16 c を停止し、入出力電圧差が 3 V を越えていれば同期整流用 FET 12 a, 12 b 双方のドライバ 16 c, 16 d を駆動するように、セクタ 17 を設定する。なお、これらの数値は使用する FET や負荷等によって任意に設定可能である。また、本例では 2 つの同期整流用 FET 12 a, 12 b のうち 1 つ又は 2 つを停止する場合について示したが、更に多くの同期整流用 FET を設け、この一部を停止し、残りの FET でスイッチングを行う構成としても良い。

20

【0052】

このように同期整流用 FET のオン時間によって、スイッチングに必要な最小限の素子数が決まるため、本実施形態では、セクタ 17 が、差動増幅器 22, 23 によって入力された入出力電圧差に応じた数のドライバへ選択的にパルス信号を供給するように設定している。即ち、該セクタ 17 は、必要数を越えた同期整流用 FET のドライバを停止させる。なお、この数に応じて具体的にどのドライバを停止するのは、任意に設定できる。

30

【0053】

これにより、軽負荷時にドライバ 16 a ~ 16 d の一部を停止させ、これらのドライバ 16 a ~ 16 d で消費される電力を削減できるので、省電力化、即ち変換効率の向上が図れる。

例えば、1 個当たりの消費電力が 25 mW のドライバ回路を 4 個 (即ち、全てのドライバ回路による消費電力は、 $25 \text{ mW} \times 4 = 100 \text{ mW}$) 備え、負荷電力が $5 \text{ V} \times 100 \text{ mA} = 500 \text{ mW}$ の負荷に対して、これら 4 個のドライバ回路を動作させた場合は、2 割もの損失となる。ここで、ドライバ回路の一部を停止し、2 個のみの駆動にした場合、50 mW の電力損失の改善が図れる。即ち、電力損失分が、負荷に対して 2 割から 1 割に削減される。

40

【0054】

以上のように本実施形態によれば、FET 毎に用意したドライバ回路を入出力電圧差の状況に応じて停止又は駆動させることで、最適なドライブ制御を行うことができ、DC - DC コンバータの効率改善を図ることができる。

【0055】

なお、本実施形態では、セクタ 17 が入出力電圧差に応じて一部のドライバを停止する構成としたが、これに限らずセクタ 17 が入力電圧或は出力電圧に応じて一部のドライバを停止する構成としても良い。

【0056】

50

例えば、出力電圧がほぼ一定の値となる場合には、この値に仮定した出力電圧と入力電圧との差から前述と同様に最小限必要なFET数が決定できるので、出力電圧検出部(差動増幅器)23を省略し、セクタ17が入力電圧検出部(差動増幅器)22による入力電圧に応じた数のドライブを停止しても良い。

【0057】

また、例えば、入力電圧がほぼ一定の値となる場合には、この値に仮定した入力電圧と出力電圧との差から前述と同様に最小限必要なFET数が決定できるので、入力電圧検出部(差動増幅器)22を省略し、セクタ17が出力電圧検出部(差動増幅器)23による出力電圧に応じた数のドライブを停止しても良い。

【0058】

実施形態2

図5は、本発明の実施形態2としてのDC-DCコンバータの概要図である。本実施形態は、前述の実施形態と比べて負荷電流に応じて停止するドライブを決定した点が異なっており、その他の構成は同じである。このため、前述の実施形態と同一の要素には同符号を付すなどして重複する説明は原則省略している。

【0059】

図5に示すように、本実施形態のDC-DCコンバータ1aは、負荷電流検出器24を備え、出力端子10b近傍の抵抗Rに流れる電流を検知、即ち出力電流(負荷電流)を検知し、この出力電流に応じた信号をセクタ17aに入力している

【0060】

そして、本実施形態のセクタ17aは、この負荷電流と前述の入出力電力差とに基づいてドライブを停止する。

即ち、前述した入出力電圧差と停止するドライブ数との関係は、負荷電流によって決まるので、本実施形態のDC-DCコンバータ1aでは、この負荷電流に応じた該関係に基づいてドライブを停止させるようにセクタ17aを設定している。

【0061】

例えば、出力制御側のドライブ16a, 16bについては、負荷電流が12Aであれば、入出力電圧差が12V以上のとき出力制御用FET11aのドライブ16aを停止し、入出力電圧差が12V未満のとき出力制御用FET11a, 11b双方のドライブ16a, 16bを駆動させ、負荷電流が10Aであれば、入出力電圧差が10V以上のとき出力制御用FET11aのドライブ16aを停止し、入出力電圧差が10V未満のとき出力制御用FET11a, 11b双方のドライブ16a, 16bを駆動させるように、セクタ17を設定する。

【0062】

そして、同期整流側のドライブ16c, 16dについては、負荷電流が12Aであれば、入出力電圧差が1.1V未満のとき同期整流用FET12a, 12b双方のドライブ16c, 16dを停止し、入出力電圧差が1.1V以上2V以下のとき同期整流用FET12aのドライブ16cを停止し、入出力電圧差が2Vを越えているとき同期整流用FET12a, 12b双方のドライブ16c, 16dを駆動し、負荷電流が10Aであれば、入出力電圧差が1.5V未満のとき同期整流用FET12a, 12b双方のドライブ16c, 16dを停止し、入出力電圧差が1.5V以上3V以下のとき同期整流用FET12aのドライブ16cを停止し、入出力電圧差が3Vを越えているとき同期整流用FET12a, 12b双方のドライブ16c, 16dを駆動するように、セクタ17を設定する。なお、これらの数値は使用するFETや負荷等によって任意に設定可能である。また、本例では2つの出力制御用FET11a, 11bのうち1つを停止する、また2つの同期整流用FET12a, 12bのうち1つ又は2つを停止する場合について示したが、更に多くのFETを設け、この一部を停止し、残りのFETでスイッチングを行う構成としても良い。

【0063】

また、本実施形態では、セクタ17が入出力電圧差及び負荷電流に応じて一部のドラ

10

20

30

40

50

イバを停止する構成としたが、これに限らずセクタ 17 が入力電圧と負荷電流、出力電圧と負荷電流、或は負荷電流のみに応じて一部のドライバを停止する構成としても良い。

【0064】

例えば、出力電圧がほぼ一定の値となる場合には、この値に仮定した出力電圧及び入力電圧の差と、負荷電流から前述と同様に最小限必要な FET 数が決定できるので、出力電圧検出部（差動増幅器）23 を省略し、セクタ 17 が入力電圧検出部（差動増幅器）22 で検出した入力電圧と負荷電流検出部 24 で検出した負荷電流とに応じた数のドライブを停止しても良い。

【0065】

また、入力電圧がほぼ一定の値となる場合には、この値に仮定した入力電圧及び出力電圧の差と、負荷電流とから前述と同様に最小限必要な FET 数が決定できるので、入力電圧検出部（差動増幅器）22 を省略し、セクタ 17 が出力電圧検出部（差動増幅器）23 で検出した出力電圧と負荷電流検出部 24 で検出した負荷電流とに応じた数のドライブを停止しても良い。

10

【0066】

更に、入出力電圧差がほぼ一定の値となる場合には、この値に仮定した入出力電圧差と負荷電流とから前述と同様に最小限必要な FET 数が決定できるので、入力電圧検出部（差動増幅器）22 及び出力電圧検出部（差動増幅器）23 を省略し、セクタ 17 が負荷電流検出部 24 で検出した負荷電流に応じた数のドライブを停止しても良い。

【0067】

20

実施形態 3

図 6 は、本発明の実施形態 3 としてのスイッチングコンバータ（DC - DC コンバータ）の概要図である。

【0068】

本実施形態の DC - DC コンバータ 1b は、入力端子 10a と出力端子 10b との間に、第一のスイッチ（1A）である FET（field-effect transistor）11a と第一のスイッチ（1B）である FET 11b が並列に設けられ、この出力端子 10b 側にインダクタ L1, L2 が配置されている。また、このインダクタ L1, L2 と接地点 13 の間には第二のスイッチ（2A）（第三のスイッチとも称す）である FET 12a と第二のスイッチ（2B）（第四のスイッチとも称す）である FET 12b が並列に設けられている。

30

【0069】

即ち、該 DC - DC コンバータ 1b は、ドレイン端子を入力端子 10a に接続している FET 11a（第一の FET（1A）に相当）と、ドレイン端子を該 FET 11a のソース端子に接続し、ソース端子をグランドに接続している FET 12a（第二の FET（2A）に相当）と、該 FET 11a のソース端子及び FET 12a のドレイン端子が接続してなる発振部 31a（発振部（A）に相当）に一端子を接続し、他端子を出力端子 10b と接続するコイル L1（コイル（A）に相当）と、ドレイン端子を入力端子 10a に接続している FET 11b（第一の FET（1B）に相当、第三の FET と称す）と、ドレイン端子を該 FET 11b のソース端子に接続し、ソース端子をグランドに接続している FET 12b（第二の FET（2B）に相当、第四の FET と称す）と、該 FET 11b のソース端子及び FET 12b のドレイン端子が接続してなる発振部 31b（発振部（B）に相当）に一端子を接続し、他端子を発振部 31a と接続するコイル L2（コイル（B）に相当）とを備えている。

40

【0070】

ここで、第 1 及び第 2 のスイッチとしては、FET を用いたが、これに限らず他のスイッチング素子であっても良い。

【0071】

前記第 1 のスイッチである FET 11a, 11b は、出力制御用スイッチ、出力制御用 FET、メインスイッチ、メイン側 FET、ハイサイドスイッチ、ハイサイド FET 等と称されることもある。

50

【 0 0 7 2 】

前記第2のスイッチであるFET12a, 12bは、同期整流用スイッチ、同期整流用FET、同期整流側スイッチ、同期整流側FET、ローサイドスイッチ、ローサイドFET等と称することもある。

【 0 0 7 3 】

また、同期整流用FET12a, 12bとそれぞれ並列にダイオード14が配置されている。

【 0 0 7 4 】

そして、制御回路15は、FET11aとFET12aとが交互にON状態となるように或はFET11bとFET12bとが交互にON状態となるように駆動する。

10

【 0 0 7 5 】

図2は、出力制御用FET11a, 11bおよび同期整流用FET12a, 12bのオンオフの時間変化を示す図である。

【 0 0 7 6 】

このように、出力制御用FET11a, 11bは、入力端子10aに印加された電圧を制御回路15によってオン状態にされた間だけ出力し、インダクタL1, L2及びキャパシタC1で平滑化させる。即ち、DC-DCコンバータ1bは、入力電圧を該出力制御用FET11a, 11bのデューティ比に応じた出力電圧に変換する。

【 0 0 7 7 】

該制御回路15は、前記出力制御用FET11a及び同期整流用FET12aのゲート-ソース間に接続し、該FET11a及びFET12aを交互にON状態とするように駆動するFETドライバー部(駆動部(A)に相当)26aや、前記出力制御用FET11b及び同期整流用FET12bのゲート-ソース間に接続し、該FET11b及びFET12bを交互にON状態とするように駆動するFETドライバー部(駆動部(B)に相当)26b、出力を検出する検出部23, 24、該出力等に応じてFETドライバー部26a, 26bを制御する発振制御部(選択部に相当)17、クロックを生成するクロック生成部21を備えている。

20

【 0 0 7 8 】

出力電圧検出部23は、当コンバータ1bの出力電圧を検出するものであり、例えばコイルL1の出力側の電圧と基準電圧との差に応じた信号(出力偏差信号)を発振制御部17に inputsする差動増幅器等よりなる。

30

【 0 0 7 9 】

出力電流検出部24は、当コンバータ1bの出力電流を検出するものであり、出力端子10b側に設けた低抵抗Rの両端の電圧差に応じた信号(出力電流信号)を発振制御部17に inputsする差動増幅器等よりなる。

【 0 0 8 0 】

発振制御部17は、クロック生成部21から入力されたクロックのタイミングで、出力電圧検出部23からの出力偏差信号に応じた幅のパルス信号を生成し、該パルス信号をFETドライバー部26a, 26bに選択的に inputsし、前記図2に示したように出力制御用FET11a, 11bをオン/オフする。ここで発振制御部17は、出力電流信号が所定値以上であればFETドライバー部26aに前記パルス信号を出力し、出力電流信号が所定値未満であればFETドライバー部26bに前記パルス信号を出力する。例えば、発振制御部17は、出力電流信号が所定値未満の場合にLo、出力電流信号が所定値以上の場合にHiを出力する論理回路と、該論理回路の出力がHiの場合にFETドライバー部26aへ前記パルス信号を出力し、該論理回路の出力がLoの場合にFETドライバー部26bへ前記パルス信号を出力するセレクタを備える。なお、所定値は、一つの値に限らず、複数の値であっても良い。例えば、出力電流信号が第一の閾値未満の場合に出力をLoに変え、出力電流信号が第二の閾値以上(但し、第一の閾値<第二の閾値)の場合に出力をHiに変え、第一の閾値から第二の閾値の間では現状を維持する論理回路を用いても良い。

40

50

【 0 0 8 1 】

また、負荷側回路 2 8 の稼動状態を把握している稼動状態制御部 2 7 が存在する場合、発振制御部 1 7 は、該稼動状態制御部 2 7 から稼動状態情報を受信し、該稼動状態情報に基づいて F E T ドライバ部 2 6 a 或は F E T ドライバ部 2 6 b に前記パルス信号を出力しても良い。

【 0 0 8 2 】

この場合、発振制御部 1 7 は、例えば、スタンバイ状態や省電力モードを示す稼動状態情報の場合に L o、通常モードを示す稼動状態情報の場合に H i をセレクトに出力する構成の論理回路を用いる。

【 0 0 8 3 】

また、入力端子 1 0 a の電力が負荷の大小に比例する場合には、入力を検出する検出部を設け、該入力に応じて発振制御部 1 7 が F E T ドライバ部 2 6 a 或は F E T ドライバ部 2 6 b に前記パルス信号を出力しても良い。

【 0 0 8 4 】

なお、一般的なスイッチングコンバータにおける損失は、制御回路が F E T をドライブする際に発生する損失と、F E T ・コイルなどに負荷電流が流れる際に発生する損失とに大別できる。このとき、低負荷では前者が、高負荷では後者が支配的である。

【 0 0 8 5 】

このため、効率を上げるには、低負荷を前提にした回路ではゲート容量が小さい小型の F E T を使用し、高負荷を前提とした回路では低オン抵抗である大型の F E T を使用する

【 0 0 8 6 】

更に、低負荷を前提とした回路では発振周波数を遅く出来る高インダクタンスのコイルを使用し、高負荷を前提とした電源回路では負荷変動の応答性を上げるために低インダクタンスのコイルを使用するのが有効である。

【 0 0 8 7 】

そこで、本実施形態では、F E T 1 1 a (第一のスイッチ (1 A) に相当) 及び F E T 1 2 a (第二のスイッチ (2 A) に相当) を、F E T 1 1 b (第一のスイッチ (1 B) に相当) 及び F E T 1 2 b (第二のスイッチ (2 B) に相当) よりも大容量としている。

【 0 0 8 8 】

また、本実施形態では、コイル L 1 を前記コイル L 2 よりも大容量とし、更に、コイル L 1 を前記コイル L 2 よりも低インダクタンスとしている。

【 0 0 8 9 】

また、本実施形態の F E T 1 1 b , F E T 1 2 b は F E T 1 1 a , F E T 1 2 a より小容量であるので、F E T ドライバ部 2 6 b を F E T ドライバ部 2 6 a よりも小容量とすることで効率や実装面積の最適化を図れる。

【 0 0 9 0 】

以上のように、本実施形態の D C - D C コンバータは、負荷の状態に応じて大容量のスイッチ (1 1 a , 1 2 a) と小容量のスイッチ (1 1 b , 1 2 b) の何れかを選択的に駆動させるので、低負荷・高負荷の何れの状態でも、高効率で応答性の高い電源回路を実現

【 0 0 9 1 】

特に、本実施形態の D C - D C コンバータは、高負荷の状態ですwitchingを行う際、低インダクタンスのコイル L 1 を用い、低負荷の状態ですwitchingを行う際、コイル L 1 及びコイル L 2 を用い、高インダクタンスを得られるので、発振周波数を低く設定でき、低負荷時の更なる高効率化を実現できる。

【 0 0 9 2 】

例えば、入力電圧 1 6 V、出力電圧 3 . 3 V、負荷電流 1 0 m A の場合、図 1 3 の回路では、高負荷時を考慮するとコイル L 3 のインダクタンスを大きく設定出来ないため、L 3 = 2 . 5 μ H であり、一回あたりのオン時間を 1 μ sec とすると、発振周

10

20

30

40

50

波数が 832 Hz となる。この状態の出力電圧および発振波形が図 7 である。

【0093】

これに対し、本実施形態の回路では、コイル $L_1 = 2.5 \mu\text{H}$ 、 $L_2 = 97.5 \mu\text{H}$ とすると、高負荷時のコイル L_1 が低インダクタンス ($2.5 \mu\text{H}$) であっても、低負荷時にはコイル L_1 、 L_2 の合計 $100 \mu\text{H}$ の高インダクタンスとできるため、上記図 7 と同じ出力電圧リップル (振れ幅) に合わせた場合、図 8 のように一回あたりのオン時間を $11 \mu\text{sec}$ 、発振周波数 275 Hz にすることができる。

【0094】

このように本実施形態によれば出力電圧リップルを維持したまま、発振周波数を遅くでき、高効率化を実現できる。

10

【0095】

変形例 1

図 9 は、本実施形態の変形例 1 の回路図である。本例は、前記コイル L_1 、 L_2 に代えて一つのコイル L_{12} を用いた点が異なっている。なお、その他の構成は同じである。

【0096】

図 9 に示すように、本例では、コイル L_{12} の一端を発振部 31b に接続し、他端を出力端子 10b に接続し、中点を発振部 31a に接続している。

【0097】

即ち、本例のコイル L_{12} は、出力側端部から中点までの部分を前記コイル L_1 とし、該中点から出力側端部までの部分を前記コイル L_2 としている。

20

【0098】

これにより、コイル L_1 、 L_2 を別個に設けた場合と比べて実装面積を小さくし、装置の小型化を図ることができる。

【0099】

変形例 2

図 10 は、本実施形態の変形例 2 の回路図である。上記実施形態 3 は、出力制御用スイッチ及び同期整流用スイッチを 2 組備えた例を示したが、これに限らず、更に出力制御用スイッチ及び同期整流用スイッチを備えても良い。

【0100】

例えば、図 10 に示すように、FET 11b、FET 12b を第一のスイッチ (1A) 及び第二のスイッチ (2A) とし、これに対し第一のスイッチ (1B) 及び第二のスイッチ (2B) として n 組目の FET 11n、12n を接続しても良い。

30

【0101】

この場合、FET 11n、12n、コイル L_n が最も小容量とする。更に、コイル L_n を最も低インダクタンスとしても良い。

【0102】

そして、発振制御部 17 が、負荷 (出力電流や稼動状態情報) に応じて、FET ドライバ部 26a、26b、26n の何れかを選択的に駆動させる。

【0103】

実施形態 4

図 11 は、本発明の電子機器としてのノート型パーソナルコンピュータ (電子機器に相当、以下ノートパソコンとも称す) の外観斜視図、図 12 は、該ノートパソコンの電源部周辺の説明図である。本実施形態は、前述の実施形態 1 と同一の DC-DC コンバータ 1 を電源部に備えたノートパソコン 10 の例を示している。なお、前述の実施形態 1 と同じ構成要素には、同符号を付すなどして再度の説明を省略している。

40

【0104】

図 11 中、ノートパソコン 10 は、コンピュータ本体 51 と、これにヒンジ 52 によって開閉可能に連結してあるディスプレイ部 53 とからなる。矢印 X1、X2 はノート PC 10 の幅方向、矢印 Y1、Y2 は奥行き方向、矢印 Z1、Z2 は高さ (厚さ) 方向を示す。コンピュータ本体 51 は、上面にキーボード部 54 を有し、内部に CPU 等を有し、下

50

部右側に電池パック30の収容部56が形成されている。収容部56は、コンピュータ本体51の右側面57に電池パック30の挿入口としての開口58を有する。収容部56は、この開口58から矢印X2方向へ装置中程にかけてのスリット状であり、そのX2側端部には、コネクタ59が設けられている。なお、コネクタ59は、コンピュータ本体51内部に位置するため、図11では、本体51の上面の一部を切り欠いて示している。

【0105】

電池パック30は、収容部56に嵌装可能な平板状であり、差し込み方向(X2)の先端部にコネクタ59と嵌合するコネクタ63を有する。電池パック30は、収容部56への嵌装時に、このコネクタ59、63を介して電源部60と電氣的に接続する。

【0106】

また、このノートパソコン10には、ACアダプタ20が接続され、該ACアダプタ20によって商用交流電力がDC電力に変換されて供給される。

【0107】

ACアダプタ20は、商用電源40の電力を、例えば16VのDC電力に変換して、ノートパソコン10の電源部60に供給する機能を有する。この電源部60に供給された電力は、ダイオードD3を経由してDC-DCコンバータ1の入力端子10aに伝えられ、該DC-DCコンバータ1により、ノートパソコン10内の各部の回路(負荷)で使用される電圧の電力に変換される。なお図12には、DC-DCコンバータ1からの出力端子10bを一つだけ示したが、一つに限定するものではなく、例えば複数系統設けて、それぞれ異なる電圧を出力するように構成しても良い。

【0108】

また、ACアダプタ20からの電力は、充電器61を介して電池パック30にも供給される。該電池パック30には、図示しない二次電池が収容されており、充電器61が、ACアダプタ20からの電力で電池パック30内の二次電池を充電する。そこでノートパソコン10は、ACアダプタ20が取り外された状態にあっても、その電池パック30からの電力(例えば12.6V程度の電力)がダイオードD2を経由し、さらにDC-DCコンバータ1により所定電圧の電力に変換されて各部の回路(負荷)に供給される。

【0109】

このDC-DCコンバータ1は、前述の実施形態1と同一であり、FET毎に用意したドライバ回路を入出力電圧差の状況に応じて停止又は駆動させることで、最適なドライブ制御を行うことができる。

【0110】

従って本実施形態によれば、ノートパソコン(電子機器)における電力消費効率の改善を図ることができる。

【0111】

なお、本実施形態のDC-DCコンバータ1は、前述の実施形態2と同一のDC-DCコンバータ1aに代えても良い。また、本実施形態では、セクタ17が入出力電圧差に応じて一部のドライバを停止する構成としたが、これに限らずセクタ17が入力電圧又は出力電圧に応じて一部のドライバを停止する構成としても良い。

【0112】

例えば、出力電圧がほぼ一定の値となる場合には、この値に仮定した出力電圧と入力電圧との差から前述と同様に最小限必要なFET数が決定できるので、出力電圧検出部(差動増幅器)23を省略し、セクタ17が入力電圧検出部(差動増幅器)22による入力電圧に応じた数のドライブを停止しても良い。

【0113】

また、例えば、入力電圧がほぼ一定の値となる場合には、この値に仮定した入力電圧と出力電圧との差から前述と同様に最小限必要なFET数が決定できるので、入力電圧検出部(差動増幅器)22を省略し、セクタ17が出力電圧検出部(差動増幅器)23による出力電圧に応じた数のドライブを停止しても良い。

【0114】

10

20

30

40

50

また、本実施形態のDC-DCコンバータ1は、前述の実施形態3と同一のDC-DCコンバータ1bに代え、発振制御部17が出力電流や負荷の稼動状態情報に応じてFETドライバー部26a, 26bの何れかを駆動する構成としても良い。

【0115】

その他

本発明は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

例えば、以下に付記した構成であっても上述の実施形態と同様の効果が得られる。また、これらの構成要素は可能な限り組み合わせることができる。

【0116】

10

(付記1)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と

前記第二のスイッチを駆動する第二の駆動部と、

負荷電流に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
を備える制御回路。

【0117】

(付記2)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

20

第一のスイッチを駆動する第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

負荷電流に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

【0118】

(付記3)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

30

前記第二のスイッチを駆動する第二の駆動部と、

入力電圧に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
を備える制御回路。

【0119】

(付記4)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

第一のスイッチを駆動する第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

入力電圧に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

40

【0120】

(付記5)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

前記第二のスイッチを駆動する第二の駆動部と、

出力電圧に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
を備える制御回路。

【0121】

50

(付記6)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

第一のスイッチを駆動する第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

出力電圧に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

【0122】

(付記7)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

前記第二のスイッチを駆動する第二の駆動部と、

入出力電圧差に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
を備える制御回路。

【0123】

(付記8)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

第一のスイッチを駆動する第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

入出力電圧差に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

【0124】

(付記9)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

負荷電流に応じて前記複数の第一の駆動部の一部、並びに前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

【0125】

(付記10)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

入力電圧に応じて前記複数の第一の駆動部の一部、並びに前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

【0126】

(付記11)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

出力電圧に応じて前記複数の第一の駆動部の一部、並びに前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

10

20

30

40

50

【 0 1 2 7 】

(付記 1 2)

第一のスイッチと第二のスイッチとを交互にオン状態として整流させるスイッチングコンバータの制御回路であって、

複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

入出力電圧差に応じて前記複数の第一の駆動部の一部、並びに前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備える制御回路。

【 0 1 2 8 】

(付記 1 3)

複数の第一のスイッチと、

第二のスイッチと、

前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

前記第二のスイッチを駆動する第二の駆動部と、

負荷電流を検出する負荷電流検出部と、

該負荷電流検出部で検出した負荷電流に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
を備えるスイッチングコンバータ。

【 0 1 2 9 】

(付記 1 4)

第一のスイッチと、

複数の第二のスイッチと、

第一のスイッチを駆動する第一の駆動部と、

前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

負荷電流を検出する負荷電流検出部と、

該負荷電流検出部で検出した負荷電流に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備えるスイッチングコンバータ。

【 0 1 3 0 】

(付記 1 5)

複数の第一のスイッチと、

第二のスイッチと、

前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

前記第二のスイッチを駆動する第二の駆動部と、

入力電圧を検出する入力電圧検出部と、

該入力電圧検出部で検出した入力電圧に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
を備えるスイッチングコンバータ。

【 0 1 3 1 】

(付記 1 6)

第一のスイッチと、

複数の第二のスイッチと、

第一のスイッチを駆動する第一の駆動部と、

前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

入力電圧を検出する入力電圧検出部と、

該入力電圧検出部で検出した入力電圧に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
を備えるスイッチングコンバータ。

【 0 1 3 2 】

10

20

30

40

50

- (付記 17)
 複数の第一のスイッチと、
 第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記第二のスイッチを駆動する第二の駆動部と、
 出力電圧を検出する出力電圧検出部と、
 該出力電圧検出部で検出した出力電圧に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【0133】 10
- (付記 18)
 第一のスイッチと、
 複数の第二のスイッチと、
 第一のスイッチを駆動する第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 出力電圧を検出する出力電圧検出部と、
 該出力電圧検出部で検出した出力電圧に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【0134】 20
- (付記 19)
 複数の第一のスイッチと、
 第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記第二のスイッチを駆動する第二の駆動部と、
 入出力電圧差を検出する電圧差検出部と、
 該電圧差検出部で検出した入出力電圧差に応じて前記複数の第一の駆動部の一部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【0135】 30
- (付記 20)
 第一のスイッチと、
 複数の第二のスイッチと、
 第一のスイッチを駆動する第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 入出力電圧差を検出する電圧差検出部と、
 該電圧差検出部で検出した入出力電圧差に応じて前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【0136】 40
- (付記 21)
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 負荷電流を検出する負荷電流検出部と、
 該負荷電流検出部で検出した負荷電流に応じて前記複数の第一の駆動部の一部、並びに前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【0137】 50

- (付記 2 2)
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 入力電圧を検出する入力電圧検出部と、
 該入力電圧検出部で検出した入力電圧に応じて前記複数の第一の駆動部の一部、並びに
 前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【 0 1 3 8 】 10
- (付記 2 3)
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 出力電圧を検出する出力電圧検出部と、
 該出力電圧検出部で検出した出力電圧に応じて前記複数の第一の駆動部の一部、並びに
 前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【 0 1 3 9 】 20
- (付記 2 4)
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 入出力電圧差を検出する電圧差検出部と、
 該電圧差検出部で検出した入出力電圧差に応じて前記複数の第一の駆動部の一部、並び
 に前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備えるスイッチングコンバータ。
 【 0 1 4 0 】 30
- (付記 2 5)
 スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、
 該スイッチングコンバータが、
 複数の第一のスイッチと、
 第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記第二のスイッチを駆動する第二の駆動部と、
 負荷電流を検出する負荷電流検出部と、
 該負荷電流検出部で検出した負荷電流に応じて前記複数の第一の駆動部の一部を停止さ
 せる選択部と、
 を備える電子機器。
 【 0 1 4 1 】 40
- (付記 2 6)
 スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、
 該スイッチングコンバータが、
 第一のスイッチと、
 複数の第二のスイッチと、
 第一のスイッチを駆動する第一の駆動部と、
 50

前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 負荷電流を検出する負荷電流検出部と、
 該負荷電流検出部で検出した負荷電流に応じて前記複数の第二の駆動部の一部又は全部
 を停止させる選択部と、
 を備える電子機器。

【0142】

(付記27)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、

該スイッチングコンバータが、

複数の第一のスイッチと、

第二のスイッチと、

前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

前記第二のスイッチを駆動する第二の駆動部と、

入力電圧を検出する入力電圧検出部と、

該入力電圧検出部で検出した入力電圧に応じて前記複数の第一の駆動部の一部を停止さ
 せる選択部と、

を備える電子機器。

【0143】

(付記28)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、

該スイッチングコンバータが、

第一のスイッチと、

複数の第二のスイッチと、

第一のスイッチを駆動する第一の駆動部と、

前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、

入力電圧を検出する入力電圧検出部と、

該入力電圧検出部で検出した入力電圧に応じて前記複数の第二の駆動部の一部又は全部
 を停止させる選択部と、

を備える電子機器。

【0144】

(付記29)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、

該スイッチングコンバータが、

複数の第一のスイッチと、

第二のスイッチと、

前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、

前記第二のスイッチを駆動する第二の駆動部と、

出力電圧を検出する出力電圧検出部と、

該出力電圧検出部で検出した出力電圧に応じて前記複数の第一の駆動部の一部を停止さ
 せる選択部と、

を備える電子機器。

【0145】

(付記30)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、

該スイッチングコンバータが、

第一のスイッチと、

10

20

30

40

50

複数の第二のスイッチと、
 第一のスイッチを駆動する第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 出力電圧を検出する出力電圧検出部と、
 該出力電圧検出部で検出した出力電圧に応じて前記複数の第二の駆動部の一部又は全部
 を停止させる選択部と、
 を備える電子機器。

【0146】

(付記31)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、
 該スイッチングコンバータが、
 複数の第一のスイッチと、
 第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記第二のスイッチを駆動する第二の駆動部と、
 入出力電圧差を検出する電圧差検出部と、
 該電圧差検出部で検出した入出力電圧差に応じて前記複数の第一の駆動部の一部を停止
 させる選択部と、
 を備える電子機器。 10
 20

【0147】

(付記32)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、
 該スイッチングコンバータが、
 第一のスイッチと、
 複数の第二のスイッチと、
 第一のスイッチを駆動する第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 入出力電圧差を検出する電圧差検出部と、
 該電圧差検出部で検出した入出力電圧差に応じて前記複数の第二の駆動部の一部又は全
 部を停止させる選択部と、
 を備える電子機器。 30
 40

【0148】

(付記33)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、
 該スイッチングコンバータが、
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 負荷電流を検出する負荷電流検出部と、
 該負荷電流検出部で検出した負荷電流に応じて前記複数の第一の駆動部の一部、並びに
 前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備える電子機器。 40

【0149】

(付記34)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、 50

該スイッチングコンバータが、
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 入力電圧を検出する入力電圧検出部と、
 該入力電圧検出部で検出した入力電圧に応じて前記複数の第一の駆動部の一部、並びに
 前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備える電子機器。

【0150】

10

(付記35)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、
 該スイッチングコンバータが、
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 出力電圧を検出する出力電圧検出部と、
 該出力電圧検出部で検出した出力電圧に応じて前記複数の第一の駆動部の一部、並びに
 前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備える電子機器。

20

【0151】

(付記36)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負
 荷とを有する電子機器であって、
 該スイッチングコンバータが、
 複数の第一のスイッチと、
 複数の第二のスイッチと、
 前記複数の第一のスイッチをそれぞれ駆動する複数の第一の駆動部と、
 前記複数の第二のスイッチをそれぞれ駆動する複数の第二の駆動部と、
 入出力電圧差を検出する電圧差検出部と、
 該電圧差検出部で検出した入出力電圧差に応じて前記複数の第一の駆動部の一部、並び
 に前記複数の第二の駆動部の一部又は全部を停止させる選択部と、
 を備える電子機器。

30

【0152】

(付記37)

出力端子と接続したコイル(A)と、
 該コイル(A)を介して出力する電力をスイッチングする第一のスイッチ(1A)と、
 該第一のスイッチ(1A)と交互にオン状態となって整流する第二のスイッチ(2A)と、
 該第一のスイッチ(1A)及び第二のスイッチ(2A)を交互に駆動する駆動部Aと、
 前記コイル(A)と直列に接続するコイル(B)と、
 該コイル(B)及びコイル(A)を介して出力する電力をスイッチングする第一のスイ
 ッチ(1B)と、
 を備えたスイッチング回路。(10)

40

【0153】

(付記38)

出力端子と接続したコイル(A)と、
 該コイル(A)を介して出力する電力をスイッチングする第一のスイッチ(1A)と、
 該第一のスイッチ(1A)と交互にオン状態となって整流する第二のスイッチ(2A)と、

50

該第一のスイッチ（1A）及び第二のスイッチ（2A）を交互に駆動する駆動部 A と、
前記コイル（A）と直列に接続するコイル（B）と、
該コイル（B）及びコイル（A）を介して出力する電力をスイッチングする第一のスイ
ッチ（1B）と、

該第一のスイッチ（1B）と交互にオン状態となって整流する第二のスイッチ（2B）と、
該第一のスイッチ（1B）及び第二のスイッチ（2B）を交互に駆動する駆動部（A）と、
前記駆動部（A）及び駆動部（B）を選択的に駆動させる選択部と、
を備えたスイッチングコンバータ。（11）

【0154】

（付記39）

前記第一のスイッチ（1B）及び第二のスイッチ（2B）に対し、前記第一のスイッチ（1A）
及び第二のスイッチ（2A）を大容量とし、

前記選択部が、出力の負荷が所定値より高い場合に駆動部（A）を駆動させ、出力の負
荷が所定値以下の場合に駆動部（B）を駆動させる付記38に記載のスイッチングコンバ
ータ。（12）

【0155】

（付記40）

前記コイル（B）に対し、前記コイル（A）を大容量とし、

前記選択部が、出力の負荷が所定値より高い場合に駆動部（A）を駆動させ、出力の負
荷が所定値以下の場合に駆動部（B）を駆動させる付記38又は39に記載のスイッチン
グコンバータ。（13）

【0156】

（付記41）

前記コイル（B）に対し、前記コイル（A）が低インダクタンスである付記40に記載
のスイッチングコンバータ。（14）

【0157】

（付記42）

前記駆動部（B）に対し、前記駆動部（A）を大容量とし、

前記選択部が、出力の負荷が所定値より高い場合に駆動部（A）を駆動させ、出力の負
荷が所定値以下の場合に駆動部（B）を駆動させる付記38から41の何れかに記載のス
イッチングコンバータ。（15）

【0158】

（付記43）

一つのコイルの一端から中点までの部分を前記コイル（A）とし、該中点から他端まで
の部分を前記コイル（B）とした付記38から42の何れかに記載のスイッチングコンバ
ータ。（16）

【0159】

（付記44）

前記選択部が、負荷側回路の稼働状況を示す情報を受信し、該情報に応じて前記駆動部
A又は駆動部Bを駆動させる付記38から43の何れかに記載のスイッチングコンバータ
。（17）

【0160】

（付記45）

前記選択部が、出力電流に応じて前記駆動部（A）又は駆動部（B）を駆動させる付記
38から44の何れかに記載のスイッチングコンバータ。（18）

【0161】

（付記46）

ドレイン端子を入力端子に接続している第一のFET（1A）と、

ドレイン端子を該第一のFET（1A）のソース端子に接続し、ソース端子をグラウンドに
接続している第二のFET（2A）と、

10

20

30

40

50

該第一の F E T (1 A) 及び第二の F E T (2 A) のゲート端子に接続し、該第一の F E T (1 A) 及び第二の F E T (2 A) を交互に駆動させる駆動部 (A) と、

該第一の F E T (1 A) のソース端子及び第二の F E T (2 A) のドレイン端子が接続してなる発振部 (A) に一端子を接続し、他端子を出力端子と接続するコイル (A) と、

ドレイン端子を入力端子に接続している第一の F E T (1 B) と、

ドレイン端子を第一の F E T (1 B) のソース端子に接続し、ソース端子をグランドに接続している第二の F E T (2 B) と、

該第一の F E T (1 B) 及び第二の F E T (2 B) のゲート端子に接続し、該第一の F E T (1 B) 及び第二の F E T (2 B) を交互に駆動させる駆動部 (B) と、

該第一の F E T (1 B) のソース端子及び第二の F E T (2 B) のドレイン端子が接続してなる発振部 (B) に一端子を接続し、他端子を発振部 (A) と接続するコイル (B) と、

前記駆動部 (A) 及び駆動部 (B) を選択的に駆動させる選択部と、
を備えたスイッチングコンバータ。 (1 9)

【 0 1 6 2 】

(付記 4 7)

スイッチングコンバータと、該スイッチングコンバータからの出力によって動作する負荷とを有する電子機器であって、

該スイッチングコンバータが、

出力端子と接続したコイル (A) と、

該コイル (A) を介して出力する電力をスイッチングする第一のスイッチ (1 A) と、

該第一のスイッチ (1 A) と交互にオン状態となって整流する第二のスイッチ (2 A) と、

該第一のスイッチ (1 A) 及び第二のスイッチ (2 A) を交互に駆動する駆動部 A と、

前記コイル (A) と直列に接続するコイル (B) と、

該コイル (B) 及びコイル (A) を介して出力する電力をスイッチングする第一のスイッチ (1 B) と、

該第一のスイッチ (1 B) と交互にオン状態となって整流する第二のスイッチ (2 B) と、

該第一のスイッチ (1 B) 及び第二のスイッチ (2 B) を交互に駆動する駆動部 A と、

前記駆動部 (A) 及び駆動部 (B) を選択的に駆動させる選択部と、
を備えた電子機器。 (2 0)

【 産業上の利用可能性 】

【 0 1 6 3 】

本発明は、コンピュータや携帯電話、ビデオカメラ、ネットワーク機器、音響機器など、 D C 電力を利用するあらゆる電子機器に適用可能である。

【 図面の簡単な説明 】

【 0 1 6 4 】

【 図 1 】 本発明の実施形態 1 の概要図

【 図 2 】 出力制御用 F E T 及び同期整流用 F E T のオンオフの時間変化を示す図

【 図 3 】 入出力電圧差が大きい場合の出力制御用 F E T 及び同期整流用 F E T のオンオフの時間変化を示す図

【 図 4 】 入出力電圧差が小さい場合の出力制御用 F E T 及び同期整流用 F E T のオンオフの時間変化を示す図

【 図 5 】 本発明の実施形態 2 の概要図

【 図 6 】 本発明の実施形態 3 の概要図

【 図 7 】 関連技術の D C - D C コンバータにおける出力電圧および発振波形を示す図

【 図 8 】 実施形態 3 の D C - D C コンバータにおける出力電圧および発振波形を示す図

【 図 9 】 変形例 1 の概要図

【 図 1 0 】 変形例 2 の概要図

【 図 1 1 】 本発明の電子機器としてのノートパソコンの外観斜視図

【 図 1 2 】 電子機器の電源部周辺の説明図

【 図 1 3 】 関連技術の D C - D C コンバータの概要図

10

20

30

40

50

【図14】関連技術のDC-DCコンバータの概要図

【符号の説明】

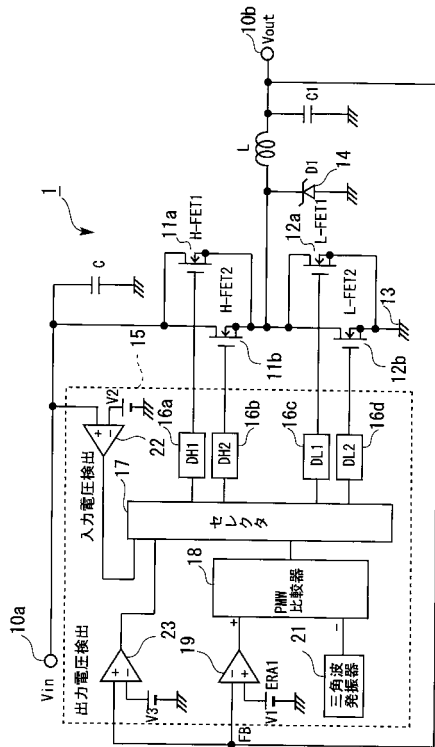
【0165】

- 1, 1a, 1b DC-DCコンバータ
- 10a 入力端子
- 10b 出力端子
- 11a, 11b 第1のスイッチ(出力制御用FET)
- 12a, 12b 第2のスイッチ(同期整流用FET)
- L, L1, L2, L12 インダクタ
- 13 接地点
- 14 ダイオード
- 15 制御回路
- 16a ~ 16d ドライバ
- 17 セレクタ(発振制御部)
- 18 PWM比較器
- 19 差動増幅器
- 21 三角波発振器
- 22 入力電圧検出部
- 23 出力電圧検出部
- 24 負荷電流検出部

10

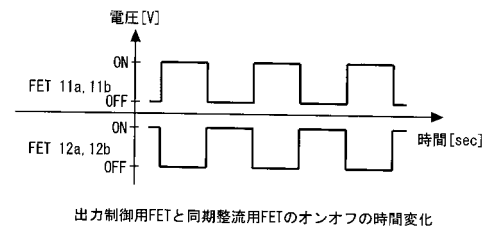
20

【図1】

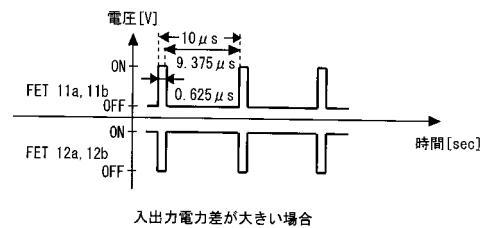


実施形態1としてのDC-DCコンバータの概要図

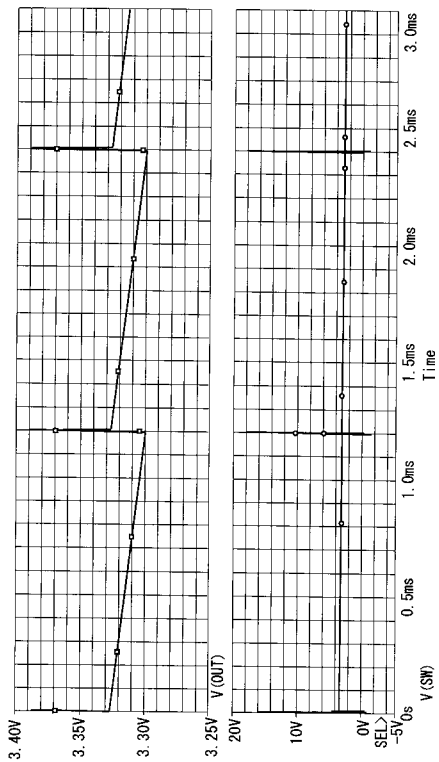
【図2】



【図3】

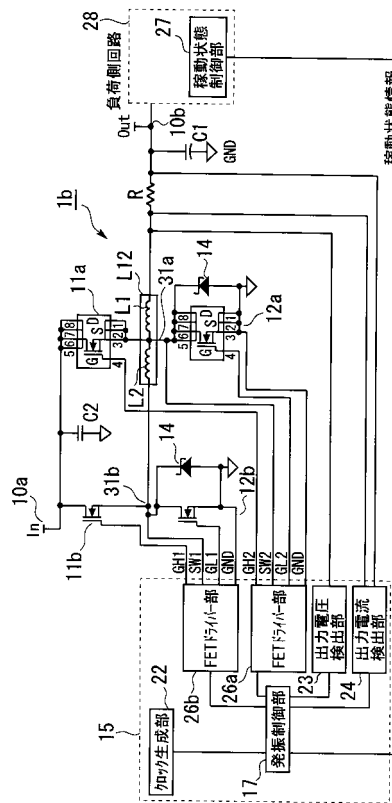


【図8】



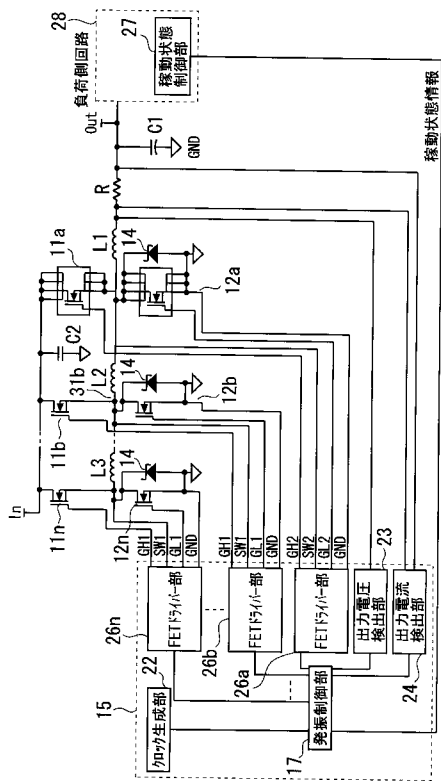
実施形態3のDC-DCコンバータにおける出力電圧及び発振波形を示す図

【図9】



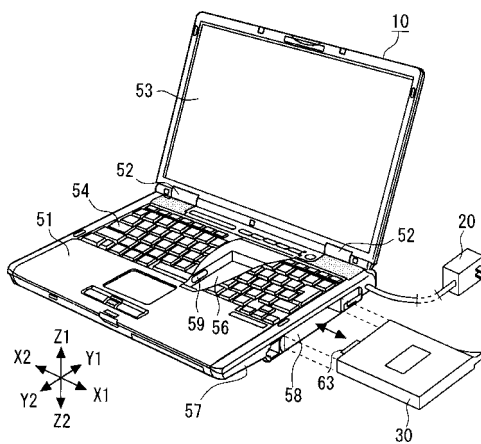
変形例1の回路図

【図10】



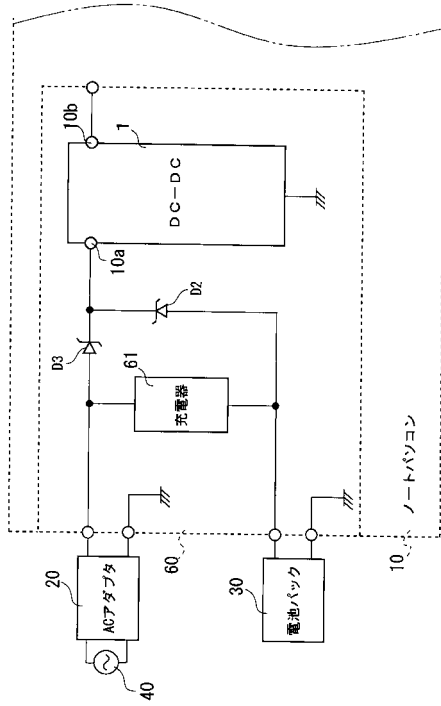
変形例2の回路図

【図11】



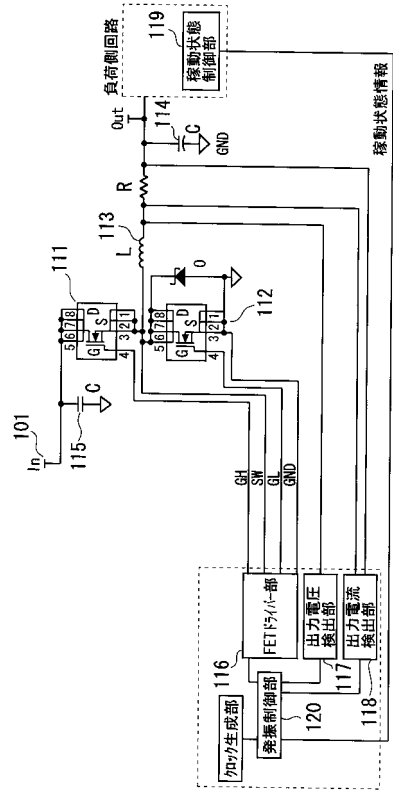
電子機器としてのノートパソコンの外観斜視図

【図12】



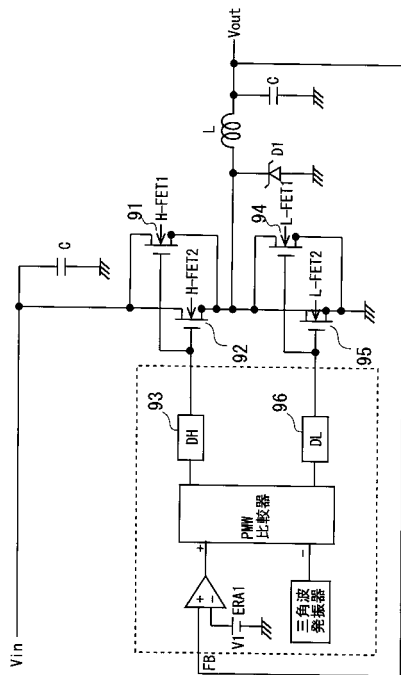
電子機器の電源部周辺の説明図

【図13】



関連技術

【図14】



関連技術の例

フロントページの続き

- (72)発明者 松田 浩一
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 中澤 重晶
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 安池 一貴

- (56)参考文献 特開2002-330583(JP,A)
国際公開第97/044884(WO,A1)
特開平07-222438(JP,A)
特開2003-319645(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/155