

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228584
(P2004-228584A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/28	HO 1 L 21/28 L	4M104
HO 1 L 21/331	HO 1 L 21/90 C	5F003
HO 1 L 21/336	HO 1 L 29/78 3O1Y	5F033
HO 1 L 21/768	HO 1 L 29/72 Z	5F038
HO 1 L 21/822	HO 1 L 27/04 C	5F140
審査請求 未請求 請求項の数 1 O L (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2004-15316 (P2004-15316)	(71) 出願人	501229528 テキサス インストルメンツ インコーポ レイテッド
(22) 出願日	平成16年1月23日 (2004.1.23)		アメリカ合衆国、テキサス、ダラス、チャ ーチル ウエイ 7839
(31) 優先権主張番号	350691	(74) 代理人	100066692 弁理士 浅村 皓
(32) 優先日	平成15年1月24日 (2003.1.24)	(74) 代理人	100072040 弁理士 浅村 肇
(33) 優先権主張国	米国 (US)	(74) 代理人	100107504 弁理士 安藤 克則
		(74) 代理人	100102897 弁理士 池田 幸弘
最終頁に続く			

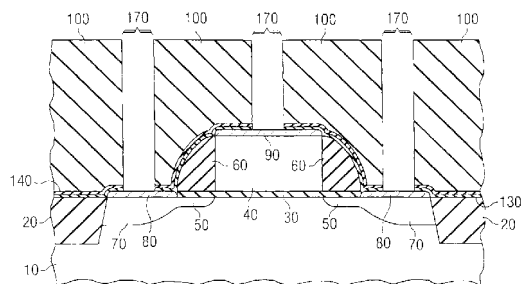
(54) 【発明の名称】 集積回路のコンタクトを形成する方法

(57) 【要約】

【課題】 集積回路のコンタクトを形成する方法を提供すること。

【解決手段】 最初に半導体デバイスに導電性層(80)を形成して、集積回路デバイスにコンタクトを形成する。導電性層の上に随意的誘電体層(130)を形成し、さらに、この随意的誘電体層(130)の上に炭素含有誘電体層(140)を形成する。炭素含有誘電体層(140)及び随意的誘電体層(130)に開口をエッチングして、導電性層(80)へのコンタクトを形成する。

【選択図】 図2c



【特許請求の範囲】

【請求項 1】

集積回路を形成する方法であって、
 半導体の第 1 の領域の上に導電性層を形成するステップと、
 前記導電性層の上に炭素を含む誘電体層を形成するステップと、
 前記誘電体層及び前記導電性層の上に P M D 誘電体層を形成するステップと、
 前記導電性層の上の前記 P M D 誘電体層に少なくとも 1 つの開口を形成して、前記誘電体層の領域を露出させるステップと、
 前記誘電体層の前記露出領域を除去するステップと、
 前記 P M D 層の前記開口に第 1 の導電性領域を形成するステップとを含み、前記第 1 の導電性領域が前記導電性層に接触するものである方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的に集積回路の製造に関し、より詳細には、電子デバイスのコンタクトを形成する方法に関する。

【背景技術】

【0002】

集積回路は、半導体基板に形成されたトランジスタ、抵抗器、及びコンデンサのような電子デバイスを備える。個々の電子デバイスは、デバイスを含む半導体基板の表面の上で交互になる誘電体層中に形成されたいくつかの層の金属配線を使用して相互に接続される。集積回路を構成する各電子デバイスは、半導体基板表面の上にある誘電体層を通して金属線に接続しなければならない。一般に、半導体基板中に電子デバイスを形成した後で、半導体基板上に金属前誘電体 (pre-metal dielectric) (PMD) 層が形成される。PMD 層に開口を形成し、さらに窒化チタン、タングステン、又はアルミニウムのような導電性材料を使用して形成された導電性プラグをこの開口に詰めて、下にある電子デバイスへの電気コンタクトが作られる。開口中に形成された導電性プラグ (又は、プラグ) によって、電子デバイスから PMD 層の上に形成された様々な金属層に電気接続が行われるようになる。一般的な金属酸化膜半導体 (MOS) トランジスタへのそのような電気接続の例を図 1 に示す。

【0003】

図 1 に、標準的な集積回路加工方法を使用して製造された一般的な MOS トランジスタを示す。分離領域 20 が、半導体中に形成される。ゲート誘電体層 30 及びゲート電極 40 を備えるトランジスタゲートスタックが、半導体 10 の表面に形成される。ゲート電極は、通常、ドーパされた多結晶シリコン及び様々な金属及びシリサイドのような導電性材料を含む。トランジスタゲートスタックの一般的な厚さは、800 Å と 5000 Å の間である。トランジスタゲートスタックの形成に続いて、いくつかの自己整合打込み (self-aligned implants) が行われる。この自己整合打込みには、ドレイン/ソース拡張部打込み及びポケット打込みが含まれる。トランジスタゲートスタックに位置合せされた自己整合打込みによって、半導体 10 にドーパされた領域 50 が形成されるようになる。標準的な加工技術を使用してゲート電極 40 に隣接した側壁構造 60 が形成される。側壁構造 60 は、一般に、酸化珪素、窒化珪素、又は任意の他の適切な誘電体材料のような誘電体材料を含む。側壁構造 60 の形成に続いて、適切なドーパントを半導体 10 中に打ち込んで、トランジスタのソース及びドレイン領域 70 が形成される。ソース及びドレイン領域 70 の形成に続いて、ソース及びドレイン領域 70、並びに、ゲート電極 40 それぞれに金属シリサイド層 80 及び 90 が形成される。金属シリサイド層 80 及び 90 によって、MOS トランジスタと金属層の間のコンタクト抵抗が減少する。図に示すように MOS トランジスタの上に PMD 層 100 が形成され、この PMD 層に開口 110 及び 120 が形成される。開口中に導電性プラグが形成され、また開口は標準的な集積回路加工技術を使用して形成される。

【0004】

一般に、開口110及び120は、最初にパターン形成されたフォトレジストをPMD層上に形成することで形成される。そして、このパターン形成されたフォトレジストは、開口を形成するために使用される次のコンタクトエッチングプロセス中にマスクとして作用する。留意すべきことであるが、ゲート電極40上に形成されたシリサイド層90は、ソース、ドレイン領域上に形成されたシリサイド層80よりも約800Åから5000Å上にある。この構造的な変化のために、様々なシリサイド層に合わせてコンタクトエッチングを行うことが困難になる。様々なシリサイド層80及び90の高さが異なることは、様々な開口を形成するために必要なエッチング時間が異なることを意味する。開口の形成に関する主な問題は、深い方のシリサイド層80までのコンタクトエッチングを完成すること、浅い方のコンタクトエッチング(すなわち、シリサイド層90までのエッチング)は、シリサイド層90を通り抜けて続いてシリサイド層90のかなりの部分を除去するようになるかもしれないことである。この問題は、多くの場合、深い方の開口110を形成するためのエッチング時間を減らすことで対処される。しかし、深い方の開口のエッチング時間を減らすと、エッチング不足の開口となり、コンタクト抵抗の増加をもたらす可能性がある。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

また、ウェーハ全体にわたって形態のばらつきがあるために、半導体ウェーハ全体の開口全てが適切に形成されることを保証するためには、コンタクトエッチングのプロセスは、約50%のオーバエッチングを含むことが必要になる。この大きなオーバエッチングで、結果として、半導体ウェーハ全体にわたってコンタクト抵抗のばらつきが大きくなり、そのために、高精度の集積回路を形成することがいっそう困難になる。上述のMOSトランジスタの他に、バイポーラ接合トランジスタ(BJT)及び金属-絶縁体-金属(MIM)コンデンサのような他のデバイスもまた、上述のコンタクトエッチングの問題の影響を受けやすい。したがって、コンタクトエッチング構造の問題を軽減する、及び/又は無くする集積回路を形成する方法が必要とされている。本発明は、この要求に対処する。

20

【課題を解決するための手段】

【0006】

本発明は、集積回路の一部として形成された電子デバイスに電気コンタクトを形成する方法である。MOSトランジスタ、コンデンサ、又はバイポーラ接合トランジスタのような電子デバイスに導電性層を形成する。この導電性層の上に随意の第1の誘電体層を形成し、もし存在すればこの随意の誘電体層の上に、炭素含有誘電体層を形成する。この炭素含有誘電体層の上にPMD誘電体層を形成し、PMD層に開口を形成する。この開口は、導電性層、随意の誘電体層、及び炭素含有誘電体層の上に形成する。炭素含有誘電体層及び随意の誘電体層(もし存在すれば)の露出された領域を除去して、下にある導電性層を露出させる。そして、開口を満たし、かつ電子デバイスに形成された導電性層に電氣的に接触するように、導電性材料を使用する。

30

【0007】

本発明及びその利点をより完全に理解するために、添付の図面と関連して行われる次の説明をこれから参照する。この図面では、同様な参照数字は同様な特徴を表す。

40

【発明を実施するための最良の形態】

【0008】

図2aから図2dに、本発明の第1の実施例の断面図を示す。図2aに、知られている集積回路製造方法を使用して形成されたMOSトランジスタを例示する。上で述べたように、分離領域20を半導体10中に形成する。ゲート誘電体層30及びゲート電極40を備えるトランジスタゲートスタックを、半導体10の表面に形成する。ゲート電極は、通常、ドーパされた多結晶シリコン及び様々な金属及びシリサイドのような導電性材料を含む。トランジスタゲートスタックの一般的な厚さは800Åと5000Åの間である。ト

50

ランジスタゲートスタックの形成に続いて、いくつかの自己整合打込みを行う。この自己整合打込みには、ドレイン/ソース拡張部打込み及びポケット打込みがある。トランジスタゲートスタックに位置合せした自己整合打込みによって、半導体10にドーパされた領域50が形成されるようになる。標準的な加工技術を使用して、ゲート電極40に隣接した側壁構造60を形成する。側壁構造60は、一般に、酸化珪素、窒化珪素、又は任意の他の適切な誘電体材料のような誘電体材料を含む。側壁構造60の形成に続いて、適切なドーパントを半導体10中に打ち込んで、トランジスタのソース及びドレイン領域70を形成する。ソース及びドレイン領域70の形成に続いて、ソース及びドレイン領域70並びにゲート電極40それぞれに金属シリサイド層80及び90を形成する。

【0009】

図2bに示すように、図2aのMOSトランジスタ構造の上に酸化珪素を含む第1の誘電体層130を形成する。第1の誘電体層130は、随意であり、その後の層を形成するために又はエッチングするために使用されるガスが下にあるシリサイド層80及び90と相互作用するのを防ぐために含まれる。図2bに示すように、第1の誘電体層130上に第2の誘電体層140を形成する。随意の第1の誘電体層130を含まない実施例では、第2の誘電体層は、シリサイド層80及び90に隣接して形成される。本発明の実施例では、第2の誘電体層140は、様々な結晶形態及びアモルファス水素添加炭化珪素のような非結晶形態の炭化珪素(SiC)を含む。このSiC層は、プラズマ増速(enhanced)化学気相成長(PECVD)法を使用して形成することができるが、本発明に従って任意の堆積プロセスを使用することができる。好ましいSiC堆積プロセスでは、珪素及び炭素の供給源としてのトリメチルシラン及びヘリウムのキャリアガスが使用され、ヘリウムの代わりに例えばアルゴンを使用することもできる。他の可能な供給源ガスの例には、テトラエチルシラン、及びシラン/メタンがある。ヘリウムを用いて堆積するとき、堆積速度が非常に減少するので、薄い層の厚さがより制御しやすくなることが分かった。さらに重要なことには、この膜は、より高密度になり、かつ水素含有率が小さくなる傾向があり、これによって、膜の硬さが増し、化学的な侵蝕に対する耐性が著しく向上する。そして、これによって、この材料はエッチングし難くなり、SiCに対する酸化珪素のエッチング選択性が向上する。他の実施例では、第2の誘電体層140は、オキシ炭化珪素、炭窒化珪素、オキシ炭窒化珪素及び炭化硼素を含むことができる。

【0010】

第2の誘電体層140の形成に続いて、第2の誘電体層140の上にPMD層100を形成し、それでMOSトランジスタ構造は図2bに示すようになる。開口170を形成するためのPMD層100のエッチング中にエッチングマスクとして働くパターン形成されたフォトレジスト層150を、PMD層100の上に形成する。PMD層100をエッチングするために使用されるエッチングプロセスは、非常に選択的であり、PMD誘電体100と第2の誘電体層140それぞれについて少なくとも8対1のエッチング速度選択性を有する。この高い選択性のために、ゲート電極40の上にある第2の誘電体層140の露出領域を完全に除去することなく、ソース及びドレイン領域70の上の開口を形成することができるようになる。開口170の形成に続いて、開口170中に露出された第2の誘電体層140の領域を、エッチングプロセスを使用して除去する。第2の誘電体層140の露出領域をエッチングする前に、パターン形成されたフォトレジスト層150を除去する必要はない。しかし、他の実施例では、第2の誘電体層140をエッチングする前に、標準的な半導体加工技術を使用して、パターン形成されたフォトレジスト層150を除去するのが好ましいかもしれない。第2の誘電体層140がSiCを含む実施例では、SiC層は、塩素又はフッ素を含む反応性イオンエッチング(RIE)プロセスを使用してエッチングすることができる。SiCのRIEエッチングプロセスのさらに他の実施例では、塩素又はフッ素を含むRIEエッチングに1から10%の酸素を加えることができる。RIEエッチングプロセスは、下にある層を著しく侵蝕することなく、第2の誘電体層140の露出領域を除去する。随意の第1の誘電体層130を含む本発明の実施例では、開口170中の第1の誘電体層130の露出領域を除去するために、第2のエッチングプ

10

20

30

40

50

プロセスが必要である。第1の誘電体層130の露出領域は、RIEプロセス又はウェット化学エッチングプロセスを使用して除去することができる。第1及び第2の誘電体領域130及び140の露出領域を除去した後で、構造は図2cに示すようになる。パターン形成されたフォトレジスト150が依然として存在している場合、フォトレジスト150を除去し、それから導電性材料を使用して、MOSトランジスタのゲート電極40及びソース及びドレイン領域70に電気コンタクトを形成することができる。これを図2dに示し、金属のような導電性材料を使用して、MOSトランジスタのゲート電極40への電気コンタクト190だけでなく、MOSトランジスタのソース及びドレイン領域70への電気コンタクト180も形成する。本発明の第1の実施例は、図2aから2dに示すMOSトランジスタ構造に限定されるべきでない。本発明の第1の実施例は、ゲート電極の上面がソース及びドレイン領域の上面より上に位置付けされている任意のトランジスタ構造に適用することができる。

10

【0011】

図3aから図3cに、本発明の第2の実施例の断面図を示す。図3aに、知られている集積回路製造方法を使用して形成されたバイポーラ接合トランジスタ(BJT)を示す。第1の伝導型の半導体200中に高濃度ドープの埋込み層210を形成する。分離領域220を半導体200中に形成する。第2の伝導型の第1のシリコン層240を半導体200の表面に形成する。このシリコン層240はBJTのベースとして作用する。BJTのコレクタ領域への電気コンタクトを実現するように、高濃度ドープ領域230を半導体200中に形成する。酸化珪素層及び窒化珪素層を堆積し、酸化珪素250と窒化珪素260の構造を形成するようにエッチングする。第1の伝導型の第2のシリコン層265を第1のシリコン層240及び窒化珪素構造260の上に形成する。このシリコン層265はBJTのエミッタ領域として機能する。図3aに示すBJT構造では、第1の伝導型はn型であり、第2の伝導型はp型であることができ、又は逆であることができる。図3aに示すように、側壁構造270が、第2のシリコン層265及び酸化珪素250と窒化珪素260の構造に隣接して形成される。それから、第1のシリコン層240、第2のシリコン層265及び高濃度ドープ打込み領域230の領域に、導電性層280、290、及び295を形成して、BJTのベース、エミッタ及びコレクタの領域それぞれに低コンタクト抵抗のコンタクトを形成する。これらの導電性層280、290、及び295は、金属シリサイド又は任意の他の適切な導電性材料を含むことができる。

20

30

【0012】

図3bに示すように、図3aのBJT構造の上に酸化珪素を含む第1の誘電体層300を形成する。第1の誘電体層300は、随意であり、その後の層を形成するか又はエッチングするために使用されるガスが下にある層と相互作用するのを防ぐために含まれる。図3bに示すように、第1の誘電体層300上に第2の誘電体層310を形成する。随意的第1の誘電体層300を含まない実施例では、第2の誘電体層は、導電性層280、290、及び295に隣接して形成される。本発明の実施例では、第2の誘電体層310は、様々な結晶形態及びアモルファス水素添加炭化珪素のような非結晶形態の炭化珪素(SiC)を含む。SiC層は、プラズマ増速化学気相成長(PECVD)法を使用して形成することができるが、本発明に従って任意の堆積プロセスを使用することができる。好ましいSiC堆積プロセスでは、珪素及び炭素の供給源としてのトリメチルシラン、及びヘリウムのキャリアガスが使用されるかもしれない。ここで、例えばアルゴンをヘリウムの代わりに使用することもできる。他の可能な供給ガスの例には、テトラエチルシラン、及びシラン/メタンがある。ヘリウムを用いて堆積するとき、堆積速度が非常に減少するので、薄い層の厚さがより適切に制御できるようになることが分かった。いっそう重要なことには、この膜はより高密度になり、かつ水素含有率が低くなる傾向があり、このために、膜の硬さ及び化学的な侵蝕に対する耐性が著しく増す。そして、このために、この材料がエッチングし難くなり、SiCに対する酸化珪素のエッチング選択性が大きくなる。他の実施例では、第2の誘電体層310は、オキシ炭化珪素、炭窒化珪素、オキシ炭窒化珪素及び炭化硼素を含むことができる。

40

50

【0013】

第2の誘電体層310の形成に続いて、図3bに示すように、第2の誘電体層310及びBJT構造の上にPMD層320を形成する。開口340を形成するためのPMD層320のエッチング中に、エッチングマスクとして作用するパターン形成されたフォトリジスト層330を、PMD層320上に形成する。PMD層320をエッチングするために使用されるエッチングプロセスは、非常に選択的であり、PMD誘電体320と第2の誘電体層310それぞれについて少なくとも8対1のエッチング速度選択性を有する。開口340の形成の後で、エッチングプロセスを使用して、開口340中に露出された第2の誘電体層310の領域を除去する。第2の誘電体層310の露出領域をエッチングする前に、パターン形成されたフォトリジスト層330を除去する必要はない。しかし、他の実施例では、第2の誘電体層310をエッチングする前に、標準的な半導体加工技術を使用してパターン形成されたフォトリジスト層330を除去するのが有利であるかもしれない。第2の誘電体層310がSiCを含む実施例では、塩素又はフッ素を含む反応性イオンエッチング(RIE)プロセスを使用して、SiC層をエッチングすることができる。SiCのRIEエッチングプロセスのさらに他の実施例では、塩素又はフッ素を含むRIEエッチングに、1から10%の酸素を加えることができる。このエッチングプロセスで、下にある層を著しく侵蝕することなく、第2の誘電体層310の露出領域が除去される。随意的第1の誘電体層300を含む本発明の実施例では、開口340中の第1の誘電体層300の露出領域を除去するために、第2のエッチングプロセスが必要になる。第1の誘電体層300の露出領域は、RIEプロセス又はウェット化学エッチングプロセスを使用して除去することができる。第1及び第2の誘電体領域300及び310の露出領域を除去した後で、存在していれば残っているフォトリジスト層330を除去し、さらに、導電性材料を使用して、BJTのエミッタ、ベース及びコレクタの領域への電気コンタクトを形成する。これを図3cに示し、ここでは、金属のような導電性材料を使用して、それぞれ、BJTのエミッタ及びコレクタ領域への電気コンタクト350及び370だけでなく、BJTのベースへの電気コンタクト360も形成される。本発明の第2の実施例は、図3aから3cに示すBJT構造に限定されるべきでない。本発明の第2の実施例は、エミッタ領域の上面が、ベース領域の上面より上に、又はコレクタ領域の上面より上にある任意のBJT構造に適用可能である。

10

20

【0014】

図4aから図4cに、本発明の第3の実施例の断面図を示す。図4aに、知られている集積回路製造方法を使用して形成された金属-酸化膜-金属コンデンサを例示する。分離領域410を半導体中に形成する。多結晶シリコン層420を分離領域410上に形成し、側壁構造430をポリシリコン層420に隣接して形成する。コンデンサの第1の極板として作用する導電性層450を、多結晶層420上に形成する。図4aに示すように、導電性層450の上に誘電体層460を形成する。誘電体層460は、コンデンサの誘電体として機能する。図4aに示すように、第2の導電性層470を誘電体層460上に形成し、この導電性層470はコンデンサの第2の極板として作用する。留意すべきことであるが、第2の導電性層470はポリシリコン層420の全長にわたって延びる。

30

【0015】

図4bに示すように、図4aの金属-酸化膜-金属コンデンサ構造の上に、酸化珪素を含む第1の誘電体層480が形成される。第1の誘電体層480は、随意であり、後の層を形成するか又はエッチングするために使用されるガスが下にある層と相互作用するのを防ぐために含まれる。図4bに示すように、第1の誘電体層480上に第2の誘電体層490を形成する。随意的第1の誘電体層480を含まない実施例では、第2の誘電体層490は、導電性層470に隣接して形成される。本発明の実施例では、第2の誘電体層490は、様々な結晶形態及びアモルファス水素添加炭化珪素のような非結晶形態の炭化珪素(SiC)を含む。SiC層は、プラズマ増速化学気相成長(PECVD)法を使用して形成することができるが、本発明に従って任意の堆積プロセスを使用することができる。好ましいSiC堆積プロセスでは、珪素及び炭素の供給源としてのトリメチルシラン、

40

50

及びヘリウムのキャリアガスが使用されるかもしれない。ここで、例えばアルゴンをヘリウムの代わりに使用することもできる。他の可能な供給ガスの例には、テトラエチルシラン、及びシラン/メタンがある。ヘリウムを用いて堆積するとき、堆積速度が非常に減少するので、薄い層の厚さがより適切に制御可能になることが分かった。いっそう重要なことには、この膜はより高密度になり、かつ水素含有率が低くなる傾向があり、このために、膜の硬さ及び化学的な侵蝕に対する耐性が著しく増す。そして、このために、この材料がエッチングし難くなり、SiCに対する酸化珪素のエッチング選択性が向上する。他の実施例では、第2の誘電体層490は、オキシ炭化珪素、炭窒化珪素、オキシ炭窒化珪素及び炭化硼素を含むことができる。

【0016】

第2の誘電体層490の形成に続いて、図4bに示すように、第2の誘電体層490及び金属-酸化膜-金属コンデンサ構造の上にPMD層500を形成する。開口520を形成するためのPMD層500のエッチング中に、エッチングマスクとして作用するパターン形成されたフォトレジスト層510を、PMD層500上に形成する。PMD層500をエッチングするために使用されるエッチングプロセスは、非常に選択的であり、PMD誘電体500と第2の誘電体層490それぞれについて少なくとも8対1のエッチング速度選択性を有する。開口520を形成した後で、開口520中に露出された第2の誘電体層490の領域を、エッチングプロセスを使用して除去する。第2の誘電体層490の露出領域をエッチングする前に、パターン形成されたフォトレジスト層510を除去する必要はない。しかし、他の実施例では、第2の誘電体層490をエッチングする前に、標準的な半導体加工技術を使用してパターン形成されたフォトレジスト層510を除去するのが有利であるかもしれない。第2の誘電体層490がSiCを含む実施例では、塩素又はフッ素を含む反応性イオンエッチング(RIE)プロセスを使用して、SiC層をエッチングすることができる。SiCのRIEエッチングプロセスのさらに他の実施例では、塩素又はフッ素を含むRIEエッチングに、1から10%の酸素を加えることができる。このエッチングプロセスで、下にある層を著しく侵蝕することなく、第2の誘電体層490の露出領域が除去される。随意的第1の誘電体層480を含む本発明の実施例では、開口520中の第1の誘電体層480の露出領域を除去するために第2のエッチングプロセスが必要になる。第1の誘電体層480の露出領域は、RIEプロセス又はウェット化学エッチングプロセスを使用して除去することができる。第1及び第2の誘電体領域480及び490の露出領域を除去した後で、依然として存在していればパターン形成されたフォトレジスト層510を除去し、さらに、導電性材料を使用して、金属-酸化膜-金属コンデンサの金属領域への電気コンタクトを形成する。これを図4cに示し、ここでは、金属のような導電性材料を使用して、電気コンタクト530及び540を形成する。本発明の第3の実施例は、図4aから4cに示す金属-酸化膜-金属コンデンサ構造に限定されるべきでない。本発明の第3の実施例は、コンデンサの金属極板に電気コンタクトが形成される任意のコンデンサ構造に適用可能である。

【0017】

本発明は例示の実施例に関連して説明したが、この説明は、制限する意味で解釈するように意図されていない。本発明の他の実施例だけでなく、例示の実施例の様々な修正及び組合せも、本説明を参照するとき当業者には明らかになるであろう。したがって、添付の特許請求の範囲はそのような修正又は実施例をどれも含む意図である。

【0018】

以上の説明に関してさらに以下の項を開示する。

(1) 集積回路を形成する方法であって、

半導体の第1の領域の上に導電性層を形成するステップと、

前記導電性層の上に炭素を含む誘電体層を形成するステップと、

前記誘電体層及び前記導電性層の上にPMD誘電体層を形成するステップと、

前記導電性層の上の前記PMD誘電体層に少なくとも1つの開口を形成して、前記誘電体層の領域を露出させるステップと、

10

20

30

40

50

- 前記誘電体層の前記露出領域を除去するステップと、
 前記 P M D 層の前記開口に第 1 の導電性領域を形成するステップとを含み、前記第 1 の導電性領域が前記導電性層に接触するものである方法。
- (2) 前記誘電体層が、炭化珪素、オキシ炭化珪素、炭窒化珪素、オキシ炭窒化珪素、及び炭化硼素から成るグループから選ばれた材料で形成される、第 1 項記載の方法。
- (3) 前記誘電体層の前記露出領域を除去する前記ステップが、塩素を含む R I E エッチングを使用することを含み、第 1 項記載の方法。
- (4) 前記導電性層と前記誘電体層の間に第 2 の誘電体層を形成することをさらに含み、第 1 項記載の方法。
- (5) 集積回路のコンタクトを形成する方法であって、
 半導体の第 1 の領域の上に導電性層を形成するステップと、
 前記導電性層の上に第 1 の誘電体層を形成するステップと、
 前記第 1 の導電性層の上に炭素を含む第 2 の誘電体層を形成するステップと、
 前記第 2 の誘電体層及び前記導電性層の上に P M D 誘電体層を形成するステップと、
 前記導電性層の上の前記 P M D 誘電体層に少なくとも 1 つの開口を形成して、前記第 2 の誘電体層の領域を露出させるステップと、
 前記第 2 の誘電体層の前記露出領域を除去して、前記第 1 の誘電体層の領域を露出させるステップと、
 前記第 1 の誘電体層の前記露出領域を除去するステップと、
 前記 P M D 層の前記開口に第 1 の導電性領域を形成するステップとを含み、前記第 1 の導電性領域が前記導電性層に接触するものである方法。
- (6) 前記第 2 の誘電体層が、炭化珪素、オキシ炭化珪素、炭窒化珪素、オキシ炭窒化珪素、及び炭化硼素から成るグループから選ばれた材料で形成される、第 5 項記載の方法。
- (7) 前記第 2 の誘電体層の前記露出領域を除去する前記ステップが、塩素を含む R I E エッチングを使用することを含み、第 6 項記載の方法。
- (8) 集積回路コンデンサを形成する方法であって、
 半導体の上に第 1 の導電性層を形成するステップと、
 前記第 1 の導電性層の上に第 1 の誘電体層を形成するステップと、
 前記第 1 の誘電体層及び前記第 1 の導電性層の上に第 2 のパターン形成された導電性層を形成するステップと、
 前記第 2 のパターン形成された導電性層の上に第 2 の誘電体層を形成するステップと、
 前記第 2 のパターン形成された導電性層の上に炭素を含む第 3 の誘電体層を形成するステップと、
 前記第 3 の誘電体層及び前記第 2 のパターン形成された導電性層の上に P M D 誘電体層を形成するステップと、
 前記第 2 のパターン形成された導電性層の上の前記 P M D 誘電体層に少なくとも 1 つの開口を形成して、前記第 3 の誘電体層の領域を露出させるステップと、
 前記第 3 の誘電体層の前記露出領域を除去して、前記第 2 の誘電体層の領域を露出させるステップと、
 前記第 2 の誘電体層の前記露出領域を除去するステップと、
 前記 P M D 層の前記開口に第 3 の導電性領域を形成するステップとを含み、前記第 1 の導電性領域が前記第 2 のパターン形成された導電性層に接触するものである方法。
- (9) 前記第 3 の誘電体層が、炭化珪素、オキシ炭化珪素、炭窒化珪素、オキシ炭窒化珪素、及び炭化硼素から成るグループから選ばれた材料で形成される、第 8 項記載の方法。
- (1 0) 前記第 3 の誘電体層の前記露出領域を除去する前記ステップが、塩素を含む R I E エッチングを使用することを含み、第 9 項記載の方法。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】従来技術に従った M O S トランジスタを示す断面図である。

【図 2 a】本発明の実施例を示す断面図である。

10

20

30

40

50

- 【図 2 b】本発明の実施例を示す断面図である。
- 【図 2 c】本発明の実施例を示す断面図である。
- 【図 2 d】本発明の実施例を示す断面図である。
- 【図 3 a】本発明の実施例を示す断面図である。
- 【図 3 b】本発明の実施例を示す断面図である。
- 【図 3 c】本発明の実施例を示す断面図である。
- 【図 4 a】本発明の実施例を示す断面図である。
- 【図 4 b】本発明の実施例を示す断面図である。
- 【図 4 c】本発明の実施例を示す断面図である。

【符号の説明】

10

【0020】

20、220、410 分離領域

40 ゲート電極

70 ソース、ドレイン電極

80、90 シリサイド層

100、320、500 PMD誘電体層

130、300、480 第1の誘電体層

140、310、490 第2の誘電体層

150、330、510 フォトレジスト層

170、340、520 開口

20

180、190、350、360、370、530、540 電気コンタクト

230 高濃度ドーパ打込み領域 (BJTのコレクタ)

240 第1のシリコン層 (BJTのベース)

265 第2のシリコン層 (BJTのエミッタ)

280 導電性層 (エミッタのコンタクト)

290 導電性層 (ベースのコンタクト)

295 導電性層 (コレクタのコンタクト)

450 導電性層 (コンデンサの第1の極板)

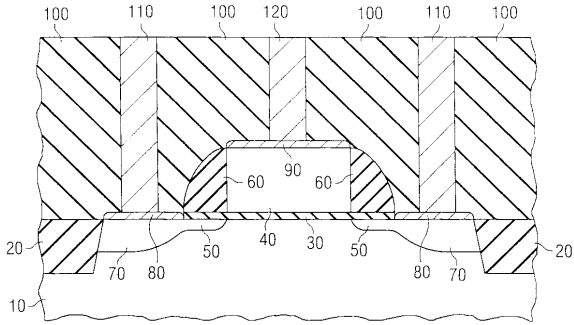
470 導電性層 (コンデンサの第2の極板)

460 コンデンサ誘電体

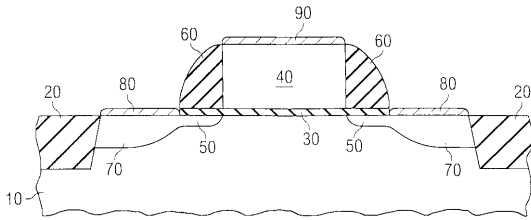
30

470 第2の導電性層

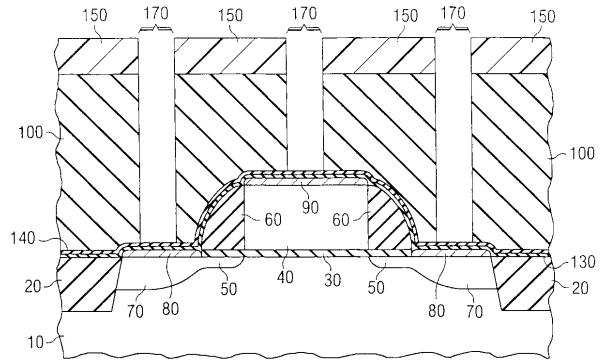
【図 1】



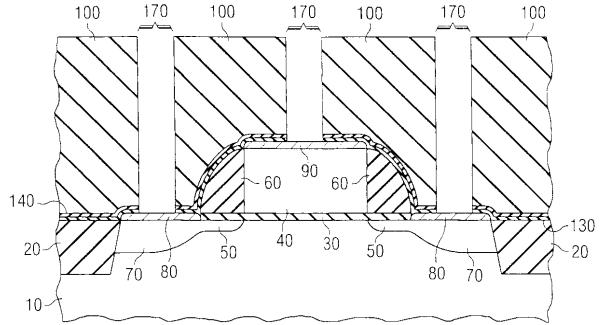
【図 2 a】



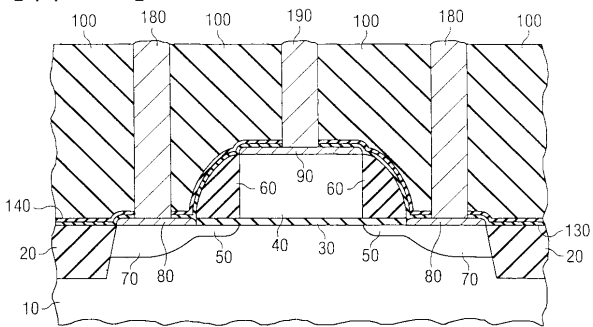
【図 2 b】



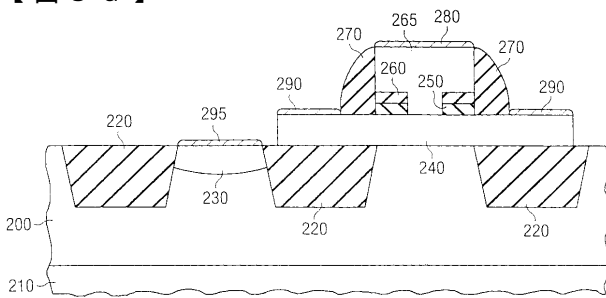
【図 2 c】



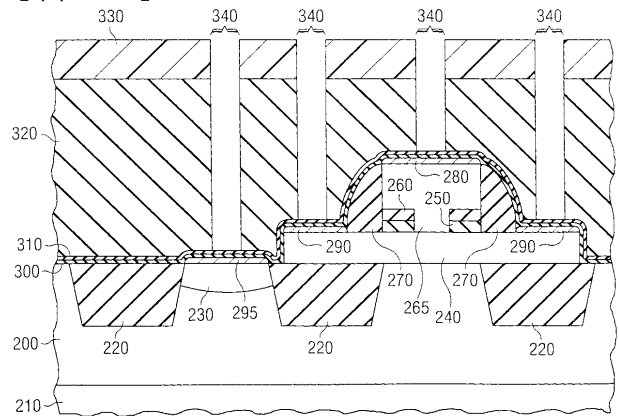
【図 2 d】



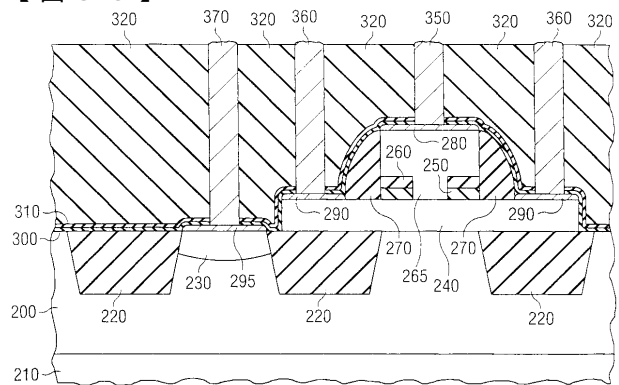
【図 3 a】



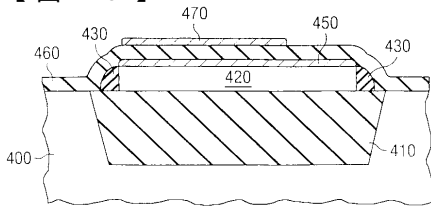
【図 3 b】



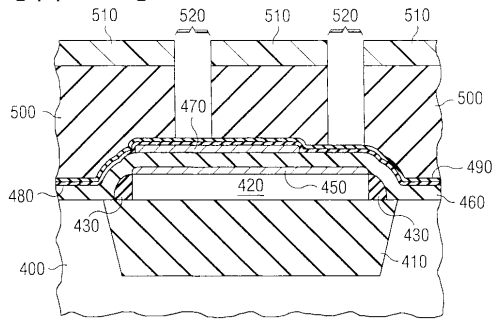
【図 3 c】



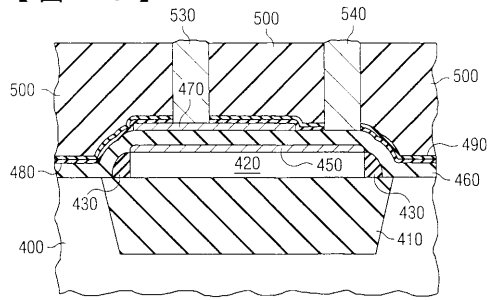
【 図 4 a 】



【 図 4 b 】



【 図 4 c 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
 H 0 1 L 27/04
 H 0 1 L 29/73
 H 0 1 L 29/78

(72)発明者 リランド エス、スワンソン
 アメリカ合衆国 テキサス、マッキニー、メドウ リッジ サークル 4 8 1 1

(72)発明者 グレゴリー イー、ハワード
 アメリカ合衆国 テキサス、ダラス、ウォルドーフ ドライブ 3 5 5 4

F ターム(参考) 4M104 BB19 BB24 CC01 DD08 DD15 DD16 EE12 GG06 GG08 GG19
 HH15
 5F003 BA25 BB08 BC08 BE08 BH07 BH93 BP12 BP31 BP93 BP96
 5F033 HH04 QQ09 QQ13 QQ25 QQ35 QQ37 RR01 RR04 RR06 SS03
 SS15 TT02 TT08 VV06 VV10 XX09
 5F038 AC05 AC11 EZ14 EZ15 EZ20
 5F140 AA01 AA10 BF04 BF11 BF18 BF60 BG08 BG12 BG14 BH14
 BJ01 BJ08 BJ27 BK02 BK13 BK24 BK26 CC01 CC02 CC03
 CF04 CF05