

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3737240号

(P3737240)

(45) 発行日 平成18年1月18日(2006.1.18)

(24) 登録日 平成17年11月4日(2005.11.4)

(51) Int. Cl.

F I

HO 1 L 21/822 (2006.01)
 HO 1 L 27/04 (2006.01)
 HO 1 L 21/8238 (2006.01)
 HO 1 L 27/092 (2006.01)
 HO 3 K 19/094 (2006.01)

HO 1 L 27/04 F
 HO 1 L 27/08 3 2 1 L
 HO 3 K 19/094 D

請求項の数 1 (全 9 頁)

(21) 出願番号 特願平9-106877
 (22) 出願日 平成9年4月24日(1997.4.24)
 (65) 公開番号 特開平10-303370
 (43) 公開日 平成10年11月13日(1998.11.13)
 審査請求日 平成16年4月19日(2004.4.19)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100072604
 弁理士 有我 軍一郎
 (72) 発明者 齋藤 美寿
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 淵 真悟

(56) 参考文献 特開平08-227580(JP,A)
 特開平09-027735(JP,A)
 特開平05-347550(JP,A)

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

低しきい値トランジスタで構成される低しきい値回路と、
 ソースを高電位電源に接続し、ドレインを前記低しきい値回路の高電位電源供給ノード
 に接続した低しきい値の第一のPMOSトランジスタと、

ソースを前記高電位電源よりも高電位の電源に接続し、ドレインを前記第一のPMOS
 トランジスタのバックゲートに接続した低しきい値の第二のPMOSトランジスタと、
 前記第一のPMOSトランジスタのバックゲートと前記高電位電源との間に挿入された
 抵抗と、

ソースを低電位電源に接続し、ドレインを前記低しきい値回路の低電位電源供給ノード
 に接続した低しきい値の第一のNMOSトランジスタと、

ソースを前記低電位電源よりも低電位の電源に接続し、ドレインを前記第一のNMOS
 トランジスタのバックゲートに接続した低しきい値の第二のNMOSトランジスタと、
 前記第一のNMOSトランジスタのバックゲートと前記低電位電源との間に挿入された
 抵抗とを備え、

第一の相補信号により前記第一のPMOSトランジスタと前記第一のNMOSトランジ
 スタのオンオフを制御し、

第二の相補信号により前記第二のPMOSトランジスタと前記第二のNMOSトランジ
 スタのオンオフを制御することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

10

20

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、半導体集積回路装置に関し、特に高速化と省電力性の両立を意図した半導体集積回路装置に関する。

近年、CPUの高速化が目覚ましく、クロックスピード200MHz超のものも実用化されている。こうしたCPUの性能をフルに引き出すためには周辺回路の高速化が不可欠であるが、単に高速化しただけではクロック周波数に比例(式 1 参照)して電力消費が増え、特にバッテリー駆動の機器にとっては不都合を否めない。

【 0 0 0 2 】

電力消費 = クロック周波数 × 負荷容量 × 電源電圧 …… 1

10

【 0 0 0 3 】

【 従来技術 】

式 1 より、電源電圧を下げることは省電力化に有効である。実際に可搬型のOA機器では3.3V程度の低電源電圧を採用するケースが多い。しかし、単に低電源電圧化しただけでは回路の動作スピードが落ちて高速性が損なわれることから、例えば、低しきい値のトランジスタで回路(以下、低しきい値回路と呼ぶことにする)を構成することが行われるが、低しきい値トランジスタはサブスレッショルド電流(1)が大きいという欠点があるため、今度は省電力性が損なわれてしまい、結局、高速化と省電力性を両立できない。 1 : ゲート電圧がしきい値電圧以下で、しかも表面が弱反転状態のときに流れるチャンネル電流のこと。典型的なMOSトランジスタではしきい値が0.1V低下するとサブスレッショルド電流が10倍増える。

20

【 0 0 0 4 】

高速化と省電力性の両立を意図した従来の半導体集積回路装置として、例えば、以下のものが知られている。

(1) マルチスレッショルド方式と呼ばれるもの(図6参照)

特開平6-29834号公報には、低しきい値回路1に対して、高電位電源線Vccから第1の高しきい値トランジスタ2を介して電源を供給すると共に、低電位電源線Vssから第2の高しきい値トランジスタ3を介して電源を供給する構成が示されている。第1の高しきい値トランジスタ2はPMOSトランジスタ、第2の高しきい値トランジスタ3はNMOSトランジスタであり、各トランジスタのゲートには一対の相補制御信号CTa、CTaバーが加えられている。

30

【 0 0 0 5 】

このような構成において、CTaをLレベル、CTaバーをHレベルにすると、第1及び第2の高しきい値トランジスタ2、3が共にオンし、低しきい値回路1にVcc、Vssが供給され、低しきい値回路1は動作を開始する。記述のとおり、低しきい値回路1の欠点はスタンバイ時の電力消費が大きいことであるが、この欠点はCTaをHレベル、CTaバーをLレベルにすることにより解消される。第1の高しきい値トランジスタ2と第2の高しきい値トランジスタ3が完全にオフし(しきい値が高くサブスレッショルド電流が流れないため)低しきい値回路1への電源供給が絶たれるからである。

(2) 基板電位コントロール方式と呼ばれるもの(図7参照)

40

特開昭60-229363号公報には、論理回路4(図では便宜的に基本的な論理回路であるCMOSインバータゲートを多段に接続した例を示してある)を構成するPMOSトランジスタ5、6とNMOSトランジスタ7、8のそれぞれの基板電位(2)を制御する第1及び第2の基板電位制御部9、10を備えた構成が示されている。Vbpは第1の基板電位制御部9で作られたPMOSトランジスタ5、6の基板電位であり、Vbnは第2の基板電位制御部10で作られたNMOSトランジスタ7、8の基板電位である。 2 : MOSトランジスタのソース電位Vsを0Vとしてチャンネル中の一点から見ると、ゲート電位の正ポテンシャルはチャンネルをターンオンさせるが、基板電位Vbは通常の動作条件において逆バイアスとなり、MOSトランジスタをターンオフさせる。なぜならVbはNMOSトランジスタにおいてVsよりも負であるからである。このため、基板はしばし

50

ば、第2のゲート（あるいはバックゲート）とみなされる。すなわち、 V_b を増すとトランジスタは導通性を減じ、しきい値電圧を増加させる結果、トランジスタのエンハンスメントしきい値を増大させるように作用する。逆に V_b を減じるとトランジスタは導通性を増し、しきい値電圧を減少させる結果、トランジスタのエンハンスメントしきい値を低下させるように作用する。

【0006】

このような構成において、 V_{bp} を低く V_{bn} を高くすれば、論理回路4の各MOSトランジスタ5～8のしきい値が低くなり、低しきい値回路として動作して高速性が確保される一方、 V_{bp} を高く V_{bn} を低くすれば、論理回路4の各MOSトランジスタ5～8のしきい値が高くなり、サブスレッショルド電流を抑制して省電力性が確保され、結局、高速化と省電力性の両立が図られる。

10

【0007】

【発明が解決しようとする課題】

しかしながら、上述のマルチスレッショルド方式と基板電位コントロール方式は、高速化と省電力性の両立を図ることができる点で有益なものの、例えば、プロセスコストやレイアウト面積、あるいは、論理回路の動作開始までのロスタイムに着目すると未だ不十分であり、解決すべき技術課題がある。

【0008】

すなわち、マルチスレッショルド方式にあっては、低しきい値と高しきい値の2種類のトランジスタを作り込む必要があり、プロセスコストのアップを招くうえ、高しきい値のトランジスタは飽和電流が少なく応答性に欠けるため、高速性確保の点から必然的に高しきい値トランジスタのサイズ（特にチャネル幅）を大きくしなければならないが、そうするとレイアウト面積の増大を招くという不都合があるし、また、基板電位コントロール方式にあっては、論理回路全体の基板電位をコントロールするため、大きな基板容量を充放電しなければならないが、したがって、基板電位の切り換え時間が長くなって論理回路の動作開始までのロスタイムが大きくなるという不都合がある。

20

【0009】

そこで、本発明は、高速化と省電力性の両立を図りつつ、プロセスコストとレイアウト面積を削減でき、しかも論理回路の動作開始までのロスタイムも少なくできる有益な回路技術の提供を目的とする。

30

【0010】

【課題を解決するための手段】

請求項1記載の発明に係る半導体集積回路装置は、低しきい値トランジスタで構成される低しきい値回路と、ソースを高電位電源に接続し、ドレインを前記低しきい値回路の高電位電源供給ノードに接続した低しきい値の第一のPMOSトランジスタと、ソースを前記高電位電源よりも高電位の電源に接続し、ドレインを前記第一のPMOSトランジスタのバックゲートに接続した低しきい値の第二のPMOSトランジスタと、前記第一のPMOSトランジスタのバックゲートと前記高電位電源との間に挿入された抵抗と、ソースを低電位電源に接続し、ドレインを前記低しきい値回路の低電位電源供給ノードに接続した低しきい値の第一のNMOSトランジスタと、ソースを前記低電位電源よりも低電位の電源に接続し、ドレインを前記第一のNMOSトランジスタのバックゲートに接続した低しきい値の第二のNMOSトランジスタと、前記第一のNMOSトランジスタのバックゲートと前記低電位電源との間に挿入された抵抗とを備え、第一の相補信号により前記第一のPMOSトランジスタと前記第一のNMOSトランジスタのオンオフを制御し、第二の相補信号により前記第二のPMOSトランジスタと前記第二のNMOSトランジスタのオンオフを制御することを特徴とするものである。

40

【0011】

これによれば、第2のPMOS及びNMOSトランジスタからなる基板電位制御手段により、第1のPMOSトランジスタの基板電位を高く制御すると共に第1のNMOSトランジスタの基板電位を低く制御すれば、第1のPMOSトランジスタと第1のNMOSト

50

ランジスタのしきい値が高くなり、第1のPMOSトランジスタと第1のNMOSトランジスタを完全にオフさせて低しきい値回路への電源供給を遮断し省電力性を確保できる。

【0012】

しかも、非制御時における第1のPMOSトランジスタと第1のNMOSトランジスタの基板電位を低しきい値回路の各トランジスタの基板電位に一致させれば、これら第1及び第2のPMOSトランジスタと第1及び第2のNMOSトランジスタを低しきい値トランジスタとして作り込むことができ、1種類のトランジスタで済むため、プロセスコストを削減できるうえ、低しきい値トランジスタとして動作する際の第1のPMOSトランジスタと第1のNMOSトランジスタの飽和電流は大きく応答性も良好であるから、小サイズでよく、レイアウト面積も削減できる。また、基板電位は二つのトランジスタ（第1のPMOSトランジスタと第1のNMOSトランジスタ）だけを制御すればよく、基板容量がきわめて小さいから、電位の切り換えを速やかに行うことができ、低しきい値回路の動作開始までのロスタイムを大幅に短縮できる。

10

【0013】

【発明の実施の形態】

以下、本発明の実施例を図面に基づいて説明する。

図1は本発明に係る半導体集積回路装置の一実施例を示す図である。

まず、構成を説明する。図1において、20は低しきい値のMOSトランジスタで構成した論理回路（以下、低しきい値回路）であり、低しきい値回路20の高電位電源供給ノード21と低電位電源供給ノード22には、それぞれ第1の電位供給回路23と第2の電源供給回路24を介して高電位電源 V_{cc} と低電位電源 V_{ss} がオンオフ可能に供給されている。

20

【0014】

第1の電源供給回路23は、ソースを V_{cc} に接続しドレインを低しきい値回路20の高電位電源供給ノード21に接続した低しきい値の第1のPMOSトランジスタ25と、ソースを V_{cc} よりも高電位の電源 V_{cc} に接続しドレインを第1のPMOSトランジスタ25の基板（バックゲート）に接続した第2のPMOSトランジスタ26と、第1のPMOSトランジスタ25のバックゲートと V_{cc} の間に挿入された抵抗27とを備え、また、第2の電源供給回路24は、ソースを V_{ss} に接続しドレインを低しきい値回路20の低電位電源供給ノード22に接続した低しきい値の第1のNMOSトランジスタ28と、ソースを V_{ss} よりも低電位の電源 V_{ss} に接続しドレインを第1のNMOSトランジスタ28の基板（バックゲート）に接続した第2のNMOSトランジスタ29と、第1のNMOSトランジスタ28のバックゲートと V_{ss} の間に挿入された抵抗30とを備えている。第2のPMOSトランジスタ26と抵抗27は請求項1に記載の第1の基板電位制御手段を構成し、第2のNMOSトランジスタ29と抵抗30は請求項1に記載の第2の基板電位制御手段を構成する。

30

【0015】

なお、CTaとCTaバーは第1のPMOSトランジスタ25と第1のNMOSトランジスタ28のオンオフを制御する相補信号、CTbとCTbバーは第2のPMOSトランジスタ26と第2のNMOSトランジスタ29のオンオフを制御する相補信号である。

40

このような構成において、CTbをHレベル（CTbバーをLレベル）にすると、第2のPMOSトランジスタ26と第2のNMOSトランジスタ29がオフし、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28の基板電位は、それぞれ抵抗27、30を通して V_{cc} 、 V_{ss} で与えられ、低しきい値トランジスタとして動作することになる。したがって、この状態で、CTaをLレベル（CTaバーをHレベル）にすれば、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28がオンし、低しきい値回路20に V_{cc} と V_{ss} が供給される。

【0016】

一方、CTbをLレベル（CTbバーをHレベル）にすると、第2のPMOSトランジスタ26と第2のNMOSトランジスタ29がオンし、第1のPMOSトランジスタ25と

50

第1のNMOSトランジスタ28の基板電位は、それぞれ V_{cc} 、 V_{ss} で与えられ、 $V_{cc} > V_{cc}$ 、 $V_{ss} < V_{ss}$ であるから、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28は高しきい値トランジスタとして動作（すなわちサブスレッショルド電流が少ない）することになる。したがって、この状態で、CTaをHレベル（CTaバーをLレベル）にすれば、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28が完全にオフし、低しきい値回路20への電源供給が遮断される。

【0017】

以上述べたように、本実施例によれば、低しきい値回路20の動作時には第1のPMOSトランジスタ25と第1のNMOSトランジスタ28を低しきい値トランジスタとして動作させて高速性を確保できると共に、低しきい値回路20の非動作時（スタンバイ時）には第1のPMOSトランジスタ25と第1のNMOSトランジスタ28を高しきい値トランジスタとして動作させて省電力性を確保でき、高速性と省電力性の両立を図ることができるという効果に加え、以下に述べる（イ）～（ハ）の有利な効果を奏することができる。

10

【0018】

すなわち、（イ）第1及び第2のPMOSトランジスタ25、26と第1及び第2のNMOSトランジスタ28、29を低しきい値トランジスタとして作り込むことができ、したがって、1種類のトランジスタでよいから、プロセスコストを削減できる、（ロ）低しきい値トランジスタとして動作する際の第1のPMOSトランジスタ25と第1のNMOSトランジスタ28の飽和電流は十分に大きく、応答性が良好であるから、小サイズで済み、レイアウト面積も削減できる、（ハ）基板電位の制御は、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28のバックゲートだけであるから、制御対象の基板容量がきわめて小さく、電位の切り換えを速やかに行うことができ、低しきい値回路20の動作開始までのロスタイムを局限することができる、という従来技術にない格別な効果が得られる。

20

【0019】

なお、本実施例では、低しきい値回路20の構成を特に限定していないが、要は、低しきい値のMOSトランジスタで構成された論理回路であればよく、簡単なもの（1段のCMOSインバータゲート）から複雑なものまで幅広く適用できる。

例えば、図2に示すように、並列接続した n 個（図では2個）の低しきい値のPMOSトランジスタ31、32と、直列接続した n 個の低しきい値のNMOSトランジスタ33、34を備え、PMOSトランジスタ31のゲートとNMOSトランジスタ33のゲートに第1入力（A）を加えると共に、PMOSトランジスタ32のゲートとNMOSトランジスタ34のゲートに第 n 入力（B）を加え、PMOSトランジスタ32のドレインとNMOSトランジスタ33のドレインから出力（X）を取り出すようにしたNAND型の論理回路に適用してもよい。

30

【0020】

又は、図3に示すように、直列接続した n 個（図では2個）の低しきい値のPMOSトランジスタ35、36と、並列接続した n 個の低しきい値のNMOSトランジスタ37、38を備え、PMOSトランジスタ35のゲートとNMOSトランジスタ37のゲートに第1入力（A）を加えると共に、PMOSトランジスタ36のゲートとNMOSトランジスタ38のゲートに第 n 入力（B）を加え、PMOSトランジスタ36のドレインとNMOSトランジスタ38のドレインから出力（X）を取り出すようにしたNOR型の論理回路に適用してもよい。

40

【0021】

又は、図4に示すように、直列接続した m 段（ m は奇数）の低しきい値のCMOSインバータゲート39～42の1段目入力と m 段目出力とを接続すると共に、 m 段目出力をバッファ43（低しきい値のCMOSインバータゲート）から取り出すようにしたいわゆるリングオシレータにも適用できる。

又は、図5に示すように、1個のPMOSトランジスタ44と n 個（図では3個）のNM

50

OSトランジスタ45～47を直列接続して構成し、スタンバイ時にはイネーブル信号をLレベルにしてPMOSTトランジスタ44をオン状態にし、n個の入力(A～C)のすべてがHレベルのときに出力(X)をLレベルにする、例えばメモリのワードデコーダに用いられるダイナミックNAND型の論理回路にも適用できる(但しこの場合はVcc側の電源供給回路23は不要である)。

【0022】

なお、図1の抵抗27、30をMOSTトランジスタで構成してもよい。すなわち、抵抗27の代わりにPMOSTトランジスタのソース・ドレイン抵抗を利用すると共に、抵抗30の代わりにNMOSTトランジスタのソース・ドレイン抵抗を利用してもよい。又は、PMOSTトランジスタのゲートにCTbバーを加えると共に、NMOSTトランジスタのゲートにCTbを加えれば、PMOS26がオンするときにはこの追加したPMOSTトランジスタがオフし、NMOS29がオンするときにはこの追加したNMOSTトランジスタがオフするので望ましい。

10

【0023】

【発明の効果】

本発明によれば、高速化と省電力性の両立を図りつつ、プロセスコストとレイアウト面積を削減でき、しかも論理回路の動作開始までのロスタイムも少なくできる有益な回路技術を提供できる。

【図面の簡単な説明】

【図1】一実施例の構成図である。

20

【図2】一実施例の低しきい値回路の構成図(NAND型)である。

【図3】一実施例の低しきい値回路の構成図(NOR型)である。

【図4】一実施例の低しきい値回路の構成図(リングオシレータ)である。

【図5】一実施例の低しきい値回路の構成図(ダイナミックNAND型)である。

【図6】従来例の構成図(マルチスレッシュولد方式)である。

【図7】従来例の構成図(基板電位コントロール方式)である。

【符号の説明】

Vcc：高電位電源線

Vss：低電位電源線

20：低しきい値回路

30

21：高電位電源供給ノード

22：低電位電源供給ノード

25：第1のPMOSTトランジスタ(PMOSTトランジスタ)

26：第2のPMOSTトランジスタ(第1の基板電位制御手段)

27：抵抗(第1の基板電位制御手段)

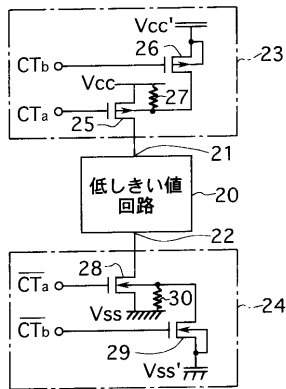
28：第1のNMOSTトランジスタ(NMOSTトランジスタ)

29：第2のNMOSTトランジスタ(第2の基板電位制御手段)

30：抵抗(第2の基板電位制御手段)

【 図 1 】

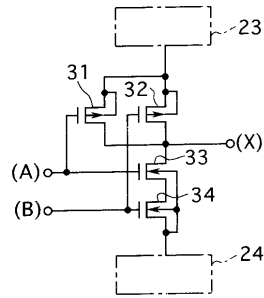
一実施例の構成図



- Vcc : 高電位電源線
- Vss : 低電位電源線
- 20 : 低しきい値回路
- 21 : 高電位電源供給ノード
- 22 : 低電位電源供給ノード
- 25 : 第1のPMOSトランジスタ(PMOSトランジスタ)
- 26 : 第2のPMOSトランジスタ(第1の基板電位制御手段)
- 27 : 抵抗(第1の基板電位制御手段)
- 28 : 第1のNMOSトランジスタ(NMOSトランジスタ)
- 29 : 第2のNMOSトランジスタ(第2の基板電位制御手段)
- 30 : 抵抗(第2の基板電位制御手段)

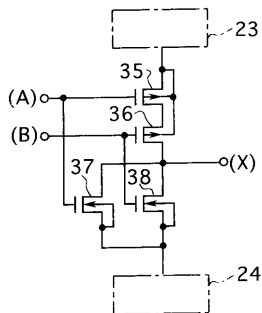
【 図 2 】

一実施例の低しきい値回路の構成図 (NAND型)



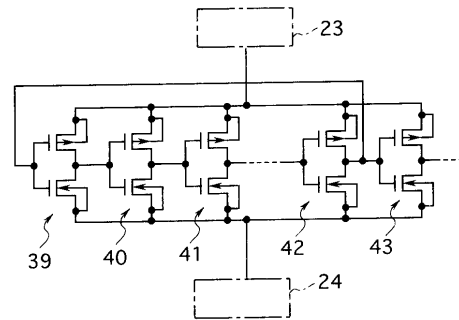
【 図 3 】

一実施例の低しきい値回路の構成図 (NOR型)



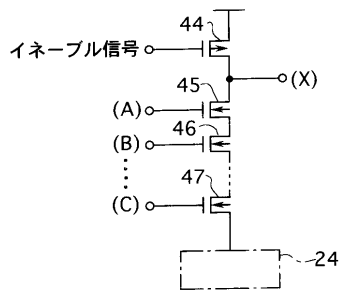
【 図 4 】

一実施例の低しきい値回路の構成図 (リングオシレータ)



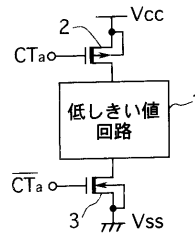
【 図 5 】

一実施例の低しきい値回路の構成図
(ダイナミックNAND型)



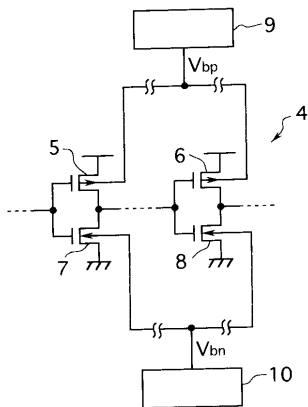
【 図 6 】

従来例の構成図
(マルチスレッシュヨルド方式)



【 図 7 】

従来例の構成図
(基板電位コントロール方式)



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H01L 21/822

H01L 21/8238

H01L 27/04

H01L 27/092

H03K 19/094