



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 50 918 B4** 2004.07.15

(12)

Patentschrift

(21) Aktenzeichen: **197 50 918.5**
(22) Anmeldetag: **17.11.1997**
(43) Offenlegungstag: **19.11.1998**
(45) Veröffentlichungstag
der Patenterteilung: **15.07.2004**

(51) Int Cl.7: **H01L 27/108**
H01L 21/8242

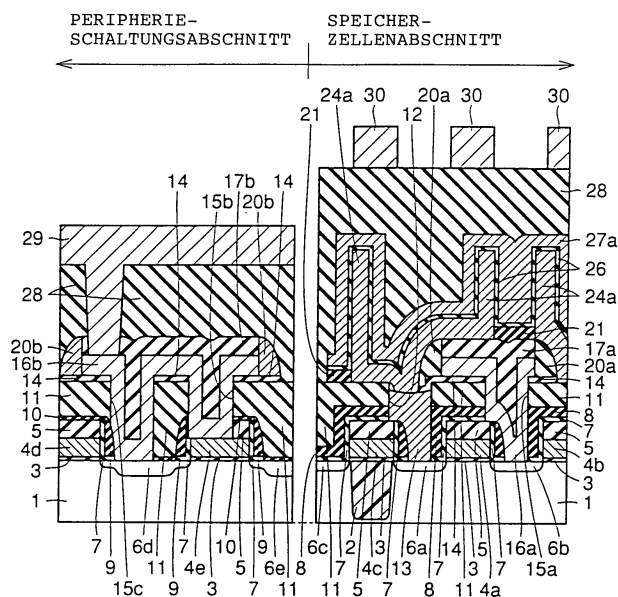
Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
9-125257 15.05.1997 JP
(71) Patentinhaber:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
(74) Vertreter:
PRÜFER & PARTNER GbR, 81545 München

(72) Erfinder:
Shinkawata, Hiroki, Tokio/Tokyo, JP
(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 197 29 602 A1
US 56 02 051

(54) Bezeichnung: **Halbleitereinrichtung mit Bitleitung und Kondensatorelektrode und zugehöriges Herstellungsverfahren**

(57) Hauptanspruch: Halbleitereinrichtung, mit einem Paar aus einem ersten und einem zweiten Source/Drainbereich (6b, 6a), das räumlich getrennt mit einem Kanalbereich dazwischen an einer Hauptoberfläche eines Halbleiterbereiches (1) gebildet ist;
einer Gate-Elektrode (4a), die auf dem Kanalbereich gebildet ist;
einer ersten Ätzstopperschicht (8) aus einer Isolierschicht, die oberhalb der Gate-Elektrode (4a) gebildet ist;
einer ersten Zwischenschicht-Isolierschicht (11), die auf der ersten Ätzstopperschicht (8) gebildet ist;
einer ersten Isolierschicht (14), die auf der ersten Zwischenschicht-Isolierschicht (11) gebildet ist;
einer Bitleitungsöffnung (15a), die in einem Bereich der ersten Isolierschicht (14), der ersten Zwischenschicht-Isolierschicht (11) und der ersten Ätzstopperschicht (8) gebildet ist, welcher sich auf dem ersten Source/Drainbereich (6b) befindet;
einer ersten Kondensatoröffnung (12), die in einem Bereich der ersten Zwischenschicht-Isolierschicht (11) und der ersten Ätzstopperschicht (8) gebildet ist, welcher sich auf dem zweiten Source/Drainbereich (6a) befindet;
einer Bitleitung (16a), die auf der ersten Isolierschicht (14) gebildet...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich allgemein auf eine Halbleitereinrichtung mit Bitleitung und Kondensatorelektrode und ein zugehöriges Herstellungsverfahren, und insbesondere auf eine Halbleitereinrichtung mit einem Kontaktloch und ein zugehöriges Herstellungsverfahren.

[0002] Ein DRAM (Dynamic Random Access Memory, Dynamischer Speicher mit wahlfreiem Zugriff) ist wohlbekannt als ein Halbleiterspeicher, was ein Typs von Halbleitereinrichtungen ist. **Fig. 35** ist eine Querschnittsansicht, die einen bei der Anmelderin vorhandenen DRAM zeigt. Es wird auf die **Fig. 35** Bezug genommen; eine Querschnittstruktur des bei der Anmelderin vorhandenen DRAM wird zuerst beschrieben.

Stand der Technik

[0003] In einem Speicherzellenabschnitt des bei der Anmelderin vorhandenen DRAM ist ein Isolierbereich **102** in einem vorgeschriebenen Bereich an der Hauptoberfläche eines Siliziumsubstrats **101** vorgesehen. Source/Drain-Bereiche **106a**, **106b** und **106c** sind in einem aktiven Bereich gebildet, der vom Trenn- bzw. Isolierbereich **102** umgeben ist. Auf einem Kanalbereich zwischen den Source/Drainbereichen **106a**, **106b** ist eine Gate-Elektrode **104a** mit einer Gateoxidschicht **103** dazwischen gebildet.

[0004] Die Gate-Elektroden **104b** und **104c** sind durch einen vorgeschriebenen Abstand von der Gate-Elektrode **104a** räumlich getrennt gebildet. Eine TEOS-Oxidschicht **105** ist gebildet zum Bedecken der oberen Oberfläche der Gate-Elektroden **104a** bis **104c**. Eine Seitenwand-Oxidschicht **107** ist derart gebildet, daß sie mit den Seitenoberflächen der Gate-Elektroden **104a** bis **104c** und der TEOS-Oxidschicht **105** in Kontakt steht.

[0005] Eine Siliziumnitridschicht **108** ist gebildet zum Bedecken der TEOS-Oxidschicht **105**, der Seitenwand-Oxidschicht **107** und der Source/Drain-Bereiche **106a** bis **106c**. Eine Zwischenschicht-Isolierschicht **109** ist auf der Siliziumnitridschicht **108** gebildet. Ein Bitleitungskontaktloch **160** ist im Bereich der Siliziumnitridschicht **108** und der Zwischenschicht-Isolierschicht **109** gebildet, der auf dem Source/Drainbereich **106b** gebildet ist. Eine Bitleitung **110a** ist derart gebildet, daß sie mit dem Source/Drainbereich **106b** durch das Bitleitungskontaktloch **160** elektrisch verbunden ist und sich auf die obere Oberfläche der Zwischenschicht-Isolierschicht **109** erstreckt.

[0006] Eine Zwischenschicht-Isolierschicht **111** ist auf der Bitleitung **110a** und der Zwischenschicht-Isolierschicht **109** gebildet. Ein Kondensatorkontaktloch **161** ist in dem Bereich der Siliziumnitridschicht **108** und der Zwischenschicht-Isolierschichten **109** und **111** gebildet, der sich auf dem Source/Drainbereich **106a** befindet. Eine dotierte polykristalline Silizium-

schicht **112** ist derart gebildet, daß sie mit dem Source/Drainbereich **106a** durch das Kondensatorkontaktloch **161** elektrisch verbunden ist und sich auf die obere Oberfläche der Zwischenschicht-Isolierschicht **111** erstreckt. Die dotierte polykristalline Siliziumschicht **112** weist einen senkrechten Teil **112a**, der elektrisch mit dem Source/Drainbereich **106a** verbunden ist und das Kontaktloch **161** füllt, und einen waagerechten Bereich **112b** auf, der einstückig mit diesem senkrechten Teil **112a** gebildet ist und als eine untere Kondensatorelektrode dient.

[0007] Eine Seitenwand **113** aus einer dotierten polykristallinen Siliziumschicht ist derart gebildet, daß sie in Kontakt zu beiden Seiten-Endoberflächen des waagerechten Teils **112b** kommt und sich senkrecht erstreckt. Auch die Seitenwand **113** dient als untere Kondensatorelektrode. Um die obere Oberfläche des waagerechten Teils **112b** und die Oberfläche der Seitenwand **113** zu bedecken, ist eine obere Kondensatorelektrode **115** darauf mit einer dielektrischen Kondensatorschicht **114** dazwischen gebildet. Die obere Kondensatorelektrode **115** weist eine dotierte polykristalline Siliziumschicht auf. Die untere Kondensatorelektrode **112b** und **113**, die dielektrische Kondensatorschicht **114** und die obere Kondensatorelektrode **115** bilden einen Kondensator. Eine Zwischenschicht-Isolierschicht **116** ist zum Bedecken des Kondensators gebildet. Auf der oberen Oberfläche der Zwischenschicht-Isolierschicht **116** sind Metallverbindungen **118** durch einen vorgeschriebenen Abstand räumlich getrennt gebildet.

[0008] Andererseits sind in einem Peripherie-Schaltungsabschnitt Source/Drainbereiche **106d** und **106e** räumlich durch einen vorgeschriebenen Abstand getrennt an der Hauptoberfläche des Siliziumsubstrats **101** gebildet. Auf einem Kanalbereich zwischen den Source/Drainbereichen **106d** und **106e** ist eine Gate-Elektrode **104e** mit einer Gateoxidschicht **103** dazwischen gebildet. Auf dem Bereich, der von der Gate-Elektrode **104e** durch den Source/Drainbereich **106d** getrennt ist, ist eine Gate-Elektrode **104d** mit einer Gateoxidschicht **103** dazwischen gebildet. Die TEOS-Oxidschicht **105** ist auf den oberen Oberflächen der Gate-Elektroden **104d** und **104e** gebildet. Die Seitenwand-Oxidschicht **107** ist derart gebildet, daß sie in Kontakt mit den Seitenoberflächen der Gate-Elektroden **104d** und **104e** und der TEOS-Oxidschicht **105** kommt.

[0009] Die Zwischenschicht-Isolierschicht **109** ist zum Bedecken der Source/Drainbereiche **106d**, **106e**, der Seitenwandoxidschicht **107** und der TEOS-Oxidschicht **105** gebildet. Ein Kontaktloch ist im Bereich der Zwischenschicht-Isolierschicht **109**, die sich auf dem Source/Drainbereich **106d** befindet, und im Bereich der Zwischenschicht-Isolierschicht **109**, die sich auf der Gate-Elektrode **104e** befindet, gebildet. Im Inneren dieser Kontaktlöcher ist eine Verbindungsschicht **110b** derart gebildet, daß sie elektrisch mit dem Source/Drainbereich **106d** und der Gate-Elektrode **104e** verbunden ist. Hier kann die

Verbindungsschicht **110b** entweder mit dem Source/Drainbereich **106d** oder mit der Gate-Elektrode **104e** verbunden sein. Die Zwischenschicht-Isolierschicht **111** ist zum Bedecken der Verbindungsschicht **110b** gebildet, und die Zwischenschicht-Isolierschicht **116** ist zum Bedecken dieser Zwischenschicht-Isolierschicht **111** gebildet. Ein Kontaktloch ist im Bereich der Zwischenschicht-Isolierschichten **111** und **116**, der sich auf einem Seitenende der Verbindungsschicht **110b** befindet, gebildet. Eine Metallverbindung **117** ist derart gebildet, daß sie durch das Kontaktloch elektrisch mit der Verbindungsschicht **110b** verbunden ist und sich entlang der Zwischenschicht-Isolierschicht **116** erstreckt.

[0010] Die Fig. 36 zeigt ein Layout in Draufsicht des gesamten Speicherzellenabschnittes des oben beschriebenen, bei der Anmelderin vorhandenen DRAM. Es wird auf die Fig. 36 Bezug genommen; im Speicherzellenabschnitt des bei der Anmelderin vorhandenen DRAM sind die Gate-Elektroden **104a** bis **104c** räumlich durch einen vorgeschriebenen Abstand derart getrennt gebildet, daß sie sich parallel erstrecken. In einer Richtung senkrecht zu den Gate-Elektroden **104a** bis **104c** sind die Bitleitungen **110a** räumlich durch einen vorgeschriebenen Abstand derart getrennt gebildet, daß sie sich fast parallel erstrecken. Die Bitleitung **110a** ist mit dem Source/Drainbereich **106b** in einem aktiven Bereich **170** durch das Bitleitungskontaktloch **160** verbunden. Die dotierte polykristalline Siliziumschicht **112**, die als untere Kondensatorelektrode dient, ist mit dem Source/Drainbereich **106a** im aktiven Bereich **170** durch das Kondensatorkontaktloch **161** verbunden.

[0011] Die Fig. 37 bis 53 sind Querschnittsansichten, die einen Herstellungsprozeß des in Fig. 35 gezeigten, bei der Anmelderin vorhandenen DRAM veranschaulicht. Unter Bezugnahme auf die Fig. 37 bis 53 wird der Herstellungsprozeß des bei der Anmelderin vorhandenen DRAM wie folgt beschrieben.

[0012] Zuerst wird der Isolierbereich **102** an der Hauptoberfläche des Siliziumsubstrats **101** im Speicherzellenabschnitt, wie in Fig. 37 gezeigt, gebildet. Auf der Hauptoberfläche des Siliziumsubstrats **101** werden die Gateoxidschichten **103** durch einen vorgeschriebenen Abstand räumlich getrennt gebildet. Die entsprechenden Gate-Elektroden **104a**, **104b** und **104c** werden auf den Gateoxidschichten **103** gebildet. Auch im Peripherie-Schaltungsabschnitt werden die Gate-Elektroden **104d** und **104e** entsprechend auf den Gateoxidschichten **103** gebildet. Durch Ionenimplantieren eines Dotierstoffes in das Siliziumsubstrat **101**, während die Gate-Elektroden **104a** bis **104e** als eine Maske verwendet werden, werden die Source/Drainbereiche **106a** bis **106e** gebildet.

[0013] Die TEOS-Oxidschicht **105** wird auf den oberen Oberflächen der Gate-Elektroden **104a** bis **104e** gebildet. Die Seitenwandoxidschicht **107** wird derart gebildet, daß sie in Kontakt mit den Seitenoberflächen der Gate-Elektroden **104a** bis **104e** und der

TEOS-Oxidschicht **105** kommt. Durch erneutes Ionenimplantieren eines Dotierstoffes in die Source/Drainbereiche **106d** und **106e** werden, während die Seitenwandoxidschicht **107** im Peripherie-Schaltungsabschnitt als eine Maske verwendet wird, die Source/Drainbereiche **106d** und **106e** der LDD-(Lightly Doped Drain; Schwach dotiertes Drain) Struktur vervollständigt.

[0014] Dann wird die Siliziumnitridschicht **108** als eine Ätzstopperschicht zum Bedecken des gesamten Speicherzellenabschnittes, wie in Fig. 38 gezeigt, gebildet. Die Zwischenschicht-Isolierschicht **109**, die eine Siliziumoxidschicht aufweist, wird zum Bedecken der Siliziumnitridschicht **108** und des gesamten Peripherie-Schaltungsabschnittes gebildet.

[0015] Danach werden die Kontaktlöcher **109a** bis **109c**, wie in Fig. 39 gezeigt, durch Photolithographie und Trockenätzen gebildet. Beim Ätzen zum Bilden des Kontaktloches **109a** im Speicherzellenabschnitt dient die Siliziumnitridschicht **108** als eine Ätzstopperschicht. Dann wird die Siliziumnitridschicht **108** im Kontaktloch **109a** durch Ätzen entfernt und das Bitleitungskontaktloch **160** von der oberen Oberfläche der Zwischenschicht-Isolierschicht **109** zum Source/Drainbereich **106b** wird, wie in Fig. 40 gezeigt, gebildet. Danach wird die Verbindungsschicht **110** z. B. aus einer Wolfram-Polyzidschicht, wie in Fig. 41 gezeigt, gebildet. Durch Bemustern dieser Verbindungsschicht **110** werden die Bitleitung **110a** des Speicherzellenabschnittes und die Verbindungsschicht **110b** des Peripherie-Schaltungsabschnittes, wie in Fig. 42 gezeigt, gebildet.

[0016] Dann wird eine Zwischenschicht-Isolierschicht **111** zum Bedecken der gesamten Oberfläche, wie in Fig. 43 gezeigt, gebildet. Wie in Fig. 44 gezeigt, wird eine polykristalline Siliziumschicht **150** auf der Zwischenschicht-Isolierschicht **111** gebildet, und dann wird eine TEOS-Oxidschicht **151** auf der polykristallinen Siliziumschicht **150** gebildet. Danach wird eine Öffnung **151a** in einem vorbestimmten Bereich der TEOS-Oxidschicht **151** gebildet.

[0017] Nachdem eine TEOS-Oxidschicht (nicht gezeigt) zum Bedecken der TEOS-Oxidschicht **151** und der Öffnung **151a** gebildet ist, wird die TEOS-Oxidschicht **151** einem anisotropen Ätzen unterzogen zum Bilden einer Seitenwandschicht **152**, wie in Fig. 45 gezeigt. Durch Verwenden der Seitenwandschicht **152** als eine Maske und durch Ätzen der polykristallinen Siliziumschicht **150**, die sich unter der Seitenwandschicht befindet, kann eine Öffnung **150a**, die kleiner ist im Durchmesser als die Öffnung **151a**, in einer Dicke von zwei Seitenwänden **152** gebildet werden. Durch anisotropes Ätzen der Zwischenschicht-Isolierschichten **111** und **109**, die sich unterhalb befinden, durch diese Öffnung **150a** wird das Kondensator-Kontaktloch **161**, wie in Fig. 46 gezeigt, gebildet.

[0018] Danach wird ein Resist **153** in das Kondensatorkontaktloch **161** gefüllt. Dieser Resist **153** ist zum Schützen der Oberfläche des Siliziumsubstrats

101 vorgesehen, die sich auf dem Boden des Kondensator-Kontaktloches **161** befindet, wenn die polykristalline Siliziumschicht **150** durch Ätzen in einem nachfolgenden Prozeß entfernt wird. Die polykristalline Siliziumschicht **150** wird entfernt, während dieser Resist **153** vorgesehen ist. Wie in der **Fig. 47** gezeigt ist, wird dann die dotierte polykristalline Siliziumschicht **112** gebildet, die das Kondensator-Kontaktloch **161** füllt und sich entlang der oberen Oberfläche der Zwischenschicht-Isolierschicht **111** erstreckt. Eine BPSG-Oxidschicht **154** wird auf der polykristallinen Siliziumschicht **112** gebildet.

[0019] Danach werden die BPSG-Oxidschicht **154** und die dotierte polykristalline Siliziumschicht **112** durch Photolithographie und Trockenätzen bemustert zum Erhalten der Form des Speicherzellenabschnittes, wie in der **Fig. 48** gezeigt ist. Dann wird eine dotierte polykristalline Siliziumschicht **113**, wie in der **Fig. 49** gezeigt, gebildet zum Bedecken der BPSG-Oxidschicht **154** und der Zwischenschicht-Isolierschicht **111**. Durch anisotropes Ätzen der polykristallinen Siliziumschicht **113** wird eine Seitenwand **113a** einer dotierten polykristallinen Siliziumschicht, wie in der **Fig. 50** gezeigt, gebildet. Danach wird die BPSG-Oxidschicht **154** entfernt zum Erhalten der Form, wie in der **Fig. 51** gezeigt.

[0020] Dann werden, wie in der **Fig. 52** gezeigt ist, die dielektrische Kondensatorschicht **114** und die dotierte polykristalline Siliziumschicht **115**, die als obere Kondensatorelektrode dient, zum Bedecken der dotierten polykristallinen Siliziumschicht **112**, der Seitenwand **113a** und der Zwischenschicht-Isolierschicht **111** gebildet. Durch Bemustern der dielektrischen Kondensatorschicht **114** und der dotierten polykristallinen Siliziumschicht **115** wird dann die Kondensatorstruktur, wie in **Fig. 53** gezeigt, gebildet.

[0021] Danach wird die Zwischenschicht-Isolierschicht **116** auf der Zwischenschicht-Isolierschicht **111** des Peripherie-Schaltungsabschnittes und auf der oberen Kondensatorelektrode **115** des Speicherzellenabschnittes, wie in **Fig. 35** gezeigt, gebildet. Ein Kontaktloch wird im Bereich der Zwischenschicht-Isolierschichten **116** und **111** des Peripherie-Schaltungsabschnittes, der sich auf der Verbindungsschicht **110b** befindet, gebildet. Dann wird die Metallverbindung **117** gebildet, die das Kontaktloch füllt und sich entlang der oberen Oberfläche der Zwischenschicht-Isolierschicht **116** erstreckt. Auch im Speicherzellenabschnitt werden die Metallverbindungen **118** räumlich getrennt durch einen vorgeschriebenen Abstand auf der Zwischenschicht-Isolierschicht **116** gebildet. Auf diese Weise wird der bei der Anmelderin vorhandene DRAM gebildet.

[0022] Im bei der Anmelderin vorhandenen DRAM, wie in der **Fig. 35** gezeigt, ist eine Verringerung im Speicherzellenabschnitt erforderlich, wenn eine Halbleitereinrichtung in einem höheren Maße integriert wird. In diesem Fall müssen das Kondensatorkontaktloch **161** und das Bitleitungskontaktloch **160** in einem sehr kleinen aktiven Bereich gebildet wer-

den. Um diese Anforderungen zu erfüllen, wurde eine Technik zum Öffnen eines Kontaktloches in einer selbstausrichtenden Art erforderlich. Als ein derartiges Verfahren der selbstausgerichteten Kontaktöffnung ist ein Kontaktöffnungsverfahren wohlbekannt, das eine Siliziumnitridschicht als einen Ätzstopper verwendet.

[0023] In der in **Fig. 35** gezeigten Struktur wird das Bitleitungskontaktloch **160** durch das oben erwähnte Verfahren der selbstausgerichteten Kontaktöffnung einer Siliziumnitridschicht gebildet. Speziell wird, wie in der **Fig. 38** gezeigt, die Siliziumnitridschicht **108** gebildet und danach wird die Zwischenschicht-Isolierschicht **109** aus einer Siliziumoxidschicht darauf gebildet. Durch Ätzen des Abschnitts der Zwischenschichtisolierschicht **109**, der sich oberhalb des Source/Drainbereiches **106b** befindet, während die Siliziumnitridschicht **108** als die Ätzstopperschicht, wie in der **Fig. 39** gezeigt ist, verwendet wird, wird das Kontaktloch **109a** in einer selbstausrichtenden Art gebildet. Danach wird die Nitridschicht **108** im Kontaktloch **109a** entfernt zum Bilden eines Bitleitungskontaktloches **160**, wie in der **Fig. 40** gezeigt ist. Das Verfahren der selbstausgerichteten Kontaktöffnung wurde unter Verwenden der Siliziumnitridschicht **108** zum Bilden des Bitleitungskontaktloches **160** verwendet.

[0024] Jedoch ist ein derartiges Öffnungsverfahren unter Verwenden der Siliziumnitridschicht **108** als eine Ätzstopperschicht nur anwendbar auf ein Kontaktloch, das eine geringere Tiefe als das in der **Fig. 39** gezeigte Kontaktloch **109a** hat, wegen folgender Gründe. D.h. obwohl das Trennverhältnis (Selektivität) einer Siliziumoxidschicht und einer Siliziumnitridschicht (eine Ätzrate der Siliziumoxidschicht/eine Ätzrate der Siliziumnitridschicht) theoretisch ungefähr **30** beträgt, schreitet das Ätzen in einem gestuften Teil schneller voran als in einem flachen Teil der Siliziumnitridschicht **108**. Daher wird das Trennverhältnis der Siliziumnitridschicht zur Siliziumoxidschicht auf ungefähr **10** bis **15** im gestuften Teil verringert.

[0025] Wenn ein Kontaktloch mit einer größeren Tiefe (größeres Geometrieverhältnis), wie z. B. der Kondensatorkontakt **161** geöffnet wird durch Verwenden einer Siliziumnitridschicht **108** als eine Ätzstopperschicht während ein derartiges Trennverhältnis genommen wird, dauert es eine längere Zeit, die Siliziumnitridschicht **108** zu ätzen, aufgrund eines Prozeß-Spielraums. Daher wird, wenn ein Kontaktloch mit einer größeren Tiefe als das Kondensatorkontaktloch **161** geöffnet wird, der gestufte Teil der Siliziumnitridschicht **108** unter dem Loch vollständig beseitigt und die TEOS-Oxidschicht **105**, die sich auf der Gate-Elektrode **104** befindet, wird beseitigt. Auf diese Weise wird jene Gate-Elektrode **104c** freigelegt. Wenn die dotierte polykristalline Siliziumschicht **112**, die als die untere Kondensatorelektrode dient, im Kondensatorkontaktloch **161** in diesem Fall gebildet wird, verursachen die dotierte polykristalline Siliziumschicht **112** und die Gate-Elektrode **104c** uner-

wünschter Weise einen Kurzschluß. Daher wurde das Verfahren der selbstausgerichteten Öffnung unter Verwenden der Siliziumnitridschicht 108 zum Bilden des Bitleitungskontaktloches **160**, das eine geringere Tiefe hat, angepaßt, und der in den **Fig. 44** bis **46** gezeigte Durchmesser-Verringerungs-Prozeß wurde zum Bilden des Kondensatorkontaktloches **161** verwendet.

[0026] Im oben erwähnten Durchmesser-Verringerungs-Prozeß, wird jedoch die Zahl der Schritte vergrößert und der Herstellungsprozeß wird kompliziert im Vergleich zum Verfahren der selbstausgerichteten Öffnung unter Verwenden eines Siliziumnitrid-Stoppers. Da die Verringerung des Kontaktdurchmessers des Kondensatorkontaktloches **161** erforderlich ist, wenn eine Speicherzelle kleiner wird, ist es technisch schwierig, ein Kontaktloch zu bilden, das eine größere Tiefe und einen kleineren Kontaktdurchmesser als die in der **Fig. 35** gezeigten hat.

[0027] Ferner wird, wenn der Speicherzellenabschnitt kleiner wird, der Raum zwischen benachbarten, in der **Fig. 36** gezeigten Bitleitungen **110a** enger. Wenn der Raum zwischen den Bitleitungen **110a** enger ist, wird die Kapazität zwischen Bitverbindungen (C_b) größer, was das Datenlesen und -schreiben verzögert. Als eine Folge wird der Hochgeschwindigkeitszugriff schwierig. In der in der **Fig. 36** gezeigten Struktur befindet sich der seitliche Teil **112a** der dotierten polykristallinen Siliziumschicht **112** zwischen benachbarten Bitleitungen **110a**. Da jedoch der äußere Durchmesser dieses seitlichen Teiles **112a** klein ist, verringert es nicht die Kapazität zwischen benachbarten Bitleitungen **110a**.

[0028] Aus der nachveröffentlichten DE 197 29 602 A1 mit älterem Zeitrang ist eine Halbleitereinrichtung zu entnehmen mit einem Paar aus einem ersten und einem zweiten Source/Drainbereich, einer Gate-Elektrode, einer ersten Ätzstopperschicht, einer ersten Zwischenschicht-Isolierschicht, einer Bitleitungsöffnung, einer ersten Kondensatoröffnung, einer Bitleitung, einer Pfropfelektrode und einer unteren Kondensatorelektrode.

Aufgabenstellung

[0029] Eine Aufgabe der vorliegenden Erfindung ist es, eine Struktur anzugeben, die eine einfache Herstellung eines Kondensatorkontaktloches und eine Verringerung der Kapazität zwischen Bitverbindungen in einer Halbleitereinrichtung zuläßt und ein Herstellungsverfahren einer Halbleitereinrichtung anzugeben, das die Schritte des Bildens eines Kondensatorkontaktloches in einer selbstausrichtenden Art und des einfachen Herstellens einer Struktur aufweist, die die Verringerung der Kapazität zwischen Bitverbindungen zuläßt.

[0030] Diese Aufgabe wird gelöst durch eine Halbleitereinrichtung nach Anspruch 1 bzw. 2 bzw. ein Herstellungsverfahren nach Anspruch 6 bzw. 7.

[0031] Weiterbildungen der Erfindung sind in den

Unteransprüchen angegeben.

[0032] In der Halbleitereinrichtung gemäß des Anspruches 1 ist, wie oben beschrieben, die erste Kondensatoröffnung in der ersten Zwischenschicht-Isolierschicht und der zweiten Ätzstopperschicht vorgesehen, in denen die Bitleitung gebildet ist, und die Pfropfelektrode ist in die erste Kondensatoröffnung gefüllt, so daß die erste Kondensatoröffnung mit demselben Geometrieverhältnis (Tiefe) wie die Bitleitungsöffnung gebildet werden kann. Deshalb kann die erste Kondensatoröffnung mit dem Verfahren der selbstausgerichteten Kontaktöffnung unter Verwenden der ersten Ätzstopperschicht gebildet werden. Demgemäß kann der Herstellungsprozeß einfacher gemacht werden als im Vergleich zu dem Fall, in dem der Durchmesser-Verringerungsprozeß zum Bilden einer Kondensatoröffnung verwendet wird, und der Kondensatorkontakt kann einfach gebildet werden, sogar wenn eine Speicherzelle kleiner wird. Durch Vorsehen der unteren Kondensatorelektrode, die die oberen und seitlichen Oberflächen der Bitleitung mit der sich dazwischen befindenden ersten Isolierschicht bedeckt, befindet sich die untere Kondensatorelektrode zwischen benachbarten Bitleitungen, was eine wesentliche Verringerung der Kapazität zwischen Bitverbindungen ermöglicht, verglichen mit einer Struktur, in der nur ein normaler Kontaktabschnitt zwischen benachbarten Bitleitungen angeordnet ist. Deshalb kann eine Verzögerung im Lesen und Schreiben von Daten von und in eine Speicherzelle verhindert werden. Als eine Folge wird ein Hochgeschwindigkeits-Zugriff ermöglicht. In der Halbleitereinrichtung ist die Fläche der oberen Oberfläche der Pfropfelektrode, die mit der unteren Kondensatorelektrode verbunden ist, größer als die Fläche der unteren Oberfläche der Pfropfelektrode, die mit dem zweiten Source/Drainbereich verbunden ist. Deshalb wird ein ausreichender Verschiebungsspielraum gesichert zum Bilden der unteren Kondensatorelektrode, die mit der oberen Oberfläche der flachen Elektrode verbunden ist. Als eine Folge wird der Prozeß des Bildens der unteren Kondensatorelektrode einfacher.

[0033] In der Halbleitereinrichtung gemäß des zuvor beschriebenen Anspruches ist die erste Kondensatoröffnung in der ersten Zwischenschicht-Isolierschicht und der ersten Ätzstopperschicht gebildet, in denen die Bitleitungsöffnung gebildet ist, und die Pfropfelektrode ist in die erste Kondensatoröffnung gefüllt, so daß die erste Kondensatoröffnung mit demselben Geometrieverhältnis wie die Bitleitungsöffnung gebildet werden kann. Als eine Folge kann das Verfahren der selbstausgerichteten Öffnung unter Verwenden der ersten Ätzstopperschicht angepaßt werden zum Bilden der ersten Kondensatoröffnung. Demgemäß kann der Herstellungsprozeß einfacher gemacht werden als im Vergleich zu dem Fall, in dem die erste Kondensatoröffnung durch den Durchmesser-Verringerungsprozeß gebildet wird, und sie kann auch einfach gebildet werden,

wenn die Speicherzellengröße kleiner ist. Durch Bilden eines Teils des Kondensatorkontaktabschnittes der leitenden Schicht, die elektrisch mit der oberen Oberfläche der Pfropfenelektrode verbunden ist, zum Bedecken der oberen und seitlichen Oberflächen der Bitleitung, befindet sich der Kondensatorkontaktabschnitt zwischen benachbarten Bitleitungen. Auf diese Weise ist die Fläche jenes Abschnittes, der den Raum zwischen benachbarten Bitleitungen abschirmt, größer als im Vergleich mit einer Struktur, in der der Kontaktabschnitt mit einem normalen Durchmesser zwischen Bitleitungen angeordnet ist. Deshalb kann effektiv verhindert werden, daß die Kapazität zwischen benachbarten Bitleitungen größer wird. Als eine Folge kann die Verzögerung im Datenlesen und -schreiben verhindert werden, was den Hochgeschwindigkeits-Zugriff ermöglicht. In der Halbleitereinrichtung gemäß diesen Aspektes ist die Fläche der oberen Oberfläche der Pfropfenelektrode, die mit der unteren Kondensatorelektrode verbunden ist, größer als die Fläche der unteren Oberfläche der Pfropfenelektrode, die mit dem zweiten Source/Drainbereich verbunden ist. Deshalb gibt es einen ausreichenden Verschiebungs-Spielraum zum Bilden der unteren Kondensatorelektrode, die mit der oberen Oberfläche der Pfropfenelektrode verbunden sein soll. Als eine Folge wird der Prozeß des Bildens der unteren Kondensatorelektrode einfacher.

[0034] In der Struktur der Halbleitereinrichtung kann die erste Isolierschicht eine obere Isolierschicht, die in Kontakt mit der oberen Oberfläche der Bitleitung gebildet ist, und eine Seitenwand-Isolierschicht, die in Kontakt mit den Seitenoberfläche der Bitleitung und der oberen Isolierschicht gebildet ist, aufweisen. Zusätzlich kann sich die obere Oberfläche der Bitleitung oberhalb der oberen Oberfläche der Pfropfenelektrode befinden. Durch diese Struktur kann die untere Kondensatorelektrode, die die seitlichen und die oberen Oberflächen der Bitleitung bedeckt, einfach gebildet werden.

[0035] In der Struktur der Halbleitereinrichtung kann die Oberfläche der unteren Kondensatorelektrode Unregelmäßigkeiten aufweisen. Durch diese Struktur wird die Fläche der Oberfläche der unteren Kondensatorelektrode vergrößert, was eine Vergrößerung der Kondensator-Kapazität ermöglicht.

[0036] In der Struktur der Halbleitereinrichtung können ferner eine zweite Ätzstopperschicht, eine zweite Zwischenschicht-Isolierschicht und eine zweite Kondensatoröffnung vorgesehen sein. In diesem Fall ist die zweite Ätzstopperschicht auf der ersten Zwischenschicht-Isolierschicht und der ersten Isolierschicht gebildet und weist eine Isolierschicht auf. Die zweite Zwischenschicht-Isolierschicht ist auf der zweiten Ätzstopperschicht gebildet. Die zweite Kondensatoröffnung ist in der zweiten Zwischenschicht-Isolierschicht und in der zweiten Ätzstopperschicht derart gebildet, daß sie die erste Kondensatoröffnung erreicht. Ferner ist ein Ende der zweiten Ätzstopperschicht, das sich zwischen der zweiten

Zwischenschicht-Isolierschicht und der ersten Isolierschicht befindet, auf der Seite der zweiten Kondensatoröffnung derart entfernt, daß sie einen konkaven Abschnitt oberhalb eines oberen Seitenendes der Bitleitung bildet. Der Kondensatorkontaktabschnitt ist derart gebildet, daß er die zweite Kondensatoröffnung und den konkaven Abschnitt füllt und sich oberhalb der Bitleitung erstreckt. Die untere Kondensatorelektrode ist derart gebildet, daß sie sich entlang der oberen Oberfläche der zweiten Zwischenschicht-Isolierschicht erstreckt. Auf diese Weise können durch Bilden des konkaven Abschnittes und des Bereiches der zweiten Kondensatoröffnung, der sich oberhalb des oberen Seitenendes der Bitleitung befindet, und Füllen des konkaven Abschnittes und der zweiten Kondensatoröffnung mit dem Kondensatorkontaktabschnitt, der Kondensatorkontaktabschnitt, der die Seitenenden und die oberen Oberflächen der Bitleitung bedeckt, einfach gebildet werden.

[0037] Im Herstellungsverfahren nach Anspruch 6 wird die Kondensatoröffnung in der ersten Siliziumnitridschicht und der ersten Zwischenschicht-Isolierschicht gebildet, in denen die Bitleitungsöffnung gebildet wird, so daß das Verfahren der selbstausgerichteten Öffnung unter Verwenden der ersten Siliziumnitridschicht als eine Ätzstopperschicht zum Bilden der ersten Kondensatoröffnung verwendet werden kann. Da die erste Kondensatoröffnung in einer selbstabgleichenden Art durch Verwenden der ersten Siliziumnitridschicht gebildet werden kann, kann der Herstellungsprozeß einfacher gemacht werden als im Vergleich zu dem Fall, in dem die erste Kondensatoröffnung durch den Durchmesser-Verringerungsprozeß gebildet wird, und die erste Kondensatoröffnung kann einfach gebildet werden, sogar wenn eine Speicherzelle kleiner wird. Durch Bilden der unteren Kondensatorelektrode, die auf der oberen Oberfläche der Pfropfenelektrode gebildet ist, zum Bedecken der oberen und seitlichen Oberflächen der Bitleitung, befindet sich die untere Kondensatorelektrode zwischen benachbarten Bitleitungen. Als eine Folge kann die Halbleitereinrichtung, die die Kapazität zwischen Bitverbindungen verringern kann, einfach hergestellt werden.

[0038] Gemäß des zuvor genannten Herstellungsverfahrens nach Anspruch 7 wird die erste Kondensatoröffnung in der ersten Siliziumnitridschicht und der ersten Zwischenschicht-Isolierschicht gebildet, in denen die Bitleitungsöffnung gebildet wird, so daß das Verfahren der selbstausgerichteten Öffnung unter Verwenden der ersten Siliziumnitridschicht als eine Ätzstopperschicht verwendet werden kann zum Bilden der ersten Kondensatoröffnung. Demgemäß kann der Herstellungsprozeß einfacher gemacht werden als im Vergleich zu dem Fall, in dem die erste Kondensatoröffnung durch den Durchmesser-Verringerungsprozeß gebildet wird, und die erste Kondensatoröffnung kann einfach gebildet werden, sogar wenn eine Zelle kleiner wird. Durch Füllen des konkaven Abschnittes, der oberhalb des oberen Seitenen-

des der Bitleitung gebildet ist, mit dem Kondensator-kontaktabschnitt kann der Kondensator-kontaktabschnitt, der die seitlichen und die oberen Oberflächen der Bitleitung bedeckt, einfach gebildet werden. Demgemäß befindet sich der Kondensator-kontaktabschnitt zwischen benachbarten Bitleitungen und die Fläche des Abschnittes, der den Raum zwischen benachbarten Bitleitungen abschirmt, ist größer als im Vergleich zu einem Kontaktabschnitt in dem bei der Anmelderin vorhandenen DRAM. Daher kann die Kapazität zwischen Bitverbindungen größer gemacht werden als diejenige des Stands der Technik. Als eine Folge kann die Halbleitereinrichtung einfach hergestellt werden, die eine Verzögerung im Lesen und Schreiben von Daten zu und aus einer Speicherzelle verhindern kann.

[0039] Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der folgenden Beschreibung von Ausführungsbeispielen der Erfindung anhand der Figuren. Von den Figuren zeigen:

[0040] **Fig. 1** eine Querschnittsansicht, die ein DRAM gemäß einer ersten Ausführungsform der vorliegenden Erfindung zeigt;

[0041] **Fig. 2** einen 1/4-Rasterplan eines Speicherzellenabschnittes des in der **Fig. 1** gezeigten DRAM;

[0042] **Fig. 3** einen 1/2-Rasterplan eines Speicherzellenabschnittes des in der **Fig. 1** gezeigten DRAM;

[0043] **Fig. 4** bis 20 Querschnittsansichten, die einen Herstellungsprozeß des DRAM gemäß einer ersten, in **Fig. 1** gezeigten Ausführungsform veranschaulichen;

[0044] **Fig. 21** eine Querschnittsansicht, die ein DRAM gemäß einer zweiten Ausführungsform der vorliegenden Erfindung zeigt;

[0045] **Fig. 22** bis 30 Querschnittsansichten, die einen Herstellungsprozeß des DRAM gemäß der zweiten, in der **Fig. 21** gezeigten Ausführungsform veranschaulichen;

[0046] **Fig. 31** eine Querschnittsansicht, die ein DRAM gemäß einer dritten Ausführungsform der vorliegenden Erfindung zeigt;

[0047] **Fig. 32** eine Querschnittsansicht, die ein DRAM gemäß einer vierten Ausführungsform der vorliegenden Erfindung zeigt;

[0048] **Fig. 33** eine Querschnittsansicht, die ein DRAM gemäß einer fünften Ausführungsform der vorliegenden Erfindung zeigt;

[0049] **Fig. 34** eine Querschnittsansicht, die ein DRAM gemäß einer sechsten Ausführungsform der vorliegenden Erfindung zeigt;

[0050] **Fig. 35** eine Querschnittsansicht, die einen bei der Anmelderin vorhandenen DRAM zeigt;

[0051] **Fig. 36** einen 1/2-Rasterplan eines Speicherzellenabschnittes des bei der Anmelderin vorhandenen, in der **Fig. 35** gezeigten DRAM; und

[0052] **Fig. 37** bis 53 Querschnittsansichten, die einen Herstellungsprozeß des bei der Anmelderin vorhandenen, in der **Fig. 35** gezeigten DRAM veranschaulichen.

Ausführungsbeispiel

[0053] Es wird auf die **Fig. 1** Bezug genommen; in einem Speicherzellenabschnitt eines DRAM gemäß einer ersten Ausführungsform ist ein Trenn- bzw. Isolierbereich **2** in einem vorgeschriebenen Bereich an der Hauptoberfläche des Siliziumsubstrats **1** gebildet. Der Isolierbereich **2** ist durch Bilden eines Grabens und Füllen des Grabens mit einer Oxidschicht gebildet. Eine normale LOCOS-Trenn- bzw. Isolieroxidschicht kann für den Isolierbereich **2** verwendet werden. In einem aktiven Bereich, der vom Isolierbereich **2** umgeben ist, sind die Source/Drainbereiche **6a**, **6b** und **6c** durch einen vorgeschriebenen Abstand räumlich getrennt gebildet. Auf dem Kanalbereich zwischen den Source/Drainbereichen **6a** und **6b** ist eine Gate-Elektrode **4a** mit einer Gateoxidschicht **3** dazwischen gebildet. Die Gate-Elektroden **4b** und **4c** sind durch einen vorgeschriebenen Abstand von der Gate-Elektrode **4a** räumlich getrennt gebildet.

[0054] Eine TEOS-Oxidschicht **5** ist auf den oberen Oberflächen der Gate-Elektroden **4a**, **4b** und **4c** gebildet. Eine TEOS-Oxidschicht **7** mit einer Dicke von ungefähr 10 nm bis ungefähr 20 nm ist zum Bedecken der Gate-Elektroden **4a** bis **4c** und der TEOS-Oxidschicht **5** gebildet. Eine Siliziumnitridschicht **8** mit einer Dicke von ungefähr 30 bis ungefähr 50 nm ist zum Bedecken der TEOS-Oxidschicht **7** gebildet. Eine Zwischenschicht-Isolierschicht **11** aus einer BPSG-Oxidschicht oder einer PSG-Oxidschicht ist auf der Siliziumnitridschicht **8** gebildet. Ein Kondensatorkontaktloch **12** ist im Bereich der Zwischenschicht-Isolierschicht **11** und der Siliziumnitridschicht **8**, der sich auf dem Source/Drainbereich **6a** befindet, gebildet. Ferner ist ein Bitleitungskontaktloch **15a** im Bereich der Siliziumnitridschicht **8** und der Zwischenschicht-Isolierschicht **11**, der sich auf dem Source/Drainbereich **6b** befindet, gebildet.

[0055] Eine Pflöpfenelektrode **13** aus einer polykristallinen Siliziumschicht ist in das Kondensatorkontaktloch **12** gefüllt. Eine TEOS-Oxidschicht **14** mit einer Dicke von ungefähr 30 nm ist zum Bedecken der Zwischenschicht-Isolierschicht **11** gebildet. Eine Öffnung ist im Bereich der TEOS-Oxidschicht **14**, der sich auf der Pflöpfenelektrode **13** befindet, und im Bereich der TEOS-Oxidschicht **14**, der sich auf dem Bitleitungskontaktloch **15a** befindet, gebildet. Eine Bitleitung **16a** ist derart gebildet, daß sie elektrisch mit dem Source/Drainbereich **6d** im Bitleitungskontaktloch **15a** verbunden ist und sich entlang der oberen Oberfläche der TEOS-Oxidschicht **14** erstreckt. Eine TEOS-Oxidschicht **17a** mit einer Dicke von ungefähr 100 nm bis ungefähr 200 nm ist auf der oberen Oberfläche der Bitleitung **16a** gebildet. Eine Seitenwandoxidschicht **20a** aus einer TEOS-Oxidschicht ist derart gebildet, daß sie in Kontakt mit den Seitenoberflächen der TEOS-Oxidschicht **17a** und der Bitleitung **16a** steht.

[0056] Eine untere Kondensatorelektrode **24a** aus

einer polykristallinen Siliziumschicht ist derart gebildet, daß sie elektrisch mit der oberen Oberfläche der Pfropfenelektrode **13** verbunden ist und sich entlang der oberen Oberflächen der Seitenwandoxidschicht **20a** und der TEOS-Oxidschicht **17a** erstreckt. Die untere Kondensatorelektrode **24a** ist derart gebildet, daß sie eine zylindrische Struktur hat, die sich senkrecht auf ihren beiden Seiten erstreckt. Eine Siliziumnitridschicht **21** ist zwischen benachbarten unteren Kondensatorelektroden **24a** gebildet. Eine dielektrische Kondensatorschicht **26** ist zum Bedecken der unteren Kondensatorelektrode **24a** gebildet. Eine obere Kondensatorelektrode **27a** aus einer polykristallinen Siliziumschicht ist zum Bedecken der dielektrischen Kondensatorschicht **26** und der Siliziumnitridschicht **21** gebildet. Eine Zwischenschicht-Isolierschicht **28** aus einer z.B. TEOS-Oxidschicht oder BPSG-Oxidschicht, ist zum Bedecken der unteren Kondensatorelektrode **27a** gebildet. Auf der oberen Oberfläche der Zwischenschicht-Isolierschicht **28** sind Metallverbindungen **30** räumlich durch einen vorgeschriebenen Abstand getrennt gebildet.

[0057] Andererseits sind in einem Peripherie-Schaltungsabschnitt die Source/Drainbereiche **6d** und **6e** räumlich durch einen vorgeschriebenen Abstand getrennt an der Hauptoberfläche des Siliziumsubstrats **1** gebildet. Auf einem Kanalbereich zwischen den Source/Drainbereichen **6d** und **6e** ist eine Gate-Elektrode **4e** mit einer Gateoxidschicht **3** dazwischen gebildet. In einem Bereich, der von der Gate-Elektrode **4e** durch den Source/Drainbereich **6d** getrennt ist, ist eine Gate-Elektrode **4d** auf der Gateoxidschicht **3** gebildet. Die TEOS-Oxidschicht **5** ist auf den oberen Oberflächen der Gate-Elektroden **4d** und **4e** gebildet. Die TEOS-Oxidschicht **7** mit einer Dicke von ungefähr 10 nm bis ungefähr 20 nm ist derart gebildet, daß sie mit den Seitenoberflächen der Gate-Elektroden **4d** und **4e** und der TEOS-Oxidschicht **5** in Kontakt kommt. Eine Seitenwand-Isolierschicht **9** aus einer Siliziumnitridschicht ist auf einer Seite der TEOS-Oxidschicht **7** gebildet. Die Seitenwand-Oxidschicht **9** wird zum Bilden der Source/Drainbereiche **6d** und **6e** benutzt, von denen jede die LDD-(Lightly Doped Drain, Schwach dotiertes Drain) Struktur hat.

[0058] Eine Isolierschicht **10** aus einer Siliziumnitridschicht ist auf der TEOS-Oxidschicht **5** gebildet. Hier kann die Isolierschicht **10** aus einer TEOS-Oxidschicht gebildet sein. Die Zwischenschicht-Isolierschicht **11** ist zum Bedecken der gesamten Oberfläche gebildet. Die TEOS-Oxidschicht **14** ist auf der Zwischenschicht-Isolierschicht **11** gebildet. Ein Kontaktloch ist im Bereich der Zwischenschicht-Isolierschicht **11** und der TEOS-Oxidschicht **14**, der sich auf dem Source/Drainbereich befindet, und im Bereich der Zwischenschicht-Isolierschicht **11** und der TEOS-Oxidschicht **14**, der sich auf der Gate-Elektrode **4e** befindet, gebildet. Eine Verbindungsschicht **16b** ist zum elektrischen Verbinden des Source/Drainbereiches **6d** und der Gate-Elektrode **4e** durch die Kontaktlöcher gebildet. Die Verbindungs-

schicht **16b** kann zu entweder dem Source/Drainbereich **6d** oder der Gate-Elektrode **4e** verbunden sein. Eine TEOS-Oxidschicht **17b** ist zum Bedecken der oberen Oberfläche der Verbindungsschicht **16b** gebildet. Eine Seitenwandoxidschicht **20b** aus einer TEOS-Oxidschicht ist derart gebildet, daß sie in Kontakt mit einer Seitenoberfläche der Verbindungsschicht **16b** und der TEOS-Oxidschicht **17b** steht.

[0059] Die Zwischenschicht-Isolierschicht **28** ist zum Bedecken der Seitenwand-Oxidschicht **20b** und der TEOS-Oxidschicht **17b** gebildet. Ein Kontaktloch ist im Bereich der Zwischenschicht-Isolierschicht **28** und der TEOS-Oxidschicht **17b**, der sich auf einem Seitenende der Verbindungsschicht **16b** befindet, gebildet. Eine Metallverbindung **29** ist derart gebildet, daß sie elektrisch mit der Verbindungsschicht **16b** durch das Kontaktloch verbunden ist und sich entlang der oberen Oberfläche der Zwischenschicht-Isolierschicht **28** erstreckt.

[0060] Hier sind die Gate-Elektroden **4a** bis **4c** im Speicherzellenabschnitt und die Gate-Elektroden **4d** und **4e** im Peripherie-Schaltungsabschnitt durch Bemustern derselben Schicht gebildet. Die Bitleitung **16a** des Speicherzellenabschnittes und die Verbindungsschicht **16b** des Peripherie-Schaltungsabschnittes sind durch Bemustern derselben Schicht gebildet.

[0061] Im DRAM gemäß der ersten Ausführungsform befindet sich die Pfropfenelektrode **13** zwischen der unteren Kondensatorelektrode **24a** und dem Source/Drainbereich **6**. Die Pfropfenelektrode **13** ist zum Füllen des Kondensatorkontaktloches **12**, das dasselbe Geometrieverhältnis (Tiefe) wie das Bitleitungskontaktloch **16a** hat, gebildet. Deshalb kann, wie mit Bezug auf einen unten angegebenen Herstellungsprozeß beschrieben, das Kondensatorkontaktloch **12** mit demselben kleinen Geometrieverhältnis wie das Bitleitungskontaktloch **16a** in der Struktur der ersten Ausführungsform gebildet werden. Daher kann das Kondensatorkontaktloch **12** durch das Verfahren der selbstausgerichteten Öffnung unter Verwenden der Siliziumnitridschicht **8** als einen Ätzstopper gebildet werden. Als eine Folge kann der Herstellungsprozeß einfacher gemacht werden im Vergleich zu dem Fall, in dem das Kondensatorkontaktloch **161** durch den Durchmesser-Verringerungsprozeß, der unter Bezug auf die Fig. 44 bis 46 beschrieben ist, gebildet wird. Ferner kann durch das Verfahren der selbstausgerichteten Öffnung unter Verwenden der Siliziumnitridschicht **8** das Kondensatorkontaktloch **12** einfach gebildet werden, sogar wenn eine Speicherzelle kleiner wird.

[0062] In der Struktur der ersten Ausführungsform ist die Fläche der oberen Oberfläche der Pfropfenelektrode **13**, die mit der unteren Kondensatorelektrode **24a** verbunden ist, größer als die Fläche der unteren Oberfläche der Pfropfenelektrode **13**, die mit dem Source/Drainbereich **6a** verbunden ist. Deshalb kann ein ausreichender Verschiebungs-Spielraum gesichert werden zum Bilden der unteren Kondensatore-

lektrode **24a**, die mit der oberen Oberfläche der Pfropfelektrode **13** verbunden werden soll. Als eine Folge wird der Prozeß des Bildens der unteren Kondensatorelektrode **24a** einfacher.

[0063] In der Struktur gemäß der ersten Ausführungsform ist die untere Kondensatorelektrode **24a** zum Bilden der seitlichen und oberen Oberflächen der Bitleitung **16a** gebildet, wobei sich die Seitenwandoxidschicht **20a** und die TEOS-Oxidschicht **17a** dazwischen befinden. Die **Fig. 2** und **3** zeigen Layouts in einer Draufsicht des gesamten, in der **Fig. 1** gezeigten Speicherzellenabschnittes. Die **Fig. 2** ist ein 1/4-Rasterplan, während die **Fig. 3** ein 1/2-Rasterplan ist. Es wird auf die **Fig. 1** bis **3** Bezug genommen; in der Struktur der ersten Ausführungsform befindet sich die untere Kondensatorelektrode **24a** zwischen zwei benachbarten Bitleitungen **16a**. Daher schirmt die untere Kondensatorelektrode **24a** den Raum zwischen benachbarten Bitleitungen **16a** ab, und die untere Kondensatorelektrode **24a** kann zu einem Abschirmeffekt führen. Demgemäß kann die Kapazität zwischen benachbarten Bitleitungen **16a** verringert werden. Da die untere Kondensatorelektrode **24a** auch auf der oberen Oberfläche der Bitleitung **16a** gebildet ist, kann die Kapazität zwischen benachbarten Bitleitungen **16a** zwischen ihren oberen Oberflächen auch verringert werden. Da die Kapazität zwischen den Bitleitungen **16a** verringert werden kann, kann die Verzögerung im Datenschreiben und -lesen effektiv verhindert werden.

[0064] Es wird auf die **Fig. 4** bis **20** Bezug genommen; ein Herstellungsprozeß des DRAM gemäß der ersten Ausführungsform wird wie folgt beschrieben.

[0065] Zuerst wird, wie in **Fig. 4** gezeigt, der Isolierbereich **2** in einem vorgeschriebenen Bereich an der Hauptoberfläche des Speicherzellenabschnittes des Siliziumsubstrats **1** gebildet. Dieser Isolierbereich **2** kann ein Grabenisolierbereich, der durch Füllen eines Grabens mit einer Oxidschicht gebildet ist oder ein Isolierbereich sein, der aus einer LOCOS-Oxidschicht gebildet ist. Die Gateoxidschichten **3** werden räumlich durch einen vorgeschriebenen Abstand getrennt auf der Hauptoberfläche des Siliziumsubstrats **1** gebildet, und die entsprechenden Gate-Elektroden **4a** bis **4e** werden auf der Gateoxidschicht **3** gebildet. Die Gate-Elektroden **4a** bis **4e** können jede eine Zweifachschicht-Struktur einer polykristallinen Siliziumschicht und einer Wolframsilizidschicht, die auf der polykristallinen Siliziumschicht gebildet ist, haben. Die Source/Drainbereiche **6a** bis **6e** werden unter Verwenden der Gate-Elektroden **4a** bis **4e** als eine Maske und Ionenimplantieren eines Dotierstoffes in das Siliziumsubstrat **1** gebildet.

[0066] Die TEOS-Oxidschicht **5** wird auf der oberen Oberfläche der Gate-Elektroden **4a** bis **4e** gebildet. Die TEOS-Oxidschicht **7** mit einer Dicke von ungefähr 10 nm bis ungefähr 20 nm wird zum Bedecken der gesamten Oberfläche gebildet, und danach wird die Siliziumnitridschicht **8** mit einer Dicke von ungefähr 30 nm bis ungefähr 50 nm auf der TEOS-Oxid-

schicht **7** gebildet. Dann wird die Siliziumnitridschicht **8** im Peripherie-Schaltungsabschnitt einem anisotropen Ätzen unterzogen zum Bilden einer Seitenwand **9** aus einer Siliziumnitridschicht, wie in **Fig. 5** gezeigt. Durch Ionenimplantieren eines Dotierstoffes in die Oberfläche des Siliziumsubstrats **1** im Peripherie-Schaltungsabschnitt, während die Seitenwand **9** als eine Maske verwendet wird, werden die Source/Drainbereiche **6d** und **6e**, die jede eine LDD-Struktur haben, gebildet.

[0067] Auf der oberen Oberfläche der TEOS-Oxidschicht **5** im Peripherie-Schaltungsabschnitt wird eine Isolierschicht aus einer Siliziumnitridschicht derart gebildet, daß sie eine Schichtdicke von ungefähr 5 nm bis ungefähr 10 nm besitzt. Hier kann diese Isolierschicht **10** aus einer TEOS-Oxidschicht gebildet sein.

[0068] Dann wird, wie in der **Fig. 6** gezeigt, die Zwischenschicht-Isolierschicht **11** aus einer BPSG-Oxidschicht oder einer PSG-Oxidschicht gebildet und danach wird das Kondensatorkontaktloch **12** im Bereich der Zwischenschicht-Isolierschicht **11**, der sich oberhalb des Source/Drainbereiches **6a** befindet, gebildet. Das Kondensatorkontaktloch **12** wird unter Verwenden der Siliziumnitridschicht **8** als eine Ätzstopperschicht und eines Ätzmittels von z.B. CHF_3/CF_4 und durch Ätzen der Zwischenschicht-Isolierschicht **11** mit einem Trennverhältnis (Selektivität) von mindestens **10** bis **20** geätzt. Auf diese Weise wird das Kondensatorkontaktloch **12** in einer selbstausrichtenden Art gebildet. Ferner wird die Siliziumnitridschicht **8** im Kondensatorkontaktloch **12** einem anisotropen Ätzen unterzogen, so daß es selektiv mit Bezug auf die Zwischenschicht-Isolierschicht **11** gebildet werden kann. Dieses anisotrope Ätzen wird mit einem Ätzmittel von z.B. F-Typ-Gas und dem Trennverhältnis von ungefähr **10** ausgeführt. Ferner wird die TEOS-Oxidschicht **7** auf dem Source/Drainbereich **6a** unter Verwenden verdünnter Fluorwasserstoffsäure entfernt. Z. B. wird HF, die 50-fach verdünnt ist, als die verdünnte Fluorwasserstoffsäure verwendet. Auf diese Weise wird das Kondensatorkontaktloch **12** von der oberen Oberfläche der Zwischenschicht-Isolierschicht **11** zum Source/Drainbereich **6a** vervollständigt, wie in der **Fig. 7** gezeigt.

[0069] Danach wird eine polykristalline Siliziumschicht (nicht gezeigt) gebildet, die das Kondensatorkontaktloch **12** füllt und sich entlang der oberen Oberfläche der Zwischenschicht-Isolierschicht **11** erstreckt, und die polykristalline Siliziumschicht wird einem Trockenätzen zum Bilden der Pfropfelektrode **13** unterzogen. Diese Pfropfelektrode **13** wird zum Füllen des Kondensatorkontaktloches **12** gebildet.

[0070] Dann wird die TEOS-Oxidschicht **14** mit einer Dicke von ungefähr 30 nm auf der oberen Oberfläche der Pfropfelektrode **13** und der Zwischenschicht-Isolierschicht **11**, wie in der **Fig. 8** gezeigt, gebildet.

[0071] Dann wird, wie in der **Fig. 9** gezeigt, die Zwischenschicht-Isolierschicht **11** und die TEOS-Oxid-

schicht **14** geätzt, während die Siliziumnitridschicht **8** und die Isolierschicht **10** als Ätzstopperschichten verwendet werden, zum Bilden des Bitleitungskontaktloches **15a** und der Verbindungskontaktlöcher **15b** und **15c** in einer selbstausrichtenden Art. Das Ätzen des Bitleitungskontaktloches **15a** durch das Verfahren der selbstausgerichteten Öffnung wird unter Verwenden eines Ätzmittels von z.B. CHF_3/CF_4 und dem Trennverhältnis von mindestens **10** bis **20** ausgeführt.

[0072] Dann werden die Siliziumnitridschicht **8** im Bitleitungskontaktloch **15a** und die Isolierschicht **10** in den Verbindungskontaktlöchern **15b** und **15c** einem anisotropen Ätzen unterzogen, so daß die Siliziumnitridschicht **8** und die Isolierschicht **10** selektiv geätzt werden können im Vergleich zur Zwischenschicht-Isolierschicht **11**. Auf diese Weise werden das Bitleitungskontaktloch **15a** und die Verbindungskontaktlöcher **15b** und **15c** vervollständigt, wie in der **Fig. 10** gezeigt.

[0073] Dann werden eine leitende Schicht (nicht gezeigt), die eine polykristalline Siliziumschicht mit einer Dicke von ungefähr 50 nm bis ungefähr 100 nm und eine Titansilizidschicht mit einer Dicke von ungefähr 50 nm bis ungefähr 100 nm aufweist, und eine TEOS-Oxidschicht (nicht gezeigt) mit einer Dicke von ungefähr 100 nm bis ungefähr 200 nm auf der leitenden Schicht gebildet, und die TEOS-Oxidschicht und die leitende Schicht werden bemustert. Auf diese Weise werden die Bitleitung **16a** und die TEOS-Oxidschicht **17a**, die sich auf der Leitung befindet, und auch die Verbindungsschicht **16b** und die TEOS-Oxidschicht **17b**, die sich auf der Schicht befindet, gebildet, wie in der **Fig. 10** gezeigt.

[0074] Dann wird, wie in der **Fig. 11** gezeigt, eine TEOS-Oxidschicht **19** derart gebildet, daß sie eine Dicke von ungefähr 50 nm bis ungefähr 100 nm hat und die gesamte Oberfläche bedeckt, und die TEOS-Oxidschicht **19** wird einem Trockenätzen unterzogen zum Bilden der Seitenwandoxidschichten **20a** und **20b**, die jede eine TEOS-Oxidschicht aufweist, wie in der **Fig. 12** gezeigt.

[0075] Danach wird die Siliziumnitridschicht **21** derart gebildet, daß sie eine Dicke von ungefähr 50 nm besitzt, wie in der **Fig. 13** gezeigt. Dann wird, wie in der **Fig. 14** gezeigt, eine Isolierschicht **22** aus einer BPSG-Oxidschicht oder einer TEOS-Oxidschicht auf der Siliziumnitridschicht **21** gebildet, und ein Kondensatorloch **23** wird mit dem Verfahren der selbstausgerichteten Kontaktöffnung unter Verwenden der Siliziumnitridschicht **21** als eine Ätzstopperschicht gebildet. Das Kondensatorloch **23** wird durch Ätzen mit einem Ätzmittel von CHF_3/CF_4 und dem Trennverhältnis von mindestens **10** bis **20** gebildet.

[0076] Die Siliziumnitridschicht **21** im Kondensatorloch **23** wird durch isotropes Ätzen entfernt, was ein selektives Ätzen im Vergleich zur Isolierschicht **22** ermöglicht. Dieses isotrope Ätzen wird unter Verwenden z.B. heißer Phosphorsäure und einem Trennverhältnis von ungefähr **50** ausgeführt. Auf diese Weise

wird die in der **Fig. 15** gezeigte Struktur erhalten. Dann wird die obere Oberfläche der Pfropfelektrode **13** mit verdünnter Fluorwasserstoffsäure, wie z.B. 100-fach verdünnter HF, gereinigt.

[0077] Dann wird, wie in der **Fig. 16** gezeigt, eine polykristalline Siliziumschicht **24** derart gebildet, daß sie eine Schichtdicke von ungefähr 100 nm hat, und ein Photoresist **25** wird in das Kondensatorloch **23** gefüllt. Die polykristalline Siliziumschicht **24** auf der Zwischenschicht-Isolierschicht **22** wird durch Trockenätzen entfernt zum Erhalten einer zylindrisch geformten unteren Elektrode **24a**, die in der **Fig. 17** gezeigt ist. Wenn die Zwischenschicht-Isolierschicht **22** durch isotropes Ätzen entfernt wird und Photoresist **25** entfernt wird, wird die in der **Fig. 18** gezeigte Struktur erhalten. Die Zwischenschicht-Isolierschicht **22** wird z. B. mit 10-fach verdünnter HF geätzt.

[0078] Dann werden die dielektrische Kondensatorschicht **26** und eine polykristalline Siliziumschicht **27** zum Bedecken der gesamten Oberfläche gebildet. Z.B. können eine Siliziumoxidentridschicht oder eine stark dielektrische Schicht, wie z.B. eine Ta_2O_5 -Schicht, als eine dielektrische Kondensatorschicht **26** verwendet werden. Bemustern der in der **Fig. 19** gezeigten Struktur führt zu einer oberen Kondensatorelektrode **27a**, die in der **Fig. 20** gezeigt ist, aus einer polykristallinen Siliziumschicht.

[0079] Nachdem die Zwischenschicht-Isolierschicht **28**, die z.B. eine TEOS-Oxidschicht oder eine BPSG-Oxidschicht aufweist, auf der gesamten Oberfläche, wie in der **Fig. 1** gezeigt, gebildet wird, werden die Metallverbindungen **30** räumlich durch einen vorgeschriebenen Abstand getrennt auf der oberen Oberfläche der Zwischenschicht-Isolierschicht **28** im Speicherzellenbereich gebildet. Ein Kontaktloch wird in der Zwischenschicht-Isolierschicht **28** und der TEOS-Oxidschicht **17b** im Peripherie-Schaltungsabschnitt gebildet, und danach wird die Metallverbindungsschicht **29** derart gebildet, daß sie mit der Verbindungsschicht **16b** in jenem Kontaktloch elektrisch verbunden ist und sich entlang der oberen Oberfläche der Zwischenschicht-Isolierschicht **28** erstreckt. Auf diese Weise wird der DRAM gemäß der ersten, in der **Fig. 1** gezeigten Ausführungsform vervollständigt.

Zweite Ausführungsform

[0080] Es wird auf die **Fig. 21** Bezug genommen; in einem DRAM gemäß einer zweiten Ausführungsform bestehen die Pfropfelektrode **13** und die Bitleitung **16a** aus denselben Strukturen wie die erste Ausführungsform. Jedoch hat der Kondensator in der zweiten Ausführungsform eine davon verschiedene Struktur.

[0081] Insbesondere ist in der Struktur der zweiten Ausführungsform ein Abschnitt **43b** der unteren Kondensatorelektrode nicht direkt mit der oberen Oberfläche der Pfropfelektrode **13** verbunden, aber ein Kondensatorkontaktabschnitt **43a** ist zwischen dem

Abschnitt **43b** der unteren Kondensatorelektrode und der Pfpfenelektrode **13** angeordnet. Der Kondensatorkontaktabschnitt **43a** ist einstückig mit der unteren Kondensatorelektrode **43b** gebildet.

[0082] Eine Siliziumnitridschicht **21a** ist auf den oberen Oberflächen der Zwischenschicht-Isolierschicht **11** und der TEOS-Oxidschicht **17a** gebildet. Eine Zwischenschicht-Isolierschicht **42** aus einer Viellagenschicht, die eine TEOS-Oxidschicht aufweist, und eine BPSG-Oxidschicht oder eine PSG-Oxidschicht aufweist ist auf der Siliziumnitridschicht **21a** gebildet. Die Zwischenschicht-Isolierschicht **42**, die Siliziumnitridschicht **21a**, die Seitenwandoxidschicht **20a** und die TEOS-Oxidschicht **14** bilden ein zweites Kondensatorkontaktloch **41**. Ein konkaver Abschnitt **41a** ist im Bereich des zweiten Kondensatorkontaktloches **41**, der sich oberhalb eines Seitenendes der Bitleitung **16a** befindet, gebildet. Der Kondensatorkontaktabschnitt **43a** ist derart gebildet, daß er das zweite Kondensatorkontaktloch **41** und den konkaven Abschnitt **41a** füllt.

[0083] Der Abschnitt **43b** der unteren Kondensatorelektrode, der sich entlang der oberen Oberfläche der Zwischenschicht-Isolierschicht **42** erstreckt, ist einstückig mit dem oberen Ende des Kondensatorkontaktabschnittes **43a** gebildet. Eine Seitenwand **46** einer polykristallinen Siliziumschicht, die sich nach oben erstreckt, ist derart gebildet, daß sie in Kontakt mit beiden Seitenenden des Abschnitts **43b** der unteren Kondensatorelektrode kommt. Der Abschnitt **43b** der unteren Kondensatorelektrode und die Seitenwand **46** bilden die untere Kondensatorelektrode. Eine dielektrische Kondensatorschicht **47** ist zum Bedecken des Abschnitts **43b** der unteren Kondensatorelektrode und der Seitenwand **46** gebildet, und eine obere Kondensatorelektrode **48** aus einer polykristallinen Siliziumschicht ist zum Bedecken der dielektrischen Kondensatorschicht **47** gebildet.

[0084] Im Peripherie-Schaltungsabschnitt ist die Zwischenschicht-Isolierschicht **42** zum Bedecken der TEOS-Oxidschicht **17b** und der Seitenwandoxidschicht **20b** gebildet, und die Zwischenschicht-Isolierschicht **28** ist auf der Zwischenschicht-Isolierschicht **42** gebildet. Ein Kontaktloch ist in einem vorgeschriebenen Bereich der Zwischenschicht-Isolierschichten **28**, **42** und der TEOS-Oxidschicht **17b** vorgesehen, und die Metallverbindung **29** ist derart gebildet, daß sie elektrisch mit der Verbindungsschicht **16b** durch das Kontaktloch verbunden ist.

[0085] In der zweiten Ausführungsform kann das erste Kondensatorkontaktloch **12** mit demselben Geometrieverhältnis wie das Bitleitungskontaktloch **15a**, wie oben in der ersten Ausführungsform beschrieben, gebildet werden, so daß das Verfahren der selbstausgerichteten Kontaktöffnung unter Verwenden der Siliziumnitridschicht **8** zum Bilden des ersten Kondensatorkontaktloches **12** verwendet werden kann. Ferner kann durch Trennen des Kondensatorkontaktloches in zwei Stufen, d.h. in das erste Kondensatorkontaktloch **12** und das zweite Kondensator-

kontaktloch **41**, das sich darauf befindet, das Geometrieverhältnis des zweiten Kondensatorkontaktloches **41** verringert werden. Auf diese Weise kann das zweite Kondensatorkontaktloch **41** auch durch das Verfahren der selbstausgerichteten Öffnung unter Verwenden der Siliziumnitridschicht **21a** als eine Ätzstopperschicht gebildet werden.

[0086] In der zweiten Ausführungsform kann, da beide, d.h. das erste Kondensatorkontaktloch **12** und das zweite Kondensatorkontaktloch **41** durch das Verfahren der selbstausgerichteten Öffnung unter entsprechendem Verwenden der Siliziumnitridschichten **8** und **21a** gebildet werden können, das Herstellungsverfahren einfacher gemacht werden als im Vergleich zu dem Fall, in dem ein Kondensatorkontaktloch durch den Durchmesser-Verringerungsprozeß gebildet wird. Sogar wenn eine Speicherzelle kleiner ist, können das erste Kondensatorkontaktloch **12** und das zweite Kondensatorkontaktloch **41** einfach gebildet werden.

[0087] In der Struktur der zweiten Ausführungsform kann, da der Kondensatorkontaktabschnitt **43a** zum Bedecken der seitlichen und der oberen Oberflächen der Bitleitung **16a** mit der sich dazwischen befindenden Seitenwandoxidschicht **20a** und TEOS-Oxidschicht **17a** gebildet ist, die Kapazität zwischen benachbarten Bitleitungen **16a** verringert werden. Deshalb kann die Verzögerung im Lesen und Schreiben der Daten von und in die Speicherzelle verhindert werden, und die Zugriffsgeschwindigkeit kann verbessert werden.

[0088] In der Struktur der zweiten Ausführungsform ist die Fläche der oberen Oberfläche der Pfpfenelektrode **13**, die mit der unteren Kondensatorelektrode **24a** verbunden ist, größer als die Fläche der unteren Oberfläche der Pfpfenelektrode **13**, die mit dem Source/Drainbereich **6a** wie in der ersten Ausführungsform verbunden ist. Deshalb ist ein ausreichender Verschiebungs-Spielraum zum Bilden der unteren Kondensatorelektrode **43a**, die mit der oberen Oberfläche der Pfpfenelektrode **13** verbunden werden soll, gesichert. Als eine Folge wird der Prozeß des Bildens der unteren Kondensatorelektrode **43a** einfacher.

[0089] Ein Herstellungsprozeß gemäß der zweiten Ausführungsform wird wie folgt unter Bezugnahme auf die Fig. 22 bis 30 beschrieben.

[0090] Zuerst wird derselbe Prozeß wie der in den Fig. 4 bis 13 gezeigte Herstellungsprozeß gemäß der ersten Ausführungsform ausgeführt, bis die Siliziumnitridschicht **21** gebildet ist. Dann wird die Siliziumnitridschicht **21** im Peripherie-Schaltungsabschnitt zum Erhalten der in der Fig. 22 gezeigten Form entfernt.

[0091] Sodann wird die Zwischenschicht-Isolierschicht **42** aus einer Viellagenschicht, die entweder eine BPSG-Oxidschicht oder eine PSG-Oxidschicht und eine TEOS-Oxidschicht darauf aufweist, gebildet, wie in der Fig. 23 gezeigt. Die TEOS-Oxidschicht ist in diesem Fall derart gebildet, daß sie eine Dicke

von ungefähr 10 nm bis ungefähr 20 nm aufweist. Danach wird der Bereich der Zwischenschicht-Isolierschicht **42**, der sich oberhalb der Pflöpfenelektrode **13** befindet, durch Verwenden der Siliziumnitridschicht **21** als eine Ätzstopperschicht geätzt. Beim Ätzen wird in diesem Fall ein Ätzmittel von CHF_3/CF_4 und das Trennverhältnis von mindestens **10** bis **20** verwendet. Auf diese Weise wird das Kondensatorkontaktloch **41** in einer selbstausrichtenden Art gebildet.

[0092] Dann wird die Siliziumnitridschicht **21** einem isotropen Ätzen unterzogen, wobei selektives Ätzen der Siliziumnitridschicht **21** im Vergleich zur Zwischenschicht-Isolierschicht **42** ermöglicht wird. Diese isotrope Ätzen wird unter Verwenden z. B. heißer Phosphorsäure und dem Trennverhältnis von ungefähr **50** ausgeführt. Die Siliziumnitridschicht **21a**, die durch ein derartiges Ätzen gebildet wird, hat eine Form, die beträchtlich im Vergleich zur Zwischenschicht-Isolierschicht **42** zurückgesetzt ist, wie in der **Fig. 24** gezeigt. Kurz gesagt wird der konkave Abschnitt **41a** oberhalb eines Seitenendes der Bitleitung **16a** gebildet. Dann wird die obere Oberfläche der Pflöpfenelektrode **13** mit z. B. verdünnter Fluorwasserstoffsäure gereinigt. Z.B. wird eine 100-fach verdünnte HF zum Reinigen benutzt.

[0093] Danach wird eine polykristalline Siliziumschicht **43**, wie in der **Fig. 25** gezeigt, gebildet. Die polykristalline Siliziumschicht **43** ist derart gebildet, daß sie das zweite Kondensatorkontaktloch **41** und seinen konkaven Abschnitt **41a** füllt und sich auf der oberen Oberfläche der Zwischenschicht-Isolierschicht **42** erstreckt. Als nächstes wird eine BPSG-Oxidschicht (nicht gezeigt) mit einer Dicke von ungefähr 50 nm bis ungefähr 100 nm auf der polykristallinen Siliziumschicht **43** gebildet, und die BPSG-Oxidschicht und die polykristalline Siliziumschicht **43** werden bemustert zum Erhalten des Kondensatorkontaktabschnittes **43a**, des Abschnittes **43b** der unteren Kondensatorelektrode und einer BPSG-Oxidschicht **44**, die sich auf dem Abschnitt **43b** der unteren Kondensatorelektrode befindet, wie in der **Fig. 26** gezeigt.

[0094] Dann wird eine polykristalline Siliziumschicht **45** mit einer Dicke von ungefähr 50 nm bis ungefähr 100 nm zum Bedecken der Zwischenschicht-Isolierschicht **42** und der BPSG-Oxidschicht **44** gebildet. Die polykristalline Siliziumschicht **45** wird einem anisotropen Ätzen unterzogen zum Bilden der Seitenwand **46** einer polykristallinen Siliziumschicht, die als die untere Kondensatorelektrode dient, wie in der **Fig. 27** gezeigt. Die Seitenwand **46** und der Abschnitt **43b** der unteren Kondensatorelektrode bilden eine zylindrische untere Kondensatorelektrode. Dann wird die BPSG-Oxidschicht **44** einem Ätzen mit einem hohen Trennverhältnis (Trennverhältnis von ungefähr 1000) im Vergleich zur Zwischenschicht-Isolierschicht **42** und der unteren Kondensatorelektrode (**46**, **43b**) durch Verwenden einer Gasphasen-HF unterzogen. Auf diese Weise wird die BPSG-Oxid-

schicht **44** entfernt und die in der **Fig. 28** gezeigte Struktur wird erhalten.

[0095] Dann wird die dielektrische Kondensatorschicht **47** zum Bedecken der unteren Kondensatorelektrode **43b** und der Seitenwand **46**, wie in der **Fig. 29** gezeigt, gebildet, und danach wird die obere Kondensatorelektrode **48** aus einer polykristallinen Siliziumschicht zum Bedecken der dielektrischen Kondensatorschicht **47** gebildet. Eine dielektrische Schicht, wie z.B. eine Siliziumoxidnitridschicht oder eine stark dielektrische Schicht, wie z.B. eine Ta_2O_5 -Schicht wird als die dielektrische Kondensatorschicht verwendet. Dann wird durch Bemustern der oberen Kondensatorelektrode **48** und der dielektrischen Kondensatorschicht **47** die obere Kondensatorelektrode **48** mit der in der **Fig. 30** gezeigten Form erhalten.

[0096] Dann wird die Zwischenschicht-Isolierschicht **28** gebildet zum Bedecken der oberen Kondensatorelektrode **48**, wie es in **Fig. 21** gezeigt ist, und danach werden die Metallverbindungen **30** räumlich durch einen vorgeschriebenen Abstand getrennt auf der oberen Oberfläche der Zwischenschicht-Isolierschicht **28** im Speicherzellenabschnitt gebildet. Nach dem Bilden eines Kontaktloches in den Zwischenschicht-Isolierschichten **28**, **42** und der TEOS-Oxidschicht **17b** im Peripherie-Schaltungsabschnitt wird die Metallverbindung **29** derart gebildet, daß sie elektrisch mit der Verbindungsschicht **16b** durch das Kontaktloch verbunden ist.

[0097] Auf diese Weise wird der DRAM gemäß der zweiten Ausführungsform gebildet.

Dritte Ausführungsform

[0098] Es wird auf die **Fig. 31** Bezug genommen; in einer dritten Ausführungsform hat eine untere Kondensatorelektrode **54a** eine einfache stapelförmige Struktur anstelle der zylindrischen Struktur der oben beschriebenen ersten Ausführungsform. Ferner hat die untere Kondensatorelektrode **54a** eine Oberfläche, die aufgerauht ist, um Unregelmäßigkeiten aufzuweisen. Auf diese Weise ist die Fläche der Oberfläche der unteren Kondensatorelektrode **54a** vergrößert, was eine Zunahme in der Kondensator-Kapazität ermöglicht. Hier wird eine obere Kondensatorelektrode **57a** auf der unteren Kondensatorelektrode **54a** mit einer dielektrischen Kondensatorschicht **56** dazwischen gebildet.

[0099] Die untere Kondensatorelektrode **54a** mit Unregelmäßigkeiten auf ihrer Oberfläche wird wie unten beschrieben gebildet. Kurz gesagt läßt man polykristalline Siliziumteilchen selektiv auf einer polykristallinen Siliziumschicht aufwachsen durch Zugeben von Disilan- (Si_2H_6) - oder Silan- (SiH_4) -gas in die Atmosphäre des Hochvakuums ($\sim 1,3 \times 10^{-6}$ mbar). Auf diese Weise kann die untere Kondensatorelektrode **54a** mit einer unregelmäßigen Form, wie in **Fig. 31** gezeigt, gebildet werden.

[0100] Auch in der Struktur gemäß der dritten Aus-

führungsform ist die untere Kondensatorelektrode **54a** elektrisch mit dem Source/Drainbereich **6a** durch die Pfropfelektrode **13** wie in der oben beschriebenen ersten Ausführungsform verbunden. Deshalb kann das Kondensatorkontaktloch **12** mit demselben Geometrieverhältnis wie das Bitleitungskontaktloch **15a**, wie in der ersten Ausführungsform beschrieben, gebildet werden. Als eine Folge kann das Kondensatorkontaktloch **12** durch das Verfahren der selbstausgerichteten Öffnung unter Verwenden der Siliziumnitridschicht **8** als eine Ätzstopperschicht gebildet werden. Demgemäß kann der Herstellungsprozeß einfacher gemacht werden als im Vergleich zu dem Fall, in dem ein Kondensatorkontaktloch durch den Durchmesser-Verringerungsprozeß gebildet wird. Da die untere Kondensatorelektrode **54a** die Seite und das obere Ende der Bitleitung **16a** mit der sich dazwischen befindenden Seitenwandoxidschicht **20a** und TEOS-Oxidschicht **17a** bedeckt, kann die Kapazität zwischen benachbarten Bitleitungen **16a** verringert werden. Als eine Folge kann verhindert werden, daß die Betriebsgeschwindigkeit langsamer wird.

Vierte Ausführungsform

[0101] Es wird auf die **Fig. 32** Bezug genommen; eine vierte Ausführungsform hat grundsätzlich dieselbe Struktur wie die erste, in der **Fig. 1** gezeigte Ausführungsform. Die vierte Ausführungsform ist von der ersten Ausführungsform darin verschieden, daß eine untere Kondensatorelektrode **64a** eine unregelmäßige Form auf ihrer Oberfläche in der vierten Ausführungsform hat. Eine obere Kondensatorelektrode **67a** ist zum Bedecken der unteren Kondensatorelektrode **64a**, die die unregelmäßige Form hat, mit einer sich dazwischen befindenden dielektrischen Kondensatorschicht **66** gebildet. Durch Aufrauhen der Oberfläche der unteren Kondensatorelektrode **64a** derart, daß sie die unregelmäßige Form hat, kann die Kondensatorkapazität vergrößert werden. Ein Verfahren zum Aufrauhen der Oberfläche der unteren Kondensatorelektrode **64a** ist dasselbe wie in der dritten, oben beschriebenen Ausführungsform.

[0102] Da die Struktur gemäß der vierten Ausführungsform grundsätzlich dieselbe Struktur wie die erste Ausführungsform hat, kann der Bildungsprozeß eines Kondensatorkontaktloches einfacher gemacht werden und eine Verzögerung in Lese- und Schreib-Betriebsarten kann wie in der ersten Ausführungsform verhindert werden.

Fünfte Ausführungsform

[0103] Es wird auf die **Fig. 33** Bezug genommen; eine fünfte Ausführungsform ist gezeigt, die einen Kondensatorabschnitt aufweist, der im Vergleich zu demjenigen der zweiten, in der **Fig. 21** gezeigten Ausführungsform verändert ist. Insbesondere hat in der fünften Ausführungsform ein Abschnitt **76b** der unteren Kondensatorelektrode, der sich auf einem

Kondensatorkontaktabschnitt **76a** befindet, eine einfache, stapelförmige Struktur anstelle einer zylindrischen Struktur. Die Oberfläche des Abschnitts **76b** der unteren Kondensatorelektrode hat eine unregelmäßige Form. Eine obere Kondensatorelektrode **78** ist zum Bedecken des Abschnitts **76b** der unteren Kondensatorelektrode mit einer sich dazwischen befindenden dielektrischen Kondensatorschicht **77** dazwischen gebildet. Durch Bilden einer unregelmäßigen Oberfläche des Abschnitts **76b** der unteren Kondensatorelektrode kann die Kondensatorkapazität vergrößert werden.

[0104] Da der Kondensatorkontaktabschnitt **76a** die seitlichen und die oberen Oberflächen der Bitleitung **16a** bedeckt wie in der oben beschriebenen zweiten Ausführungsform, kann die Kapazität zwischen den Bitleitungen **16a** in der fünften Ausführungsform verringert werden. Als eine Folge kann die Geschwindigkeit der Datenlese- und -schreib-Betriebsarten verbessert werden. Ferner verringert das Vorsehen einer Pfropfelektrode das Geometrieverhältnis des ersten Kondensatorkontaktloches **12** und des zweiten Kondensatorkontaktloches **41**. Demgemäß kann das erste Kondensatorkontaktloch **12** und das zweite Kondensatorkontaktloch **41** entsprechend durch das Verfahren der selbstausgerichteten Öffnung unter Verwenden der Nitridschichten **8** und **21a** gebildet werden. Deshalb kann der Herstellungsprozeß einfacher gemacht werden als im Vergleich zu dem Fall, in dem ein Kondensatorkontaktloch durch den Durchmesser-Verringerungsprozeß gebildet wird.

Sechste Ausführungsform

[0105] Es wird auf die **Fig. 34** Bezug genommen; eine sechste Ausführungsform hat fast dieselbe Struktur wie die zweite, in der **Fig. 21** gezeigte Ausführungsform. In der sechsten Ausführungsform sind eine Oberfläche eines Abschnitts **85b** einer unteren Kondensatorelektrode, die einstückig mit einem Kondensatorkontaktabschnitt **85a** gebildet ist, und eine Oberfläche einer Seitenwand **86** einer polykristallinen Siliziumschicht derart angepaßt, daß sie eine unregelmäßige Oberfläche haben. Eine obere Kondensatorelektrode **88** ist zum Bedecken des Abschnitts **85b** der unteren Kondensatorelektrode und der Seitenwand **86** mit einer sich dazwischen befindenden dielektrischen Schicht **87** gebildet. Die Kondensatorkapazität kann vergrößert werden durch das derartige Bilden unregelmäßig geformter Oberflächen des Abschnitts **85b** der unteren Kondensatorelektrode und der Seitenwand **86**, die eine untere Kondensatorelektrode bilden.

[0106] In der sechsten Ausführungsform können beide, d.h. das erste Kondensatorkontaktloch **12** und das zweite Kondensatorkontaktloch **41** durch das Verfahren der selbstausgerichteten Öffnung unter Verwenden der Siliziumnitridschichten **8** und **21a** wie in der zweiten Ausführungsform gebildet werden. Auf diese Weise kann der Herstellungsprozeß einfacher

gemacht werden. Zusätzlich kann die Kapazität zwischen benachbarten Bitleitungen **16a** verringert werden, auf diese Weise kann die Betriebsgeschwindigkeit verbessert werden.

[0107] Obwohl die vorliegende Erfindung im Detail beschrieben und illustriert wurde, ist es selbstverständlich, daß dasselbe nur zum Zwecke der Illustration und des Beispiels dient und keine Limitierung darstellt.

Patentansprüche

1. Halbleitereinrichtung, mit
 einem Paar aus einem ersten und einem zweiten Source/Drainbereich (**6b**, **6a**), das räumlich getrennt mit einem Kanalbereich dazwischen an einer Hauptoberfläche eines Halbleiterbereiches (**1**) gebildet ist;
 einer Gate-Elektrode (**4a**), die auf dem Kanalbereich gebildet ist;
 einer ersten Ätzstopperschicht (**8**) aus einer Isolierschicht, die oberhalb der Gate-Elektrode (**4a**) gebildet ist;
 einer ersten Zwischenschicht-Isolierschicht (**11**), die auf der ersten Ätzstopperschicht (**8**) gebildet ist;
 einer ersten Isolierschicht (**14**), die auf der ersten Zwischenschicht-Isolierschicht (**11**) gebildet ist;
 einer Bitleitungsöffnung (**15a**), die in einem Bereich der ersten Isolierschicht (**14**), der ersten Zwischenschicht-Isolierschicht (**11**) und der ersten Ätzstopperschicht (**8**) gebildet ist, welcher sich auf dem ersten Source/Drainbereich (**6b**) befindet;
 einer ersten Kondensatoröffnung (**12**), die in einem Bereich der ersten Zwischenschicht-Isolierschicht (**11**) und der ersten Ätzstopperschicht (**8**) gebildet ist, welcher sich auf dem zweiten Source/Drainbereich (**6a**) befindet;
 einer Bitleitung (**16a**), die auf der ersten Isolierschicht (**14**) gebildet ist und mit dem ersten Source/Drainbereich (**6b**) durch die Bitleitungsöffnung (**15a**) verbunden ist;
 einer Pfropfelektrode (**13**), die derart gebildet ist, daß sie mit dem zweiten Source/Drainbereich (**6a**) durch die erste Kondensatoröffnung (**12**) verbunden ist und die erste Kondensatoröffnung (**12**) füllt, und deren Fläche der oberen Oberfläche größer ist als ihre Fläche der unteren Oberfläche;
 und
 einer unteren Kondensatorelektrode (**24a**, **54a**, **64a**), die derart gebildet ist, daß sie mit der oberen Oberfläche der Pfropfelektrode (**13**) verbunden ist und die oberen und seitlichen Oberflächen der Bitleitung (**16a**) mit einer sich dazwischen befindenden zweiten Isolierschicht (**17a**, **20a**) bedeckt.

2. Halbleitereinrichtung, mit
 einem Paar aus einem ersten und einem zweiten Source/Drainbereich (**6b**, **6a**), das räumlich getrennt mit einem Kanalbereich dazwischen an einer Hauptoberfläche eines Halbleiterbereiches (**1**) gebil-

det ist;
 einer Gate-Elektrode (**4a**), die auf dem Kanalbereich gebildet ist;
 einer ersten Ätzstopperschicht (**8**) aus einer Isolierschicht, die oberhalb der Gate-Elektrode (**4a**) gebildet ist;
 einer ersten Zwischenschicht-Isolierschicht (**11**), die auf der ersten Ätzstopperschicht (**8**) gebildet ist;
 einer ersten Isolierschicht (**14**), die auf der ersten Zwischenschicht-Isolierschicht (**11**) gebildet ist;
 einer Bitleitungsöffnung (**15a**), die in einem Bereich der ersten Isolierschicht (**14**), der ersten Zwischenschicht-Isolierschicht (**11**) und der ersten Ätzstopperschicht (**8**) gebildet ist, welcher sich auf dem ersten Source/Drainbereich (**6b**) befindet;
 einer ersten Kondensatoröffnung (**12**), die in einem Bereich der ersten Zwischenschicht-Isolierschicht (**11**) und der ersten Ätzstopperschicht (**8**) gebildet ist, welcher sich auf dem zweiten Source/Drainbereich (**6a**) befindet;
 einer Bitleitung (**16a**), die auf der ersten Isolierschicht (**14**) gebildet ist und mit dem ersten Source/Drainbereich (**6b**) durch die Bitleitungsöffnung (**15a**) verbunden ist;
 einer Pfropfelektrode (**13**), die derart gebildet ist, daß sie mit dem zweiten Source/Drainbereich (**6a**) durch die erste Kondensatoröffnung (**12**) verbunden ist und die erste Kondensatoröffnung (**12**) füllt, und deren Fläche der oberen Oberfläche größer ist als ihre Fläche der unteren Oberfläche;
 und
 einer leitenden Schicht mit einem Kondensatorkontaktabschnitt (**43a**, **76a**, **85a**), der elektrisch mit der oberen Oberfläche der Pfropfelektrode (**13**) verbunden ist und sich senkrecht erstreckt, und einer unteren Kondansatorelektrode (**43b**, **76b**, **85b**), die einstückig mit dem oberen Ende des Kondensatorkontaktabschnittes (**43a**, **76a**, **85a**) gebildet ist und sich waagerecht erstreckt, wobei der Kondensatorkontaktabschnitt (**43a**, **76a**, **85a**) der leitenden Schicht zum Bedecken der oberen und seitlichen Oberflächen der Bitleitung (**16a**) mit einer sich dazwischen befindenden zweiten Isolierschicht (**17a**, **20a**) gebildet ist.

3. Halbleitereinrichtung nach Anspruch 1 oder 2, in der die zweite Isolierschicht (**17a**, **20a**) eine obere Isolierschicht (**17a**), die in Kontakt mit der oberen Oberfläche der Bitleitung (**16a**) gebildet ist, und eine Seitenwand-Isolierschicht (**20a**), die in Kontakt mit der Seitenoberfläche der Bitleitung (**16a**) und einer Seitenoberfläche der oberen Isolierschicht (**17a**) gebildet ist, aufweist, und die obere Oberfläche der Bitleitung (**16a**) sich oberhalb der oberen Oberfläche der Pfropfelektrode (**13**) befindet.

4. Halbleitereinrichtung nach einem der Ansprüche 1 bis 3, in der die untere Kondansatorelektrode

(**54a, 64a, 76b, 85b, 86**) eine unregelmäßige Form auf ihrer Oberfläche hat.

5. Halbleitereinrichtung nach einem der Ansprüche 2 bis 4, mit einer zweiten Ätzstopperschicht (**21a**) aus einer Isolierschicht, die auf der ersten Zwischenschicht-Isolierschicht (**11**) und der zweiten Isolierschicht (**17a, 20a**) gebildet ist; einer zweiten Zwischenschicht-Isolierschicht (**42**), die auf der zweiten Ätzstopperschicht (**21a**) gebildet ist; und einer zweiten Kondensatoröffnung (**41**), die in der zweiten Zwischenschicht-Isolierschicht (**42**) und der zweiten Ätzstopperschicht (**21a**) zum Erreichen der ersten Kondensatoröffnung (**12**) gebildet ist, wobei ein Ende der zweiten Ätzstopperschicht (**21a**), das sich zwischen der zweiten Zwischenschicht-Isolierschicht (**42**) und der zweiten Isolierschicht (**17a, 20a**) befindet, auf einer Seite der zweiten Kondensatoröffnung (**41**) entfernt ist zum Bilden eines konkaven Abschnitts (**41a**) auf einem oberen Seitenende der Bitleitung (**16a**), der Kondensatorkontaktabschnitt (**43a, 76a, 85a**) zum Füllen der zweiten Kondensatoröffnung (**41**) und des konkaven Abschnitts (**41a**) und zum Erstrecken über die Bitleitung (**16a**) ausgebildet ist, und die untere Kondensatorelektrode (**43b, 76b, 85b**) zum Erstrecken entlang einer oberen Oberfläche der zweiten Zwischenschicht-Isolierschicht (**42**) gebildet ist.

6. Herstellungsverfahren einer Halbleitereinrichtung mit den Schritten:

Bilden eines Paares aus einem ersten und einem zweiten Source/Drainbereich (**6a, 6b**) und einer Gate-Elektrode (**4a**) an und auf einer Hauptoberfläche eines Halbleiterbereiches (**1**);
Bilden einer ersten Siliziumnitridschicht (**8**) zum Bedecken der Gate-Elektrode (**4a**);
Bilden einer ersten Zwischenschicht-Isolierschicht (**11**) aus einer Siliziumoxidschicht auf der ersten Siliziumnitridschicht (**8**);
Bilden einer ersten Öffnung (**12**) durch Verwenden der ersten Siliziumnitridschicht (**8**) als eine Ätzstopperschicht und Ätzen eines Bereiches der ersten Zwischenschicht-Isolierschicht (**11**), der sich oberhalb des ersten Source/Drainbereiches (**6a**) befindet;
Bilden einer ersten Kondensatoröffnung (**12**), die sich von einer oberen Oberfläche der ersten Zwischenschicht-Isolierschicht (**11**) zum ersten Source/Drainbereich (**6a**) erstreckt durch Ätzen der ersten Siliziumnitridschicht (**8**) in der ersten Öffnung (**12**);
Bilden einer Pfropfelektrode (**13**) derart, daß sie die erste Kondensatoröffnung (**12**) füllt und elektrisch mit dem ersten Source/Drainbereich (**6a**) verbunden ist;
Bilden einer ersten Isolierschicht (**14**) auf der Pfropfelektrode (**13**) und der ersten Zwischenschicht-Isolierschicht (**11**);

Bilden einer zweiten Öffnung (**15a**) durch Verwenden einer ersten Siliziumnitridschicht (**8**) als eine Ätzstopperschicht und Ätzen eines Bereiches der ersten Isolierschicht (**14**) und der ersten Zwischenschicht-Isolierschicht (**11**), der sich oberhalb des zweiten Source/Drainbereiches (**6b**) befindet;

Bilden einer Bitleitungsöffnung (**15a**), die sich von der oberen Oberfläche der ersten Isolierschicht (**14**) zum zweiten Source/Drainbereich (**6b**) erstreckt, durch Ätzen der ersten Siliziumnitridschicht (**8**) in der zweiten Öffnung (**15a**);

Bilden einer Bitleitung (**16a**), die elektrisch mit dem zweiten Source/Drainbereich (**6b**) durch die Bitleitungsöffnung (**15a**) verbunden ist und sich auf der ersten Isolierschicht (**14**) erstreckt;

Bilden einer zweiten Isolierschicht (**17a, 20a**) zum Bedecken der oberen und seitlichen Oberflächen der Bitleitung (**16a**); und

Bilden einer unteren Kondansatorelektrode (**24a, 54a, 64a**) derart, daß sie elektrisch mit einer oberen Oberfläche der Pfropfelektrode (**13**) verbunden ist und die oberen und die seitlichen Oberflächen der Bitleitung (**16a**) mit der sich dazwischen befindenden zweiten Isolierschicht (**17a, 20a**) bedeckt.

7. Herstellungsverfahren einer Halbleitereinrichtung, mit den Schritten:

Bilden eines Paares aus einem ersten und einem zweiten Source/Drainbereich (**6a, 6b**) und einer Gate-Elektrode (**4a**) an und auf einer Hauptoberfläche eines Halbleiterbereiches (**1**);

Bilden einer ersten Siliziumnitridschicht (**8**) zum Bedecken der Gate-Elektrode (**4a**);

Bilden einer ersten Zwischenschicht-Isolierschicht (**11**) aus einer Siliziumoxidschicht auf der ersten Siliziumnitridschicht (**8**);

Bilden einer ersten Öffnung (**12**) durch Verwenden der ersten Siliziumnitridschicht (**8**) als eine Ätzstopperschicht und Ätzen eines Bereiches der ersten Zwischenschicht-Isolierschicht (**11**), der sich oberhalb des ersten Source/Drainbereiches (**6a**) befindet;

Bilden einer ersten Kondensatoröffnung (**12**), die sich von einer oberen Oberfläche der ersten Zwischenschicht-Isolierschicht (**11**) zum ersten Source/Drainbereich (**6a**) erstreckt, durch Ätzen der ersten Siliziumnitridschicht (**8**) in der ersten Öffnung (**12**);

Bilden einer Pfropfelektrode (**13**) derart, daß sie die erste Kondensatoröffnung (**12**) füllt und elektrisch mit dem ersten Source/Drainbereich (**6a**) verbunden ist;

Bilden einer ersten Isolierschicht (**14**) auf der Pfropfelektrode (**13**) und der ersten Zwischenschicht-Isolierschicht (**11**);

Bilden einer zweiten Öffnung (**15a**) durch Verwenden der ersten Siliziumnitridschicht (**8**) als eine Ätzstopperschicht und Ätzen eines Bereiches der ersten Isolierschicht (**14**) und der ersten Zwischenschicht-Isolierschicht (**11**), der sich oberhalb des zweiten Source/Drainbereiches (**6b**) befindet;

Bilden einer Bitleitungsöffnung (**15a**), die sich von der

oberen Oberfläche der ersten Isolierschicht (**14**) zum zweiten Source/Drainbereich (**6b**) erstreckt, durch Ätzen der ersten Siliziumnitridschicht (**8**) in der zweiten Öffnung (**15a**);

Bilden einer Bitleitung (**16a**), die elektrisch mit dem zweiten Source/Drainbereich (**6b**) durch die Bitleitungsöffnung (**15a**) verbunden ist und sich auf der ersten Zwischenschicht-Isolierschicht (**14**) erstreckt; Bilden einer zweiten Isolierschicht (**17a**, **20a**) zum Bedecken der oberen und seitlichen Oberflächen der Bitleitung (**16a**);

Bilden einer zweiten Siliziumnitridschicht (**21a**) zum Bedecken der ersten Zwischenschicht-Isolierschicht (**11**) und der zweiten Isolierschicht (**17a**, **20a**);

Bilden einer zweiten Zwischenschicht-Isolierschicht (**42**) aus einer Siliziumoxidschicht auf der zweiten Siliziumnitridschicht (**21a**);

Bilden einer dritten Öffnung (**41**) durch Verwenden der zweiten Siliziumnitridschicht (**21a**) als eine Ätzstopperschicht und Ätzen eines Bereiches der zweiten Zwischenschicht-Isolierschicht (**42**), der sich auf der Pflöpfenelektrode (**13**) befindet;

Bilden einer zweiten Kondensatoröffnung (**41**), die sich von einer oberen Oberfläche der zweiten Zwischenschicht-Isolierschicht (**42**) zu einer oberen Oberfläche der Pflöpfenelektrode (**13**) erstreckt, durch Ätzen der zweiten Siliziumnitridschicht (**21a**) in der dritten Öffnung (**41**), und Bilden eines konkaven Bereiches (**41a**) in einem Bereich der zweiten Kondensatoröffnung (**41**), der sich oberhalb eines oberen Seitenendes der Bitleitung (**16a**) befindet; und

Bilden einer leitenden Schicht mit einem Kondensatorkontaktabschnitt (**43a**, **76a**, **85a**), der den konkaven Bereich (**41a**) und die zweite Kondensatoröffnung (**41**) füllt, und einer unteren Kondensatorelektrode (**43b**, **76b**, **85b**), die sich auf der oberen Oberfläche der zweiten Zwischenschicht-Isolierschicht (**42**) erstreckt.

Es folgen 37 Blatt Zeichnungen

FIG. 1

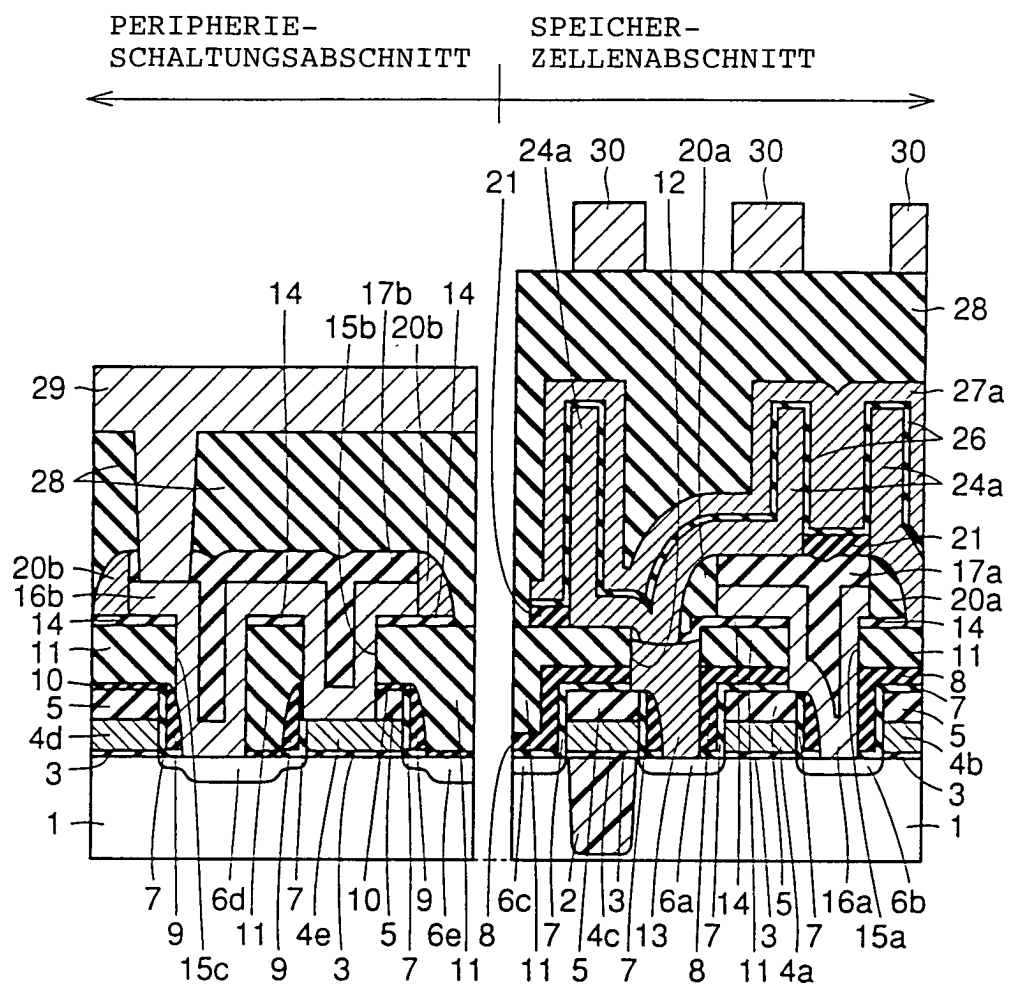


FIG. 2

1/4-RASTER-PLAN

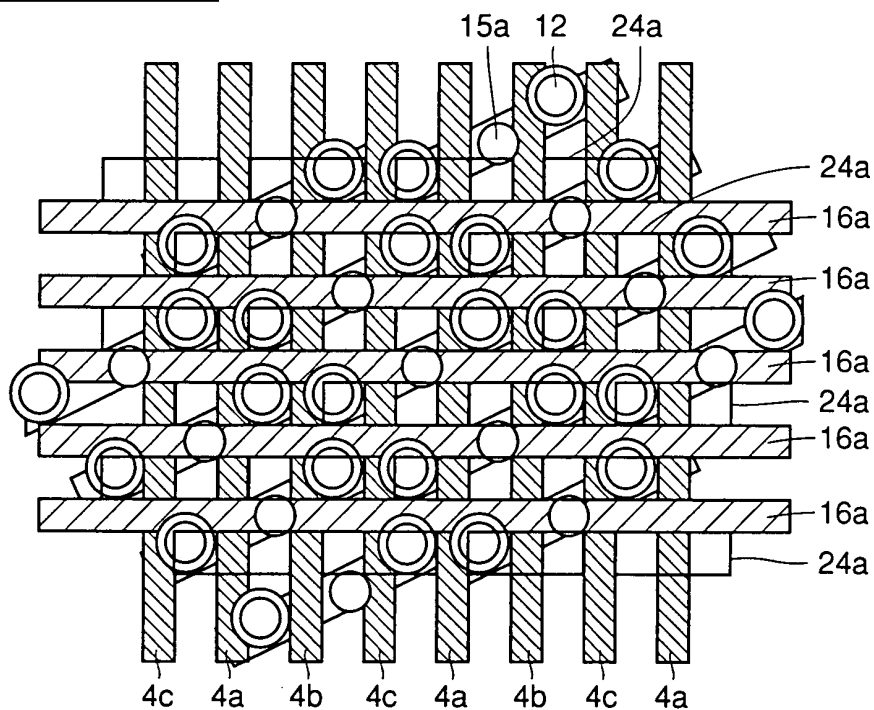


FIG. 3

1/2-RASTER-PLAN

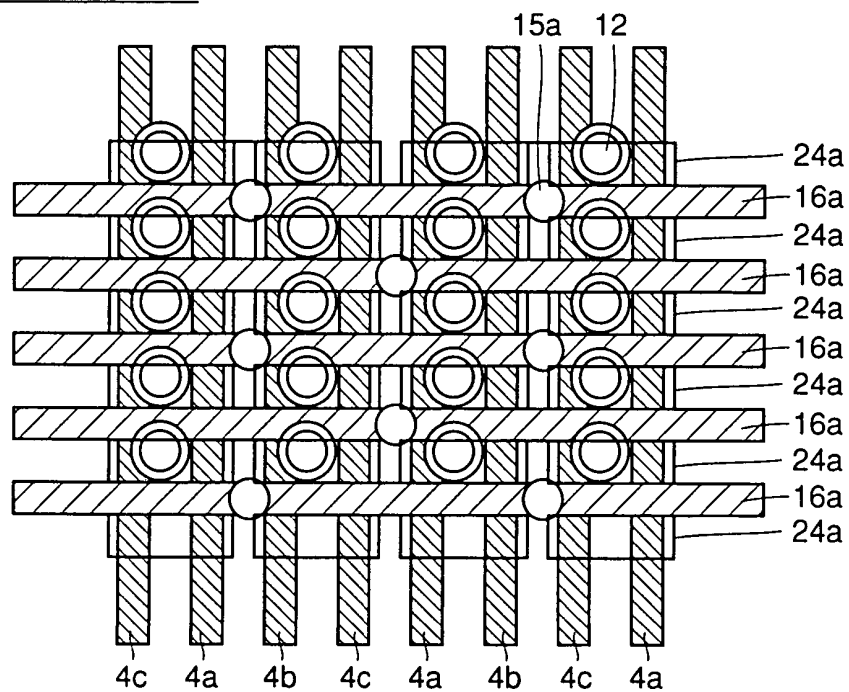


FIG. 4

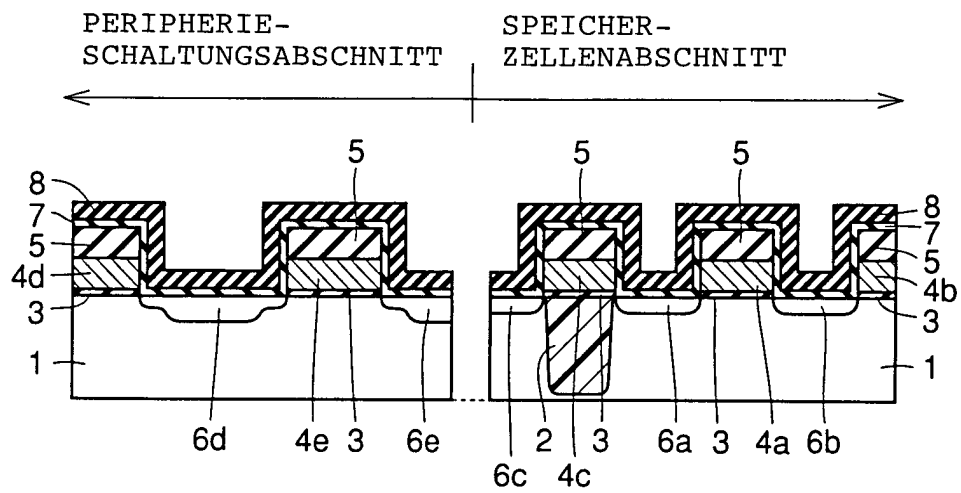


FIG. 5

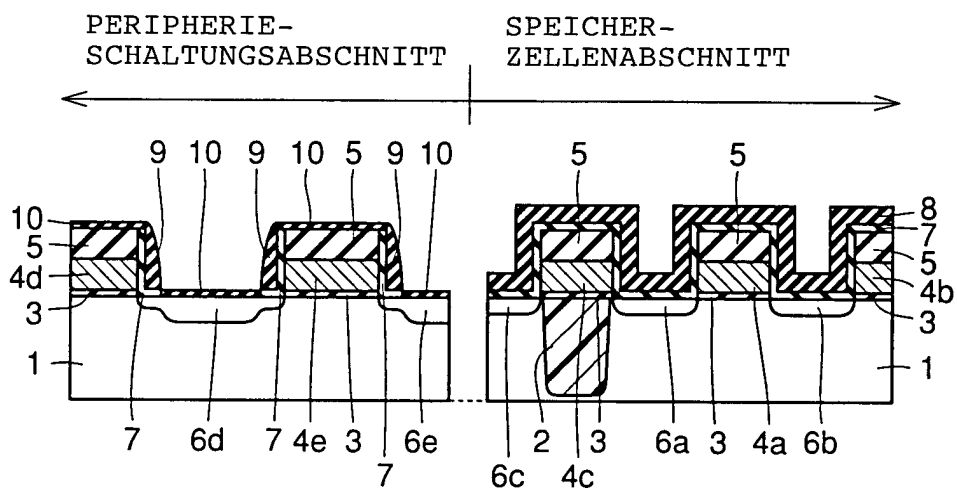


FIG. 6

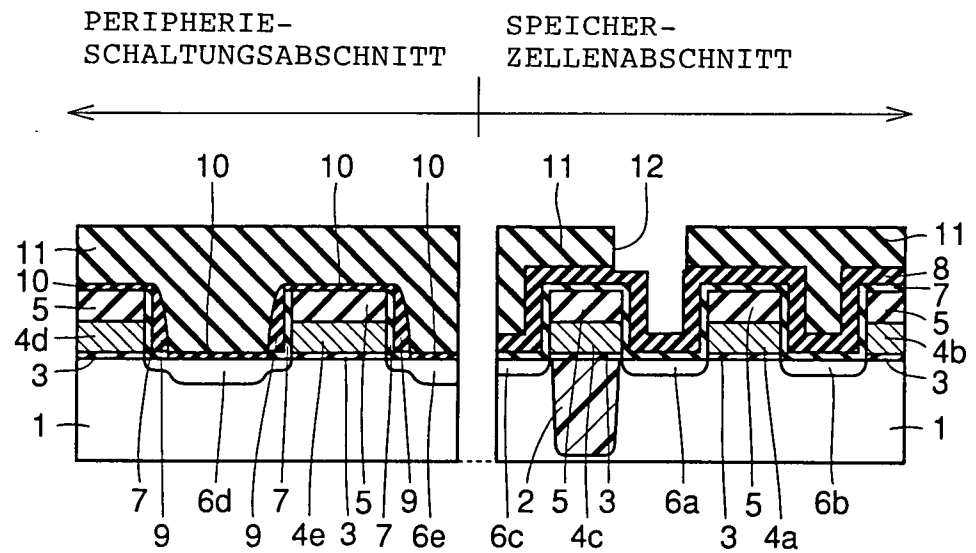


FIG. 7

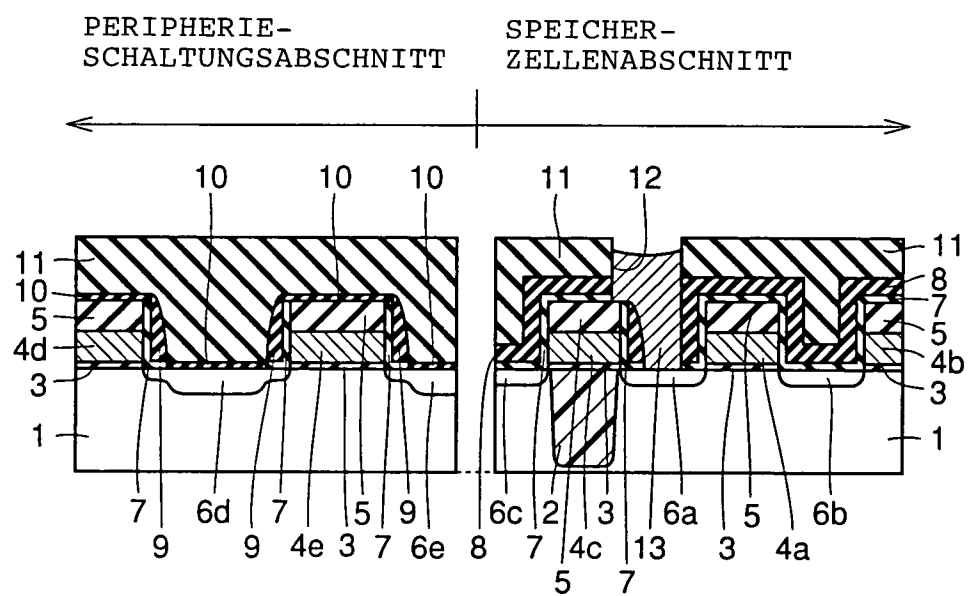


FIG. 8

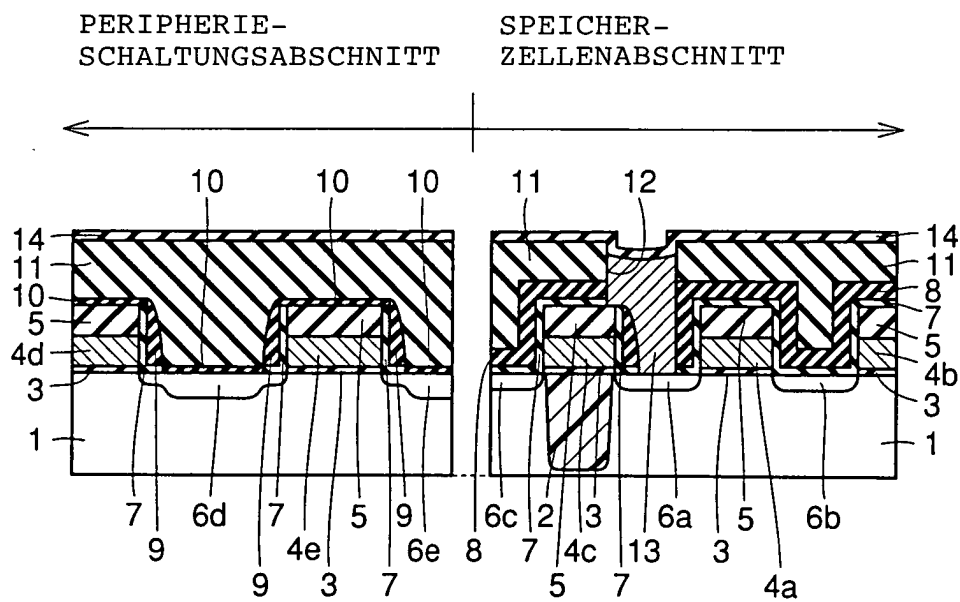


FIG. 9

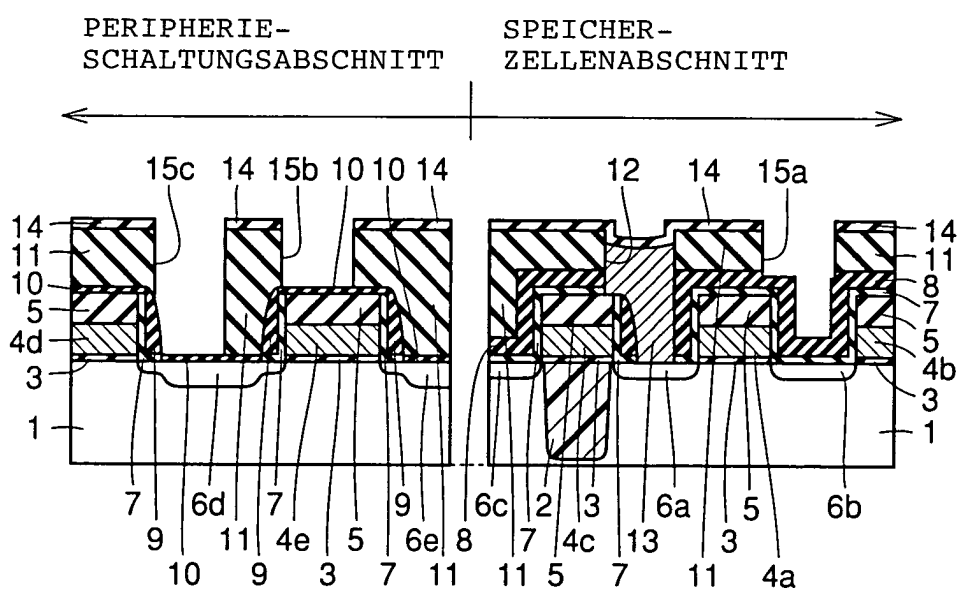


FIG. 10

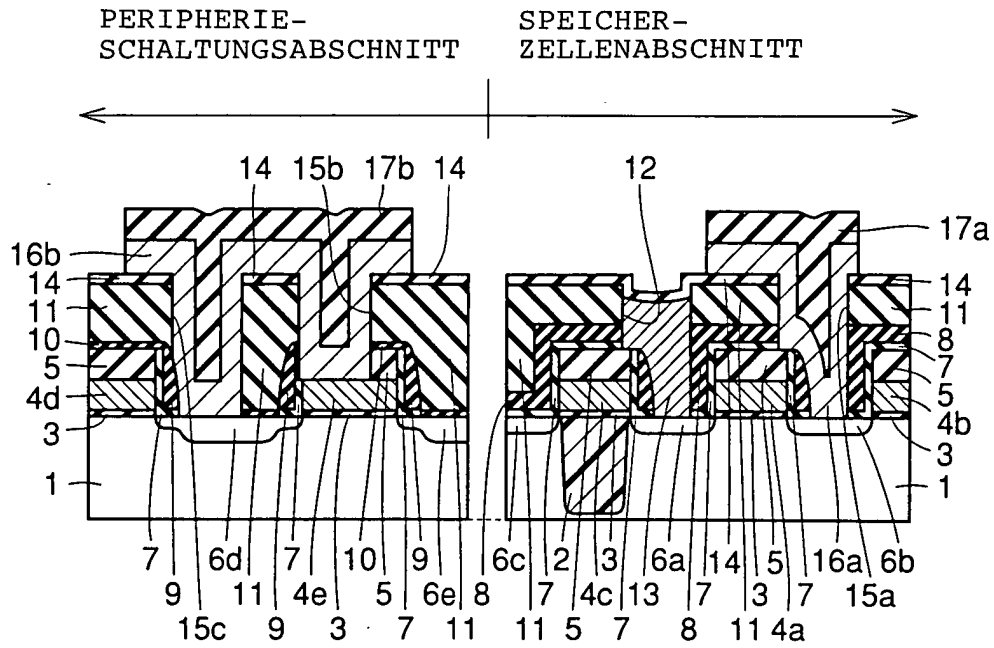


FIG. 11

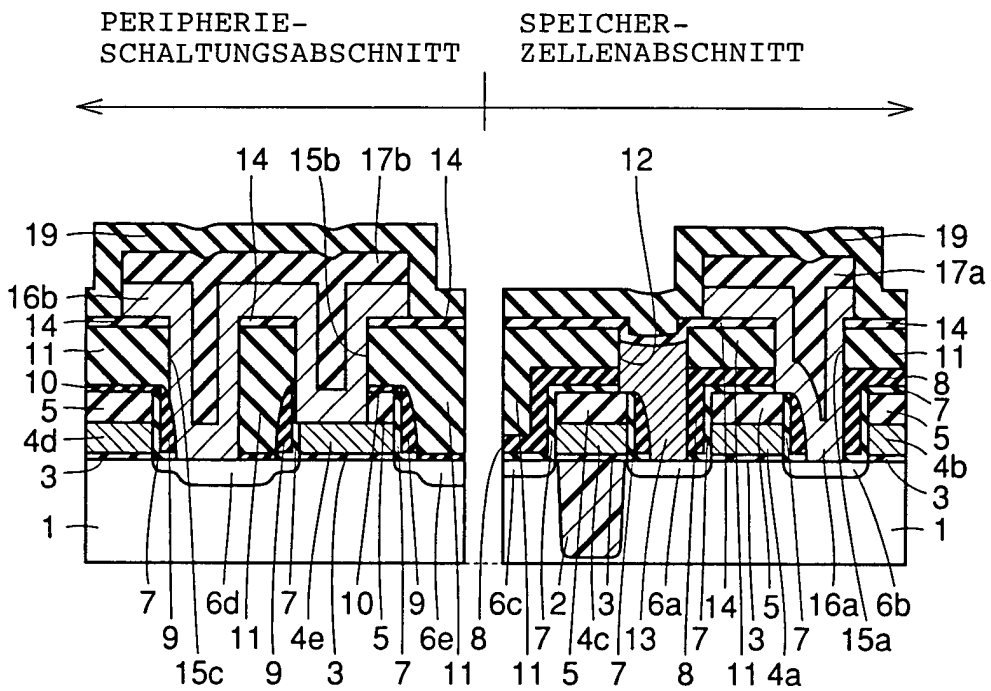


FIG. 12

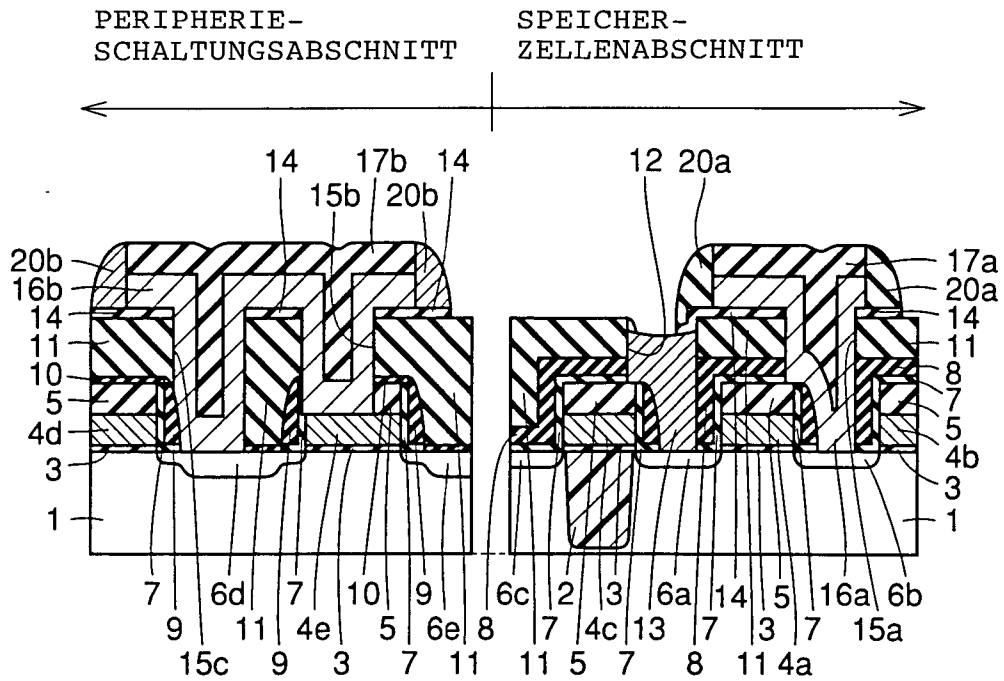


FIG. 13

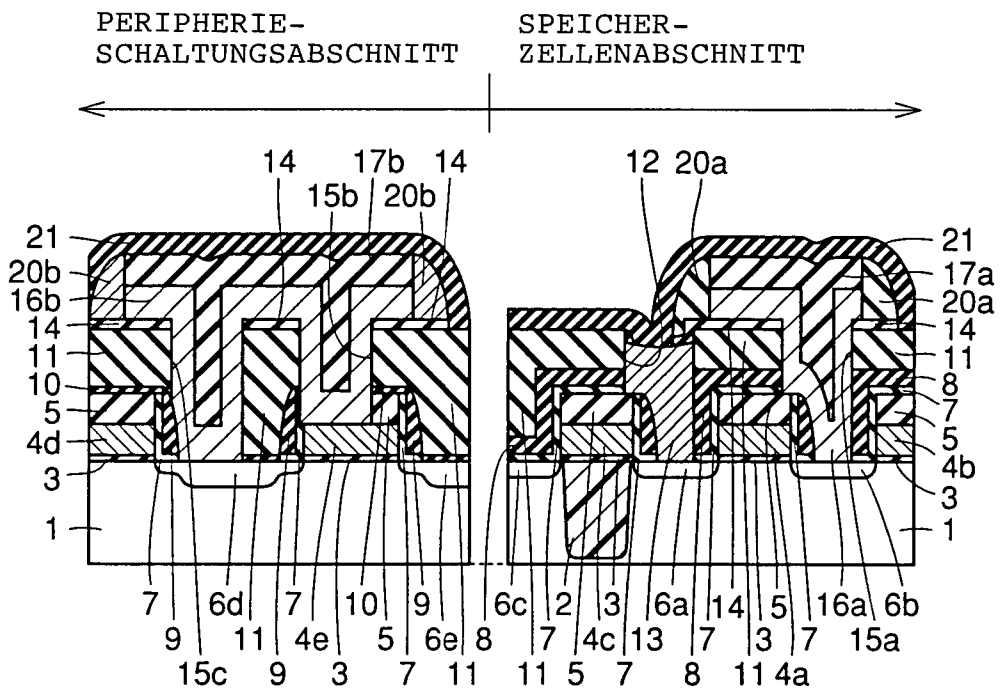


FIG. 14

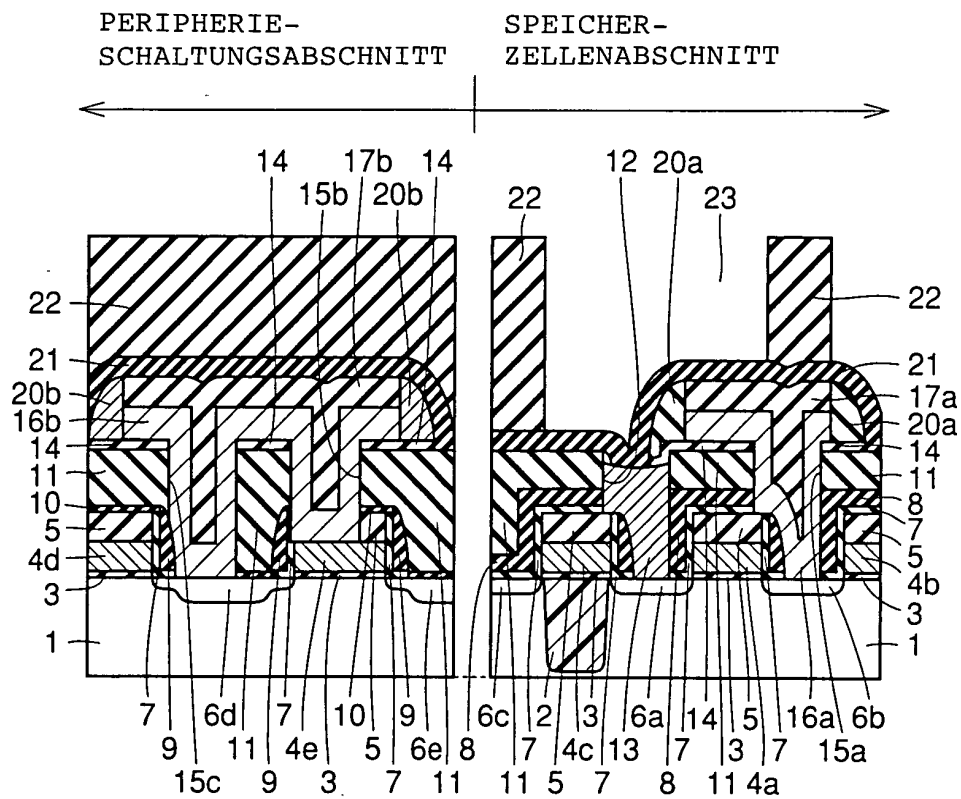


FIG. 15

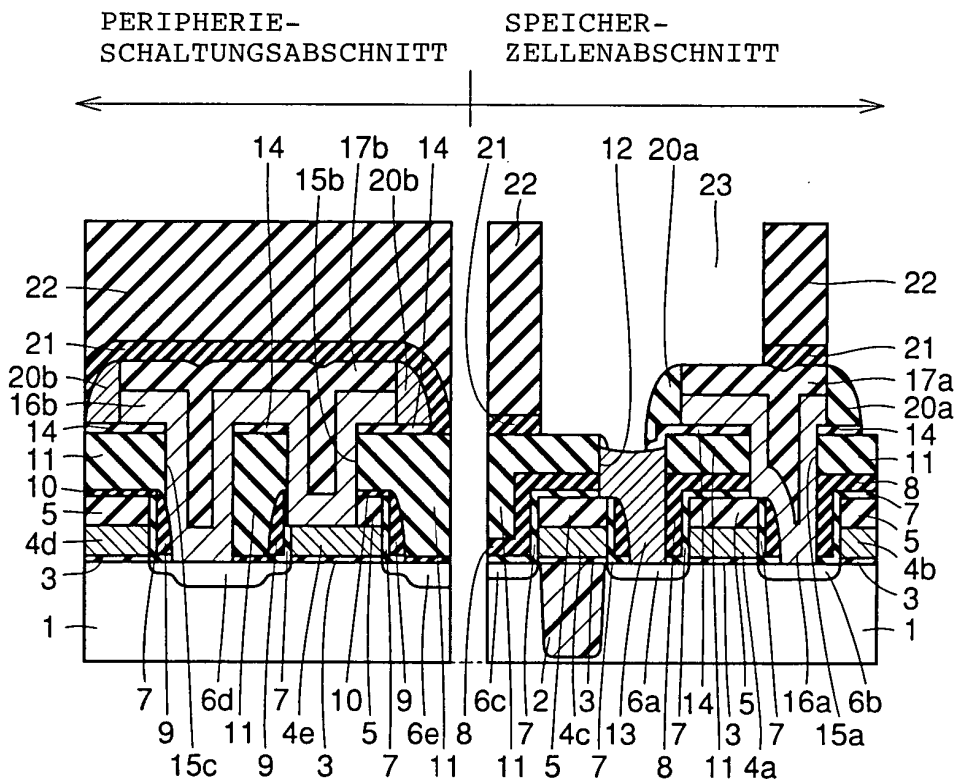


FIG. 16

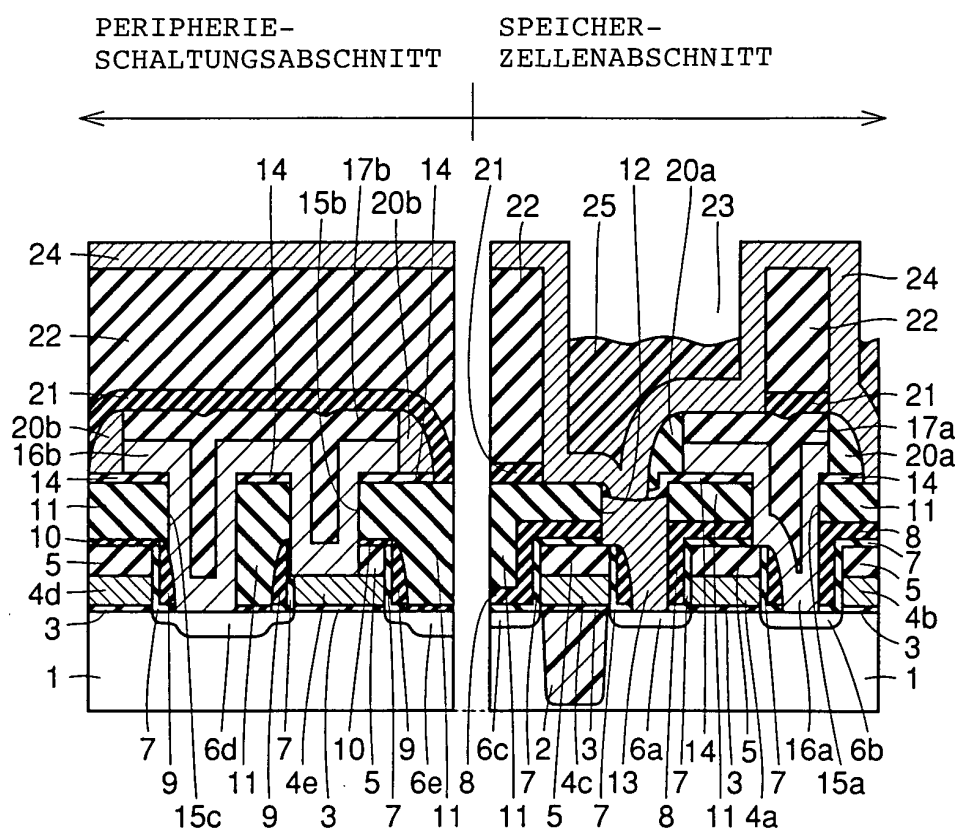


FIG. 17

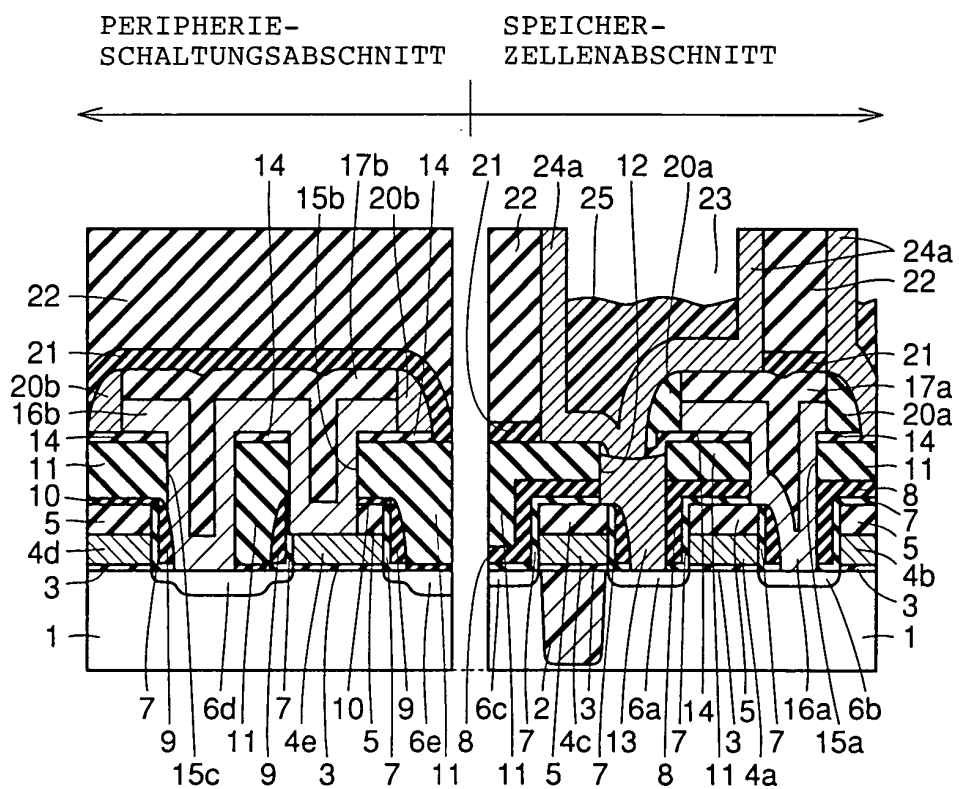


FIG. 18

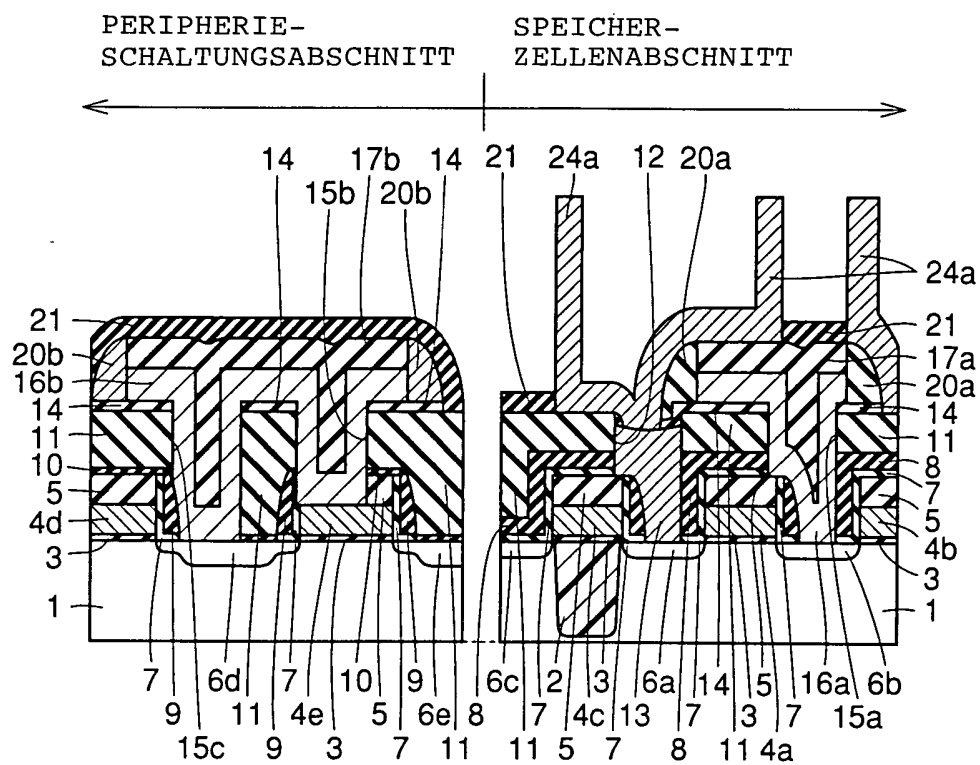


FIG. 19

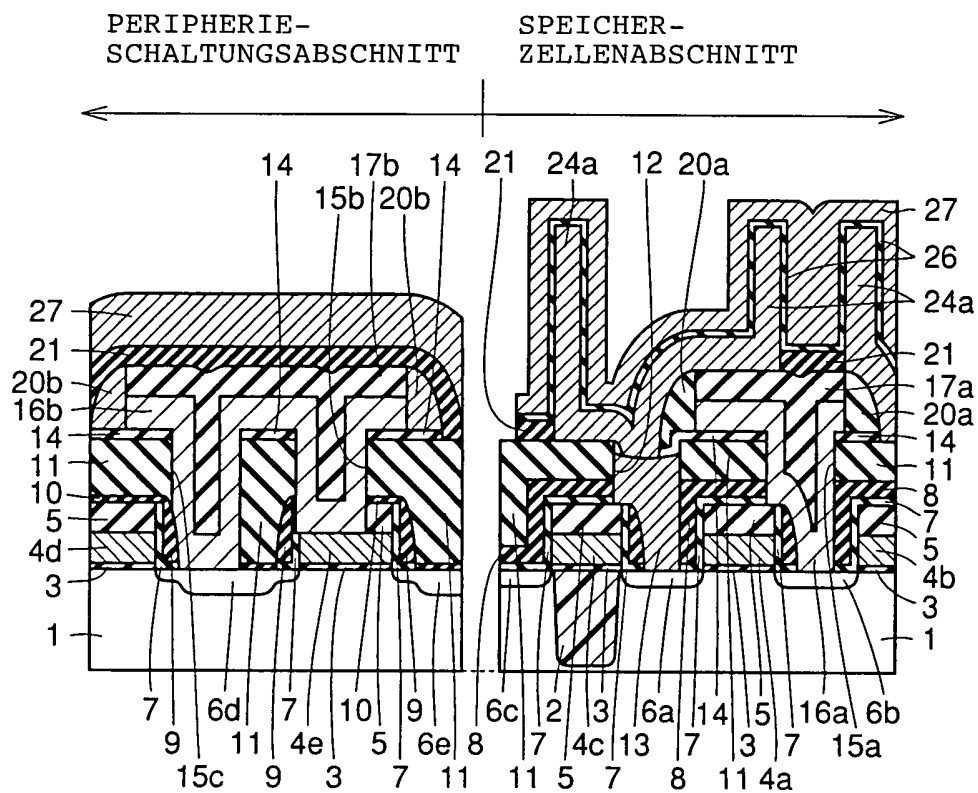


FIG. 20

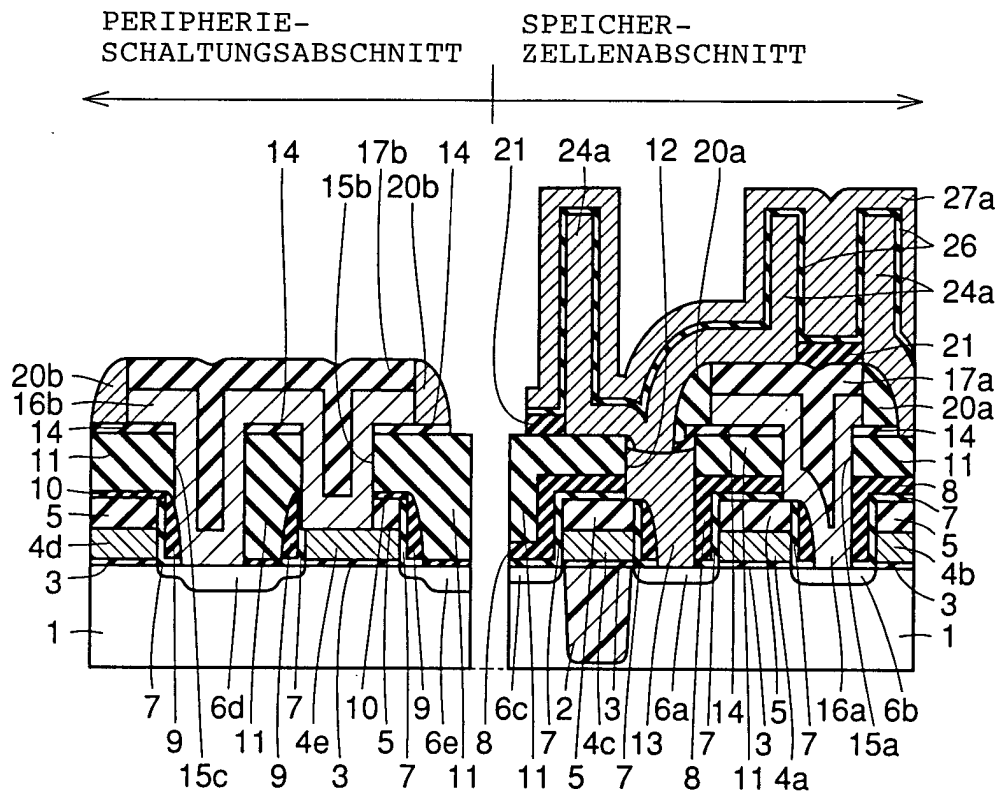


FIG. 21

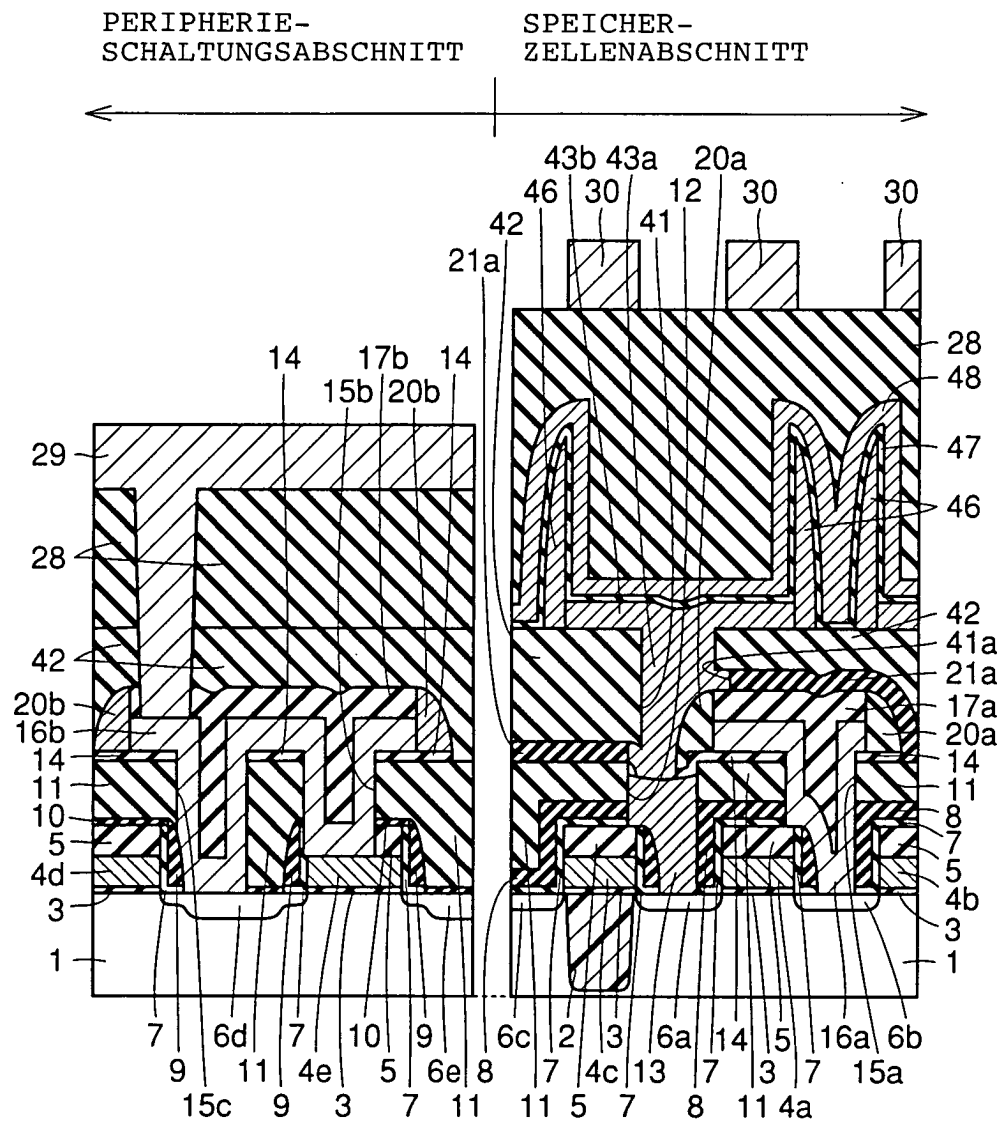


FIG. 22

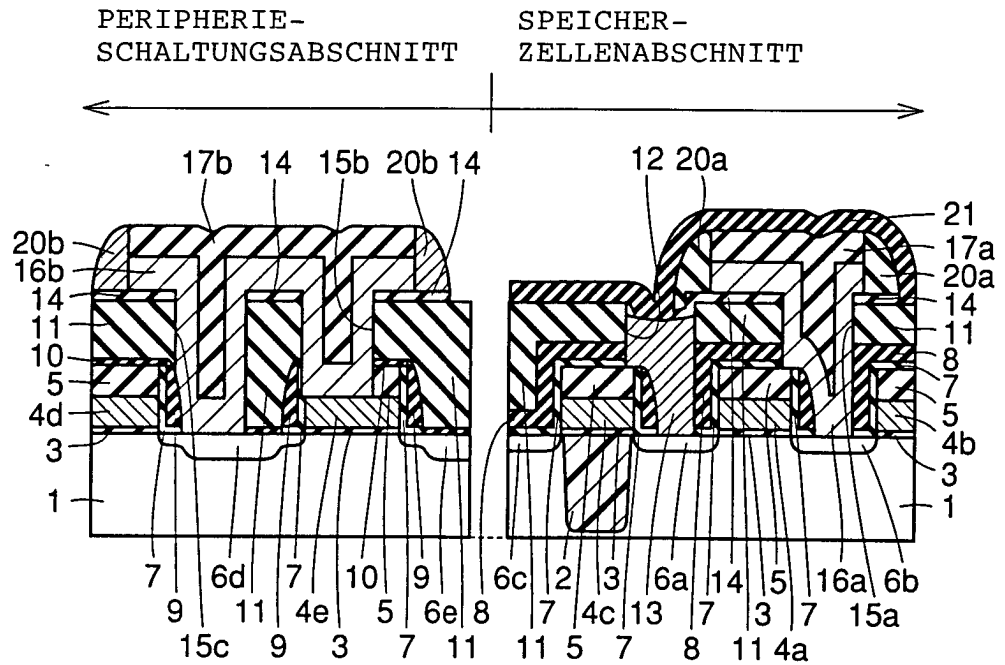


FIG. 23

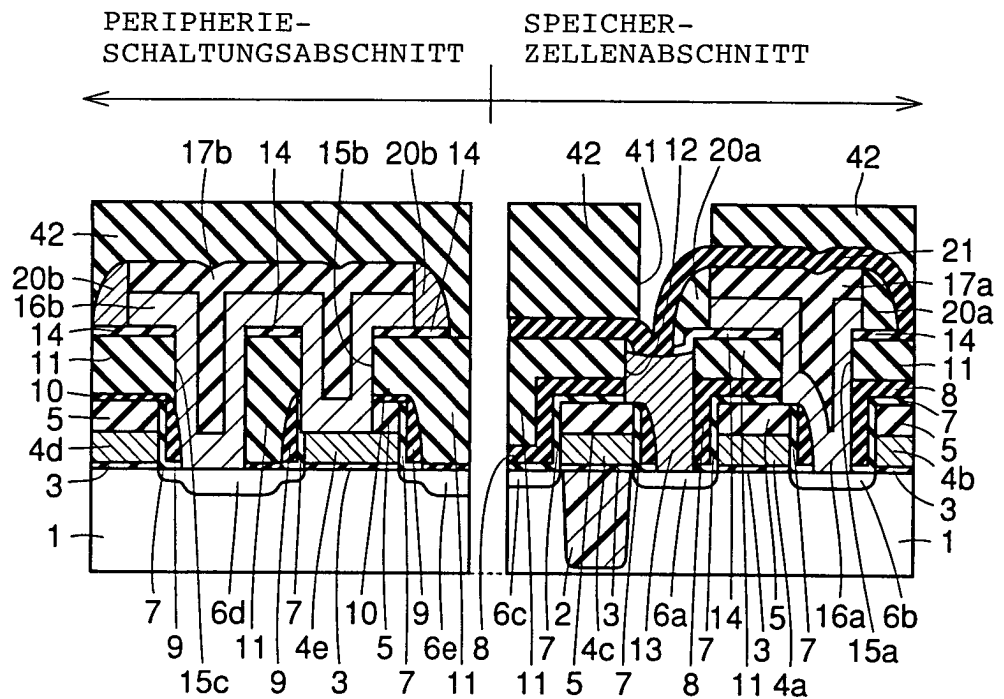


FIG. 24

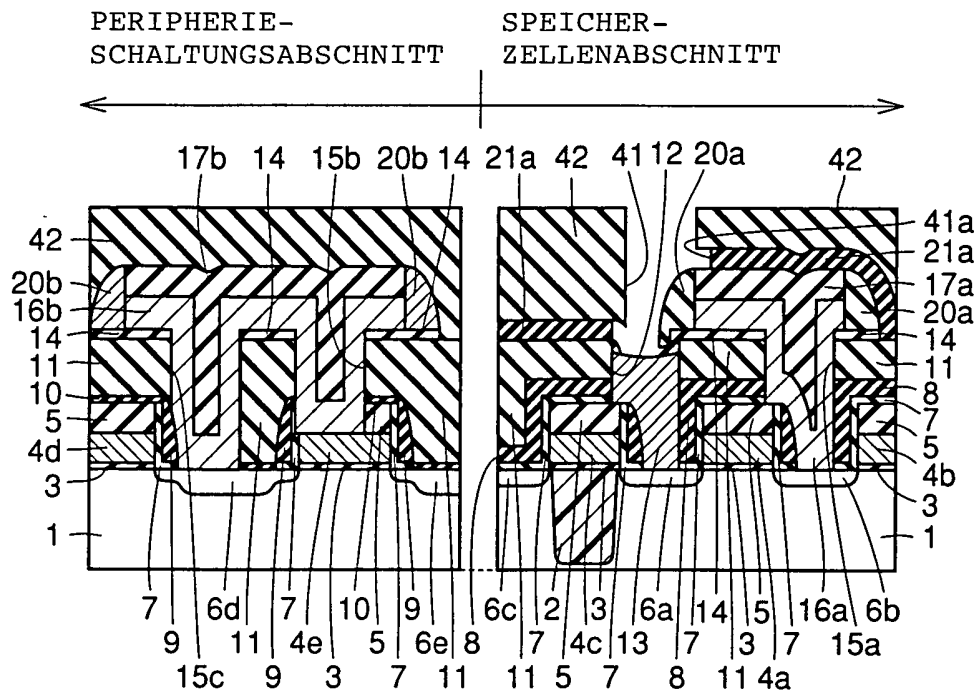


FIG. 25

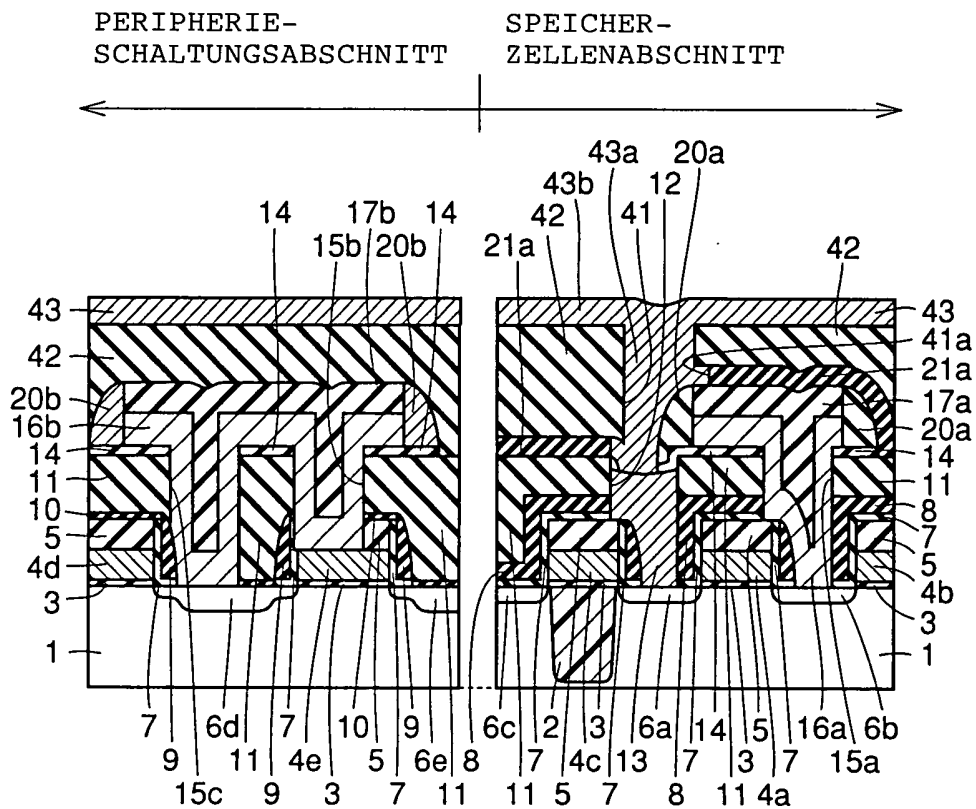


FIG. 26

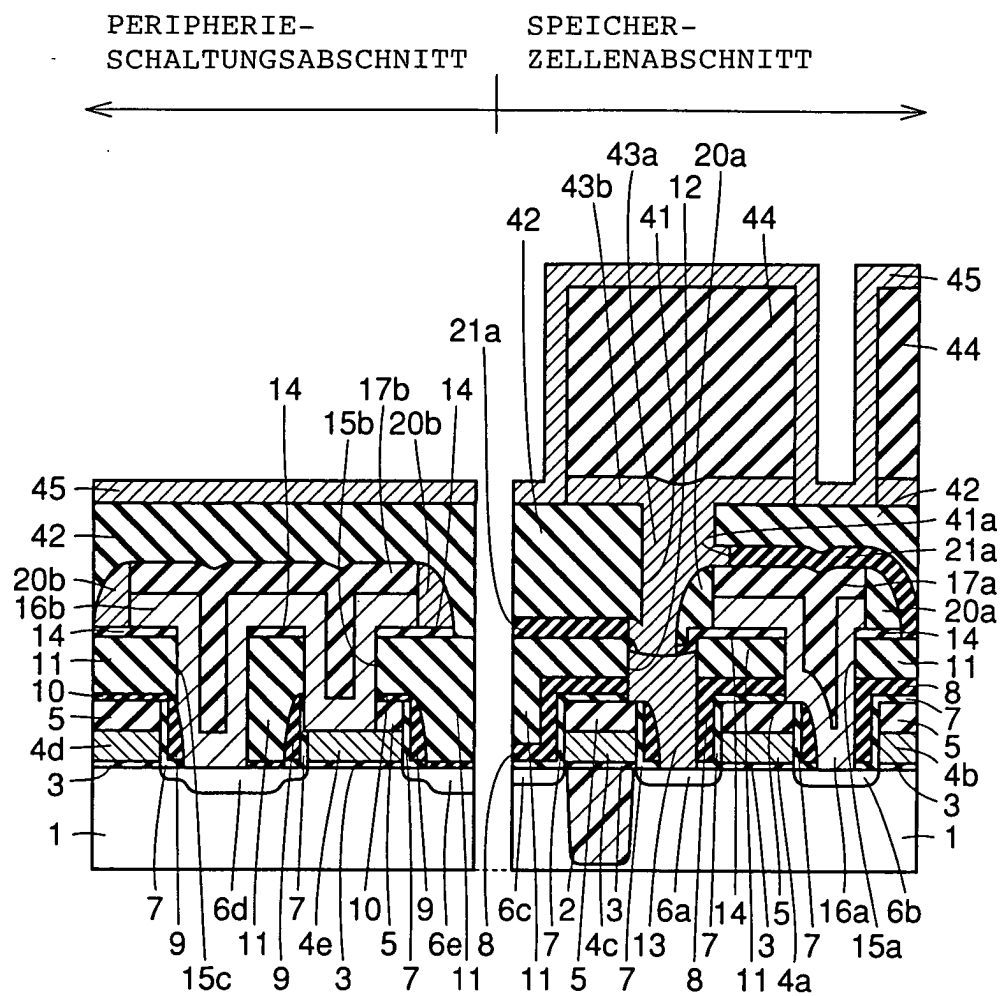


FIG. 27

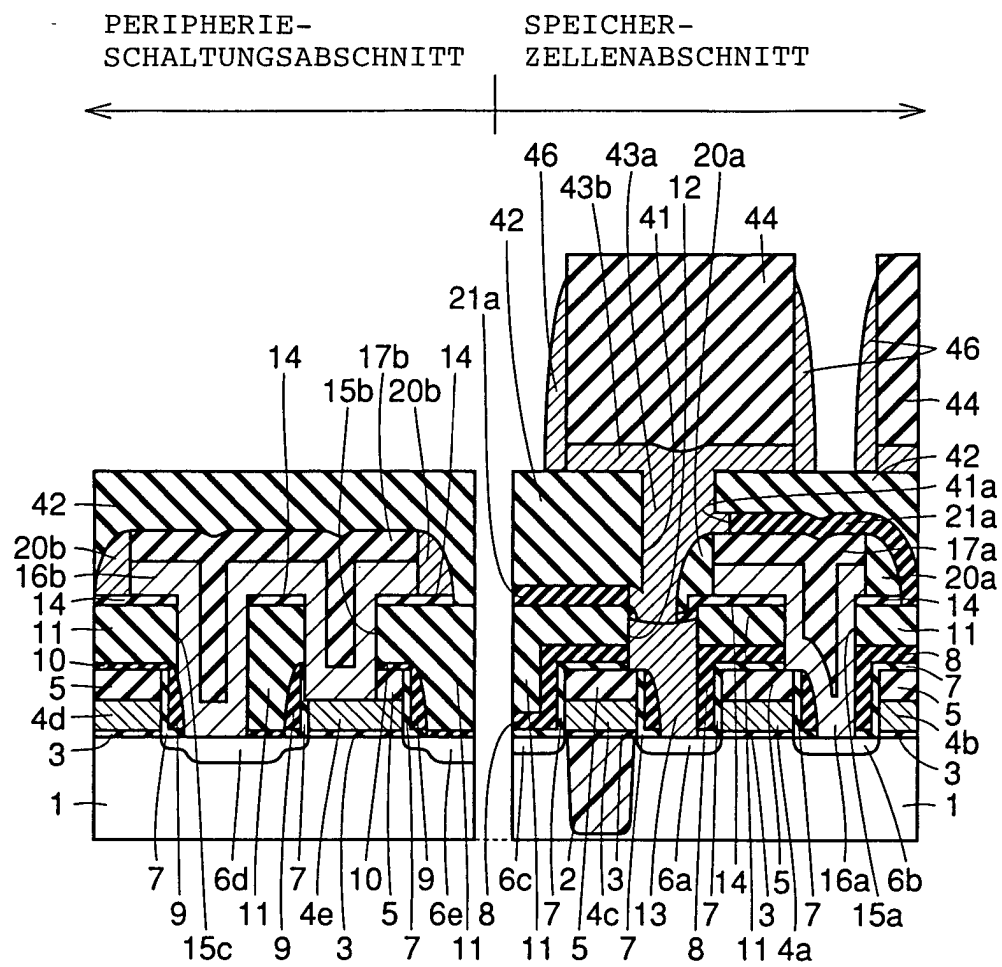


FIG. 28

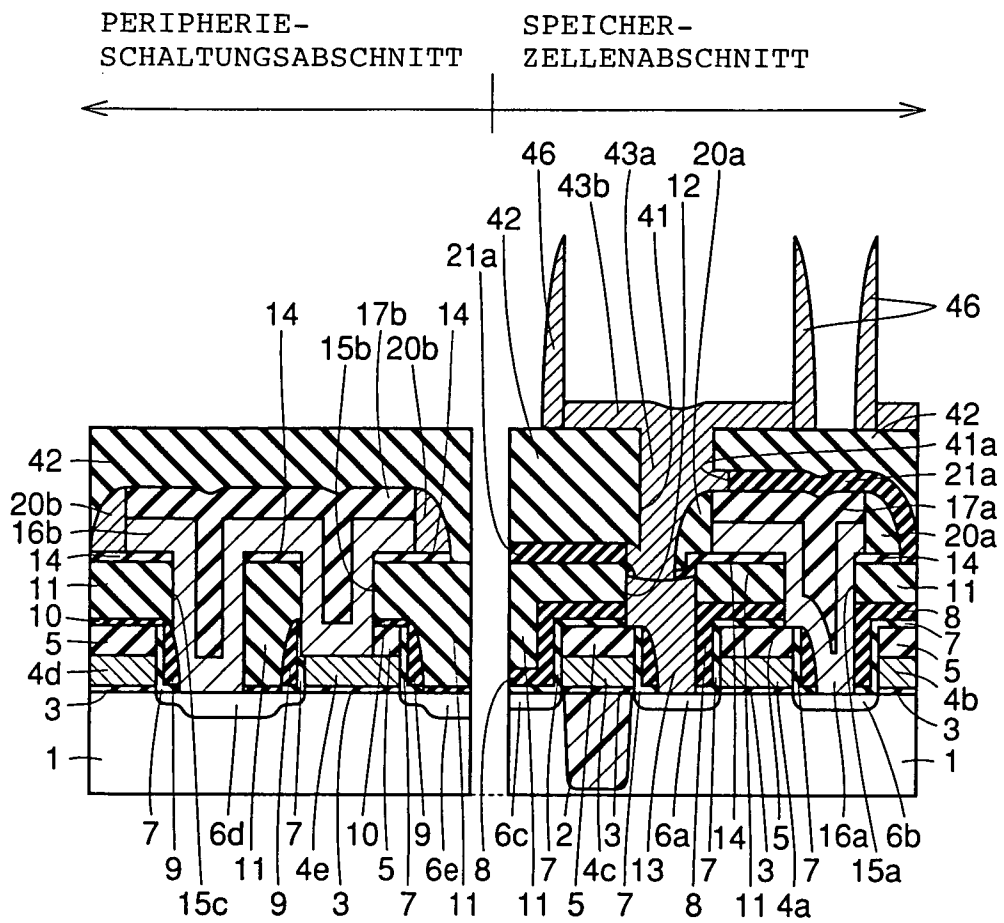


FIG. 29

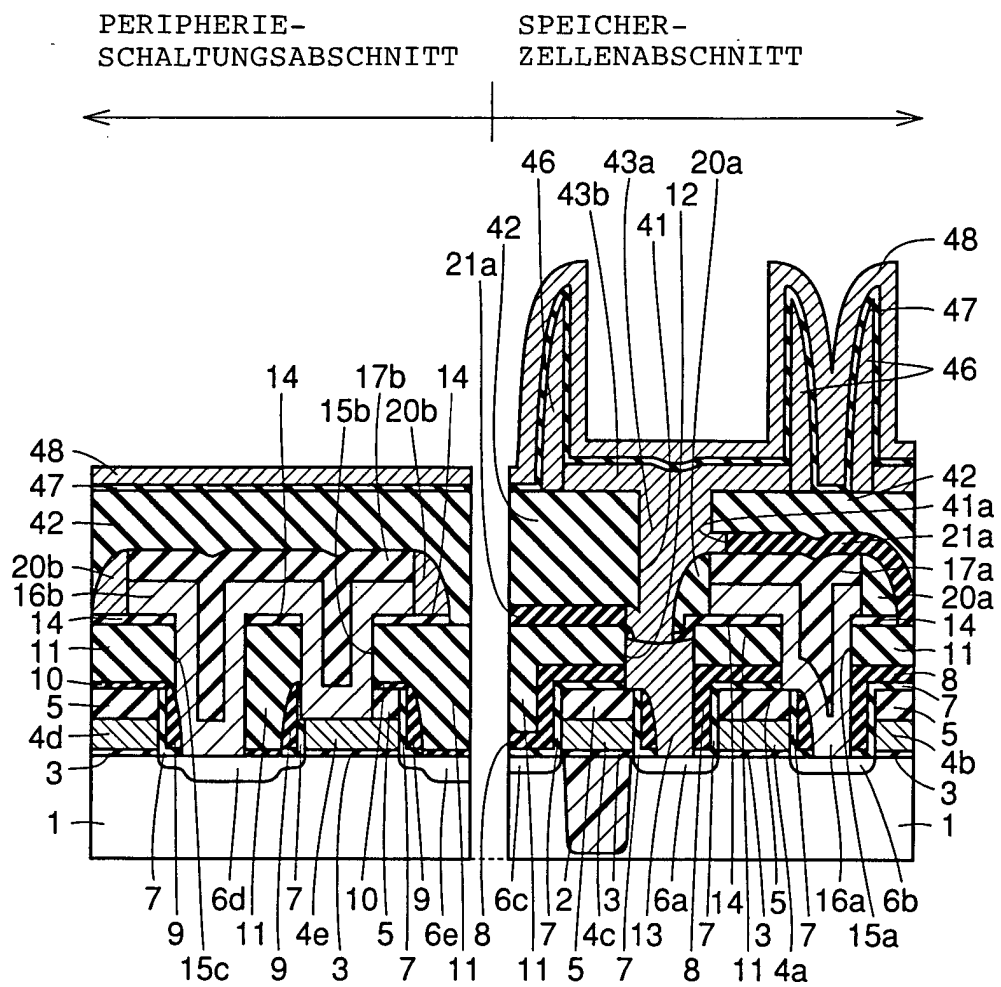


FIG. 30

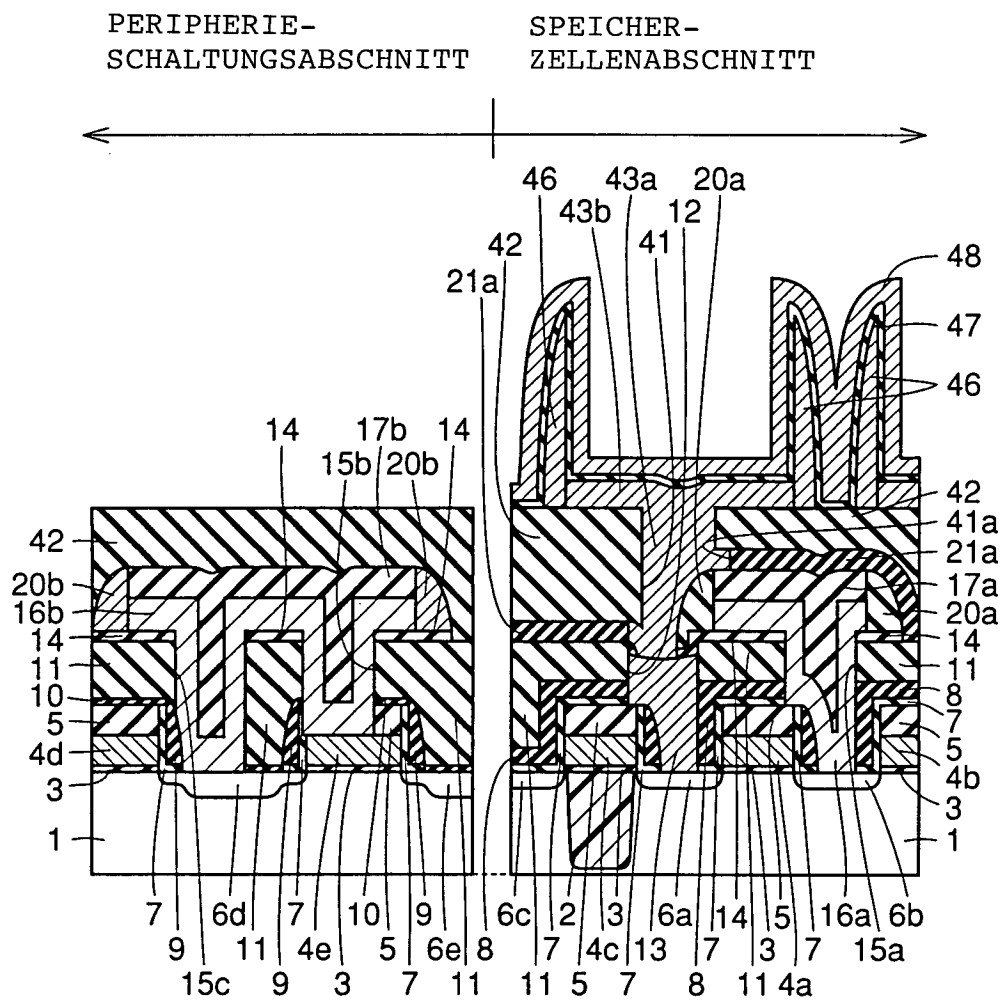


FIG. 31

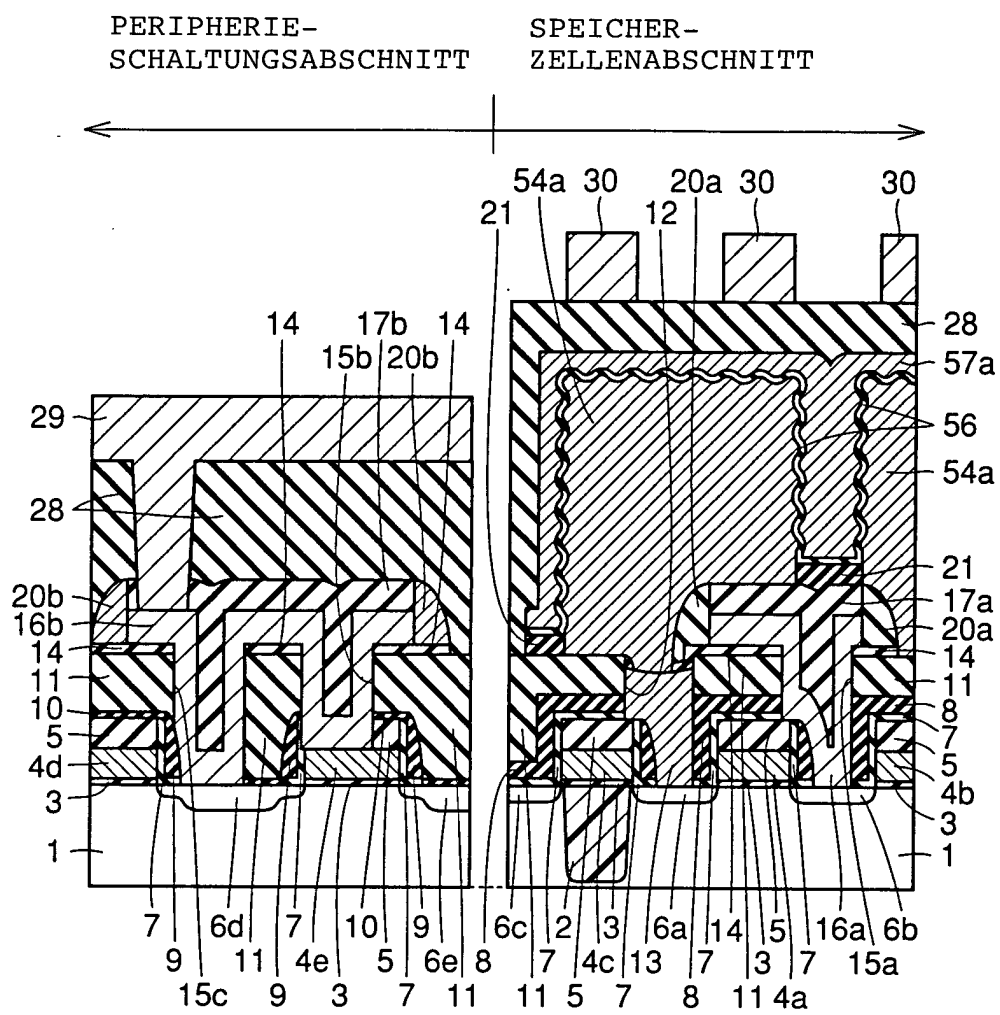


FIG. 32

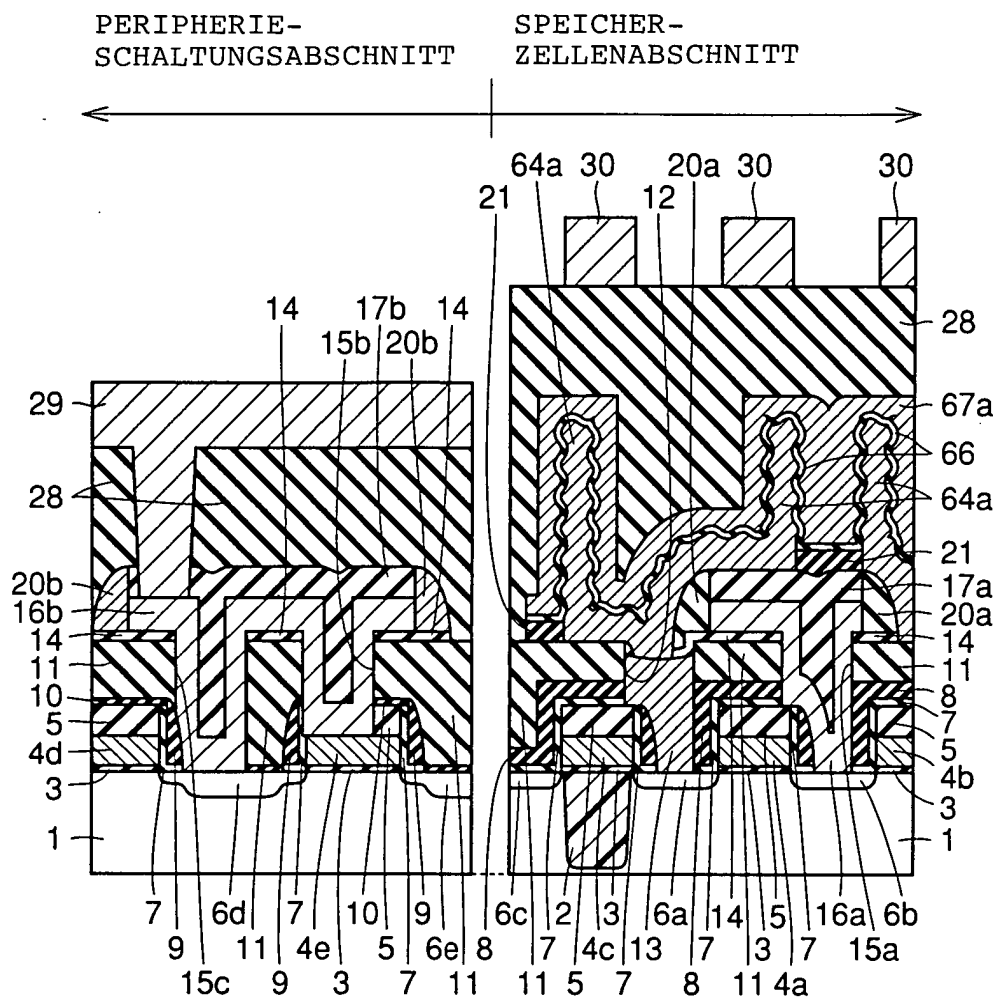


FIG. 33

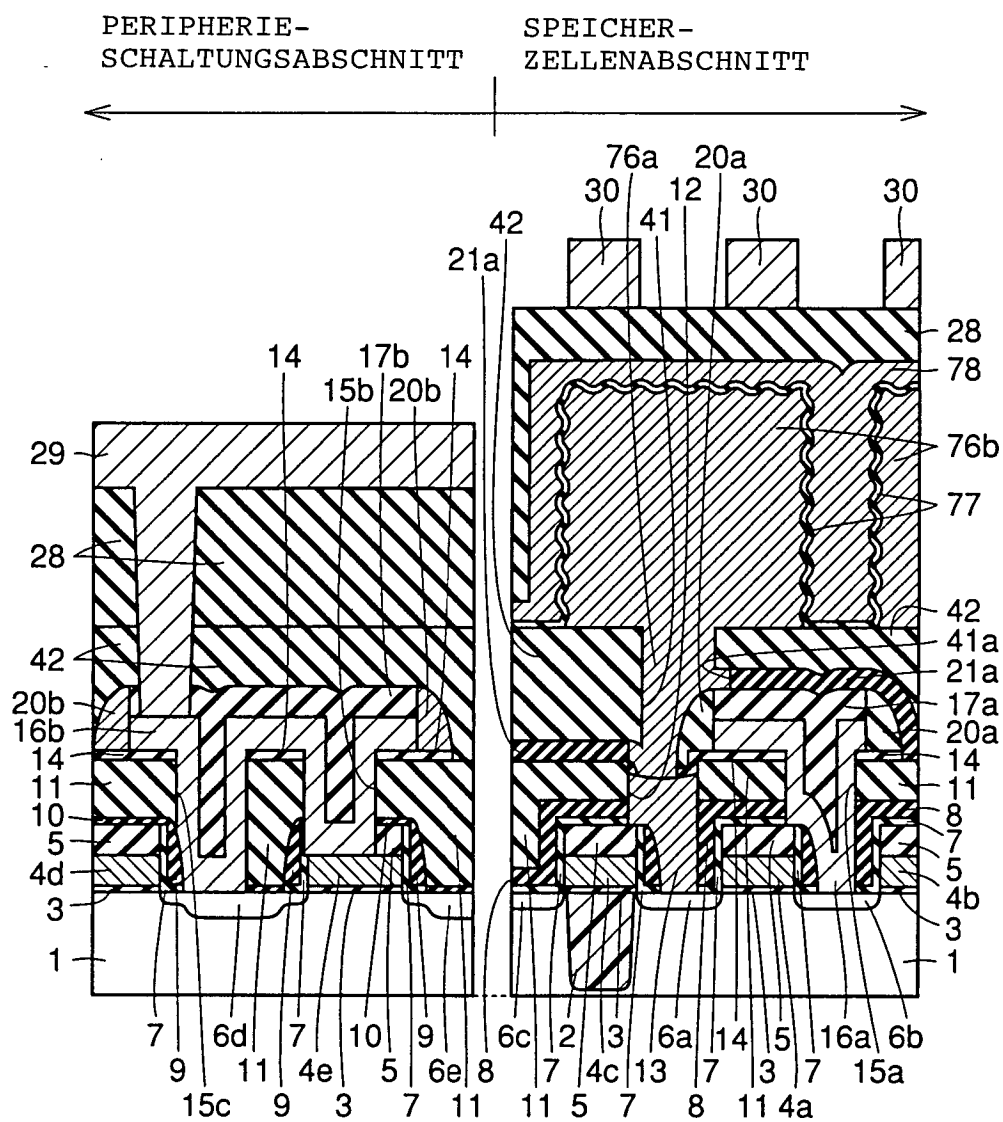


FIG. 34

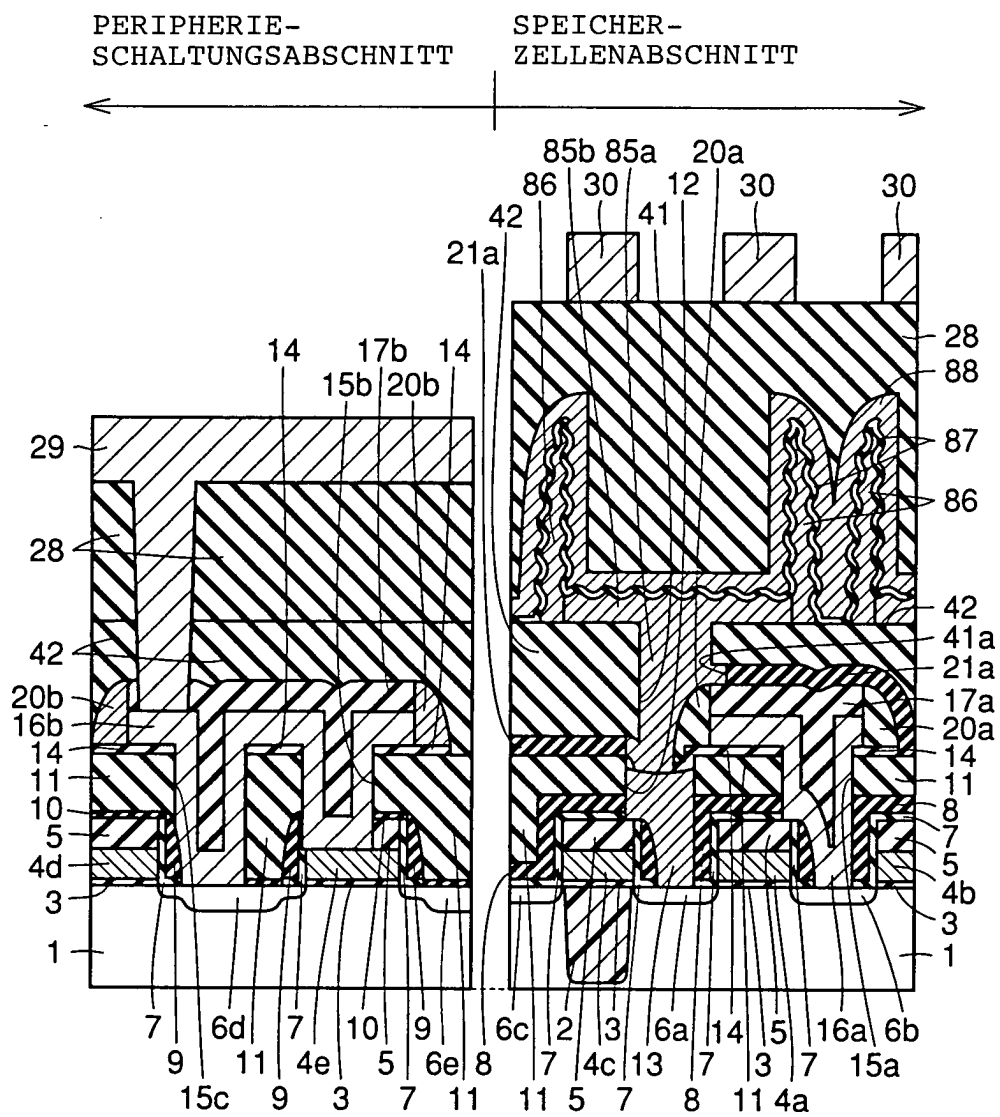


FIG. 35

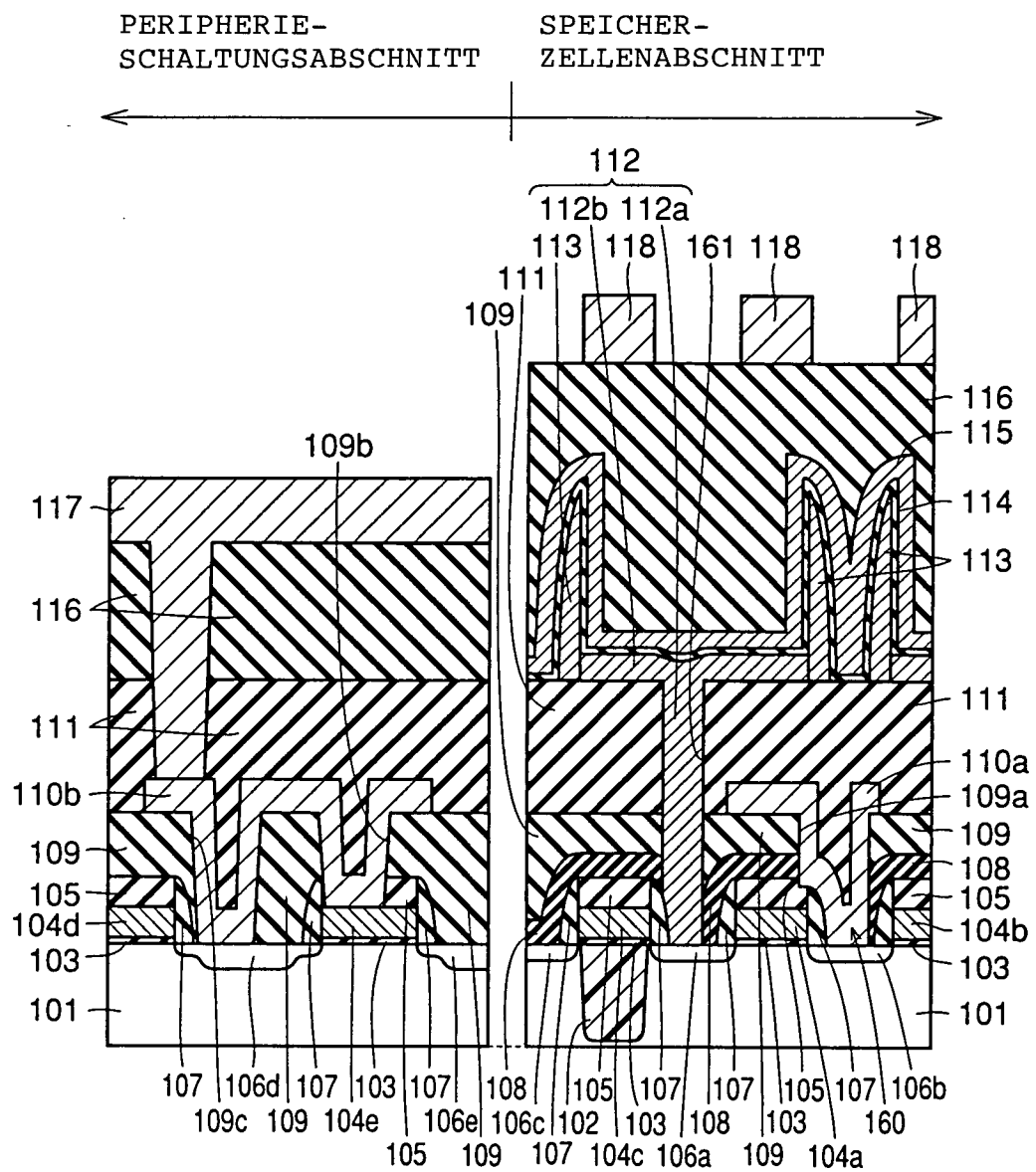


FIG. 36

1 / 2 - RASTER - PLAN

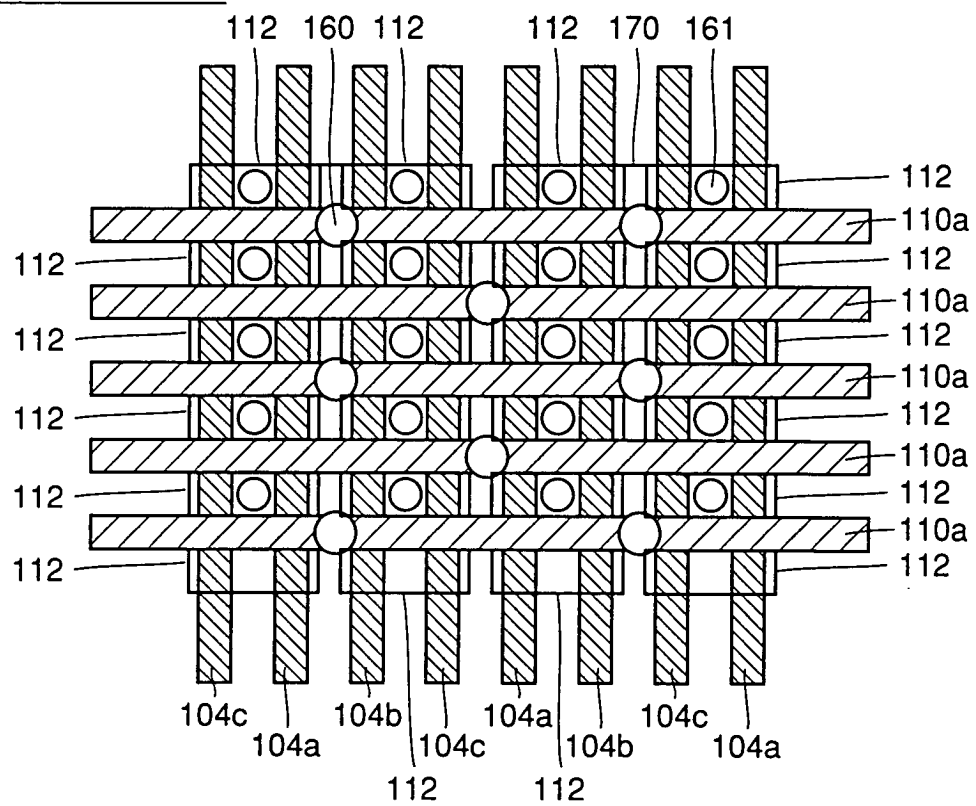


FIG. 37

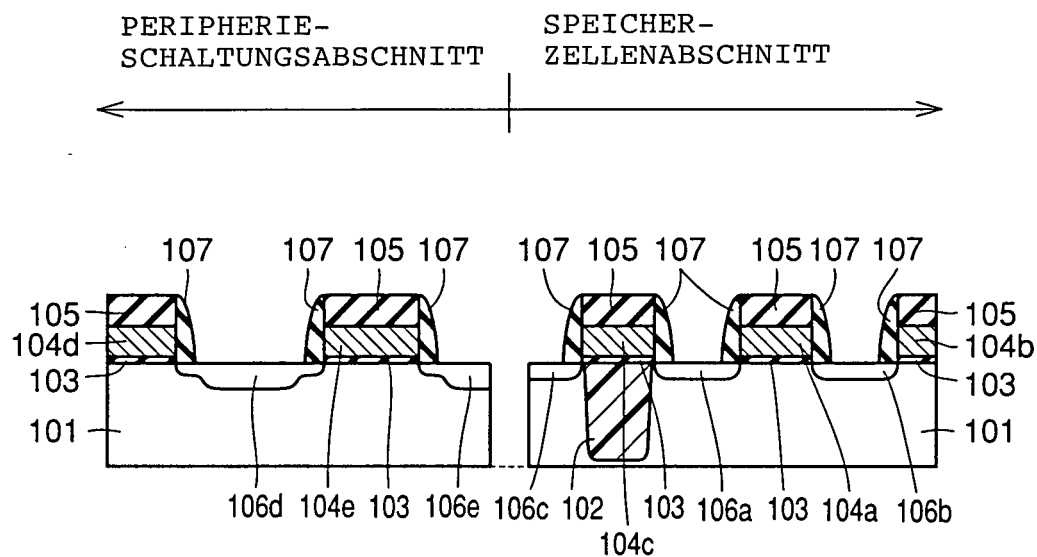


FIG. 38

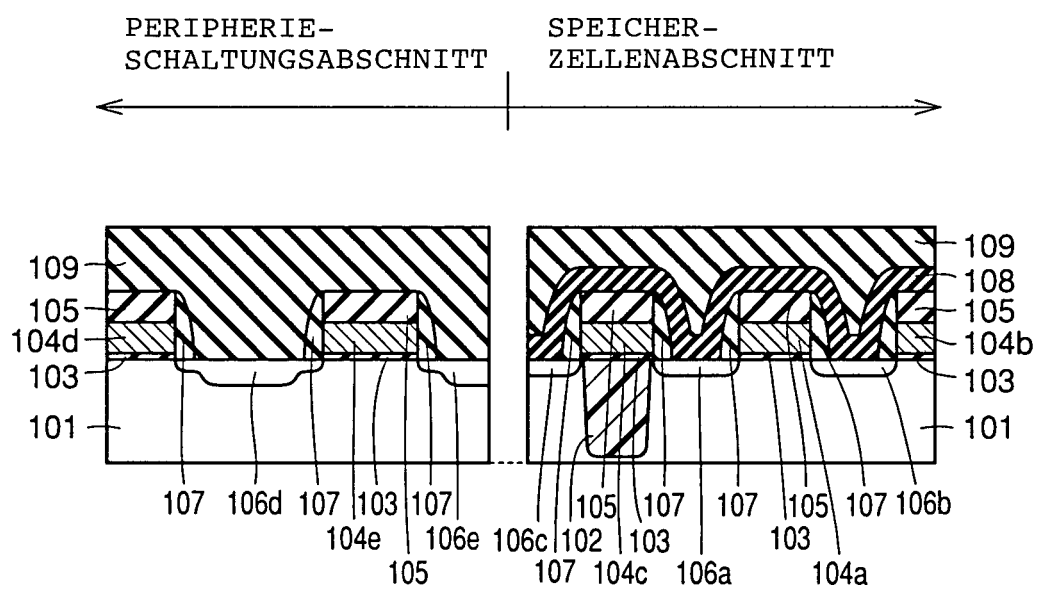


FIG. 39

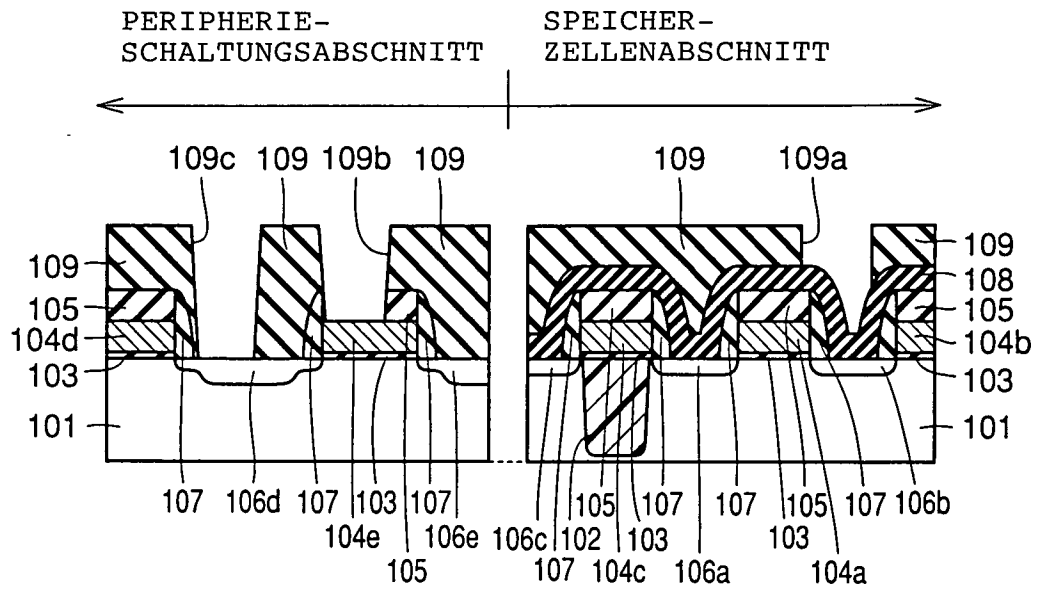


FIG. 40

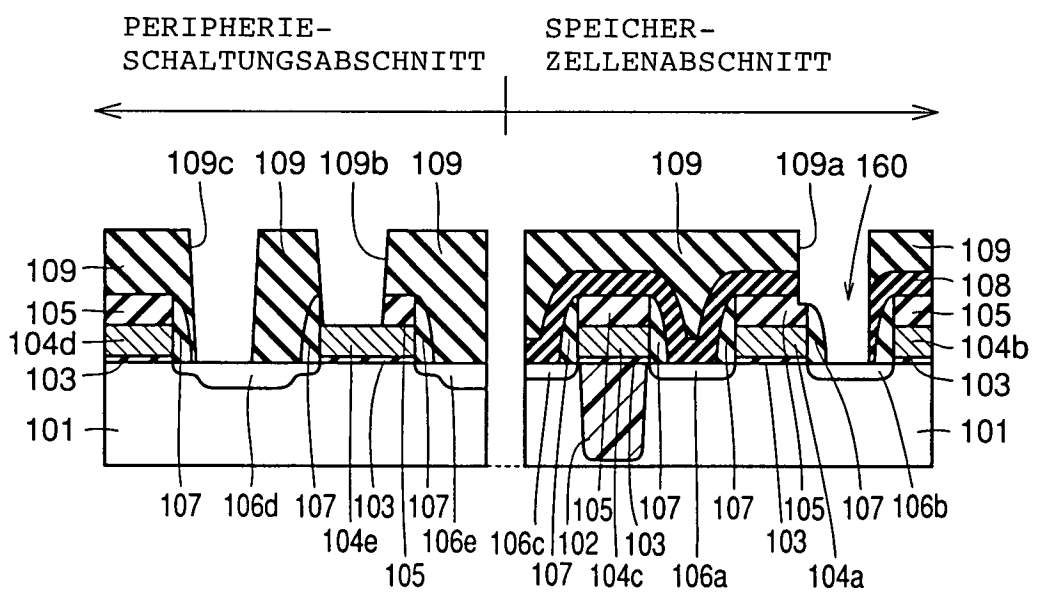


FIG. 41

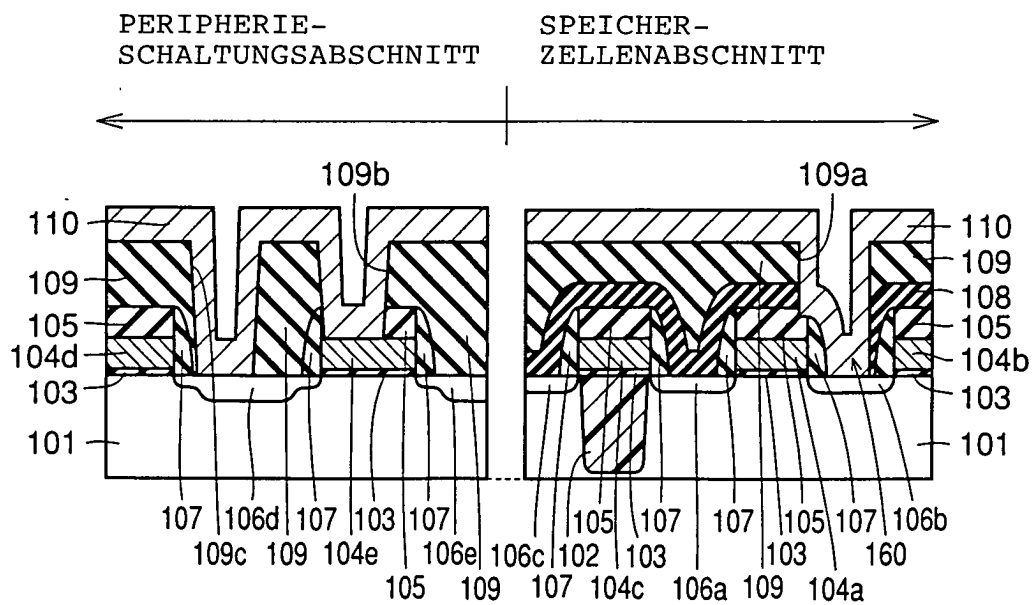


FIG. 42

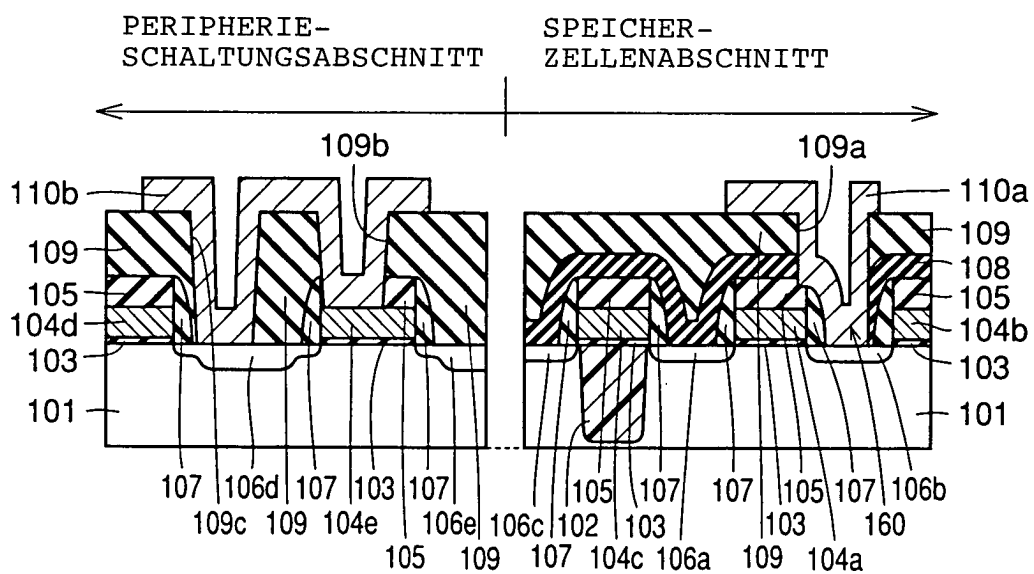


FIG. 43

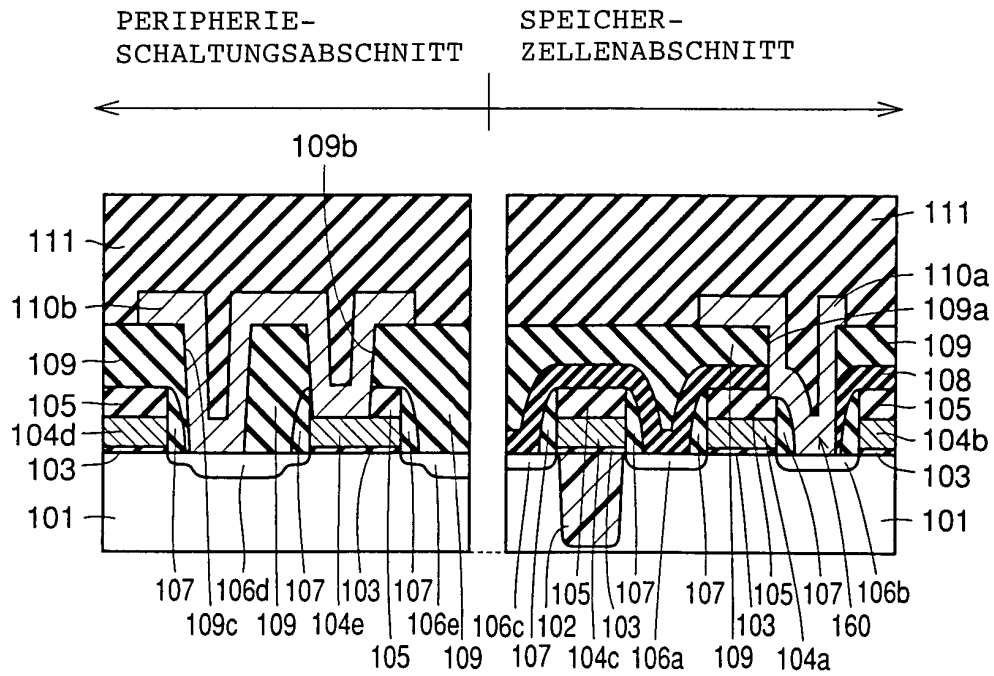


FIG. 44

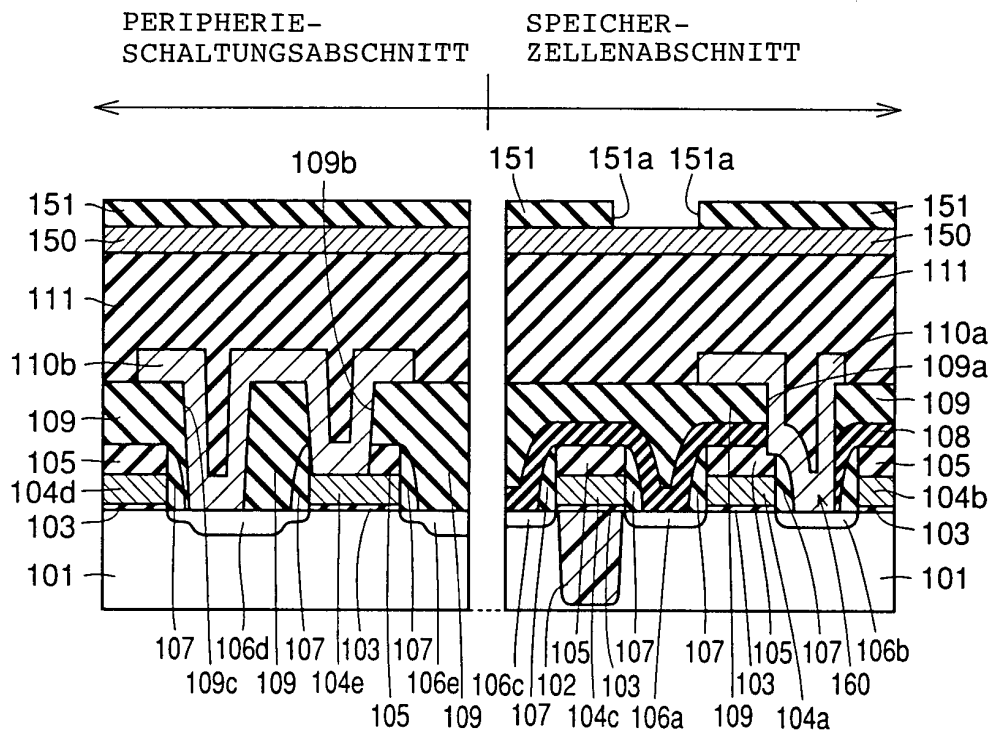


FIG. 45

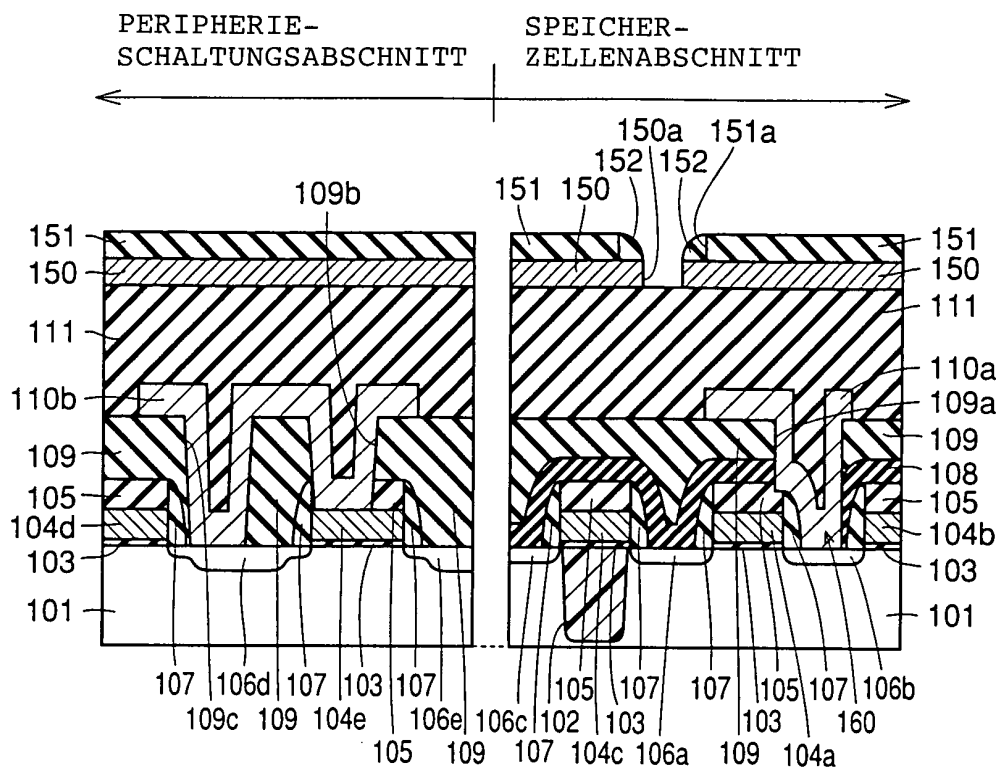


FIG. 46

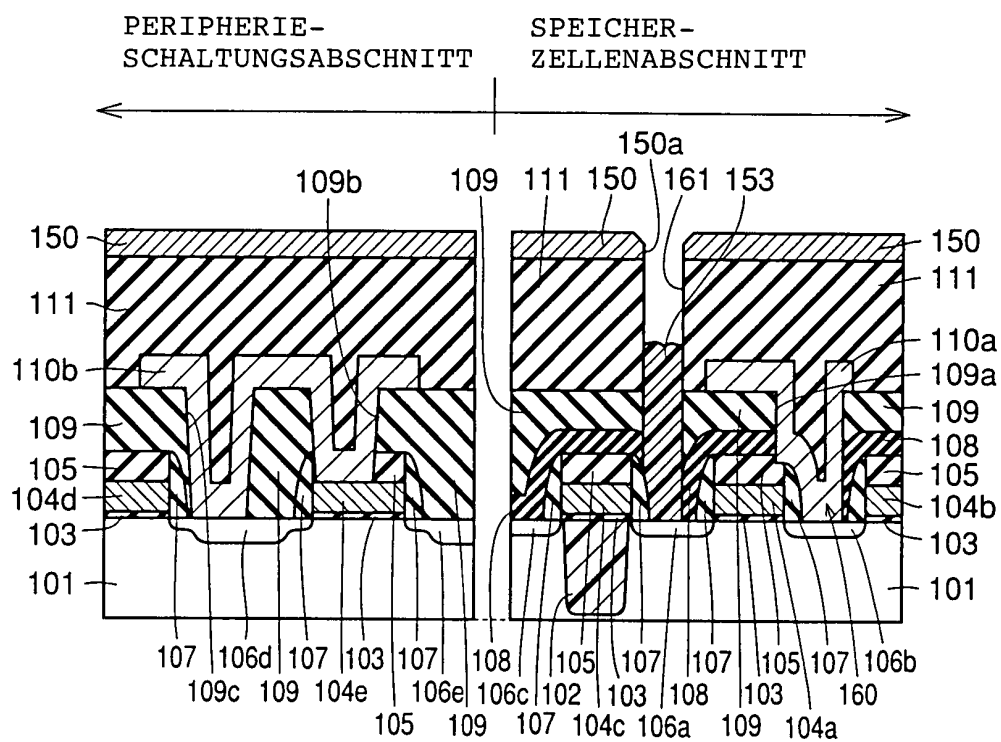


FIG. 47

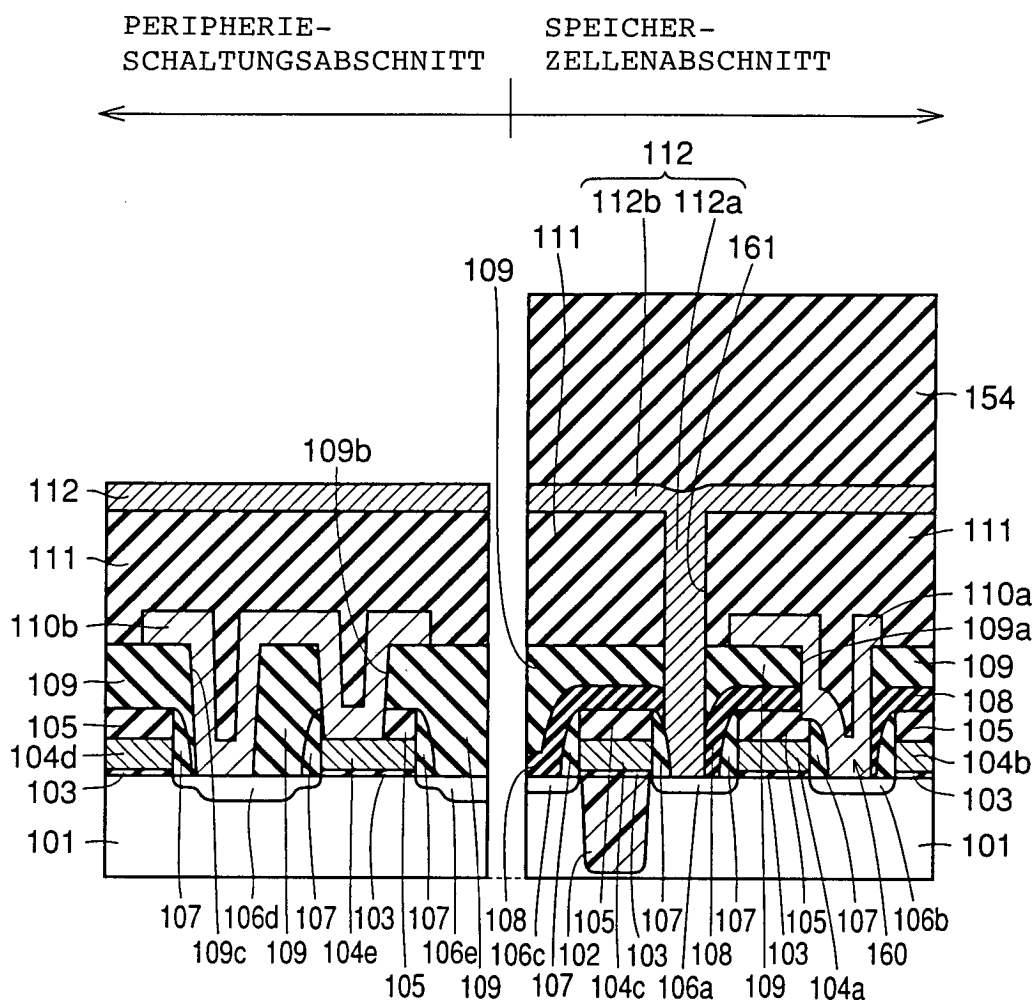


FIG. 48

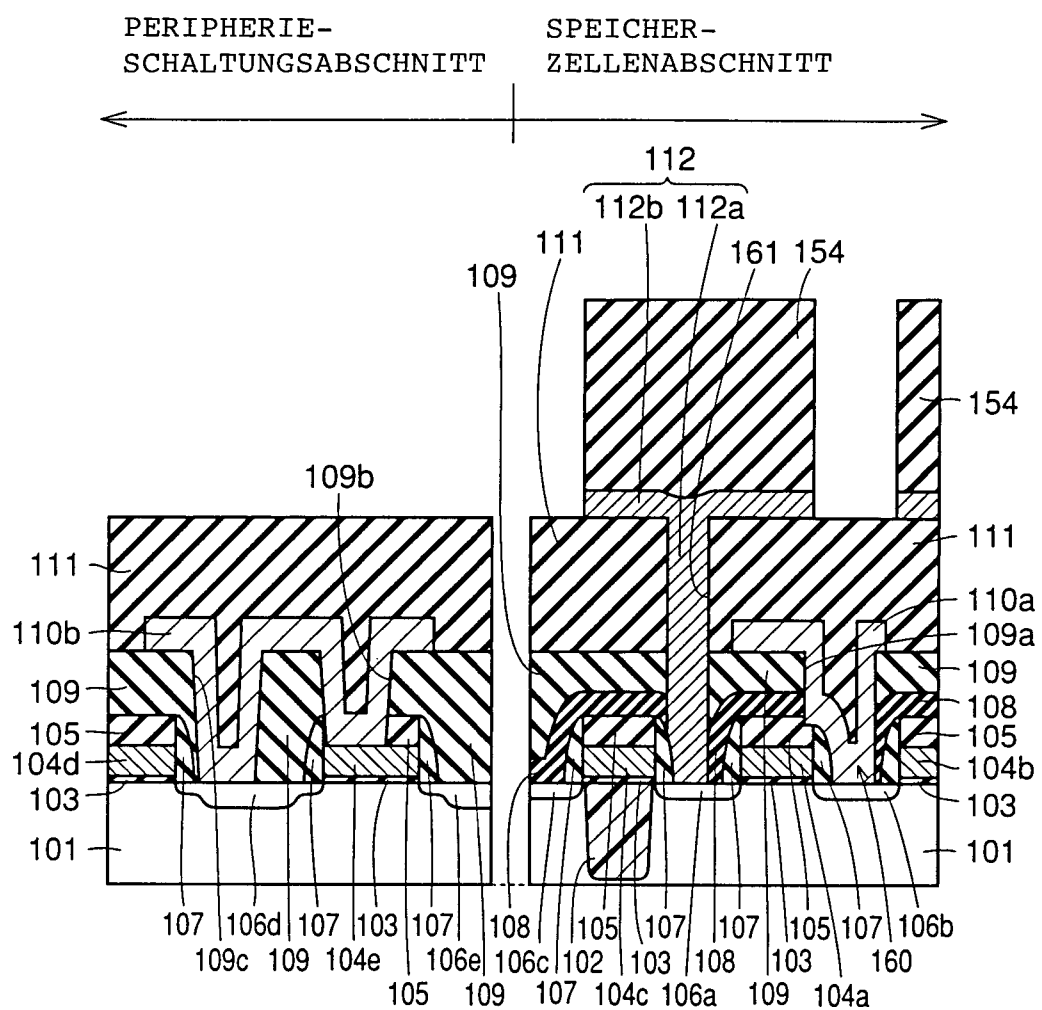


FIG. 49

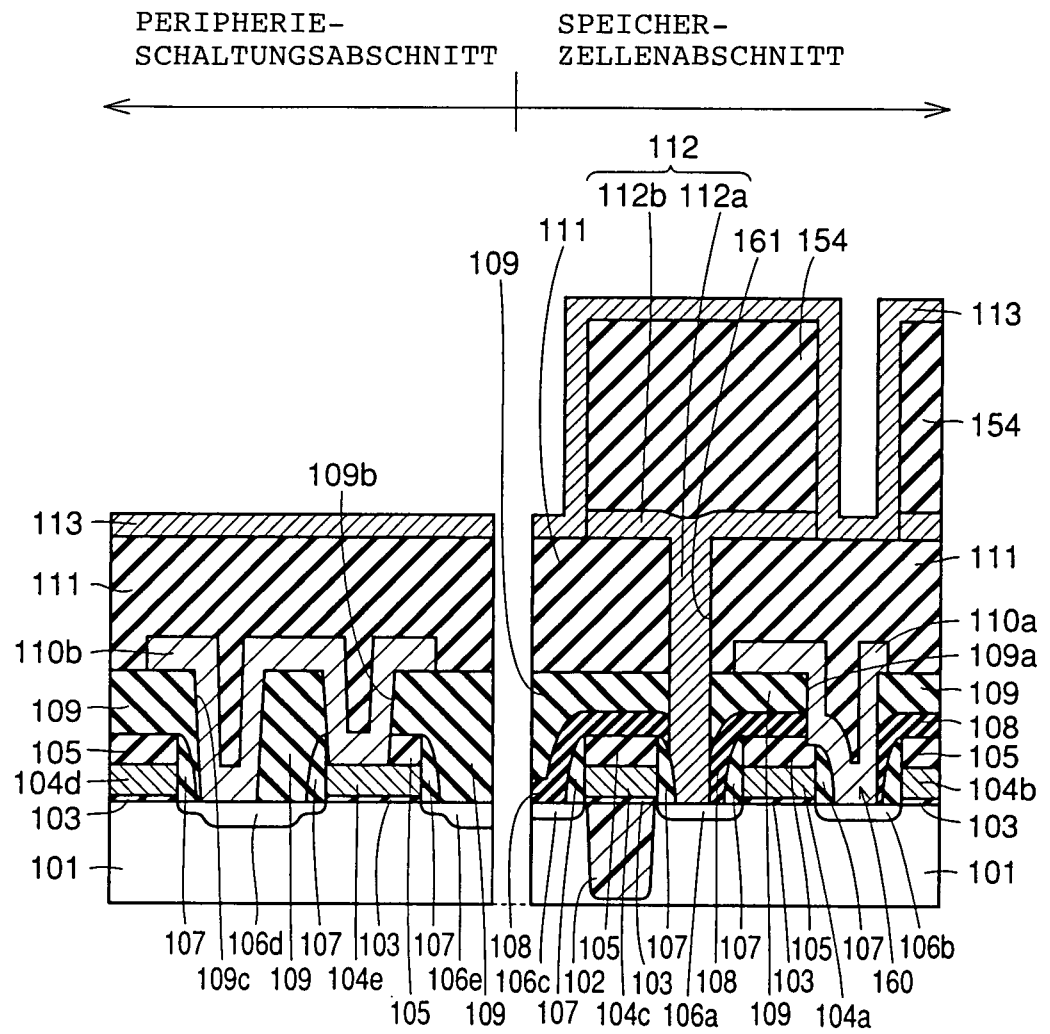


FIG. 50

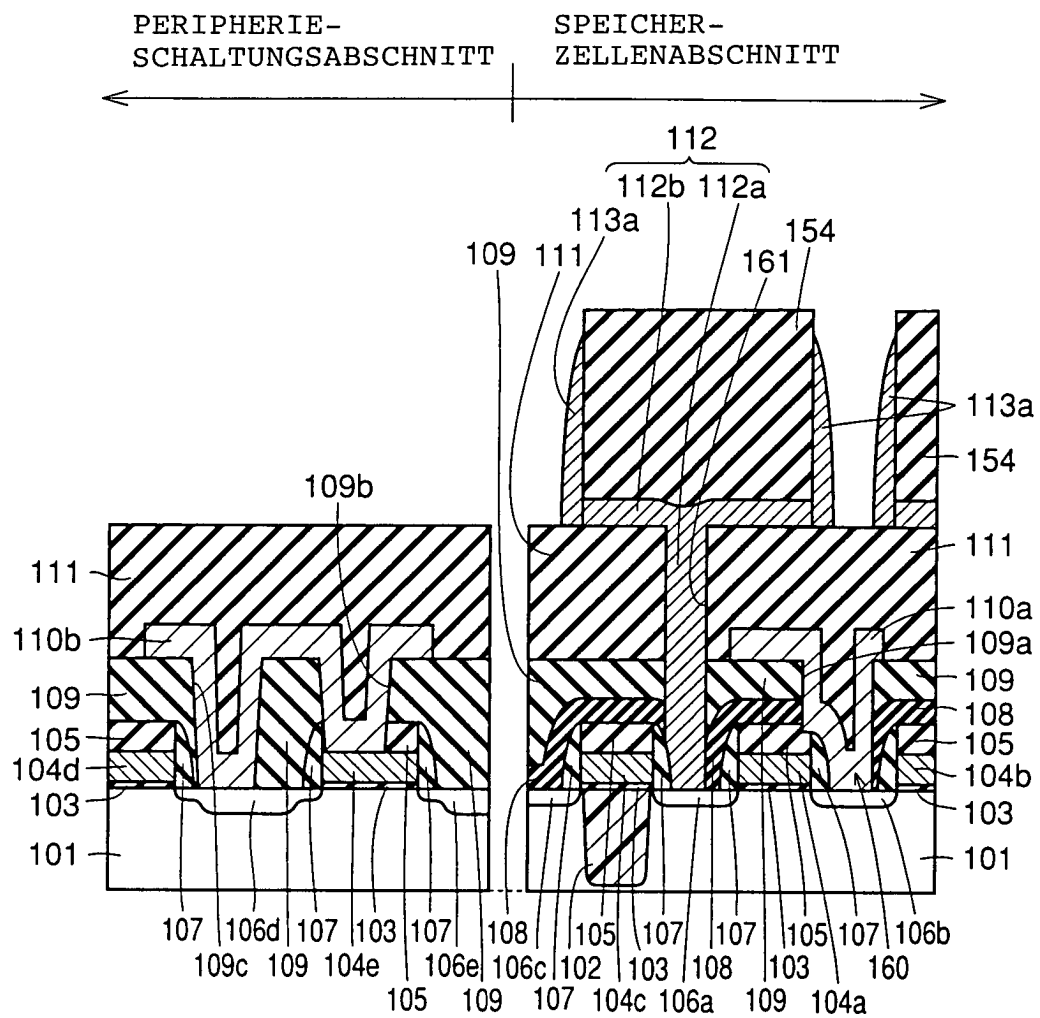


FIG. 51

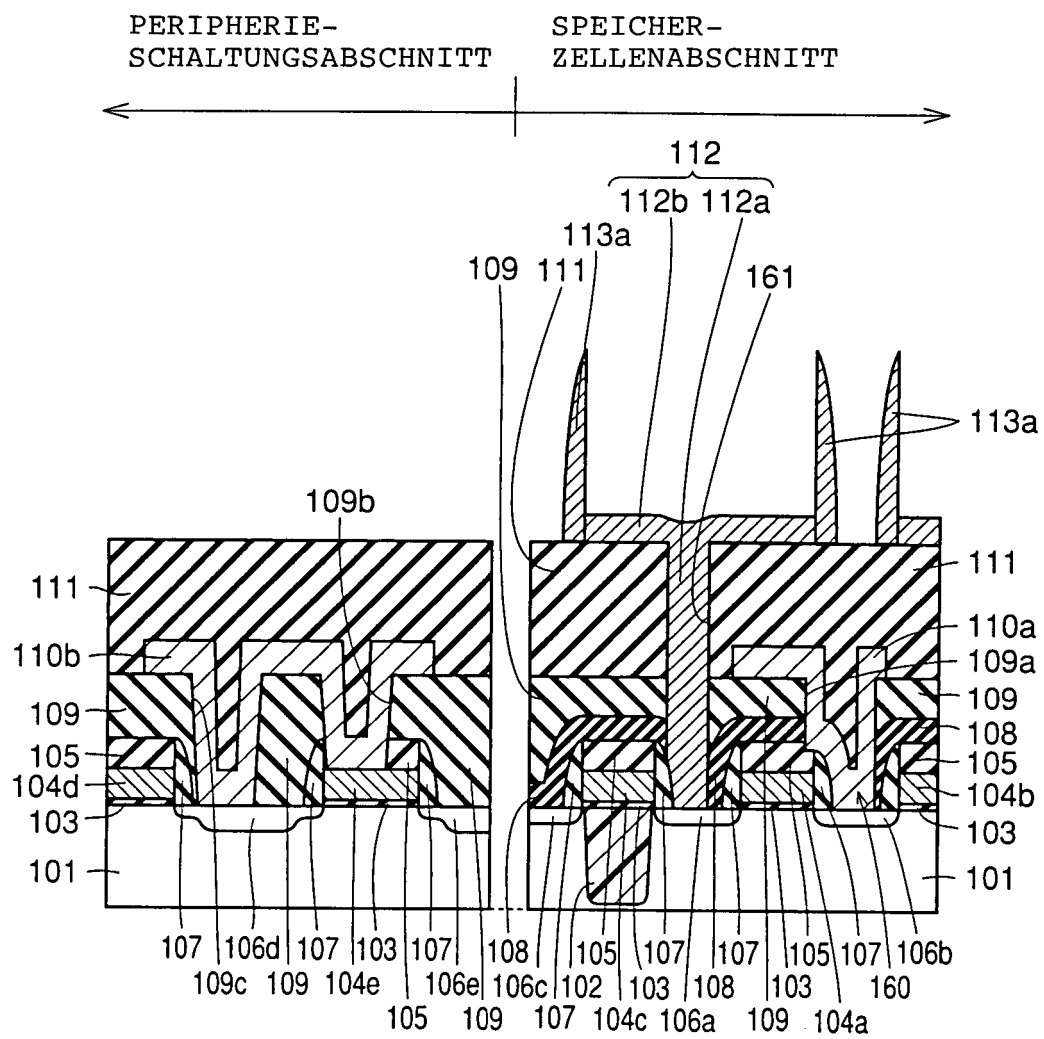


FIG. 52

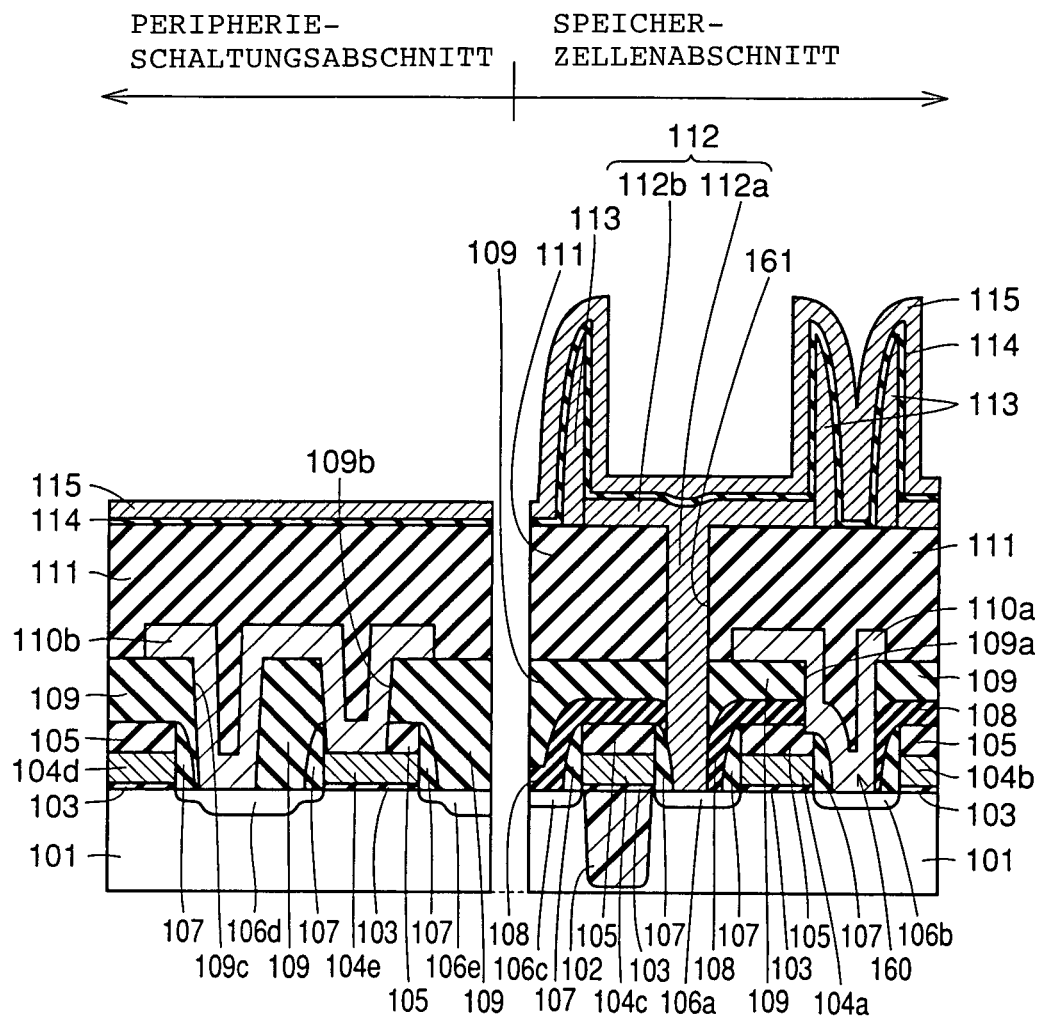


FIG. 53

