

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年3月27日 (27.03.2003)

PCT

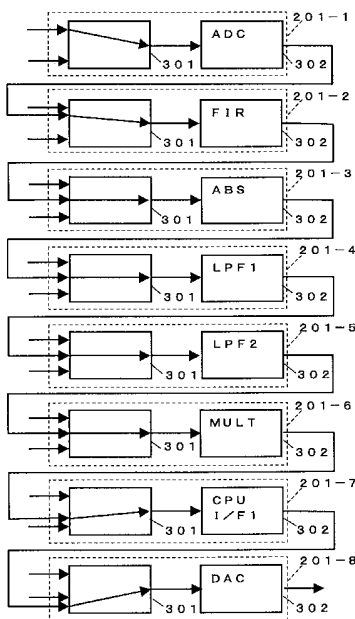
(10) 国際公開番号
WO 03/025737 A1

- | | | |
|---------------|--|---|
| (51) 国際特許分類: | G06F 7/00 | (71) 出願人 (米国を除く全ての指定国について): 株式会社エヌティーアイ (NTI, INC.) [JP/JP]; 〒512-8044 三重県 四日市市中村町 2 2 9 1 番地 1 Mie (JP). |
| (21) 国際出願番号: | PCT/JP02/08681 | |
| (22) 国際出願日: | 2002年8月28日 (28.08.2002) | (72) 発明者; および |
| (25) 国際出願の言語: | 日本語 | (75) 発明者/出願人 (米国についてのみ): 中村 貴利 (NAKA-MURA, Takatoshi) [JP/JP]; 〒512-8044 三重県 四日市市中村町 2 2 9 1 番地 1 株式会社エヌティーアイ内 Mie (JP). 横田 昭寛 (YOKOTA, Akihiro) [JP/JP]; 〒512-8044 三重県 四日市市中村町 2 2 9 1 番地 1 株式会社エヌティーアイ内 Mie (JP). |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | 特願2001-259644 2001年8月29日 (29.08.2001) JP | |

[続葉有]

(54) Title: OPERATION APPARATUS AND OPERATION SYSTEM

(54) 発明の名称: 演算装置及び演算システム



(57) Abstract: An operation apparatus for performing a series of operations for an input and outputting the result. The apparatus can perform operation at a high speed and flexibly. The apparatus has a plurality of operation units for selecting a predetermined input from a plurality of inputs, performing a predetermined operation, and outputting the result. The output of each operation unit is used as one of the inputs of another operation unit.

(57) 要約:

本発明は、入力に対して一連の演算処理を行って出力する演算装置に関し、高速に、かつ、柔軟に処理を行える演算装置を提供することを目的とし、複数の入力から予め設定された入力を選択し、予め設定された演算を行い、出力する複数の演算部を設け、複数の演算部の夫々の出力が複数の入力のうちの一つに入力する。

WO 03/025737 A1



(74) 代理人: 伊東 忠彦 (ITOH, Tadahiko); 〒150-6032 東京都渋谷区恵比寿4丁目20番3号恵比寿ガーデンプレイスタワー32階 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書
演算装置及び演算システム

技術分野

本発明は演算装置及び演算システムに係り、特に、入力に対して一連の演算処理を行って出力する演算装置及び演算システムに関する。

背景技術

従来、デジタルデータを演算処理するための演算装置としてはCPU (central processing unit)、DSP (digital signal processor) などがある。このような、演算装置では、プログラムに従ってデータをALU (arithmetic and logic unit) でループさせることで、一連の処理が実行されていた。

また、専用回路を用いて演算処理を行う場合には、データを予め決められた演算処理手順に従って設計した演算処理部を順次に通過させることにより高速な処理を可能としていた。

しかるに、従来のようにプログラムに基づいてデータがALU (arithmetic and logic unit) をループして一連の処理を実行する場合、実行したい処理に応じてプログラムを組むことにより、柔軟に処理を行うことができるが、処理手順が複雑であり、データをALUでループさせる必要があるため、データ間のタイミングを一致させるためのデータの待ち時間が必要となり、高速での処理は行えなかった。

また、専用回路を用いて演算処理を行う場合には、所定の演算処理しか行えず、処理を柔軟に行えないなどの問題点があった。

本発明は上記の点に鑑みてなされたもので、高速に、かつ、柔軟に処理を行える演算装置及び演算システムを提供することを目的とする。

発明の開示

本発明は、複数の入力から予め設定された入力を選択し、予め設定された演算を行い、出力する複数の演算部を有し、複数の演算部の夫々の出力が複数の入力のうちの一つの入力とされたことを特徴とする。

本発明によれば、複数の演算部に予め処理を割り当てておき、予め決められた順番でデータを流すことにより一連の処理をパイプライン的に実行できるため、

処理速度を高速化できる。

図面の簡単な説明

- 図1は、本発明の一実施例のブロック構成図である。
- 図2は、演算装置100のブロック構成図である。
- 5 図3は、演算部104のブロック構成図である。
- 図4は、演算ユニット201-1のブロック構成図である。
- 図5は、演算回路部302のブロック構成図である。
- 図6は、演算選択情報と選択結果との関係を示す図である。
- 図7は、演算装置により具体的な演算処理を行うときの動作説明図である。
- 10 図8は、演算装置により具体的な演算処理を行うときの動作説明図である。
- 図9は、本発明の一実施例の第1変形例のブロック構成図である。
- 図10は、本発明の一実施例の第2変形例のブロック構成図である。
- 図11は、本発明の一実施例の第3変形例のブロック構成図である。
- 図12は、本発明の一実施例の第4変形例のブロック構成図である。

15 発明を実施するための最良の形態

まず、本発明の演算装置が適用される情報処理システムについて説明する。

図1は本発明の一実施例のブロック構成図を示す。

本実施例の情報処理システム1は、情報処理装置本体11、入力装置12、ディスプレイ13から構成される。

- 20 情報処理装置本体11は、CPU21、チップセット22、23、メモリ24、ビデオチップ25、PCIバス26、PCIスロット27、ハードディスクドライブ28、ROM29、ISAバス30、ISAスロット31、USBポート32を有する構成とされている。

- 25 CPU21は、チップセット22からデータを受け取り、演算処理を行い、その演算結果をチップセット22に返す。チップセット22は、メモリ24、ビデオメモリ25とデータをやり取りするとともに、PCIバス26とでデータのやり取りをする。メモリ24は、DRAMモジュールなどから構成されており、CPU21の作業用記憶領域として用いられる。ビデオチップ25は、チップセット22からのデータに基づいてディスプレイ13に表示データを供給する。ディ

ディスプレイ13は、ビデオチップ25からの表示データに基づいた画面を表示する。

PCIバス26にはPCIスロット27が接続されている。PCIスロット27には、演算装置100を含むPCIボードが装着される。

また、PCIバス26には、チップセット23が接続されている。チップセット23は、PCIバス26とハードディスクドライブ28、ROM29、ISAバス30、USBポート32とのインタフェースをとる。

次に、演算装置100について詳細に説明する。

図2は演算装置100のブロック構成図を示す。

演算装置100は、いわゆる、PCIボードであり、入力アンプ101、出力アンプ102、外部入出力部103、演算部104、メモリ105、設定レジスタ106、インタフェース部107、マイコン108、通信レジスタ109、ROM110、RAM111、マイコン入出力部112が一つのプリント配線板120上に搭載された構成とされている。

図3は演算部104のブロック構成図を示す。

演算部104は、 N (2 以上の整数) 個の演算ユニット201-1~201- N 、バス202-1~202- $(N+3)$ 、出力部203、204を含む構成とされている。

バス202-1には、演算ユニット201-1の出力データが供給され、バス202-2には演算ユニット201-2の出力データが供給され、同様にバス202-3~202- $(N-1)$ には演算ユニット201-3~201- $(N-1)$ の出力データが供給され、バス202- N には演算ユニット201- N の出力データが供給される。さらに、バス202- $(N+1)$ には入力アンプ101の出力データが供給され、バス202- $(N+2)$ には外部入出力部103からのデータが供給され、バス202- $(N+3)$ にはメモリ105の出力データが供給される。

また、バス202-1~202- $(N+3)$ は演算ユニット201-1~202- N 及び出力部203、204の入力に接続されている。演算ユニット201-1~202- N は、バス202-1~202- $(N+4)$ のうち予め設定されたバスからデータを入力し、予め設定された演算を行う。また、出力部203は、バス202-1~202- $(N+3)$ のうち予め設定されたバスからデータをメモリ105に出

力する。出力部204は、バス202-1~202-(N+3)のうち予め設定されたバスのデータを外部入出力部103に出力する。

次に、演算ユニット201-1について詳細に説明する。

図4は演算ユニット201-1のブロック構成図を示す。

- 5 演算ユニット201-1は、選択回路301、演算回路部302を含む構成とされている。

選択回路301には、バス202-1~202-(N+4)が入力されている。選択回路301は、設定レジスタ106に設定されたバス選択情報に基づいてバス202-1~202-(N+4)から1又は2のバスを選択し、選択されたバス上のデータ

10 ータを演算回路302に供給する。

演算回路部302には、選択回路301で選択されたから1又は2のバスからのデータが供給される。演算回路部302は、ALU (arithmetic and logic unit) などから構成されており、設定レジスタ106に設定された演算選択情報に基づいた演算方法で選択回路301から供給されたデータを演算した演算結果を出力

15 する。演算回路部302から出力されたデータは、バス202-1に供給される。

なお、他の演算ユニット201-2~201-nも同様な構成とされているため、その説明は省略する。

次に、演算回路部302の機能について説明する。

図5は演算回路部302の動作を説明するための図である。

- 20 演算回路部302には、設定レジスタ106に予め設定された演算選択情報C1~C20が供給される。演算回路部302は、設定レジスタ106に設定された演算選択情報C1~C20に応じた演算を実行する。

演算回路部302は、設定レジスタ106から演算選択情報C1が供給されている場合には、選択回路301で選択された2つのバスからのデータの加算/減算を行う。また、演算回路部302は、設定レジスタ106から演算選択情報C

25 2が供給されている場合には、選択回路301で選択された2つのバスからのデータの乗算を行う。

演算回路部302は、設定レジスタ106から演算選択情報C3が供給されている場合には、選択回路301で選択された2つのバスからのデータの除算を行

う。また、演算回路部302は、設定レジスタ106から演算選択情報C4が供給されている場合には、選択回路301で選択された2つのバスからのデータに対して各ビット毎にAND論理演算を行う。

さらに、演算回路部302は、設定レジスタ106から演算選択情報C5が供給されている場合には、選択回路301で選択された2つのバスからのデータに対して各ビット毎にOR論理演算を行う。また、演算回路部302は、設定レジスタ106から演算選択情報C6が供給されている場合には、選択回路301で

10 選択された2つのバスからのデータに対して各ビット毎にXOR論理演算を行う。さらに、演算回路部302は、設定レジスタ106から演算選択情報C7が供給されている場合には、選択回路301で選択された1つのバスからのデータの各ビットの論理を反転して出力する。また、演算回路部302は、設定レジスタ106から演算選択情報C8が供給されている場合には、選択回路301で選択された1つのデータを予め設定されたビット数分、ビットシフトする。

さらに、演算回路部302は、設定レジスタ106から演算選択情報C9が供給されている場合には、選択回路301で選択された1つのバスからのデータを遅延させる。また、演算回路部302は、設定レジスタ106から演算選択情報C10が供給されている場合には、選択回路301で選択された1つのデータを選択的にバス202-1又は入出力制御部に供給する。

20 演算回路部302は、設定レジスタ106から演算選択情報C11が供給されている場合には、選択回路301で選択された1つのバスのデータをアナログ信号に変換して、アナログ信号出力線Laoutに出力する。アナログ信号出力線Laoutは、出力アンプ102に接続されている。出力アンプ102は、アナログ信号出力線Laoutからのアナログ信号を増幅して出力する。また、演算回路部302は、設定レジスタ106から演算選択情報C12が供給されている場合には、選択回路

25 301で選択されたアナログ信号入力線Lainからのアナログ信号をデジタルデータに変換する。演算回路部302でデジタルデータに変換された信号は、バス202-1に供給される。

演算回路部302は、設定レジスタ106から演算選択情報C13が供給されている場合には、選択回路301で選択された1つのバスのデータに対して予め設

定されたフィルタ特性に基づいた処理を行い、出力する。すなわち、所望の特性のデジタルフィルタとして用いられる。また、演算回路部302は、設定レジスタ106から演算選択情報C14が供給されている場合には、選択回路301で選択された1つのバスのデータをマイコンの第1ポートP1に出力する。マイコンは、第1ポートP1に供給されたデータに対して予め設定されたプログラムに基づいた処理を行い、演算回路部302に供給する。演算回路部302は、マイコンからのデータをバス202-1に供給する。

演算回路部302は、設定レジスタ106から演算選択情報C15が供給されている場合には、選択回路301で選択された1つのバスのデータをマイコンの第2ポートP2に出力する。マイコンは、第2ポートP2に供給されたデータに対して予め設定されたプログラムに基づいた処理を行い、演算回路部302に供給する。演算回路部302は、マイコンからのデータをバス202-1に供給する。演算回路部302は、設定レジスタ106から演算選択情報C16が供給されている場合には、選択回路301で選択された1つのバスのデータをマイコンの第3ポートP3に出力する。マイコンは、第1ポートP3に供給されたデータに対して予め設定されたプログラムに基づいた処理を行い、演算回路部302に供給する。演算回路部302は、マイコンからのデータをバス202-1に供給する。

演算回路部302は、設定レジスタ106から演算選択情報C17が供給されている場合には、選択回路301で選択された1つのバスからのデータに対して予め設定されたローパスフィルタ特性に応じた処理を行う。また、演算回路部302は、設定レジスタ106から演算選択情報C18が供給されている場合には、選択回路301で選択された1つのバスからのデータに対して予め設定されたローパスフィルタ特性に応じた処理を行う。

演算回路部302は、設定レジスタ106に演算選択情報C19が供給されている場合には、選択回路301で選択された1つのバスからのデータの絶対値を出力する。演算回路部302は、設定レジスタ106に演算選択情報C20が供給されている場合には、選択回路301で選択された2つのバスからのデータの>、<、=、>=、<=等の大小比較を行い、比較結果に応じたデータを出力する。

以上のように設定レジスタ106に演算選択情報C1～C20を設定すること

により所望のバスが選択され、選択されたバスからのデータに所望の演算を行うことができる。

なお、他の演算ユニット201-2~201-Nは演算ユニット201-1と同様な構成であるため、その詳細な説明は省略する。

- 5 出力部203は、バス202-1~202-Nからのデータを選択して出力する。

図6は出力部203のブロック構成図を示す。

- 出力部203は、選択部401から供給される。選択部401には、バス202-1~202-Nが接続されている。また、選択部401には設定レジスタ106から出力選択情報が供給される。選択部401は、設定レジスタ106に設定された出力選択情報に応じたバスのデータを入出力部に供給する。
- 10

- また、出力部204は、出力部203と同様な構成とされており、出力データは、メモリにアドレスとして供給される。メモリには、アドレスを入力とし、データを出力としたとき、その入出力が所定の関係となるようにされたデータがマイコンにより予め記憶されている。メモリの出力データは、バス202-(n+2)に供給され、演算ユニット201-1~201-n及び出力部203の入力に帰還される。
- 15

次に本実施例の演算装置により具体的な演算処理を行う場合について説明する。

図7、図8は演算装置により具体的な演算処理を行うときの動作説明図を示す。

- 20 ここでは、AM (amplitude modulation) 検波のための処理について説明する。AM検波は、図7に示すようにアナログデジタル変換処理501、選局処理502、絶対値処理503、ノイズ除去処理504、包絡線検出処理505、増幅処理506、ミュート処理507、デジタルアナログ変換処理508により実現される。

- 25 アナログデジタル変換処理501は、入力アナログ信号をデジタルデータに変換する。選局処理502は、デジタルフィルタにより実現され、アナログデジタル変換処理501からのデジタルデータにデジタルフィルタ処理を施して出力する。選局処理502の出力デジタルデータは、絶対値処理503で絶対値とされて出力される。絶対値処理されたデジタルデータは、ノイズ除

去処理504される。ノイズ除去処理504は、デジタルローパスフィルタにより実現されており、信号成分以外の不要な成分を除去する。包絡線検出処理505は、デジタルローパスフィルタにより構成されており、ノイズ除去処理504でノイズ除去されたデジタルデータから包絡線を検出する。増幅処理506は、デジタルデータに定数を乗算することにより、増幅を行う。ミュート処理507は、ミュート指示があったときにデジタルデータの出力をカットする。デジタルアナログ変換処理508は、デジタル処理により検波されたAM検波データをアナログ信号に変換する。

上記アナログデジタル変換処理501、選局処理502、絶対値処理503、
10 ノイズ除去処理504、包絡線検出処理505、増幅処理506、ミュート処理507、デジタルアナログ変換処理508が演算ユニット201-1~201-8により順次に実行されるように設定レジスタ106にバス選択情報及び演算選択情報が設定される。設定レジスタ106には、例えば、ユーザが入力装置を操作して、演算装置用のドライバ、あるいはアプリケーションプログラムを実行
15 し、予め設定されたAM検波処理を選択することにより、AM検波処理に応じて予め設定されたバス選択情報及び演算選択情報が設定レジスタ106に設定される。このとき、設定レジスタ106には、演算ユニット201-1~201-nの各々にバス選択情報及び演算選択情報が設定される。

図8に示すように演算ユニット201-1の選択部301によりアナログ信号
20 入力線Lainが選択されるようにバス選択情報が設定され、また、演算回路部302でアナログデジタル変換処理が行われるように演算選択情報C12が設定される。また、演算ユニット201-2の選択部301により演算ユニット201-1の出力が供給されるバス202-1が選択されるようにバス選択情報が設定され、また、演算回路部302ではデジタルフィルタ処理が行われるように
25 演算選択情報C13が設定される。

さらに、演算ユニット201-3の選択部301により演算ユニット201-2の出力が供給されるバス202-2が選択されるようにバス選択情報が設定され、また、演算回路部302では絶対値処理が行われるように演算選択情報C19が設定される。演算ユニット201-4の選択部301により演算ユニット20

1の出力が供給されるバス202-1が選択されるようにバス選択情報が設定され、また、演算回路部302ではローパスフィルタ処理が行われるように演算選択情報C17が設定される。

5 演算ユニット201-5の選択部301により演算ユニット201-4の出力が供給されるバス202-4が選択されるようにバス選択情報が設定され、また、演算回路部302ではローパスフィルタ処理が行われるように演算選択情報C18が設定される。演算ユニット201-6の選択部301により演算ユニット201-5の出力が供給されるバス202-5が選択されるようにバス選択情報が設定され、また、演算回路部302では乗算処理が行われるように演算選択情報C10
10 2が設定される。

演算ユニット201-7の選択部301により演算ユニット201-6の出力が供給されるバス202-6が選択されるようにバス選択情報が設定され、また、演算回路部302ではマイコンによりミュート処理が行われるように演算選択情報C14が設定される。演算ユニット201-8の選択部301により演算ユニット201-7の出力が供給されるバス202-7が選択されるようにバス選択情報
15 情報が設定され、また、演算回路部302ではデジタルアナログ変換処理が行われるように演算選択情報C11が設定される。

以上の設定により、アナログ信号入力線Lainに供給されたアナログ信号は、演算ユニット201-1でアナログデジタル変換されてバス202-1を介して演算ユニット201-2に供給される。演算ユニット201-2は、バス202-1からのデジタルデータにデジタルフィルタ処理を実行し、所望のチャンネル成分を抽出する。演算ユニット201-2でデジタルフィルタ処理されたデジタルデータは、バス202-2を介して演算ユニット201-3に供給
20 される。

25 演算ユニット201-3は、バス201-2からのデジタルデータの絶対値を生成する。演算ユニット201-3で絶対値処理されたデジタルデータは、バス202-3を介して演算ユニット201-4に供給される。演算ユニット201-4は、バス202-3からのデジタルデータを所定のフィルタ特性のローパスフィルタにかけることによりノイズ成分を除去する。演算ユニット201

−4でノイズ成分が除去されたデジタルデータは、バス202−4を介して演算ユニット201−5に供給される。

演算ユニット201−5は、バス202−4からのデジタルデータを所定のフィルタ特性のローパスフィルタにかけることにより包絡線のデジタルデータを生成する。演算ユニット201−5で生成されたデジタルデータは、バス202−5を介して演算ユニット201−6に供給される。

演算ユニット201−6は、バス202−5からのデジタルデータに所定の係数を乗算する。演算ユニット201−6で係数が乗算されたデジタルデータは、バス202−6を介して演算ユニット201−7に供給される。演算ユニット201−7は、バス202−6からのデジタルデータをマイコンに供給する。マイコンでは、外部からのミュート指示がないときには、供給されたデジタルデータをそのまま、演算ユニット201−7に返し、ミュート指示があったときにはデジタルデータにミュート処理を行い、演算ユニット201−7へのデジタルデータの供給をカットする。演算ユニット201−7は、マイコンからのデジタルデータをバス202−7を介して演算ユニット201−8に供給する。演算ユニット201−8は、バス202−7からのデジタルデータをアナログ信号に変換し、アナログ信号出力線Laoutに供給する。

以上によりアナログ信号入力線Lainに供給された信号をAM検波した信号をアナログ信号出力線Laoutより出力できる。このとき、本実施例によれば、最初に設定レジスタ106にバス選択情報及び演算選択情報を設定することに演算ユニット201−1〜201−8の処理を直列的に実行、すなわち、パイプライン的に実行できるので、高速に処理を行える。

また、設定レジスタ106のバス選択情報及び演算選択情報を代えることにより、各種処理を汎用的に実行できる。

なお、本実施例の演算装置は、パーソナルコンピュータのPCIスロットに接続されるPCIボードで実現したが、ISAスロットやUSB、IEEE1394などのシリアルバスで実現してもよい。

なお、本実施例では、演算ユニット201−1〜201−nは、マイコン入出力部112から設定可能とされている。例えば、マイコン入出力部112を介して

マイコン108と通信を行うことにより、メモリ105の内容を変更、設定レジスタ106のバス選択情報及び演算選択情報の設定を変更可能とされている。

また、本実施例の動作説明では、説明を簡単にするために各演算ユニット201-1~201-nを1回だけ通過して一連の演算を行う例について説明したが、
5 設定レジスタ106に記憶されるバス選択情報及び演算選択情報をパーソナルコンピュータに予めインストールされたプログラムにより動的に設定することにより、複数の演算毎にバス選択情報及び演算選択情報を再設定することにより、n回以上の演算を連続して演算できる。よって、演算規模の大きい演算も高速に行える。

10 このように、プログラムにより演算手順を自在に設定できるため、FPGAなどのように回路を設計する必要がない。また、プログラム開発ツールを提供することによりユーザが自在にプログラムを開発して、ユーザ独自の高速な演算装置として使用することができる。

また、上記実施例では、演算ユニット201-1~201-NはALU302
15 を搭載しており、各演算ユニットは設定により複数の演算から一の演算を選択して演算を行うようにしているが、演算ユニット201-1~201-Nで実行可能な演算を互いに異なるようにして固定としてもよい。

また、メモリ105には、例えば、アドレスに対して記憶データが所望の関数
20 となるようにデータが予め記憶されている。メモリ105のアドレスに入力データを供給し、その記憶データを得ることにより、複雑な演算を行うことなく、関数の演算結果を迅速に得られる構成とされている。

また、本実施例は、演算部104をPCIボード上に1つだけ搭載した例を説明したが、基板上に複数個設けるようにしてもよい。

図9は本発明の一実施例の第1変形例のブロック構成図を示す。同図中、図2
25 と同一構成部分には同一符号を付し、その説明は省略する。

演算装置200には、M個の演算部104-1~104-Mが実装されている。演算部104-1~104-Mには装置本体のCPU21から処理が割り当てられ、各々別々に処理が設定される。各演算部104-1~104-Mは、装置本体のCPU21により割り当てられた各処理を前述の如くパイプライン的に実行する。

各演算部104-1~104-Mでの処理結果は、マイコンを介して装置本体のCPU21に供給される。装置本体のCPU21では、各演算部104-1~104-Mからの処理結果を統合して一連の処理を実現する。

5 なお、上記変形例では、演算部104を単一のPCIボードに複数個設けたが、装置本体のPCIスロットに演算部104が搭載されたPCIボードを複数実装する演算システムも考えられる。

図10は本発明の一実施例の第2変形例のブロック構成図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。

10 本変形例の演算システムは、装置本体のk個のPCIスロット601-1~601-kに演算部104が実装されたPCIボード602-1~602-kが装着されている。各PCIボード602-1~602-kに装置本体のCPU21から処理が割り当てられ、各々別々に処理が設定される。PCIボード602-1~602-kに実装された各演算部104は、装置本体のCPU21により割り当てられた各処理を前述の如くパイプライン的に実行する。

15 各PCIボード602-1~602-kでの処理結果は、装置本体のCPU21に供給される。装置本体のCPU21では、各PCIボード602-1~602-kからの処理結果を統合して一連の処理を実現する。

20 また、上記変形例では装置本体に装着される複数のPCIボード602-1~602-kは、夫々に1個の演算部104を搭載しているが、各PCIボードに複数個の演算部104を搭載し、並列に演算を行う演算システムの考えられる。

図11は本発明の一実施例の第3変形例のブロック構成図を示す。同図中、図1、図10と同一構成部分には同一符号を付し、その説明は省略する。

25 本変形例の演算システムは、i個の演算部104-1~104-jが実装されたj個のPCIボード701-1~701-jを装置本体のPCIスロット702-1~702-jに装着した構成とされている。

各PCIボード701-1~701-jに装置本体のCPU21から処理が割り当てられ、各々にi個の処理が設定される。PCIボード701-1~701-jでは、各々に設定されたi個の処理を実装された各演算部104-1~104-iに割り当て、各処理を前述の如くパイプライン的に実行する。

本変形例によれば、 $(i \times j)$ 個の処理を j 個の PCI ボード 701-1 ~ 701-j で略同時に並列に演算を実行できるため、処理を高速に行える。

また、上記変形例では、単一のコンピュータに搭載した例を説明したが、複数のコンピュータをネットワークで接続して、複数のコンピュータに搭載された PCI ボードで処理を分散して実行するような演算システムの考えられる。

図 12 は本発明の一実施例の第 4 変形例のブロック構成図を示す。同図中、図 1、図 11 と同一構成部分には同一符号を付し、その説明は省略する。

本変形例の演算システムは、パーソナルコンピュータ 801-1 ~ 801-h は、ネットワーク 802 により通信可能とされている。パーソナルコンピュータ 801-1 ~ 801-h の夫々には、 i 個の演算部 104-1 ~ 104-i が実装された j 枚の PCI ボード 701-1 ~ 701-j が装着されている。

本変形例によれば、複数のパーソナルコンピュータ 801-1 ~ 801-h の夫々に設けられた演算部 104-1 ~ 104-i により処理を協働して行えるため、複雑な処理を夫々の演算部 104-1 ~ 104-i で並列に高速で処理することができる。よって、膨大な演算を高速に処理できる。

以上、本発明によれば、複数の演算部に予め処理を割り当てておき、予め決められた順番でデータを流すことにより一連の処理をパイプライン的に実行できるため、処理速度を高速化できる等の特長を有する。

請求の範囲

1. 複数の入力から予め設定された入力を選択し、予め設定された演算を行い、出力する複数の演算部と、
- 5 前記複数の演算部の各々の入力及び演算を設定する設定部とを有し、
前記複数の演算部の夫々の出力が前記複数の入力のうち一つの入力とされ、かつ、前記設定部により前記複数の演算部の各々の入力及び演算を動的に設定可能とされたことを特徴とする演算装置。
- 10 2. 前記複数の演算部に入力を選択させるための入力選択情報を設定する入力選択情報設定部と、
前記複数の演算部に演算内容を選択させるための演算選択情報を設定する演算選択情報設定部及び前記演算選択情報設定部の設定内容を動的に変更可能とされてことを特徴とする請求項 1 記載の演算装置。
- 15 3. 前記複数の演算部の各々は、前記入力選択情報設定部に設定された前記入力選択情報に応じた入力を選択された入力選択部と、
前記入力選択部で選択された入力に対して予め決められた演算を行う複数の演算回路と、
- 20 前記演算選択情報設定部に設定された前記演算選択情報に応じた演算回路の出力を選択する演算選択部とを有することを特徴とする請求項 2 記載の演算装置。
4. 前記複数の演算部の入出力が直列に接続されるように前記複数の演算部夫々の前記入力選択情報設定部に入力選択情報を設定し、
- 25 所定の演算手順で演算が行われるように前記複数の演算部夫々の前記演算選択情報設定部に演算選択情報を設定したことを特徴とする請求項 2 又は 3 記載の演算装置。

5. 前記入力選択情報設定部及び前記演算選択情報設定部の内容は、予め設定されたプログラムにより動的に設定可能とされたことを特徴とする請求項2記載の演算装置。

5 6. 前記入力選択情報設定部及び前記演算選択情報設定部の内容は、予め設定されたプログラムにより動的に設定可能とされたことを特徴とする請求項3記載の演算装置。

7. 前記入力選択情報設定部及び前記演算選択情報設定部の内容は、予め設定されたプログラムにより動的に設定可能とされたことを特徴とする請求項4記載の演算装置。

10

8. 請求項1記載の前記演算装置を複数個、階層的に配置し、並列に演算を行うことを特徴とする演算システム。

15

9. 請求項2記載の前記演算装置を複数個、階層的に配置し、並列に演算を行うことを特徴とする演算システム。

10. 請求項3記載の前記演算装置を複数個、階層的に配置し、並列に演算を行うことを特徴とする演算システム。

20

11. 請求項4記載の前記演算装置を複数個、階層的に配置し、並列に演算を行うことを特徴とする演算システム。

12. 請求項5記載の前記演算装置を複数個、階層的に配置し、並列に演算を行うことを特徴とする演算システム。

25

13. 請求項6記載の前記演算装置を複数個、階層的に配置し、並列に演算を行うことを特徴とする演算システム。

14. 請求項7記載の前記演算装置を複数個、階層的に配置し、並列に演算を行うことを特徴とする演算システム。

FIG. 1

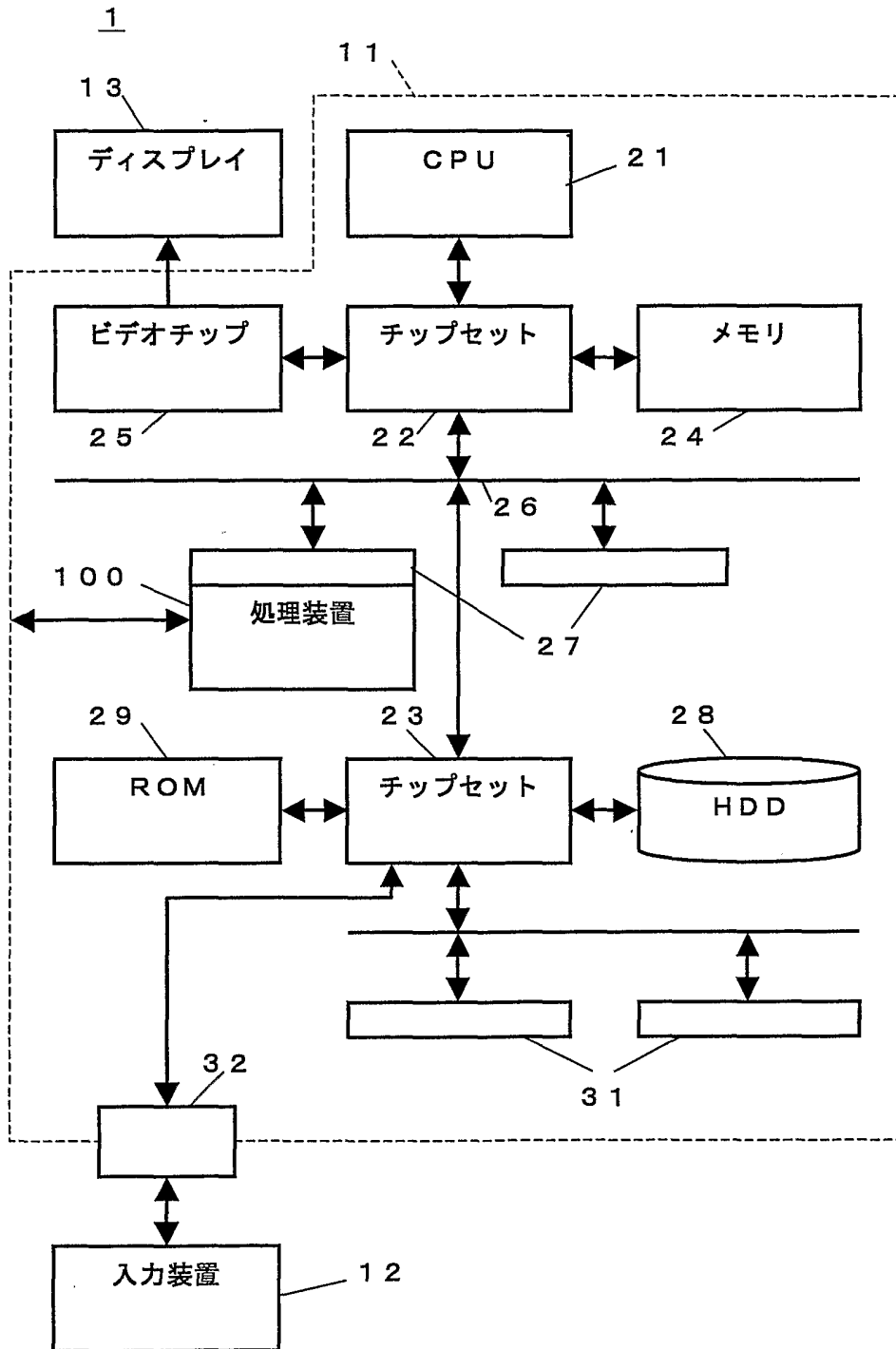


FIG. 2

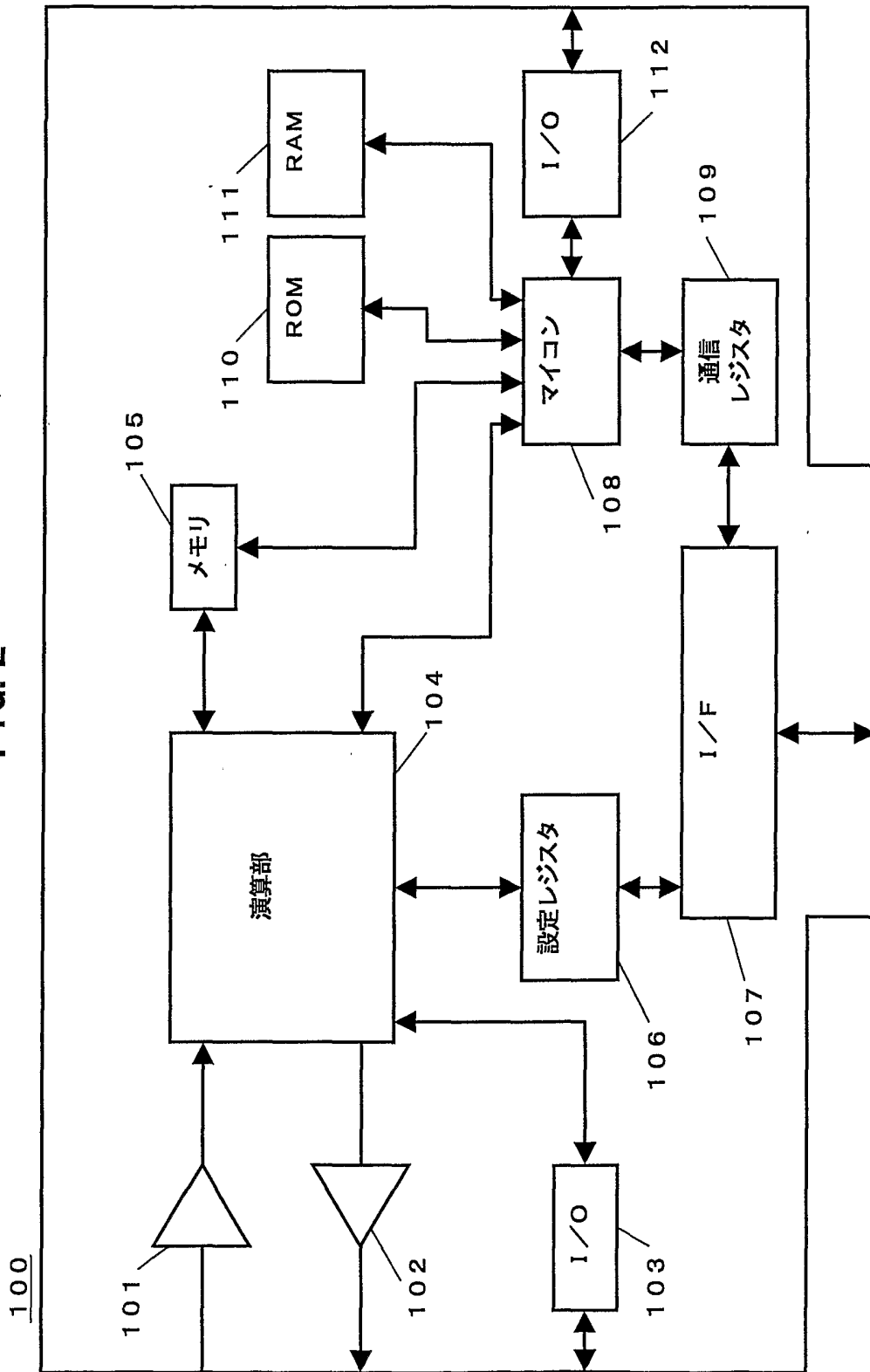


FIG. 3

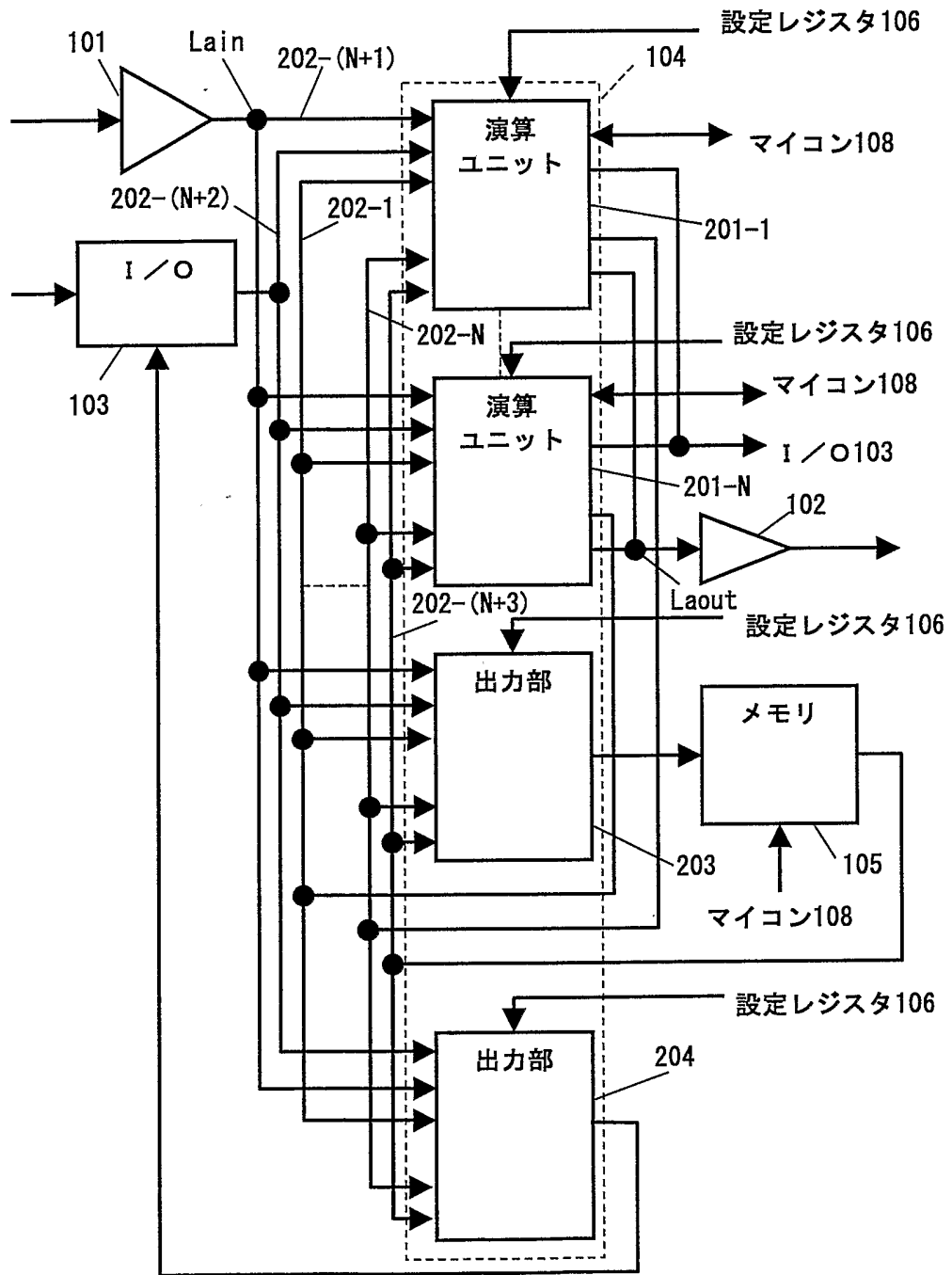


FIG. 4

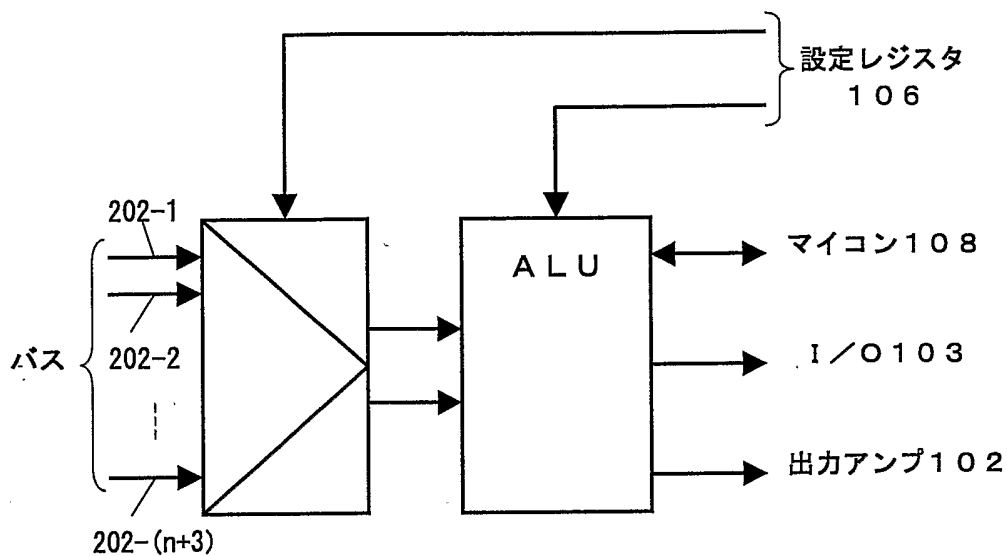


FIG. 5

コード	処理
C 1	ADD/SUB (加減算)
C 2	MULT (乗算)
C 3	DIV (除算)
C 4	AND
C 5	OR
C 6	XOR
C 7	INV
C 8	SIFT
C 9	DELAY
C10	SEL
C11	DAC
C12	ADC
C13	FIR
C14	MPU-I/F1
C15	MPU-I/F2
C16	MPU-I/F3
C17	LPF1
C18	LPF2
C19	ABS (絶対値)
C20	Compare (>、<、=、 \geq 、 \leq)

FIG. 6

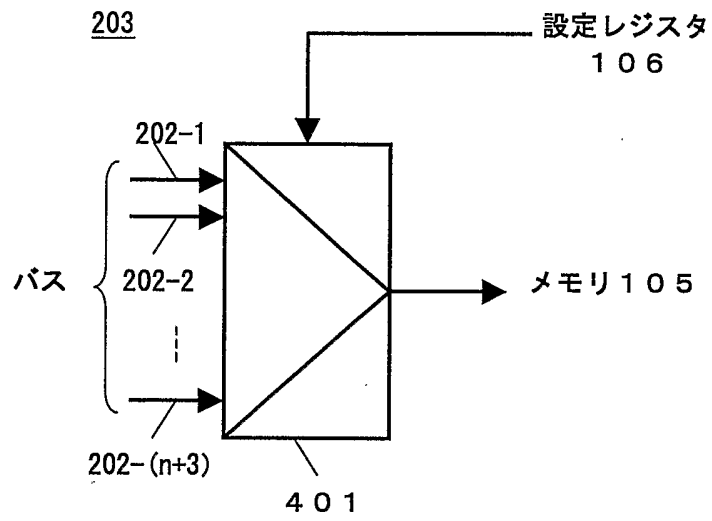


FIG. 7

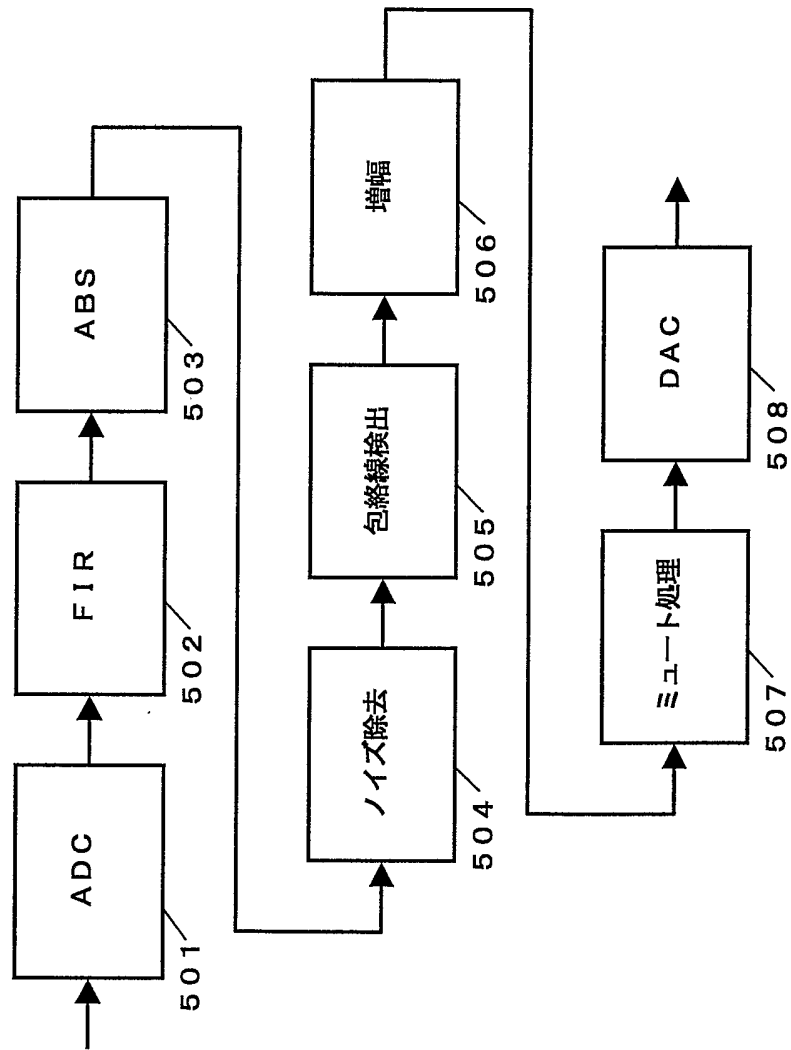


FIG. 8

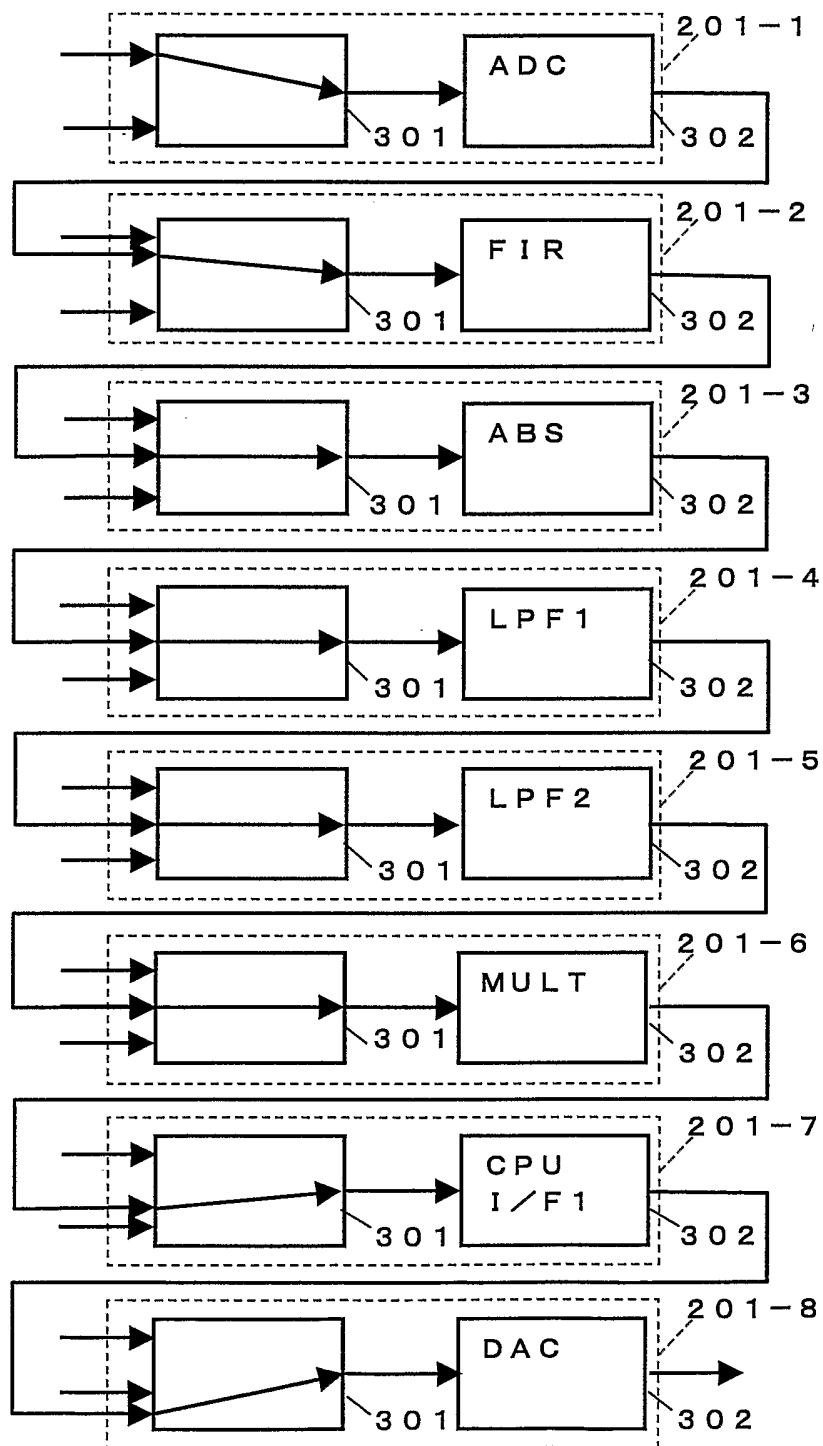


FIG. 9

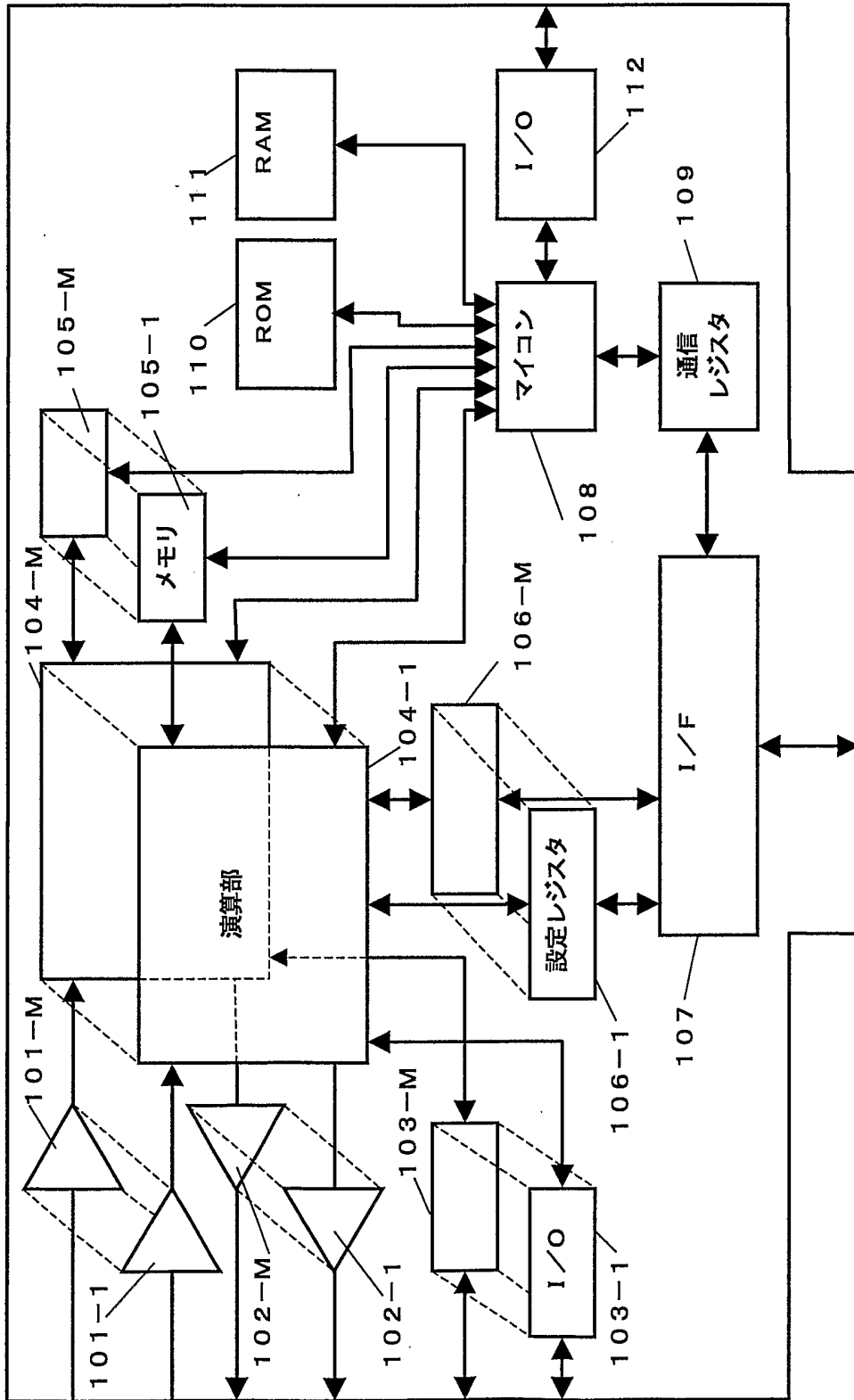


FIG. 10

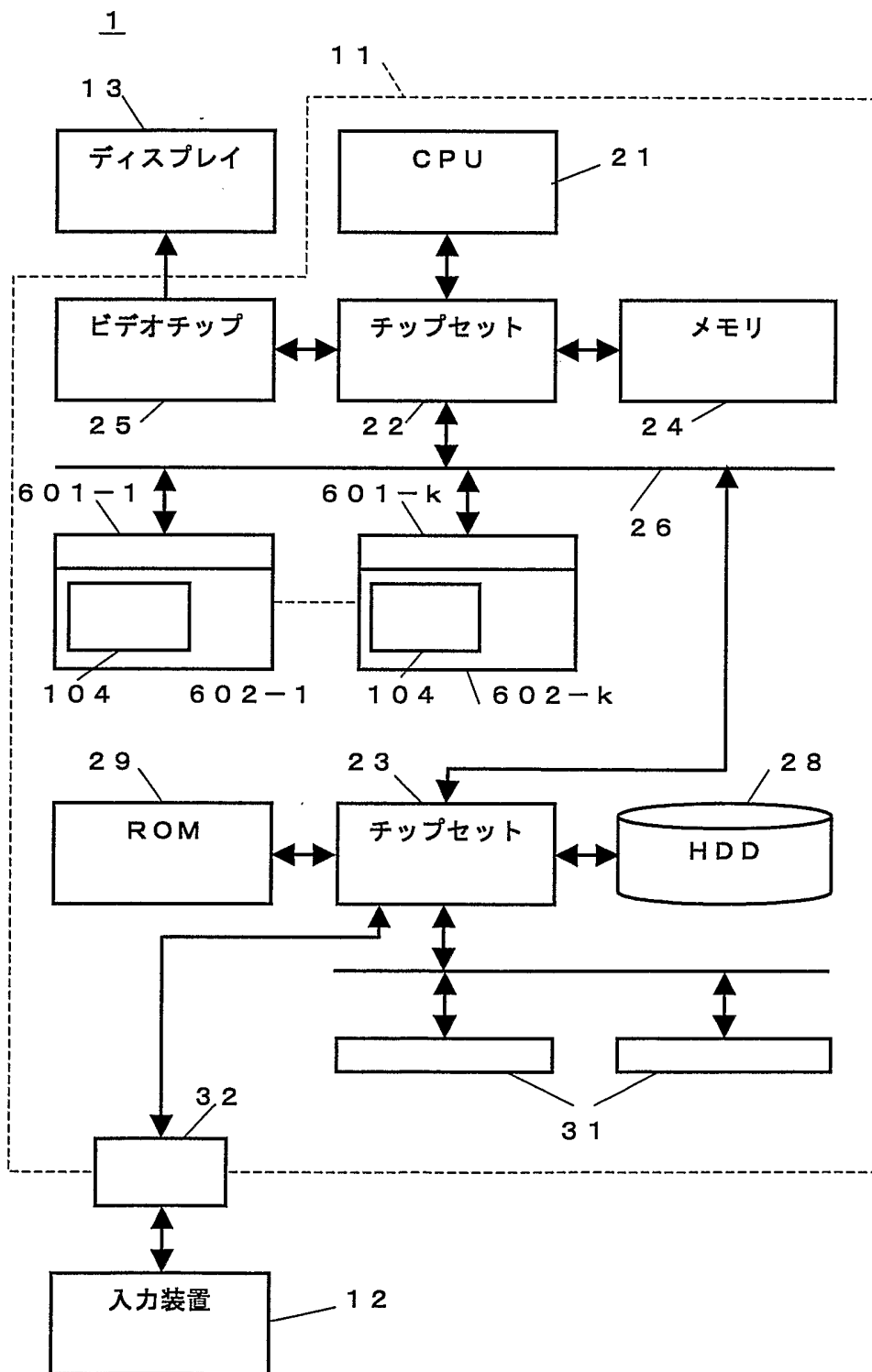


FIG. 11

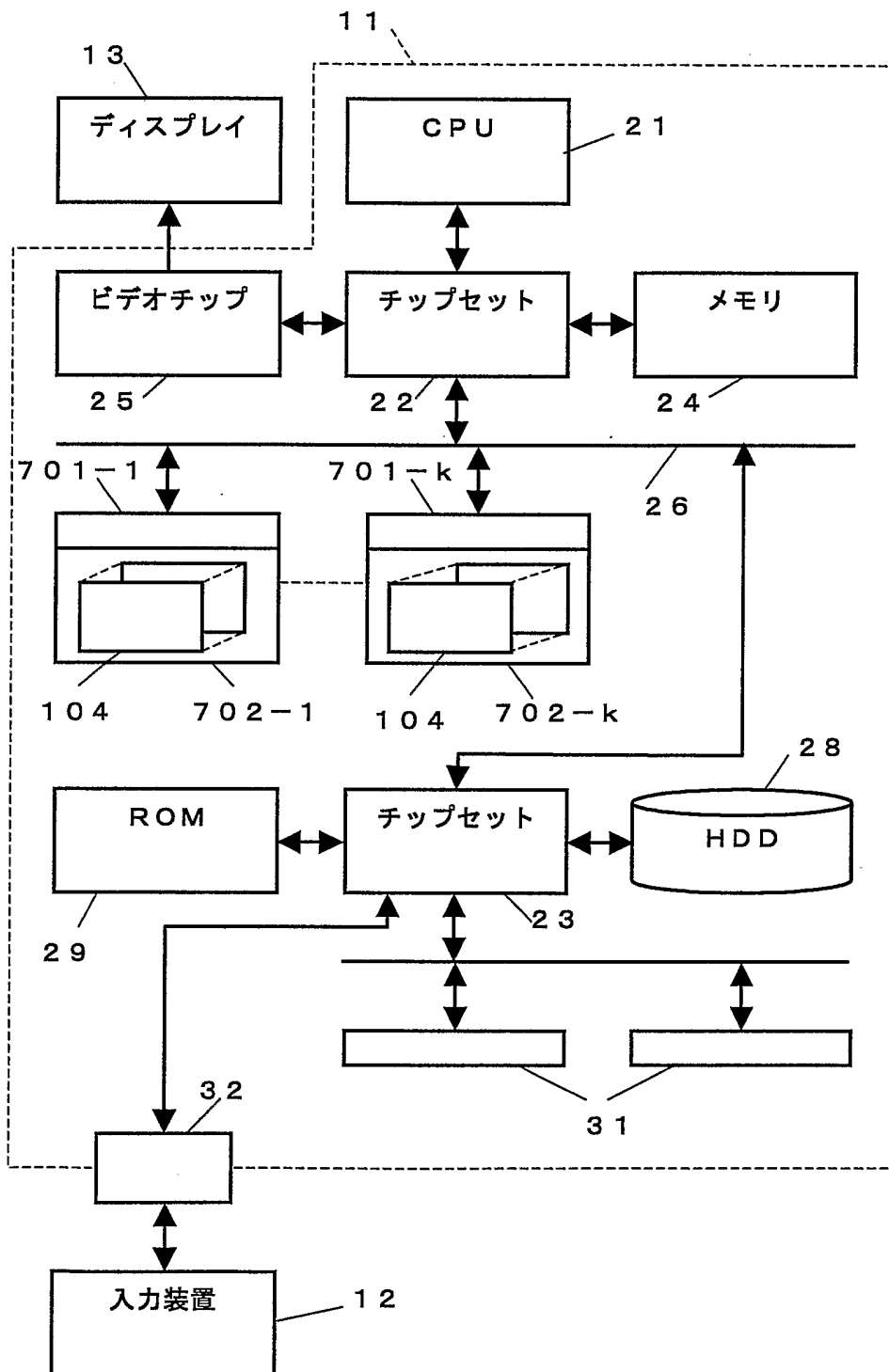
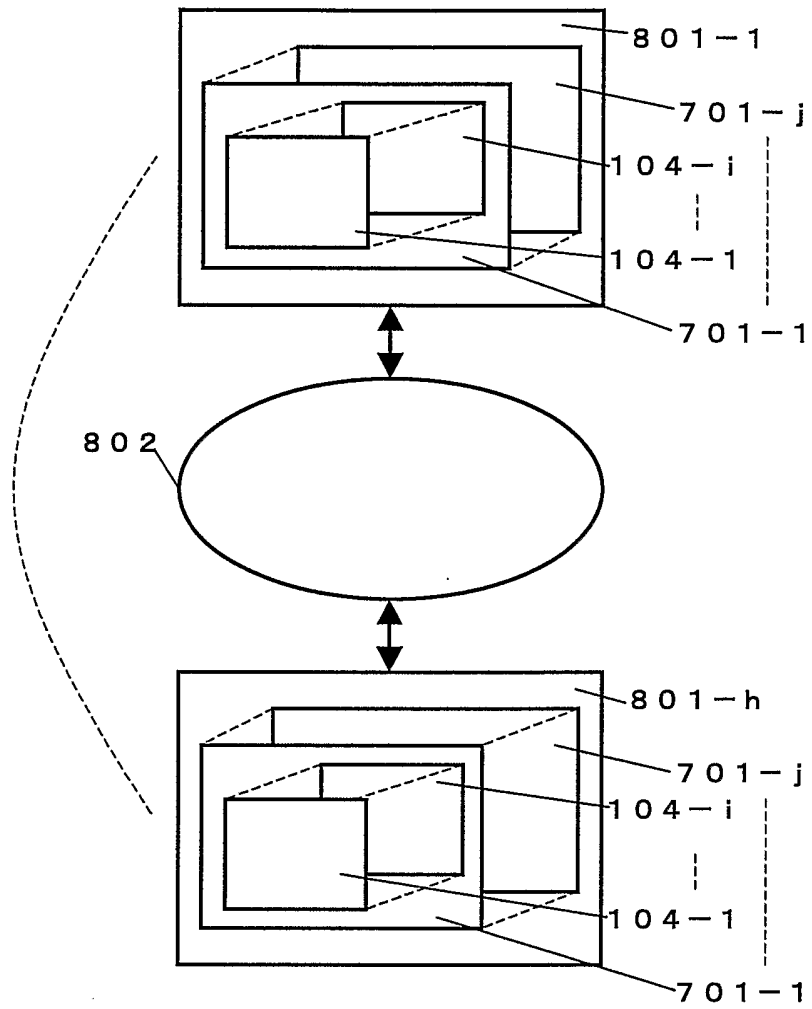


FIG. 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08681

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G06F7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06F7/00, G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-24890 A (Matsushita Electric Industrial Co., Ltd.), 29 January, 1999 (29.01.99), (Family: none)	1-14
A	JP 8-106375 A (Ricoh Co., Ltd.), 23 April, 1996 (23.04.96), & US 5794067 A	1-14
A	JP 11-232079 A (Fuji Xerox Co., Ltd.), 27 August, 1999 (27.08.99), (Family: none)	1-14

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 November, 2002 (20.11.02)Date of mailing of the international search report
03 December, 2002 (03.12.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F 7/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F 7/00, G06F 9/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-24890 A(松下電器産業株式会社), 1999. 01. 29(ファミリーなし)	1-14
A	JP 8-106375 A(株式会社リコー), 1996. 04. 23 & US 5794067 A	1-14
A	JP 11-232079 A(富士ゼロックス株式会社), 1999. 08. 27(ファミリーなし)	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー


「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 20. 11. 02

国際調査報告の発送日 03. 12. 02

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 田中 友章  5E 9376
 電話番号 03-3581-1101 内線 3520