

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4493121号  
(P4493121)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月16日(2010.4.16)

(51) Int.Cl. F I  
H O 1 L 23/29 (2006.01) H O 1 L 23/36 A

請求項の数 3 (全 11 頁)

<p>(21) 出願番号 特願平11-173562                  (22) 出願日 平成11年6月21日(1999.6.21)                  (65) 公開番号 特開2000-156436(P2000-156436A)                  (43) 公開日 平成12年6月6日(2000.6.6)                  審査請求日 平成18年6月7日(2006.6.7)                  (31) 優先権主張番号 102092                  (32) 優先日 平成10年6月22日(1998.6.22)                  (33) 優先権主張国 米国(US)</p> <p>前置審査</p>	<p>(73) 特許権者 504199127                  フリースケール セミコンダクター イン                  コーポレイテッド                  アメリカ合衆国 78735 テキサス州                  オースティン ウィリアム キャノン                  ドライブ ウェスト 6501                  (74) 代理人 100089705                  弁理士 社本 一夫                  (74) 代理人 100076691                  弁理士 増井 忠武                  (74) 代理人 100075270                  弁理士 小林 泰                  (74) 代理人 100080137                  弁理士 千葉 昭男</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体素子および半導体チップのパッケージ方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子(30)であって、  
 第1面,第2面,および側壁(15)を備える半導体チップ(11)と、  
 第1面,第2面,および内部に4隅を備えたキャビティ(34)を備え、該キャビティが前記半導体チップの前記側壁に結合する縁(35)を備えたフラグ(31)であって、該フラグ内のキャビティが前記チップのマウントの第1面から該フラグの第2面まで延びることを特徴とするフラグと、  
 前記フラグ(31)における応力を緩和するために、前記キャビティの4隅に設けたリリーフ・カット(45,46,37,48)であって、前記フラグの第2面が、前記半導体チップの第2面と実質的に同一平面上にあることを特徴とするリリーフ・カットと、  
 主面(22)を備えた基板(21)と、  
 を有し、  
 前記半導体チップ(11)の第1面が、はんだバンプ(26)を介して前記基板の主面の第1の部分に取り付けられることを特徴とする半導体素子(30)。

【請求項2】

前記フラグ(31)内の前記キャビティ(34)の縁(35)は、エポキシを介して、前記半導体チップ(11)の前記側壁に結合されていることを特徴とする請求項1記載の半導体素子(30)。

【請求項3】

半導体チップ(11)のパッケージ方法であって：

周囲(15, 16, 17, 18)と、前面にあるはんだバンプ(26)と、前記前面(12)と対向する背面とを備えた前記半導体チップ(11)を用意する段階と、

キャビティ(34)を内部に形成し、背面(33)及び前面(32)を備えた銅のフラグ(31)を用意する段階と、

前記キャビティ(34)の4隅にリリーフ・ノッチ(45乃至48)を用意する段階と、

前記チップの回りにフラグを取り付けるために、前記キャビティの縁(35)を前記半導体チップの前記周囲に結合する段階であって、前記半導体チップの背面が前記銅のフラグの背面と同一平面上にあることを特徴とする、段階と、

前記銅のフラグと基板とを分離させるアンダーフィル熱伝導性エポキシ(42)で基板(21)上で前記半導体チップを支持する段階と、

を有することを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般的に、半導体素子に関し、更に特定すれば、半導体素子用パッケージに関するものである。

【0002】

【従来の技術】

例えば、メモリ素子、論理素子、マイクロプロセッサ、マイクロコントローラのような多くの半導体素子は、フリップ・チップ・ボール・グリッド・アレイ(FC-BGA: flip chip ball grid array)パッケージにパッケージすることができる。これらのパッケージは、例えば、クアッド・フラット・パッケージ(QFP: quad flat package)およびワイヤ・ボンドBGAパッケージのような従来の素子パッケージよりも、コスト、サイズ、重量、信頼性、入出力(I/O)端子数等に関して優れている。そのコンパクト・サイズのために、通常FC-BGAパッケージでは熱消散性が劣っている。熱消散性が劣っているために、半導体素子の熱特性に悪影響を与え、半導体素子の用途が低電力に限定されることが多い。

【0003】

【発明が解決しようとする課題】

半導体素子の熱消散性を改善するためには、ヒート・シンクを用いることができる。フリップ・チップ・パッケージでは、従来よりヒート・シンクは半導体素子のチップの背面側に取り付けられている。ヒート・シンクは、半導体素子のコスト上昇や、重量およびサイズの増大を招く。更に特定すれば、ヒート・シンクによって、素子の高さが非常に高くなってしまふ。

【0004】

したがって、熱特性に優れた半導体素子に半導体チップをパッケージする方法があれば有利であろう。素子は、小型、軽量、および低コストであることが望ましい。素子は、プロファイルが低いことが特に望ましい。また、前述の方法は、簡素で時間効率が高いことが望ましい。この方法は、既存の素子パッケージ・プロセスと適合性があれば、一層有利であろう。

【0005】

【課題を解決するための手段】

概して言えば、本発明は、熱特性に優れた半導体素子に半導体チップをパッケージする方法を提供する。チップは、例えば、電界効果トランジスタ、バイポーラ・トランジスタ、ダイオード、抵抗等のようなディスクリット半導体素子、または例えば、電力増幅器、メモリ回路、論理回路、マイクロプロセッサ等のような集積回路を含むことができる。チップは、フリップ・チップ・バンプ・パッケージ内にある。熱伝導性フラグが、チップに熱的に結合された、チップ受容エリアを有する。チップ内で発生する熱は、チップの各側を

10

20

30

40

50

通ってフラグに消散することができる。従来のフリップ・チップの背面側に取り付けるヒート・シンクと比較して、本発明のフラグは低いプロファイルを有する。

【0006】

これらおよびその他の特徴および利点は、具体例および添付図面と関連付けた以下の詳細な説明から一層明確に理解されよう。尚、各構造は必ずしも同じ拡大率で描かれている訳ではなく、具体的に示さないが本発明には他にも実施例があり得ることを注記しておく。また、適切と見なされる場合には、図面間で参照番号を繰り返し用い、対応するエレメントまたは類似のエレメントを示すことも注記しておく。

【0007】

【発明の実施の形態】

図1は、従来のフリップ・チップ・ bumps パッケージにおける半導体素子10の簡略断面図である。半導体素子10は、基板21上にフリップ・チップ実装された、半導体ダイ即ち半導体チップ11を含む。チップ11は、前面12、背面14、および4つの側壁から成る矩形の周囲を有する。図1は、チップ11の2つの対向する側壁15、17を示す。基板21は、第1主面22および第2主面24を有する。チップ11は、チップ11の前面12と基板21の第1主面22の部分23との間に形成されたはんだ bumps 26の array を介して、基板21に bumps ・ bond されている。はんだ bumps 26は、チップ11上に形成されている内部回路(図示せず)上の種々のエレメントに結合されている。充填材、例えば、エポキシが、チップ11の前面12、基板21の主面22、およびはんだ bumps 26の間の空間を埋めることにより、アンダーフィル(underfill)27を形成する。アンダーフィル27は、チップ11に機械的な支持を与え、熱をチップ11から基板21に伝える。はんだ bumps 28の array は、基板21の第2主面24上に形成されている。はんだ bumps 28は、基板21に形成されている導電性ビア(図示せず)を介して、対応するはんだ bumps 26に結合されている。はんだ bumps 28は、半導体チップ11の入力信号および出力信号を伝達する役割を果たす。

【0008】

半導体素子10は、典型的に、はんだ bumps 28を介してプリント回路ボード(図示せず)上に実装され、他の回路エレメント(図示せず)に結合される。基板21の主面24と回路ボードとの間にアンダーフィル(図示せず)を用いて、半導体素子10に対する機械的な支持を追加することも可能である。動作において、チップ11の内部回路は熱を発生する。半導体素子10では、重要な唯一の熱消散機構は、チップ11から前面12、はんだ bumps 26、アンダーフィル27、および主面22を通して基板21に達する熱伝導路である。チップ11内で発生し、熱伝導路を通じて消散すべき熱の割合は、チップ11のサイズおよび形状によって異なる。例えば、チップ11の面積が約40平方ミリメートル( $\text{mm}^2$ )、厚さが約500マイクロメートル( $\mu\text{m}$ )である場合、チップ11において発生する熱の約97パーセント(%)は、この熱伝導路を通じて消散しなければならない。基板21は、通常、熱伝導率が低い有機樹脂で作られる。したがって、半導体素子10の熱消散効率は通常低い。言い換えると、半導体素子10は、例えば、1ワット当たり約25 ( $\text{mW}/\text{W}$ )ないし40 ( $\text{mW}/\text{W}$ )の範囲の高い熱抵抗を有する。熱消散効率が低いため、半導体素子10の熱特性に悪影響を及ぼし、その使用は低電力用途、例えば、約1ワット(W)未満に限定されることになる。

【0009】

本発明の第1実施例によるフリップ・チップ・ bumps ・ grid ・ array ・ bumps パッケージにおける半導体素子30を、図2および図3に概略的に示す。即ち、図2は半導体素子30の断面図、図3は半導体素子30の平面図である。図1の半導体素子10と同様、半導体素子30は、はんだ bumps 26の array およびアンダーフィル27を介して、基板21の主面22にフリップ・チップ・ bumps 実装された半導体チップ11を含む。図3は、チップ11を示す。半導体チップ11は、その矩形形状の周囲を形成する4つの側壁15、16、17、18を有する。

【0010】

10

20

30

40

50

図1の半導体素子10における構造に対応する構造に加えて、半導体素子30は、半導体チップ11を包囲し、それぞれ、チップ11の前面12および背面14とほぼ同一面にある、前面32および背面33を有するフラグ31を含む。フラグ31は、その内部に、前面32から背面33まで達するキャビティ34を有する。キャビティ34は、チップ11の対応する側壁15, 16, 17, 18とほぼ平行な縁35, 36, 37, 38を有する。また、キャビティ34は、その4すみにリリーフ・ノッチ(relief notch)即ちリリーフ・カット(relief cut)45, 46, 47, 48を有する。キャビティ34は、チップ11を受容するので、フラグ31内のレセプタクルとも呼ぶ。好ましくは、フラグ31は、例えば、銅, アルミニウム等のような、熱伝導性材料で作成する。キャビティ34およびリリーフ・カット45, 46, 47, 48は、例えば、ミリング, 穿孔, 打ち抜き等のような技法を用いて形成することができる。

10

#### 【0011】

キャビティ34は、縁35, 36, 37, 38によって規定されるその面積が、側壁15, 16, 17, 18によって規定されるチップ11の面積よりも多少小さくなるように形成されている。チップ11周囲にフラグ31を取り付けるために、フラグ31を加熱し熱膨張によってキャビティ34を拡大する。キャビティ34がチップ11の面積よりも大きな面積を有するまでに拡大即ち膨張したなら、チップ11をキャビティ34内に挿入する。フラグ31を室温まで冷却した後、キャビティ34は収縮し、縁35, 36, 37, 38は、それぞれ、側壁15, 16, 17, 18を圧縮する。チップ11はキャビティ34内に緊密に嵌合する。リリーフ・カット45, 46, 47, 48は、膨張および収縮プロセスの間、フラグ31に発生する張力または応力を軽減することにより、こうしなければキャビティ34のすみ周囲のフラグ31に形成する可能性がある、フラグ31内のクラックを防止するように作用する。チップ11をキャビティ34に嵌め込む前に、側壁15, 16, 17, 18および縁35, 36, 37, 38上に熱グリス(図示せず)を塗布する。チップ11をキャビティ34に嵌め込んだ後、熱グリスは、それぞれ、チップ11の側壁15, 16, 17, 18とフラグ31の縁35, 36, 37, 38との間に生じ得るボイドを充填し、チップ11とフラグ31との間の良好な熱接触を保証する。チップ11をフラグに嵌め込むプロセスは、チップ11を基板21にフリップ・チップ実装する前または実装した後のいずれにおいても実行することができる。

20

#### 【0012】

また、半導体素子30は、フラグ31の前面32と基板21の主面22の部分25との間に、アンダーフィル42を含む。チップ11の主面12と基板21の主面22との間のアンダーフィル27と同様、アンダーフィル42は、例えば、熱伝導性エポキシのような、電気絶縁熱伝導性材料で作成することが好ましい。また、アンダーフィル42は、熱グリスで作成することも可能である。アンダーフィル42は、フラグ31を基板21に熱的に結合し、フラグ31に対して機械的な支持を与える。フラグ31にアンダーフィルを施すプロセスは、チップ11にアンダーフィルを施すプロセスと同じプロセスまたは別個のプロセスのいずれでも行うことができる。

30

#### 【0013】

半導体素子30には、チップ11内で発生した熱を消散させる2系統の重要な熱伝導路がある。一方は、チップ11からチップ11の前面12を通過して基板21までの経路、他方は、チップ11からチップ11の側壁15, 16, 17, 18を通過してフラグ31までの経路である。チップ11からフラグ31に転移した熱は、更に、フラグ31からフラグ31の前面32, アンダーフィル42, 基板21の主面22の部分25を通過して基板21まで達する熱伝導路を通じて消散する。フラグ31は、半導体素子30の熱消散効率を大幅に高める。半導体素子30の熱特性は、半導体素子10のそれよりも優れている。半導体素子30は、比較的大きな電力の用途に用いることができる。例えば、チップ11の面積が約40mm<sup>2</sup>であり、厚さが約500μmである場合、チップ11内で発生する熱の約67%が、側壁15, 16, 17, 18を通じてフラグ31に消散し、チップ11内で発生する熱の約31%が、前面12を通過して基板21に消散する。熱抵抗は、半導体素子1

40

50

0 においては約 2.5 / W 以上であるのに対して、半導体素子 30 では約 1.4 / W ないし約 1.6 / W の間である。半導体素子 30 の電力は、半導体素子 10 のそれよりも約 75% 高くすることができる。

【0014】

フラグ 31 の厚さは、例えば、約 200 μm ないし約 800 μm の間であるチップ 11 の厚さとほぼ等しいことが好ましい。したがって、半導体素子 30 の高さは、半導体素子 10 の高さにはほぼ等しい。半導体素子 30 は、半導体チップの背面にヒート・シンクを取り付ける従来技術の半導体素子と比較すると、非常に低いプロファイルを有する。フラグ 31 は、そのプロファイルを増大させることなく、半導体素子 30 の熱特性を改善する。

【0015】

尚、半導体素子 30 の構造および半導体チップ 11 を半導体素子 30 内にパッケージするプロセスは、これまでに説明したものに限定される訳ではないことは理解されよう。例えば、チップ 11 の側壁 15, 16, 17, 18 およびキャビティ 34 の縁 35, 36, 37, 38 に塗布する熱グリスはオプションである。チップ 11 およびフラグ 31 内のキャビティ 34 は、矩形形状には限定されない。これらは、例えば、円形、楕円形、三角形、五角形、六角形等のように、あらゆる形状を有することができる。更に、キャビティ 34 の形状は、チップ 11 とは異なる形状とすることも可能である。半導体素子 30 が効率的な熱消散を行うためには、キャビティ 34 の少なくとも 1 箇所の縁が、チップ 11 の対応する側壁とほぼ平行であることが好ましく、こうすれば、この少なくとも 1 箇所の縁と対応する側壁との間に良好な熱接触が確立する。図 3 は、リリーフ・カット 45, 46, 47, 48 の境界を円弧状として示している。これらは、リリーフ・カット 45, 46, 47, 48 の形状に対する限定を意図する訳ではない。更に、リリーフ・カット 45, 46, 47, 48 は、フラグ 31 においてはオプションである。代替実施例では、半導体素子 30 は、チップ 11 の背面 14 およびフラグ 31 の背面 33 の上に、ヒート・スプレッダ (heat spreader) (図示せず) を含む。ヒート・スプレッダは、チップ 11 およびフラグ 31 双方に熱的に結合されている。ヒート・スプレッダは、チップ 11 からの熱を背面 14 を通じて消散する熱伝導路を与えることにより、半導体素子 30 の熱特性を更に高める。別の代替実施例では、キャビティ 34 は、フラグ 31 内に部分的にのみ達する、前面 32 内の窪み (dent) である。したがって、キャビティ 34 は、フラグ 31 の前面 32 と背面 33 との間に基準面 (図示せず) を有する。基準面は、チップ 11 の背面 14 に熱的に結合され、チップ 11 からの熱を背面 14 を通じて消散する熱伝導路を与える。加えて、チップ 11 は、フラグ 31 を加熱してキャビティ 34 を拡大することによってフラグ 31 に嵌め込むことに限定される訳ではない。更に別の実施例では、縁 35, 36, 37, 38 によって規定されるキャビティ 34 の面積は、側壁 15, 16, 17, 18 によって規定されるチップ 11 の面積よりも多少大きい。チップ 11 は、キャビティ 34 内に置かれ、例えば、エポキシのような熱伝導性材料を介して、フラグ 31 に熱的に結合される。

【0016】

図 4 は、本発明の第 2 実施例による、フリップ・チップ・ボール・グリッド・アレイ・パンプ・パッケージにおける半導体素子 50 の概略断面図である。図 1 に示した半導体素子 10 ならびに図 2 および図 3 に示した半導体素子 30 と同様、半導体素子 50 は、はんだボール 26 のアレイおよびアンダーフィル 27 を介して、基板 21 上にフリップ・チップ実装された半導体チップ 11 を含む。

【0017】

半導体素子 50 は、前面 52 および背面 53 を有するフラグ 51 を含む。フラグ 51 は、その前面 52 に、フラグ 51 内に部分的に達する窪み即ちキャビティ 54 を有する。キャビティ 54 の基準面 56 が、フラグ 51 の前面 52 と背面 53 との間にある。基準面 56 は、チップ 11 の背面 14 の上に位置する。キャビティ 54 は、チップ 11 の対応する 4 つの側壁とほぼ一致する 4 つの縁を有する。図 4 は、互いに対向し、それぞれ、チップ 11 の側壁 15, 17 に対応する縁 55, 57 を示す。キャビティ 54 はチップ 11 を受容するので、フラグ 51 のチップ・レセプタクルとも呼ぶ。図 2 および図 3 の半導体素子 3

10

20

30

40

50

0におけるフラグ31と同様、フラグ51は、例えば、銅、アルミニウム等のような、熱伝導性材料で作成することが好ましい。

【0018】

キャビティ54の面積は、チップ11の面積にほぼ等しいか、あるいはこれよりも多少大きめとする。チップ11上にフラグ51を取り付けるために、チップ11をキャビティ54に挿入し、例えば、エポキシ、熱グリス等のような熱伝導性充填材による結合層58を形成する。結合層58は、キャビティ54の4つの縁を、チップ11の対応する4つの側壁に熱的および機械的に結合する。更に、半導体素子50は、基準面56と背面14との間に結合層59を含み、フラグ51をチップ11に熱的および機械的に結合する。結合層59は、結合層58と同じ熱伝導性材料で作成し、同じ工程において形成することができる。フラグ51をチップ11内に取り付けるプロセスは、チップ11を基板21にフリップ・チップ実装する前または実装した後のいずれにおいても実行することができる。

10

【0019】

キャビティ54は、チップ11の厚さ、およびチップ11と基板21との間のはんだバンプ26の高さの和にほぼ等しい深さを有する。フラグ51をチップ11上に取り付けると、前面52は、基板21の主面24の部分25に直接接触する。前面52および主面22の部分25に熱グリス(図示せず)を塗布する。熱グリスは、フラグ51の前面52と基板21の主面22との間に生じ得るボイドを埋めることによって、フラグ51と基板21との間の良好な熱接触を保証する。

20

【0020】

半導体素子50には、チップ11において発生した熱が消散する3系統の熱伝導経路がある。1つは、チップ11からチップ11の前面12を通過して基板21に達する経路、1つはチップ11からチップ11の側壁を通過してフラグ51に達する経路、1つはチップ11からチップ11の背面14を通過してフラグ51に達する経路である。チップ11からフラグ51に転移した熱は、更に、フラグ51からフラグ51の前面52を通過して基板21に達する熱伝導路を通じて消散する。フラグ51は、半導体素子50の熱消散効率を改善する。半導体素子50の熱特性は、半導体素子10のそれよりも優れている。半導体素子50は、比較的高い電力の用途に用いることができる。

【0021】

半導体素子50は、半導体素子10より多少高くなっている。半導体素子50の高さと半導体素子10の高さとの差は、キャビティ54の基準面56とフラグ51の背面53との間の距離にほぼ等しい。この距離は、一例として、約200 $\mu\text{m}$ ないし約800 $\mu\text{m}$ の間である。半導体素子50のプロファイルは、半導体素子10のそれよりも多少高く、半導体チップの背面にヒート・シンクを取り付けた従来技術の半導体素子のそれよりはるかに低い。フラグ51は、半導体素子50のプロファイルを著しく増大させることなく、その熱性能を大幅に改善する。

30

【0022】

尚、半導体素子50の構造および半導体チップ11を半導体素子50にパッケージするプロセスは、これまでに説明したものに限定される訳ではないことは理解されよう。例えば、チップ11およびフラグ51内のキャビティ54は、矩形形状には限定されない。これらは、例えば、円形、楕円形、三角形、五角形、六角形等のようにあらゆる形状を有することができる。更に、キャビティ54の形状は、チップ11の形状と異なることも可能である。フラグ51の前面52は、基板21の主面22と直接接触することには限定されない。これらは、熱伝導性のアンダーフィルを介して、互いに熱的かつ機械的に結合することができる。代替実施例(図示せず)では、キャビティ54は、前面52から背面53まで達する、フラグ51内の孔であり、チップ11の背面14はフラグ51の背面53とほぼ同一面にある。かかる代替実施例では、半導体素子50は、更に、チップ11の背面14およびフラグ51の背面53の上に位置するヒート・スプレッド(図示せず)を含むことができる。ヒート・スプレッドは、チップ11およびフラグ51双方を更に熱的に結合する。ヒート・スプレッドは、チップ11からの熱を背面14を通じて消散する熱伝導路を

40

50

与える。加えて、フラグ51は、結合層58を介してチップ11に取り付けられることに限定される訳ではない。他の実施例では、キャビティ54の面積は、チップ11の面積より多少小さく、チップ11は、フラグ51を加熱しキャビティ54を拡大することによって、フラグ51内に嵌め込む。

#### 【0023】

図5は、本発明の第3実施例による、フリップ・チップ・ボール・グリッド・アレイ・バンパ・パッケージにおける半導体素子60の概略断面図である。図1の半導体素子10と同様、半導体素子60は、半導体チップ11を含む。チップ11は、はんだバンパ26のアレイおよびアンダーフィル27を介して、プリント回路ボード81上にフリップ・チップ実装されている。言い換えると、プリント回路ボード81は、チップ11の基板のよう  
10  
に機能する。プリント回路ボード、例えば、回路ボード81上に直接実装された半導体チップ、例えば、半導体チップ11を有する半導体素子、例えば、半導体素子60のことを、通常、チップ・オン・ボード・パッケージ(chip on board package)または直接チップ取り付けパッケージ内の素子と呼ぶ。回路ボード81は、主面82を有する。チップ11は、主面82の部分83に取り付けられる。回路ボード81は、内部に導電性トレース(図示せず)を有し、チップ11を回路ボード81上の他の回路エレメント(図示せず)に結合する。

#### 【0024】

半導体素子60は、前面62および背面63を有する熱伝導性フラグ61を含む。フラグ61は、前面62から背面63に達するキャビティ64を内部に有する。キャビティ64  
20  
は、図11の対応する4つの側壁とほぼ平行な4つの縁を有する。図5は、互いに対向し、チップ11の側壁15, 17にそれぞれ対応する縁65, 67を示す。キャビティ64はチップ11を受容するので、フラグ61内のレセプタクルとも呼ぶ。図2および図3に示した半導体素子30内のフラグ31と同様、フラグ61は、例えば、銅, アルミニウム等の熱伝導性材料で作成することが好ましい。

#### 【0025】

キャビティ64は、その面積がチップ11の面積よりも小さくなるように作成する。フラグ31をチップ11に実装し半導体素子30を形成するのと同様のプロセスにおいて、フラグ61を加熱し一時的にキャビティ64を拡大し、拡大したキャビティ64にチップ11を嵌め込み、フラグ61を冷却してキャビティ64を収縮させ、その縁がチップ11の  
30  
側壁を圧縮することによって、フラグ61をチップ11に実装する。リリース・カット(図示せず)をキャビティ64のすみに形成し、拡張および収縮プロセスの間フラグ61内の張力または応力を軽減することができる。チップ11の側壁およびキャビティ64の縁に熱グリス(図示せず)を塗布する。熱グリスは、チップ11の側壁とフラグ61の対応する縁との間に生じ得るポイドを埋め、これによって、チップ11とフラグ61との間に良好な熱接触を保証する。チップ11上に実装した後、フラグ61の背面63は、チップ11の背面14とほぼ同一面となるのが好ましい。チップ11をフラグ61に嵌め込むプロセスは、チップ11を回路ボード81にフリップ・チップ実装する前または実装した後のいずれにおいても実行することができる。

#### 【0026】

また、半導体素子60は、チップ11およびフラグ61上にヘッド・スプレッタ71も含む。例えば、エポキシ, 熱グリス等のような熱伝導性材料で形成した結合層72が、ヒート・スプレッタ71をチップ11の背面14に熱的かつ機械的に結合する。また、結合層72は、ヒート・スプレッタ71をフラグ61の背面63にも結合する。半導体素子60は、更に、フラグ61の前面62と回路ボード81の主面82の部分85との間にアンダーフィル74を含む。チップ11と回路ボード81との間のアンダーフィル27と同様、アンダーフィル74は、例えば、熱伝導性エポキシのような、電気絶縁熱伝導性材料で作成することが好ましい。アンダーフィル74は、熱グリスで作成することも可能である。アンダーフィル74は、フラグ61を回路ボード81に熱的かつ機械的に結合する。フラグ61にアンダーフィルを施すのは、チップ11にアンダーフィルを施すプロセスと同じ  
40  
50

プロセスまたは別個のプロセスのいずれでも行うことができる。

【0027】

一例として、ヒート・スプレッタ71の厚さは、約200 $\mu\text{m}$ ないし約800 $\mu\text{m}$ の間である。半導体素子60のプロファイルは、従来のチップ・オン・ボード・パッケージ内の半導体素子のそれよりは多少高く、半導体チップの背面にヒート・シンクを取り付けてある従来技術の半導体素子のそれよりはるかに低い。半導体素子60には、チップ11において発生した熱が消散する3系統の熱伝導経路がある。1つは、チップ11からチップ11の前面12を通過して基板81に達する経路、1つはチップ11からチップ11の側壁を通過してフラグ61に達する経路、1つはチップ11からチップ11の背面14を通過してヒート・スプレッタ71に達する経路である。ヒート・スプレッタ71に転移した熱は、更に、ヒート・スプレッタ71からフラグ61の背面63を通過してフラグ61に達する熱伝導路を通じて、フラグ61に転移する。フラグ61に転移した熱は、更に、フラグ61からフラグ61の前面62を通過して回路ボード81に達する熱伝導路を通じて消散する。フラグ61およびヒート・スプレッタ71は、半導体素子60の熱消散効率を著しく改善することにより、半導体素子60のプロファイルを著しく増大させることなく、その熱特性を大幅に改善する。半導体素子60は、比較的高い電力の用途に用いることができる。

10

【0028】

尚、半導体素子60の構造および半導体チップ11を半導体素子60にパッケージするプロセスは、これまでに説明したものに限定される訳ではないことは理解されよう。例えば、チップ11の側壁およびキャビティ64の縁に塗布される熱グリースはオプションである。チップ11およびフラグ61内のキャビティ64は、矩形形状には限定されない。これらは、例えば、円形、楕円形、三角形、五角形、六角形等のようにあらゆる形状を有することができる。更に、キャビティ64の形状は、チップ11の形状と異なることも可能である。半導体素子60が効率的な熱消散を行うために、キャビティ64の少なくとも1箇所の縁が、チップ11の対応する側壁とほぼ平行であることが好ましく、こうすれば、この少なくとも1箇所の縁と対応する側壁との間に良好な熱接触が確立する。ヒート・スプレッタ71は、半導体素子60ではオプションである。代替実施例では、半導体素子60は、ヒート・スプレッタ71を含まず、図5に示したプロファイルよりも低いプロファイルを有する。別の代替実施例では、キャビティ64は、フラグ61の前面62から部分的にのみフラグ61に達する。したがって、キャビティ64は、フラグ61の前面62と背面63との間に基準面(図示せず)を有する。基準面は、チップ11の背面14と熱的に結合されており、チップ11からの熱を背面14を通じて消散する熱伝導路を与える。加えて、チップ11は、フラグ61を加熱しキャビティ64を拡大することによって、フラグ61に嵌め込むことには限定されない。更に別の代替実施例では、キャビティ64の面積は、チップ11の面積よりも多少大きめとする。チップ11をキャビティ64内に置き、熱伝導性材料を介して、フラグ61に熱的に結合する。

20

30

【0029】

以上の説明から、半導体素子、および半導体チップを半導体素子にパッケージする方法が提供されたことが認められよう。本発明によれば、半導体チップは、基板上にフリップ・チップ実装するか、あるいは回路ボード上に直接実装する。熱伝導性フラグを半導体チップに取り付ける。即ち、フラグ内のキャビティに半導体チップを置き、フラグに熱的に結合する。フラグは、半導体チップ内で発生した熱をその側壁を通じて消散する熱伝導路を与える。一実施例によれば、フラグ内のキャビティは、フラグを貫通する孔である。オプションとして、ヒート・スプレッタを半導体チップの背面に熱的に結合する。別の実施例によれば、キャビティは部分的にのみフラグ内に達する。キャビティの基準面を半導体チップの背面に熱的に結合する。フラグは、例えば、銅、アルミニウム等のような熱伝導性材料の、例えば、約200 $\mu\text{m}$ ないし約800 $\mu\text{m}$ の間の薄い層で作成する。フラグは、半導体素子の高さを著しく増大させることなく、その熱特性を改善する。更に、フラグは、製造が容易であり、しかも軽量で低コストである。本発明のパッケージ・プロセスは、時間効率がよく、既存の素子パッケージ・プロセスとの適合性もある。

40

50



## 【図面の簡単な説明】

【図 1】従来のフリップ・チップ・バンプ・パッケージにおける半導体素子の断面図。

【図 2】本発明の一実施例による、フリップ・チップ・バンプ・パッケージにおける半導体素子の断面図。

【図 3】本発明の一実施例による、フリップ・チップ・バンプ・パッケージにおける半導体素子の平面図。

【図 4】本発明の別の実施例による、フリップ・チップ・バンプ・パッケージにおける半導体素子の断面図。

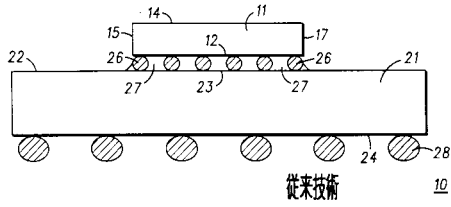
【図 5】本発明の別の実施例による、フリップ・チップ・バンプ・パッケージにおける半導体素子の断面図。

10

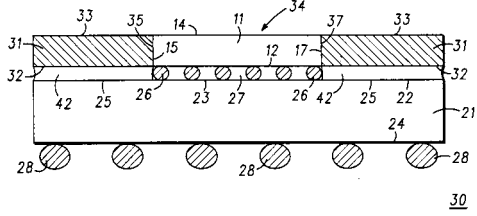
## 【符号の説明】

1 0	半導体素子	
1 1	チップ	
1 2	前面	
1 4	背面	
1 5 , 1 6 , 1 7 , 1 8	側壁	
2 1	基板	
2 2	第 1 主面	
2 4	第 2 主面	
2 6	はんだバンプ	20
2 7	アンダーフィル	
2 8	はんだバンプ	
3 0	半導体素子	
3 1	フラグ	
3 2	前面	
3 3	背面	
3 4	キャビティ	
3 5 , 3 6 , 3 7 , 3 8	縁	
4 2	アンダーフィル	
4 5 , 4 6 , 4 7 , 4 8	リリーフ・ノッチ	30
5 0	半導体素子	
5 1	フラグ	
5 2	前面	
5 3	背面	
5 4	キャビティ	
5 5 , 5 7	縁	
5 6	基準面	
5 8 , 5 9	結合層	
6 0	半導体素子	
6 1	熱伝導性フラグ	40
6 2	前面	
6 3	背面	
6 4	キャビティ	
6 5 , 6 7	縁	
7 2	結合層	
7 4	アンダーフィル	
8 1	プリント回路ボード	
8 2	主面	

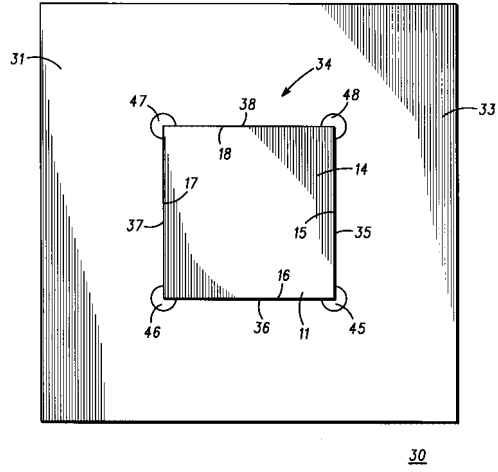
【図1】



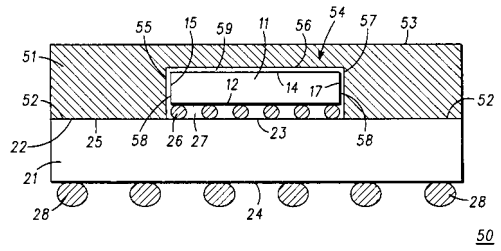
【図2】



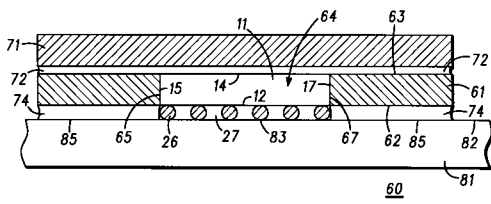
【図3】



【図4】



【図5】



## フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 ティエン - ユ・トム・リー

アメリカ合衆国アリゾナ州フェニックス、イースト・チャックワラ・キャニオン4508

(72)発明者 ジェームス・バーノン・ハウス

アメリカ合衆国アリゾナ州マリコパ、ウエスト・パパゴ・ロード50599

審査官 田中 永一

(56)参考文献 特開平10-326852(JP,A)

特開平04-355936(JP,A)

特開平10-032275(JP,A)

特開平11-067998(JP,A)

特開平11-312756(JP,A)

特開平10-027866(JP,A)

特開平10-065040(JP,A)

国際公開第97/020347(WO,A1)

特開2000-174159(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 23/29

H01L 23/34 - 23/46