

公告本

741676

申請日期	90 年 8 月 9 日
案 號	90119543
類 別	H01L 2/28

A4
C4

511163

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置之製造方法
	英 文	
二、發明 人	姓 名	(1) 根岸伸幸 (2) 伊澤勝
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(株)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(株)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權
日本 2001 年 7 月 11 日 2001-210149 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明所屬之技術領域

本發明係關於半導體裝置之製造技術，特別是關於半導體裝置的製造過程之層間絕緣膜的乾蝕刻技術。

先行技術

於 VLSI、ULSI 等半導體裝置之製造方法，為了導電接續被形成於半導體晶圓(以下簡稱晶圓)的主面之電晶體間以及金屬配線間，而在被形成於電晶體構造的上部以及配線間的層間絕緣膜(主要以氧化矽為主成分的薄膜，以後簡稱氧化膜)上，使用了利用電漿的乾蝕刻技術形成微細的接觸孔，於該接觸孔內充填半導體或者金屬。接著，透過此半導體或者金屬電氣接續電晶體間以及金屬配線間。

乾蝕刻技術，係使被導入真空容器內的蝕刻氣體藉由從外部施加的高頻電力使其電漿化，使在電漿中產生的反應性自由基或離子在晶圓上高精度地反應，選擇性蝕刻被蝕刻膜(層間絕緣膜)的技術。

伴隨著半導體裝置的微細化、高速化，減低在藉由乾蝕刻技術所形成的接觸孔內之下底半導體層或者下底配線與被充填的金屬之接觸電阻是很重要的課題。

作為減低在被乾蝕刻加工的接觸孔(貫孔)內之接觸電阻的技術，或者是防止在接觸孔的底面之配線腐蝕的技術，已有以下方法係屬已知。

(1)特開平 4-286115 號公報(先行技術 1)：

於此先行技術 1，揭示一種為了接觸孔內的異物除去以

五、發明說明(2)

及低電阻化，在蝕刻後，暴露於含有被加熱的氫氣的環境或者含有氫電漿的環境，或者是含有氫電漿與氟電漿的環境以除去堆積於接觸孔內的堆積物之技術。

(2)特開平11-251294號公報(先行技術2)：

於此先行技術2，揭示一種以在下底有金屬矽化物的場合為前提之低電阻接觸之形成技術。根據此先行技術2，使接觸孔形成後之光阻劑遮罩藉由灰化除去的場合，為了防止金屬矽化物的氧化，使用氮系活性種。

(3)特開平11-145282號公報(先行技術3)：

於此先行技術3，揭示一種使不在貫孔底面發生鋁配線等的腐蝕，而除去包含附著於貫孔側壁的鋁等金屬的堆積膜之技術。根據此先行技術3，利用還原性氣體之 BCl_3 電漿，除去貫孔內的堆積物後，使用含有氫或氧的電漿進行光阻劑灰化。

此外，在 VLSI、ULSI 等之半導體裝置的製造被要求提高產出率的提高。為了謀求產出量的提高，製造設備以如下所述之多真空室方式的處理系統係屬已知。

(4)美國專利第5292393號公報(先行技術4)：

於此先行技術4，揭示一種由蝕刻(etch)、成膜(deposition)、濺鍍(sputtering)以及 RTA(快速熱處理回火：rapid thermal annealing)室所構成的多真空室方式之處理系統。

發明所欲解決之課題

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

以 0.1 μ m 以下的設計規範製造 ULSI 裝置的場合，以下各點被要求得更嚴格。

- (1)孔深孔徑比(接觸孔的深度/接觸孔的直徑)在15以上。
- (2)達成無弧狀蝕刻形狀(bowing-free etched shape)之高選擇接觸孔蝕刻。
- (3)謀求接觸孔內之接觸電阻的降低。

又，關於弧狀(或為弓形，bowing)，已揭示於2000 Dry Process Symposium，根岸等執筆之 "High-Aspect-Ratio Contact Hole Etching in UHF-ECR Plasma", pp31-36。

為實現如此要求，發明人等檢討謀求接觸孔內之接觸電阻的減低之技術。以下說明檢討內容。

接觸孔加工使用 UHF-ECR 裝置來進行。例如，在真空容器內導入 CF₄，CHF₃，C₂F₆，C₃F₆O，C₄F₈，C₅F₈，C₄F₆等之氟化碳氣體、以氬氣為代表的稀有氣體以及氧氣氣體，在 0.5Pa 至 10Pa 的壓力區域形成電漿，藉由使入射至晶圓的離子能量以 0.5kV 至 2.5kV 加速，進行層間絕緣膜的選擇蝕刻。

形成孔深孔徑比高的接觸孔的場合，有必要抑制蝕刻停止，而且提高對產出率有影響的蝕刻速度。因此，由蝕刻開始直到蝕刻結束為止使離子能量保持較高而維持一定並進行蝕刻。

此外，在晶圓面內存在著蝕刻不均勻性。有必要防止起因於此之晶圓面內的一部份之接觸孔之未開孔。因此，

五、發明說明 (4)

使蝕刻時間對接觸孔深度過度蝕刻 120 至 130 % 程度。又，所謂在晶圓面內的蝕刻速度之不均一，係指晶圓的中心部與外周部之蝕刻速度產生差異而言。

過度蝕刻，於一部份的接觸孔，該接觸孔的底面之主動區域或是配線層的表面，對剛剛好的露出的蝕刻時間，進而增加 20 % ~ 30 % 程度的時間暴露於高離子能量之離子衝擊。亦即，藉由此衝擊使主動區域內或是於其表面產生損傷。此主動區域具體而言係指作為 MOS 元件發揮功能的單晶矽基板內所形成的 MOS 電晶體的源極/汲極區域。

進而，藉由氟化碳氣體的解離，在電漿中被產生的碳自由基或氧自由基藉由入射離子而被打入主動區域內。因此，在主動區域內含有 SiC 或 SiO_x 的高電阻層被形成數 nm 深。此高電阻層成為使接觸電阻增大的原因。接觸電阻的增大，妨礙 ULSI 等半導體裝置的高速化。

為了抑制由於此高電阻層導致接觸電阻的增大，在接觸孔形成工程之後，考慮導入以含氟量多的氣體，例如在 CF₄ 內混入氬氣或者氧氣的氣體形成電漿，以 500V 以下之比較低的離子能量除去高電阻層的工程。

然而，在氣體中，含有多量的 C(碳元素)或是 O(氧元素)的源故，在接觸孔內的主動區域表面會有高電阻層殘留。因此，有必要使用含氟酸水溶液的溶液進行濕式處理工程，除去高電阻層。

在濕式處理工程因為進行等方性的蝕刻，接觸孔側壁的絕緣膜也同時被削除。亦即，對於設計尺寸而言，會有

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

完工尺寸變寬的新問題產生。特別是在1G位元以上的DRAM(動態隨機存儲記憶體)的製程上，成為妨礙微細化的重要原因。

本發明有鑑於上述問題點，目的在於提供謀求高集積化以及高速化之半導體裝置的製造方法。

本發明之其他目的在於謀求提高半導體裝置之製造產出率。

本發明之前述以及其他目的與新的特徵，將藉由本說明書的記載以及附圖來詳加說明。

供解決課題之手段

本發明所揭示之發明之中，簡單說明具有代表性者之概要如下。

本發明之半導體裝置之製造方法由以下工程所構成。

在主面具有半導體層或導體層的基板上形成層間絕緣膜的工程，

在前述層間絕緣膜上，形成位於前述半導體層或者導體層上而具有開口的遮罩的工程，

在使氟化碳氣體以及氧氣的氣體激發為電漿狀態之環境內通過前述遮罩的開口選擇性蝕刻前述絕緣膜，形成前述半導體層或者導體層的表面露出的絕緣膜開口的工程，

在把還原性氣體激發為電漿狀態的環境內，對前述基板施加使該環境內的離子加速的偏壓，處理前述開口內露出的半導體層或者導體層的表面的工程，以及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

於前述開口內埋入半導體或者導體的工程。

根據上述手段，使藉由電漿蝕刻而露出的半導體層或者導體層的表面，以將還原性氣體(例如含有氫氣的氣體)激發為電漿狀態的環境內進行處理，除去前述蝕刻時形成的前述半導體層或者導體層表面所存在的碳化物或者氧化物(例如矽層的場合，為含有 SiC, SiO_x 的高電阻層)。亦即，藉由對前述基板的偏壓施加其表面受到離子衝擊，藉此對堅固結合的化合物供給能量，所以碳(C)或者氧(O)容易切離，接著可以藉由與自由基之反應除去表面的高電阻層。亦即，可以抑制在層間絕緣膜的微細的開口(接觸孔或者貫孔)內之接觸電阻的增大。亦即，可以實現半導體裝置之高集積化以及高速化。

發明之實施型態

以下，根據圖面詳細說明本發明之實施型態。又，供說明實施型態之圖面，具有同一功能者賦予同一符號而省略其重複說明。

第1實施例

本發明之實施所使用的 UHF—ECR(電子迴旋加速器共振：Electron Cyclotron Resonance)電漿蝕刻裝置之概略圖顯示於第1圖。

首先簡單說明蝕刻裝置之全體構成。在本實施例於真空容器1的周圍設置空心線圈2。對真空容器1內通過氣體流

五、發明說明 (7)

量計 13、氣體導入管 3 以及氣體倒入口 3a, 3b 導入原料氣體 (GAS)。介由同軸電路 4、整合器 5 對電磁波放射天線供給以 UHF 電源 (450MHz) 6 產生的電磁波。接著，介由前述空心線圈 2 所產生的磁場與電磁波之相互作用在真空容器 1 內產生電漿。此外，在前述電磁波放射天線被設置 RF 偏壓電源 (13.56MHz) 8 而藉由程序可以改變施加偏壓。

在真空容器 1 內有下部電極 9，於此上設置有被加工試料之半導體基板 (半導體晶圓) 10。於此下部電極 9，介由模塊化電容器 12 接續高頻偏壓電源 (800kHz) 11。在高頻偏壓電源 11 所產生的峰對峰 (peak to peak) 電壓 V_{pp} 大約為 0.5kV ~ 2kV。藉由此 V_{pp} 將電漿中的離子拉引至半導體基板，藉由離子衝擊促進被形成於半導體基板表面的層間絕緣膜 (氧化膜) 之向異性蝕刻。

在本實施例，原料氣體使用 C_5F_8 與 Ar 之混合氣體。真空容器 1 內以被設置於真空排氣系 14 與真空容器 1 之間的導通閥 15 調整成為 5 ~ 40 mTorr。

其次，針對電磁波供給系詳細說明。藉由 UHF 電源產生之 450MHz 之電磁波，藉由同軸電路供給至在接地電位導板 16 上介由介電質 17 而設置的鋁製圓板狀導體板 18 上。藉由使圓板狀導體板的直徑為指定長度，使激發震盪模式被形成於與介電質之界面。在本實施例使用可以產生 TM01 模式的激發震盪的直徑約 35cm 的導體板。於這樣的接地電位導體板、介電質、導體板所構成的微滑動天線構造，藉由供電點位置不同，可以改變從供電點起算之阻抗。其值一

(請先閱讀背面之注意事項再填寫本頁)

訂

線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

般從中心至導體板端緣為止係0至300Ω。亦即，爲了要取阻抗整合，以高效率輸送電磁波至導體板背面，並且使維持電漿的產生，採取如第1圖所示由避開導體板的中心X0之偏心點Xα以同心圓狀進行供電，達成很高的軸對稱性與放射效率。此外，雖未圖示，亦可將來自同軸電路的電磁波分割爲2系統，使一方較另一方通過長度長四分之一波長之電路，而供給至圓板狀導體板上的2點。藉由使電磁波的傳送電路產生四分之一波長的長度差可以使相位產生90度的差異。藉由在圓板狀導體板上合成旋轉電場可以激發圓偏波。藉此，提高放射電場的軸對稱性，與對根據電子迴旋加速共振之電磁波的電子動能的吸收效率。

其次，說明原料氣體的導入。原料氣體藉由原料氣體供給管3由接地電位導體板16的背面導入。激發TM01模式的場合，在中心X0起偏移的位置上存在圓週形的電場節點。亦即，如第1圖所示在電場強度成爲最小的位置設氣體導入口3a, 3b。由此氣體導入口3a, 3b導入氣體可以防止局部放電。此外，在圓板狀導體板18設有空間，成爲藉由被設於表面的至少10個以上的微小孔進行氣體的均勻分散的構造。

在圓板狀導體板18表面被固定有至少設10個以上微小孔的矽圓板19。矽圓板19爲可以消費掉電漿中產生的成爲降低與多晶矽等遮罩材料或氮化矽膜與矽氧化膜之選擇比的原因的氟自由基。在此圓板狀導體板18可以透過冷媒導入管(未圖示)導入被調整爲適當溫度的冷媒。藉此，可以控

經濟部智慧財產局員工消費合作社印製

五、發明說明(9)

制矽圓板19的表面為所要的溫度。

在被加工試料設置手段之下部電極9的中央部，具備有保持被加工試料之晶圓之用的夾具部(晶圓保持機構)20。夾具部20的夾具機構，例如使用靜電夾具。雖未有詳細圖示，此靜電夾具之保持晶圓之面，成為例如由氮化鋁等所構成的2枚陶瓷薄膜之間夾入銅薄膜等導體薄膜的構造。接著，電壓供給導線透過由線圈等所構成的低通濾波器連接於直流電壓電源。

又，此晶圓保持機構，採用藉由夾具構件進行機械式夾持的機械夾具亦可。此外於此靜電夾具設有未圖示之傳熱氣體供給孔，例如藉由供給氦氣，可以提高由下部電極對晶圓之熱傳導效率。

進而，在下部電極9的周邊部配置有圓環狀構件21(以下稱為對焦環)。此對焦環，可以由導體或絕緣體構成，具有高頻偏壓電力的施加、表面溫度調整功能，具有使電漿中的自由基分佈均勻化的作用。亦即，對焦環使晶圓中心部與周邊部之自由基分佈均勻化。

使對下部電極9之靜電夾具施加的高頻偏壓電力以電容器22分割，供給至對焦環21。在此場合，電力的分割比係由晶圓前面的外皮電容與前述電容器電容的比率來決定的，所以要改變對對焦環21施加的高頻偏壓電力，只要使電容器22為可變電容即可。此外，透過未圖示的阻抗整合器施加高頻偏壓電力也有同樣的效果。此外，上述對焦環21以在與下部電極9同電位的電極外周部介由氧化鋁等所構成

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

的電介質環而設置亦可。在此場合，電介質相當於前述電容器22，可以藉由改變厚度而改變電容，可以變更對對焦環21施加的高頻偏壓電力。

其次，參照第2圖(a)(b)說明使用第1圖所示之電漿蝕刻裝置的半導體裝置的製造過程。

作為被加工試料由單晶矽所構成的半導體基板(矽晶圓：直徑8英吋)被搬送至蝕刻裝置的真空處理室內。第2圖(a)顯示在層間絕緣膜形成開口部(導通孔)的階段之矽晶圓主面上的重要部位剖面圖。

於第2圖(a)，在半導體基板23內，被形成深度70nm或者更少的源極、汲極區域23a，23b。在半導體基板23的主面上，被形成例如厚度2nm的閘極氧化膜24。在該閘極氧化膜24上被形成由多晶矽與鎢層積形成厚度200nm寬度100nm的閘極電極25。接著，在閘極電極25的上面形成帽蓋層26a，在閘極電極25的兩側面形成側壁層26b。此帽蓋層26a、側壁層26b分別由氮化矽膜所構成。藉此，在曝光時即使遮罩對準有所偏移的場合，也可以藉由選擇對氮化矽膜而言氧化膜(層間絕緣膜)之選擇比高的蝕刻條件，避免閘極電極的露出。因此，可以避免該閘極電極與氧化膜的貫孔內被埋入的導體層之間的電氣短路。在閘極電極24上作為層間絕緣膜被形成厚度2000nm的氧化膜(氧化矽)27。進而，在氧化膜27的上部被形成厚度80nm的防反射膜以及厚度500nm的光阻劑遮罩29。在光阻劑遮罩29上直徑120nm的孔狀圖案被曝光顯影。而，防反射膜28，在第1圖所示之蝕刻裝置的真

訂

線

五、發明說明 (11)

空容器1內藉由例如 N₂, CF₄混合氣體對應於光阻劑遮罩29之孔狀圖案被選擇蝕刻。

接著，如第2圖(b)所示，以光阻劑遮罩29為遮罩，使氧化膜27被蝕刻。

在第1圖所示的蝕刻裝置的真空容器1內例如以500 ml/min 導入氬氣，以15 ml/min 導入 C₅F₈，以18 ml/min 導入氧氣。此外，以使真空容器1內的壓力成為15 mTorr 的方式調整導通閥。藉由450 MHz 的高頻電力400W 產生電漿，接著對下部電極9施加800 kHz 的高頻電力2000W(2.83W/cm²)，蝕刻氧化膜27。在此場合，離子能量的判斷依據 V_{pp} 約為1.8kV。此外，以使由晶圓表面直到晶圓對面之天線表面為止的距離成為30mm 的方式調整下部電極9的高度，對天線施加13.56MHz 的高頻電力600W。

在這樣的處理條件，直徑120nm 的孔蝕刻速度約為700nm/min 的緣故，約以170秒(S1)可使貫孔到達源極/汲極區域(主動區域)，使該主動區域表面露出。然而，考慮晶圓面之蝕刻速度的差異，為使晶圓全面之所有的貫孔的開口確實達成，如第5圖(a)所示使蝕刻時間為190秒(S2)。此時之剖面形狀如第2圖(b)所示。接著，第3圖(a)~(d)係詳細顯示該剖面形狀之圖。又，於第3圖(a)~(d)省略第2圖所示之閘極氧化膜、閘極電極以及側壁層。

隨著晶圓面內的位置，到達下底之主動區域為止起，直到結束蝕刻為止的時間約有20秒(S2-S1)的時間，以約1.8kV 的高離子能量，衝擊主動區域(源極/汲極區域)。因此

五、發明說明 (12)

，如第3圖(a)所示，在主動區域產生結晶缺陷的損傷層30約被形成50nm厚。此外，在主動區域的表面(損傷層30的上部)被形成數nm含有SiC, SiO_x的高電阻層31。進而，在孔之內面堆積氟化碳膜32。前述高電阻層31被認為係藉由以下的機制形成的。

電漿中的碳自由基、氧自由基藉由具有能量的離子撞擊入主動區域(單晶矽)中，或者碳或氧自身成為C⁺或O⁺之離子，而被撞擊入主動區域中。接著，藉由碳或氧與矽結合成形成高電阻層31。

在此，根據本實施例，為了減低損傷層31，藉由以下的蝕刻方法形成接觸孔。

如第4圖(b)所示，接觸孔開始蝕刻時(1st stage)對下部電極9施加800 kHz的高頻電力2000W(2.83W/cm²)。接著蝕刻進行150秒之後(2nd stage)切換為850W(1.20W/cm²)以此條件進行蝕刻後直到開始蝕刻起150秒為止，離子能量的判斷依據V_{pp}約為1.8kV，而150秒後起降低為1.0kV。根據高頻電力850W進行貫孔蝕刻的速度降低為約400nm。因為使過度蝕刻量為一定，所以總蝕刻時間設定為220秒。藉此，下底矽表面露出起約30秒係以V_{pp}=約1.0kV之比較低的離子能量衝擊主動區域的矽表面。

亦即，與第3圖(a)相比如第4圖(a)所示損傷層30(深度)降低。此外，如第4圖(a)所示被打入形成於損傷層30上部的高電阻層31的碳或氧的量也減少的緣故，所以也可以減低。又，於第4圖(a)~(d)省略第2圖所示之閘極氧化膜、閘極

五、發明說明 (13)

電極以及側壁層。

在第5圖(b)所示的蝕刻的初期階段(1st stage)對下部電極9施加的800 kHz的高頻電力，係在1000 W($2.83\text{W}/\text{cm}^2$) ~ 2000W($2.83\text{W}/\text{cm}^2$)的範圍，切換時(2nd stage)將其減低至12以下也可以得到同樣的效果。

進而，爲了減低損傷層，因與孔深孔徑比的關係考慮離子能量控制。

第6圖係供求得蝕刻進行中的狀態之實質內容之側壁堆積量與孔深孔徑比的關係之概念圖。係由堆積性自由基之C、 CF_2 減去F或O對堆積膜的蝕刻量之值。在孔上部與C相比F或O之自由基量較多所以堆積量較少，但在孔深孔徑比3到4附近具有峰值。進而孔深孔徑比變高時堆積量減少，但再度在孔深孔徑比爲7至8程度再度增加。

在此，取代對入射離子能量進行步進控制(第5圖(b))，亦即指使對下部電極施加的高頻電力階梯狀(數位)施加，而改爲蝕刻開始將離子能量抑制在較低值，隨著蝕刻進行同時增加離子能量。接著，在孔深孔徑比3至4附近達到最大後，再度使其降低的連續控制，亦即線性控制 V_{pp} ，可以更有效的實現遮罩選擇比的提高與損傷層的減低。

然而，於第5圖(a)，切換時間之150秒，係在使 V_{pp} 從約1.8kV降低至1.0kV而進行蝕刻2200nm程度的限度時間。較此切換時間爲短而減低 V_{pp} 的話蝕刻不會進行而會停止。蝕刻是否會進行是由堆積於孔底部的氟化碳系的堆積膜厚與離子能量之關係來決定的。孔深孔徑比較某值爲小的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

場合，附著係數小的自由基入射至孔底部，堆積膜厚變厚，蝕刻會停止。

亦即，例如使用光學干涉計即時觀測孔蝕刻的進行狀況，在到達某個最佳孔深孔徑比之後，減低離子能量。藉此，即使蝕刻裝置多少有些變化也不會有蝕刻停止的問題，可得安定的蝕刻結果。此處，所謂蝕刻裝置的狀態，係指真空容器內的堆積膜的厚度、長時間使用後的狀態、裝置間的微妙差異等。

此外，蝕刻氧化膜的場合，如第7圖所示，造成蝕刻停止的自由基種之一之 C_2 (516nm 附近) 與除去堆積膜之自由基種之一之 O (777nm 附近) 之比 (C_2/O) 與蝕刻停止之孔深孔徑比有極佳的相關性。亦即，取代以光學干涉計直接測量蝕刻深度，改已監測此 C_2/O 比，以控制離子能量，亦即 V_{pp} 。藉此，即使蝕刻裝置的狀態多少有些改變也不會有蝕刻停止的問題，可得安定的蝕刻結果。

接著說明接觸孔深度較淺，孔深孔徑比在4以下的場合。在此場合，孔內的堆積膜較厚的位置，與氧化膜與下底膜之邊界位置幾乎一致。亦即，藉由使氧氣流量較通常的流量增加以確保蝕刻的進行，亦即在氧化膜蝕刻途中避免蝕刻停止同時採用第5圖(a)所示的離子能量控制程序可以減低損傷層。

以下參照第3、4圖說明高電阻層之除去方法。

首先，如第3圖(b)所示，孔蝕刻後以氬氣、 CF_4 、氧氣混合氣體形成電漿，以 V_{pp} 在500V 以下的低偏壓條件進行

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

高電阻層之除去。結果，有數 nm 的高電阻層被除去，但因氣體中含有 C 或 O 等元素，會有若干高電阻層殘留下來亦被證實。

此處，在本實施例，如第4圖(b)所示，首先藉由以氧氣為主體之灰化工程，除去光阻劑遮罩、防反射膜、氟化碳膜。

其後，如第4圖(c)所示，暴露於氬氣、氫氣的混合氣體電漿，以 V_{pp} 為 500V 以下的低偏壓條件進行處理。例如以 100 ml/min 導入氬氣，以 200 ml/min 導入氫氣使氣體壓力為 4Pa 而以 450MHz 之高頻電力 800W 產生電漿，對下部電極施加 800kHz 之高頻電力 10~300W ($0.014 \sim 0.42 \text{ W/cm}^2$)。在此場合由晶圓表面至晶圓對向面之天線表面的距離為 90mm，在天線施加有 13.56MHz 之高頻電力 100W。特別是施加 800kHz 高頻電力 200W 而 V_{pp} 約為 350V 的場合，藉由氫自由基的還原作用除去 C、O，或者是藉由高電阻層自身的蝕刻，有效率地除去高電阻層。

取代氬氣與氫氣之混合氣體，例如使用 NH_3 ， H_2 ， N_2H_4 之至少一種，或者是 NH_3 ， H_2 ， N_2H_4 之至少一種與 Ar，He，Xe，Ne，Kr 之至少一種之混合氣體亦可。特別是使 NH_3 之混合比在 10~80%，可以使高電阻層中含有的 C 以 CN 或 CH 的揮發性氣體形式有效率地脫離、除去。

此外，本實施例係使氣體壓力為 4Pa，但在 0.3~300Pa 的壓力範圍內也可得到同樣的效果。這些氣體中，因為不含 C 或 O，所以不會再度在接觸孔底形成含有 SiC 或 SiO_x

(請先閱讀背面之注意事項再填寫本頁)

訂

線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

的高電阻層，可以有效率地洗淨。

回到第3圖，爲了完全除去第3圖(b)所示的殘存的高電阻層31，在以氧氣氣體主體之灰化工程之後，例如以 HF 水溶液爲代表的濕式洗淨亦被考慮。在此場合，如第3圖(c)所示進行等方性蝕刻圖案有較設計尺寸更粗的傾向。此外，因爲電漿氣體中含有多量的 F，所以下底矽(30)也被削到。接著，在接觸孔形成後埋入多晶矽33的插銷的場合，因爲圖案尺寸的粗度，如第3圖(d)所示般插銷產生間隙34而埋入產生異常。

在本實施例，藉由上述之蝕刻方法在高電阻層除去工程(參照第4圖(c))可以完全除去高電阻層。因此，灰化工程後對前述濕式洗淨的負擔可以減輕，可以抑制等方性的蝕刻。因此，可以抑制貫孔直徑的擴張，對半導體裝置的微細化作出貢獻。

此外，在本實施例，因爲在電漿氣體中含有多量的 F，所以可以解消如第3圖(c)所示那般削掉下底矽的情形。

進而，如第3圖(d)、第4圖(d)分別對比所示，可見到多晶矽之插銷33形狀上的差異。亦即，在導入濕式洗淨的接觸孔埋入多晶矽之插銷33的場合，因爲圖案尺寸的粗度緣故，如第3圖(d)所示，插銷產生間隙，有產生埋入異常的情形。另一方面，在本實施例解消圖案尺寸的粗度，如第4圖(d)所示可以正常進行埋入。但是在此場合因爲使用含有 H 之氣體，H 會進入矽基板內的深處，但可以藉施以適溫的退火處理而回復。亦即，在高電阻層除去工程後，放入退

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

火處理工程的話不會有半導體裝置的性能問題。此外，在高電阻層除去工程後含有退火處理工程的話，不需要另行放入退火工程，可以不增加工程數而進行高電阻層除去。

本實施例不限於使用第1圖之 UHF—ECR 蝕刻裝置，ICP、 μ 波—ECR、雙頻激發平行平板型等各種蝕刻裝置也可以期待同樣的效果。

第2實施例

取代第1實施例的接觸孔蝕刻工程之離子能量控制，而改以控制電漿中的自由基量的實施例說明如下。

如先前所說明的，蝕刻停止係由堆積於孔底面的氟化碳膜厚與離子能量的關係來決定。使用 C_5F_8 與 Ar 氣體之氧化膜蝕刻的場合，藉由在電漿中的解離，主要產生 CF_2 、F、O 以及 C(亦有在這些原子或分子的名稱上附加自由基的情形)。除此以外， CF_3 、 CF 、 C_2F_4 、 C_3F_7 等也會產生但對接觸孔蝕刻工程不造成大影響，所以在此省略。

CF_2 、F、O 以及 C 分別對孔側面之側壁附著係數 S 之關係以下式表示。

$$S_C > S_F = S_O > S_{CF_2} \quad (\text{數式})$$

爲了方便，F 或 O 也以附著係數表示，但此附著係數係與堆積膜的蝕刻機率對應。使用上述之附著係數的關係，求出 Ar、 C_5F_8 、 O_2 混合氣體程序之各自由基的側壁附著量

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

的孔之孔深孔徑比依存性之概念圖顯示於第8圖。

於第8圖，曲線35顯示 C(碳)的側壁堆積量。C 因為附著係數高，多堆積於孔上部可能會成為對遮罩之保護膜，但隨著孔深孔徑比變高堆積量急速下降。另一方面 CF₂如曲線36所示，因為附著係數小所以即使孔深孔徑比變高也幾乎不減少。相對對此，F(氟)以及 O(氧)因為附著係數在 C 與 CF₂中間，所以如曲線37所示，孔深孔徑比高的孔的場合到達底面的到達量減少。

根據第6圖所示之側壁堆積量與孔深孔徑比的關係，孔深孔徑比到3~4程度為止，只要導入不使發生蝕刻停止的充分的 O₂流量的話，即使以後減低 O₂的流量也不會發生蝕刻停止。第9圖係本實施例的 O₂流量控制方法。蝕刻開始時使 O₂流量為18ml/min，在50秒後，蝕刻深度達到600nm(孔深孔徑比為5)的階段變更為14ml/min。藉由此控制，與從蝕刻開始起直到結束為止導入一定 O₂流量的程序相比，在下底矽層(區域)露出的階段，可保持很厚的孔底部之堆積膜厚。亦即，可以緩和離子能量的衝擊，可以減低損傷層的厚度。

此處雖未圖示，在本實施例取代步進切替，也包括連續的控制 O₂流量。此外，組合前述第1實施例所說明的離子能量控制與前述 O₂流量控制也可以期待相同效果。

進而使對天線施加的13.56MHz 之電力伴隨著蝕刻的進行而調節，控制在天線表面消費掉的 F 自由基量，也有同樣的效果。

經濟部智慧財產局員工消費合作社印製

五、發明說明 (19)

接著進而與前述第1實施例同樣，藉由測量手段測定蝕刻深度，反應該結果而控制 O_2 流量亦可。

第3實施例

參照第10圖說明在第1實施例所說明的本發明的高電阻層除去工程適用於自對準(self-align)接觸孔加工的場合。

首先，如第10圖(a)所示，在半導體基板(矽晶圓)23上形成厚度2nm的閘極氧化膜24、於其上之一部分被形成以多晶矽與鎢形成的厚度200nm寬度100nm之閘極電極25。在閘極電極外周部被形成由氮化矽膜所構成的帽蓋層26。於其上部被形成厚度500nm的氧化膜27、厚度80nm的防反射膜28、被形成直徑200nm的孔圖案的厚度500nm的光阻劑遮罩29，防反射膜已經藉由 N_2 與 CF_4 混合氣體蝕刻。又，雖未圖示，但在半導體基板23內形成源極/汲極區域。

接著，如第10圖(b)所示，蝕刻氧化膜27。矽晶圓23被置於第1圖所示的蝕刻裝置的夾具部20上。接著，例如以1000 ml/min導入氬氣，以15 ml/min導入 C_5F_8 ，以21 ml/min導入氧氣。以使壓力成為15 mTorr的方式調整導通閥。藉由450MHz的高頻電力400W產生電漿，對下部電極施加800kHz的高頻電力1300W($1.84W/cm^2$)，電漿蝕刻氧化膜27。在此場合之離子能量的判斷依據 V_{pp} 約為1.3kV。此外，以使由晶圓表面直到晶圓對面之天線表面為止的距離成為50mm的方式調整下部電極9的高度，對天線施加13.56MHz的高頻電力200W。在這樣的處理條件，對氮化矽膜之氧化

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

膜的選擇比即使在肩部也高至約30程度，如第10圖(b)所示，充分殘留下底的氮化矽膜結束蝕刻。

接著，如第10圖(c)所示，蝕刻下底之氮化矽膜26。蝕刻條件例如以200 ml/min 導入氬氣，以30 ml/min 導入 CHF_3 ，以20 ml/min 導入氧氣。使壓力成為30 mTorr。以使由晶圓表面直到晶圓對面之天線表面為止的距離成為90mm 的方式調整下部電極的高度，藉由450MHz 的高頻電力400W，對天線施加13.56MHz 的高頻電力200W，對下部電極施加800kHz 的高頻電力400W($0.57\text{W}/\text{cm}^2$)，形成電漿，蝕刻氮化矽膜。在此場合對氧化膜之氮化矽膜26b 的選擇比很高，殘留有閘極氧化膜24的緣故，再度與第10圖(b)時同樣切換至氧化膜蝕刻條件蝕刻閘極氧化膜。此條件與矽之選擇比很高，不會蝕刻到被形成在半導體基板23內的源極/汲極區域(主動區域)。又，閘極氧化膜24非常薄的場合，或者是已經不存在的場合，前述閘極氧化膜蝕刻工程也可能沒有導入的必要。

接著，導入第1實施例所說明的高電阻層除去工程。與第1實施例的氧化膜蝕刻條件相比，本實施例的氮化膜蝕刻條件或者閘極氧化膜蝕刻條件因為離子能量很小，所以由於蝕刻被導入下底矽基板的損傷層、高電阻層之氧化抑制層都很薄，藉由高電阻層除去工程，接觸電阻可以抑制到相當低的程度。

第4實施例

(請先閱讀背面之注意事項再填寫本頁)

訂

線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21)

參照第11以及15圖說明在淺溝元件分離之 STI(Shallow Trench Isolation)附近形成接觸孔的場合。

首先，如第15圖所示由於光蝕刻之遮罩偏移而造成在 STI49上開接觸孔的場合，氧化膜27以及閘極氧化膜的過度蝕刻時貫穿 STI49而進行蝕刻。亦即，會發生貫穿源極/汲極區域(主動區域)50而使下底矽23露出的情形。因此，藉由被埋入接觸孔內的導體層(金屬或者多晶矽)，使源極汲極區域50與下底矽23之 PN 接合短路。因此，產生電流洩漏，在記憶體(DRAM)的場合造成資料更新不良。

為防止這種情形發生，如第11圖所示，在閘極氧化膜24上形成可以對氧化膜確保選擇比之作爲阻止膜之氮化矽膜26。接著，根據前述第3實施例所記載的製程，可以避免貫穿 STI49的那種蝕刻。亦即，電流洩漏的問題可以解消。

第5實施例

以下參照第12圖說明根據離子能量控制以及自由基量控制之接觸孔蝕刻工程之適用例。

第12圖係半導體裝置的製造過程之剖面圖，特別是顯示雙水平樣品(包括深度不同的接觸孔一併蝕刻的樣品)。又，於第12圖，省略矽晶圓39內的源極/汲極區域(主動區域)。

如第12圖所示，在矽晶圓38上形成厚度2nm 的閘極氧化膜39，於其上之一部分被形成以多結晶矽與鎢所形成的厚度200nm 寬度100nm 的閘極電極40。在閘極電極外周部被形

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

成由氮化矽膜所構成的帽蓋層 41a 以及側壁 41b。在閘極電極 40與閘極氧化膜 39上被形成厚度 500nm 的氧化膜 43。接著，在氧化膜 43上藉由自行對準接觸(SAC)技術形成接觸孔。亦即，以對氮化矽膜(41b)之氧化膜 43的選擇比高的條件進行蝕刻以形成接觸孔。接著，在該接觸孔內形成由多結晶矽所構成的插銷 42。

在被形成插銷 42的氧化膜 43上部，被形成厚度 200nm 的氧化膜 44、厚度 80nm 的防反射膜 45、被曝光顯影的直徑 200nm 的孔圖案之厚度 500nm 的光阻劑遮罩 46。防反射膜已經藉由 N₂, CF₄混合氣體進行蝕刻。在此場合，接觸孔(貫孔) 47係對多晶矽所構成的插銷 42取接觸者，蝕刻深度為 200nm，相對於此，接觸孔 48係取與下底矽基板之接觸者，蝕刻深度為 700nm。

把如此般蝕刻深度不同的孔統括進行蝕刻的場合，到目前為止使離子能量、氧氣流量為一定而進行蝕刻。因此，直到深的接觸孔蝕刻結束為止，淺的接觸孔之下底膜之多晶矽等也被削除。會有選擇比降低的問題。

根據本實施例的話，因為實行雙水平樣品的蝕刻，伴隨著蝕刻深度的進展，如第 5圖(a)所示進行減低離子能量的控制以及第 9圖所示之減低氧氣流量的控制。

亦即，根據本實施例的話，不只可以實現在深的接觸孔 48之下底膜選擇比的提高與損傷的降低，即使在淺的接觸孔 47也可以提高下底膜的選擇比以及實現損傷的降低。

此外，對此樣品，藉由導入使用在前述第 1實施例所說

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (23)

明的還原性氣體之高電阻層除去工程，可以構築有效率地除去高電阻層以及不需要濕式洗淨處理工程或者減輕其負擔之製程。

第6實施例

以下說明將需要接觸孔蝕刻工程、灰化工程、高電阻層除去工程所需要的半導體裝置予以模組化的實施例。

第13圖顯示本實施例之多真空室方式的半導體處理系統。此半導體處理系統係以載入鎖定室51、晶圓搬送機械手臂(搬送室)52、蝕刻室53、灰化室54、高電阻層除去室55、以及載出鎖定室56所構成。由圖可知，蝕刻室53、灰化室54以及高電阻層除去室55係以晶圓搬送機械手臂52為中心，被配置於其周圍。

使用這樣的半導體處理系統之接觸孔蝕刻程序說明如下。

如第13圖所示，由載入鎖定室51投入之晶圓 W 以晶圓搬送機械手臂52導入蝕刻室53。在蝕刻室內晶圓藉由在前述第1實施例或者前述第2實施例所說明的接觸孔蝕刻程序來處理。

接著，晶圓被導入灰化室54。在此，除去光阻劑遮罩、堆積於孔內的氟化碳膜。

接著，晶圓被導入高電阻層除去室55。接著以第1實施例說明的方法除去接觸孔底部的高電阻層。

由載出鎖定室56取出晶圓。在本實施例，雖以蝕刻、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (24)

灰化、高電阻層除去之順序進行處理，但是替換灰化室與高電阻層除去室，或者是藉由改變晶圓的搬送順序，以蝕刻、高電阻層除去、灰化之順序進行處理亦為可能。

第7實施例

本實施例，提供在前述第5實施例進而具備乾洗淨室57之多真空室方式之半導體處理系統。

如第14圖所示，在高電阻層除去室55的後段配置乾洗淨室57。對在此乾洗淨室57內的晶圓之乾洗淨方法，採用例如本案發明人所申請之特願2001-007158號專利(2001年1月16日申請)之專利說明書所揭示的技術。亦即，將乾洗淨室57內保持減壓狀態，使附著於晶圓主面的異物以對其主面提供高速氣流而除去。此時，使用如氬氣之類的非活性氣體。

根據本實施例的話，可以藉乾式一貫程序，進行由孔蝕刻至洗淨為止的過程，可以提高產出率。

以上，根據上述實施型態具體說明本發明人所完成的發明，但是本發明並不以上述實施型態為限，在不逸脫其要旨的範圍內當然可以進行種種的變更。

本發明之實施型態列舉如下。

(1)本發明之實施型態之一，係使用具有藉由真空排氣手段被真空排氣的真空容器，及供把原料氣體導入真空容器之用的氣體導入手段，及被加工試料設置手段，及高頻電力導入手段之半導體處理裝置之半導體裝置之製造方法

經濟部智慧財產局員工消費合作社印製

五、發明說明 (25)

，其特徵為由以下工程所構成：

在前述被加工試料設置手段配置主面具有絕緣膜的半導體基板之工程，

使藉由氣體導入手段導入真空容器內的氣體以高頻電力電漿化，藉由電漿選擇性蝕刻前述絕緣膜，在前述絕緣膜形成接觸孔之工程，其後

對前述半導體基板施加高頻偏壓，使用還原性氣體洗淨或者加工被形成前述接觸孔之半導體基板之工程。

根據上述實施樣態，藉由使用還原性氣體洗淨或者加工被形成接觸孔的半導體基板，在接觸孔形成時由含有被形成於下底層的高電阻層，例如在矽基板的場合為含有SiC, SiO_x之高電阻層除去C、O，或者除去高電阻層自身，可以抑制接觸電阻的增大。此外，因為使用同一裝置進行處理的緣故，可以謀求產出率的提高以及構成裝置的精簡。

(2)本發明之實施型態之一，係使用具有藉由真空排氣手段被真空排氣的真空容器，及供把原料氣體導入真空容器之用的氣體導入手段，及被加工試料設置手段，及高頻電力導入手段之半導體處理裝置之半導體裝置之製造方法，其特徵為由以下工程所構成：

在前述被加工試料設置手段配置主面具有絕緣膜的半導體基板之工程，

使藉由氣體導入手段導入真空容器內的氣體以高頻電力電漿化，藉由電漿選擇性蝕刻前述絕緣膜，在前述蝕刻

五、發明說明 (26)

過程減低離子能量之在前述絕緣膜形成接觸孔之工程。

降低離子能量，係在蝕刻時，存在於接觸孔底部的堆積膜的膜厚比離子能量的進入距離之1/3更薄時被實行。

根據上述實施樣態的話，即使在存在於接觸孔底部的堆積膜的膜厚比離子能量的進入距離之1/3更薄時減低離子的能量也不會造成蝕刻停止，不僅可以減低主動區域表面的損傷，同時可以提高被規律於離子能量之遮罩肩部的選擇比。

(3)本發明之實施型態之一，係於上述(2)，在絕緣膜的蝕刻深度在600nm以上時減低離子的能量。

根據上述實施樣態，蝕刻深度較600nm更深時，堆積於孔底部的堆積膜厚與離子的能量進入的深度相比充分變薄的緣故，所以即使減低離子的能量也不會發生蝕刻停止，不僅可以減低主動區域表面的損傷，同時可以提高被規律於離子能量之遮罩肩部的選擇比。

(4)本發明之實施型態之一，係於上述(1)，包含選擇蝕刻絕緣膜的工程，接著是藉由以氧氣為主體的氣體進行之灰化工程，接著使用還原性氣體洗淨或者加工前述絕緣膜之工程。

根據上述實施樣態，藉由灰化之後使用還原性氣體洗淨或者加工的工程，可以抑制下底膜的氧化導致氧化膜的形成，可以減低接觸電阻。

(5)本發明之實施型態之一，係於上述(1)，在藉由選擇性蝕刻在前述絕緣膜形成貫孔的期間，藉由使對前述基板

五、發明說明 (27)

施加的高頻偏壓電力伴隨著處理時間的進行而改變，調節入射至前述絕緣膜的離子能量為特徵。

根據上述實施樣態，使離子能量配合蝕刻的進行狀況而控制，可以減低過度蝕刻時由於離子造成的存在於被衝擊的接觸孔之下的矽基板或配線層之損傷。

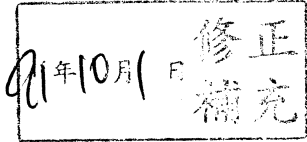
(6)本發明之實施型態之一，係於上述(1)，在藉由選擇蝕刻來蝕刻絕緣膜時伴隨著處理時間的進行而調節電漿中的自由基量。

根據上述實施樣態，伴隨著蝕刻進行而孔深孔徑比變高，堆積於孔底部的堆積膜的膜厚也減少。此時，使自由基例如 O 或 F 之量與膜厚同步減少，使孔底部的堆積膜厚保持一定，可以緩和衝擊接觸孔之下的矽基板或配線層的離子能量，所以可抑制損傷層的形成。

(7)本發明之實施型態之一，係於上述(1)，作為高頻電力導入手段而具有電極或者天線，具有對前述電極或天線施加第2高頻之手段，藉由選擇蝕刻來蝕刻被加工試料時，伴隨著處理時間而改變第2高頻偏壓電力以調節電漿中的自由基量。

根據上述實施樣態，藉由對電極或天線施加的第2高頻偏壓，可以高精度而且在很短的反應時間內控制在電漿中解離產生的 O 或 F 等自由基量以控制堆積於孔底部的堆積膜的膜厚，緩和衝擊矽基板或配線層的離子能量因而可以抑制損傷層的形成。進而，O 或 F 係光阻劑或多晶矽等遮罩材料的侵蝕劑，因此亦有提高對遮罩材料之被加工試料

五、發明說明 (28)



的選擇比的效果。

(8)本發明之實施型態之一，係於上述(1)，產生電漿的高頻之頻率為10MHz至900MHz，而使用電極或天線導入。

根據上述實施樣態的話，藉由使產生電漿的高頻之頻率為10MHz至900MHz，可以減低電漿中的電子溫度，抑制在電漿中解離產生的自由基量，例如 O 或 F 之量，可以擴大自由基量的控制範圍。

發明之效果

本發明所揭示的發明之中，藉由具有代表性者所可得到的效果簡單說明如下。

根據本發明，可以有效的抑制以及除去接觸孔內的損傷層或高電阻層的形成，對半導體裝置的製造生產率的提高有所貢獻。此外，於高電阻層之去除，不再必須要進行濕式處理，等方性的蝕刻被抑制，可以實現圖案間距狹窄的接觸孔蝕刻。因此，半導體裝置的微細化成為可能。

圖面之簡單說明

第1圖(a)、(b)係在本發明所使用的乾蝕刻裝置之概略圖。

第2圖(a)、(b)係相關於本發明之第1實施例之半導體裝置的製造工程中之重要部位剖面圖。

第3圖(a)、(b)、(c)、(d)係以本發明之第1實施例為前提由發明人所檢討的半導體裝置的製造工程中之重要部位剖面圖。

第4圖(a)、(b)、(c)、(d)係相關於本發明的第1實施例之半導體裝置的製

(請先閱讀背面之注意事項再填寫本頁)

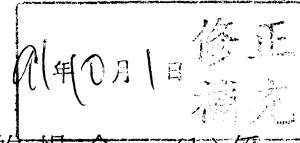
裝

訂

線

五、發明說明(29)

造工程中之重要部位剖面圖。



第5圖(a)係不使用離子能量控制的蝕刻的場合，(b)係使用離子能量控制的本發明相關的蝕刻的場合之分別的離子能量 V_{pp} 與蝕刻時間之關係之特性圖。

第6圖係相關於本發明的第2實施例之附著於孔穴側壁的材料堆積量對於孔深孔徑比之依存性之特性圖。

第7圖顯示相關於本發明的最大孔深孔徑比與發光強度比(c_2/o 比)之關係之特性圖。

第8圖顯示相關於本發明之側壁堆積量與孔深孔徑比之關係特性圖。

第9圖顯示相關於本發明的氧氣流量與蝕刻時間之關係特性圖。

第10圖(a)、(b)、(c)顯示相關於本發明之第3實施例之半導體裝置的製造工程中之重要部位剖面圖。

第11圖顯示相關於本發明之第4實施例之半導體裝置的製造工程中之重要部位剖面圖。

第12圖顯示相關於本發明之第5實施例之半導體裝置的製造工程中之重要部位剖面圖。

第13圖顯示相關於本發明之第6實施例之多真空室方式的半導體處理系統之平面圖。

第14圖顯示相關於本發明之第7實施例之多真空室方式的半導體處理系統之平面圖。

第15圖係以本發明之第1實施例為前提由發明人所檢討的半導體裝置的製造工程中之重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

符號說明

- 1 真空容器
- 2 空心線圈
- 3 氣體導入管
- 4 同軸線路
- 5 整合器
- 6 450MHz 電源
- 8 13.56MHz 電源
- 9 下部電極
- 10 被加工試料
- 11 高頻偏壓電源
- 12 模塊化電容
- 13 氣體流量計
- 14 真空排氣系
- 15 導通閥
- 16 接地電位導體板
- 17 介電質
- 18 圓板狀導體板
- 19 矽圓板
- 20 夾具
- 21 對焦環
- 22 電容
- 23 矽晶圓

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (31)

- 24 閘極氧化膜
- 25 閘極電極
- 26 帽蓋層
- 27 氧化膜
- 28 防反射膜
- 29 光阻劑遮罩
- 30 損傷層
- 31 高電阻層
- 32 氟化碳層
- 33 多結晶矽
- 34 間隙
- 35 曲線
- 36 曲線
- 37 曲線
- 38 矽晶圓
- 39 閘極氧化膜
- 40 閘極電極
- 41 帽蓋層
- 42 插銷
- 43 氧化膜
- 44 氧化膜
- 45 防反射膜
- 46 光阻劑遮罩
- 47 接觸孔

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (32)

- 48 接觸孔
- 49 STI(淺溝元件分離)
- 50 主動區域
- 51 載入鎖定室
- 52 晶圓搬送機械手臂
- 53 蝕刻室
- 54 灰化室
- 55 高電阻層除去室
- 56 載出鎖定室
- 57 乾洗淨室

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要 (發明之名稱：半導體裝置之製造方法)

本發明之課題在於接觸孔的形成上，有效率地進行被形成於下底矽基板或者配線層的損傷層的控制與高電阻層的除去，實現接觸電阻的減低。

本發明之解決手段為：藉由使離子能量以及氧氣流量，伴隨著蝕刻深度的進展而減低的蝕刻工程，而形成接觸孔，抑制被形成於下底的損傷層。接著導入使用氫氣或者含有氫氣的氣體電漿之高電阻層除去工程以謀求低接觸電阻。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

英文發明摘要 (發明之名稱：)

六、申請專利範圍

1.一種半導體裝置之製造方法，係包含在被設於半導體基板主面上的絕緣膜上形成接觸孔的工程之半導體裝置之製造方法，其特徵為由以下工程所構成：

藉由乾蝕刻在前述絕緣膜形成接觸孔的工程，及

接著對半導體基板施加高頻電力，使用還原性氣體洗淨前述接觸孔內之工程。

2.如申請專利範圍第1項之半導體裝置之製造方法，其中

前述還原性氣體係由 NH_3 ， H_2 ， N_2H_4 之至少一種，或者是 NH_3 ， H_2 ， N_2H_4 之至少一種與 Ar ， He ， Xe ， Ne ， Kr 之至少一種之混合氣體所構成。

3.如申請專利範圍第2項之半導體裝置之製造方法，其中

使用 NH_3 之混合比係10至80%之混合氣體洗淨或者加工前述接觸孔。

4.一種半導體裝置之製造方法，其特徵為由以下工程所構成：

於半導體基板內被形成主動區域，在前述主動區域被形成絕緣膜之半導體晶圓之準備工程，

藉由乾蝕刻在前述絕緣膜形成接觸孔的工程，

對半導體基板施加高頻電路，使用還原性氣體洗淨前述接觸孔內的工程。

5.如申請專利範圍第4項之半導體裝置之製造方法，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

前述還原性氣體係由 NH_3 , H_2 , N_2H_4 之至少一種，或者是 NH_3 , H_2 , N_2H_4 之至少一種與 Ar , He , Xe , Ne , Kr 之至少一種之混合氣體所構成。

6.如申請專利範圍第5項之半導體裝置之製造方法，其中

前述絕緣膜係由氧化膜所構成。

7.一種半導體裝置之製造方法，其特徵為由以下工程所構成：

在主面具有半導體層或導體層的基板上形成層間絕緣膜的工程，

在前述層間絕緣膜上，形成位於前述半導體層或者導體層上而具有開口的遮罩的工程，

在使氟化碳氣體以及氧氣的氣體激發為電漿狀態之環境內通過前述遮罩的開口選擇性蝕刻前述絕緣膜，形成前述半導體層或者導體層的表面露出的絕緣膜開口的工程，

在把還原性氣體激發為電漿狀態的環境內，對前述基板施加使該環境內的離子加速的偏壓，處理前述開口內露出的半導體層或者導體層的表面的工程，以及

於前述開口內埋入半導體或者導體的工程。

8.如申請專利範圍第7項之半導體裝置之製造方法，其中

前述還原性氣體係由 NH_3 , H_2 , N_2H_4 之至少一種，或者是 NH_3 , H_2 , N_2H_4 之至少一種與 Ar , He , Xe , Ne , Kr 之至少一種之混合氣體所構成。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

9.一種半導體裝置之製造方法，係使用具有藉由真空排氣手段進行真空排氣的真空容器與對真空容器導入原料氣體之用的氣體導入手段以及被加工試料設置手段與高頻電力導入手段之半導體處理裝置之半導體裝置之製造方法，其特徵為由以下工程所構成：

在前述被加工試料設置手段配置在主面上具有絕緣膜的半導體基板之工程，

使藉由氣體導入手段對被導入真空容器內的氣體以高頻電力電漿化，藉由電漿選擇性蝕刻前述絕緣膜，在前述絕緣膜形成接觸孔的工程，

之後對前述半導體基板施加高頻偏壓，使被形成前述接觸孔的半導體基板，使用還原性氣體來洗淨或者加工的工程。

10.如申請專利範圍第9項之半導體裝置之製造方法，其中

前述還原性氣體係由 NH_3 ， H_2 ， N_2H_4 之至少一種，或者是 NH_3 ， H_2 ， N_2H_4 之至少一種與 Ar ， He ， Xe ， Ne ， Kr 之至少一種之混合氣體所構成。

11.一種半導體裝置之製造方法，係使用具有藉由真空排氣手段進行真空排氣的真空容器與對真空容器導入原料氣體之用的氣體導入手段以及被加工試料設置手段與高頻電力導入手段之半導體處理裝置之半導體裝置之製造方法，其特徵為由以下工程所構成：

在前述被加工試料設置手段配置在主面上具有絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

的半導體基板之工程，

使藉由氣體導入手段對被導入真空容器內的氣體以高頻電力電漿化，藉由電漿選擇性蝕刻前述絕緣膜，在高蝕刻過程使離子的能量減低之在前述絕緣膜形成接觸孔的工程。

12.如申請專利範圍第11項之半導體裝置之製造方法，其中

前述離子能量的減低，係在蝕刻時存在於接觸孔底部的堆積膜的膜厚比對離子能量的進入距離之1/3更薄時被實行。

13.如申請專利範圍第11項之半導體裝置之製造方法，其中

前述絕緣膜之蝕刻深度在600nm以上時使離子能量減低。

14.如申請專利範圍第11項之半導體裝置之製造方法，其中包含：

選擇性蝕刻前述絕緣膜的工程，接著藉由以氧氣為主體的氣體進行灰化的工程，接著使用還原性氣體洗淨或者加工前述絕緣膜的工程。

15.如申請專利範圍第11項之半導體裝置之製造方法，其中

在藉由選擇性蝕刻於前述絕緣膜上形成貫孔的期間，藉由使施加於前述基板的高頻偏壓電力伴隨著處理時間的進行而改變，以調節入射至前述絕緣膜的離子能量。

訂

線

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

16.如申請專利範圍第11項之半導體裝置之製造方法，
其中

藉由選擇性蝕刻來蝕刻處理前述絕緣膜時，伴隨著處理時間的進行而調節電漿中的自由基量。

17.如申請專利範圍第11項之半導體裝置之製造方法，
其中

前述高頻電力導入手段具有電極或者天線，具有對前述電極或者天線施加第2高頻的手段，在藉由選擇性蝕刻來蝕刻被加工試料時，藉由使第2高頻偏壓電力伴隨著處理時間而改變以調節電漿中之自由基量。

18.如申請專利範圍第11項之半導體裝置之製造方法，
其中

前述高頻電力的頻率係10MHz至900MHz。

19.一種半導體裝置之製造方法，係包含對半導體基板主面上設置之絕緣膜使用遮罩形成接觸孔的工程之半導體裝置之製造方法，其特徵為：

在藉由乾蝕刻而在未被形成前述遮罩之處的絕緣膜上形成接觸孔的第1工程，及藉由灰化除去前述遮罩的第2工程，及除去露出於前述接觸孔的底部的高電阻層之第3工程。

20.如申請專利範圍第19項之半導體裝置之製造方法，
其中

前述第2工程使用氧氣氣體，前述第3工程使用NH₃，H₂，N₂H₄之至少一種，或者是NH₃，H₂，N₂H₄之至少一種與Ar，

經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

六、申請專利範圍

He, Xe, Ne, Kr之至少一種之混合氣體。

(請先閱讀背面之注意事項再填寫本頁)

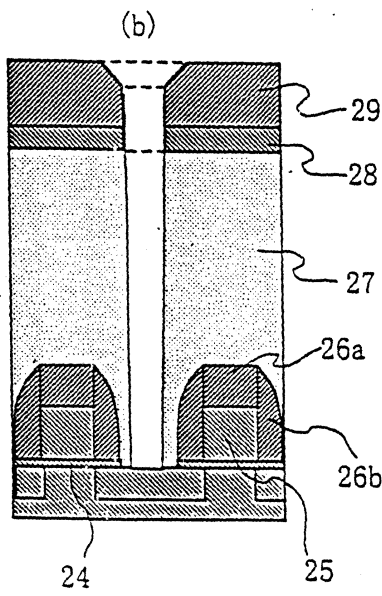
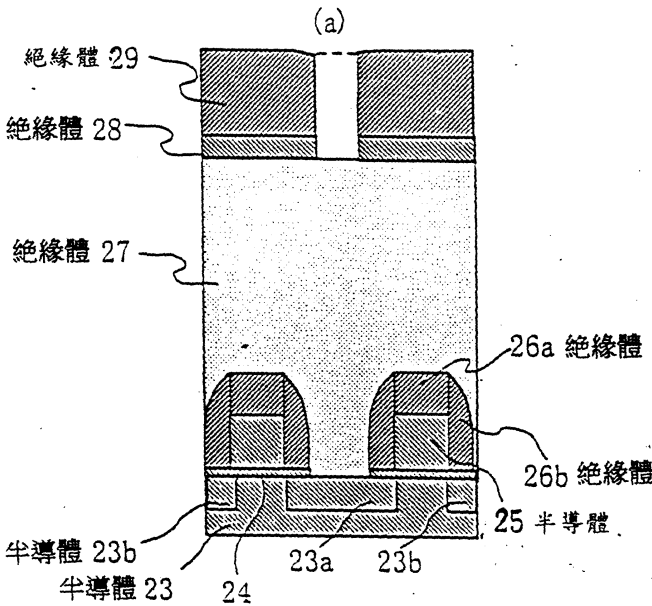
訂

線

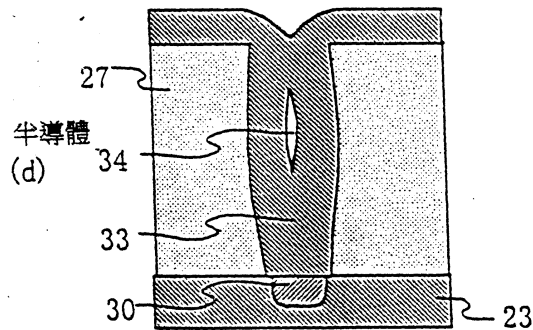
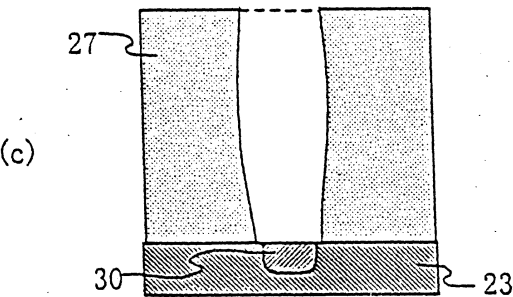
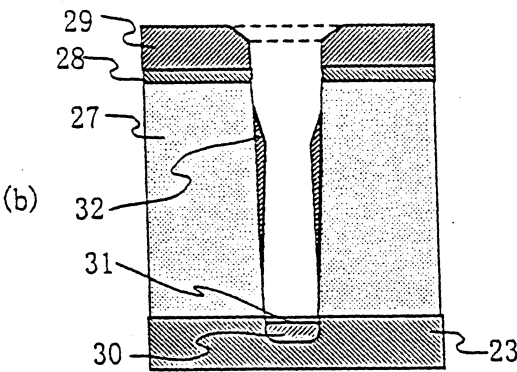
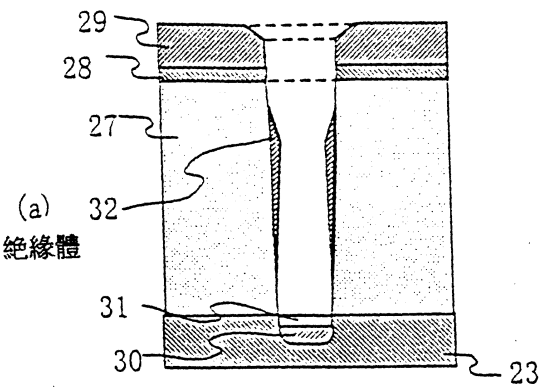
經濟部智慧財產局員工消費合作社印製

(b)

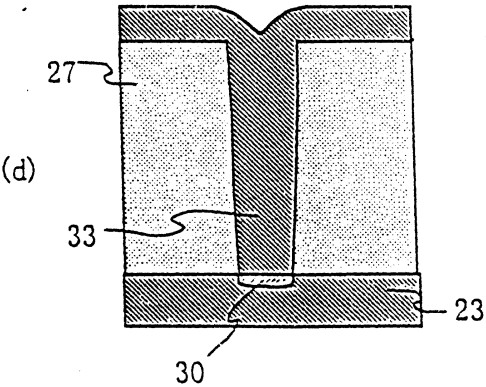
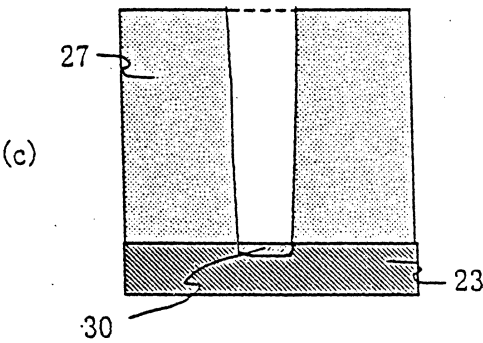
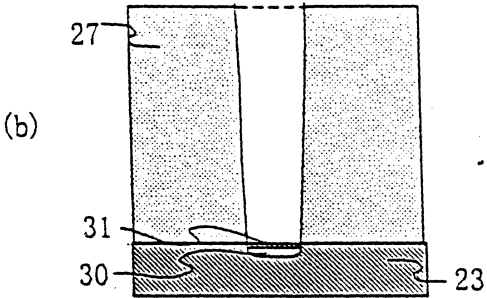
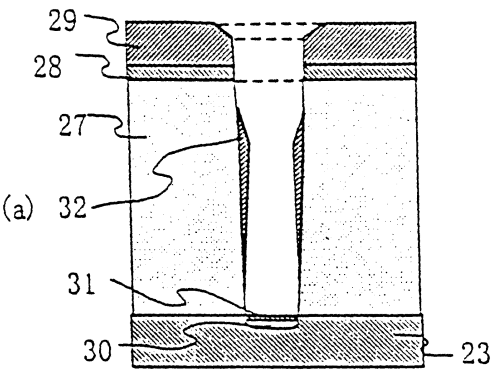
第 2 圖



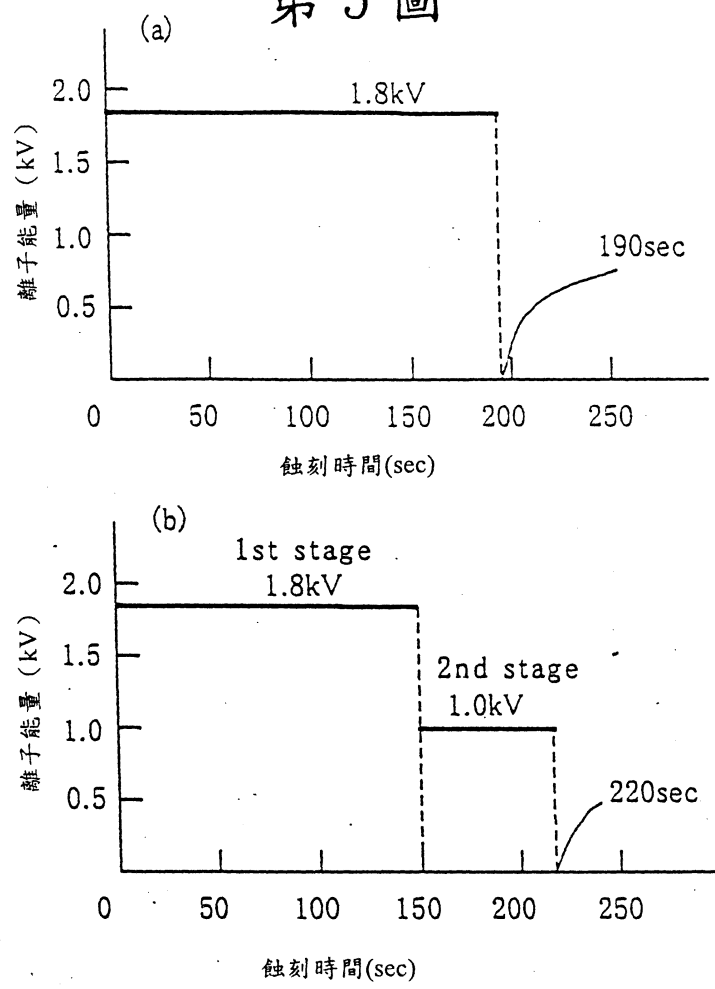
第 3 圖



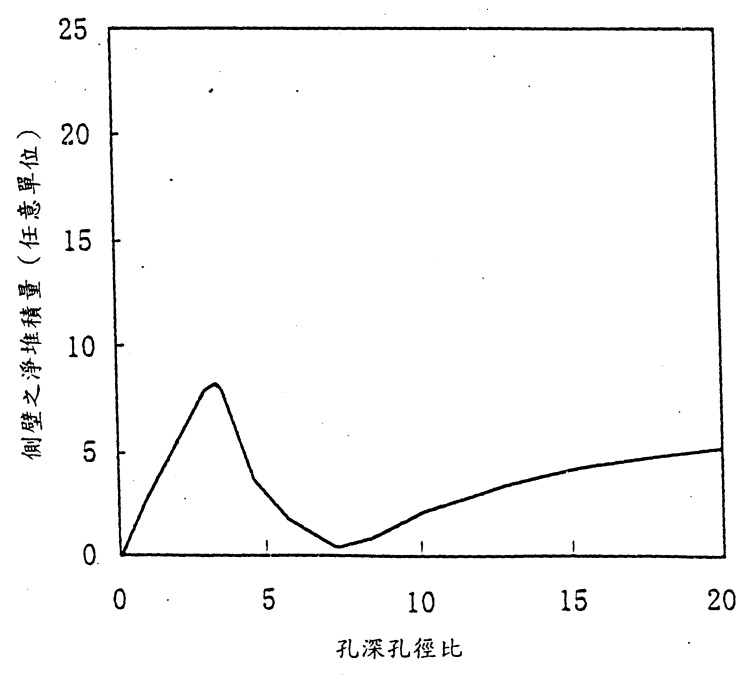
第 4 圖



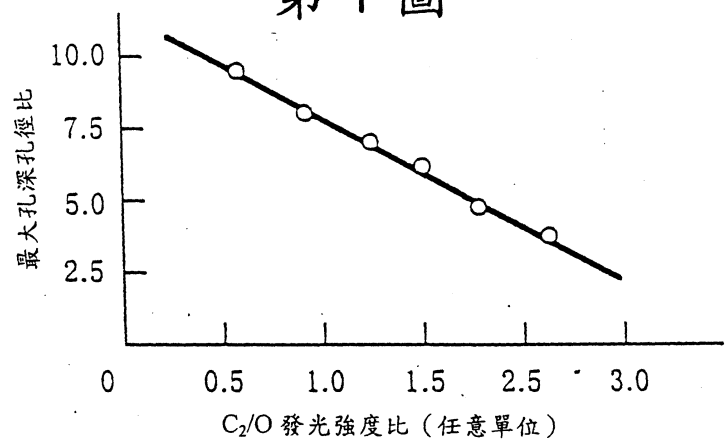
第 5 圖



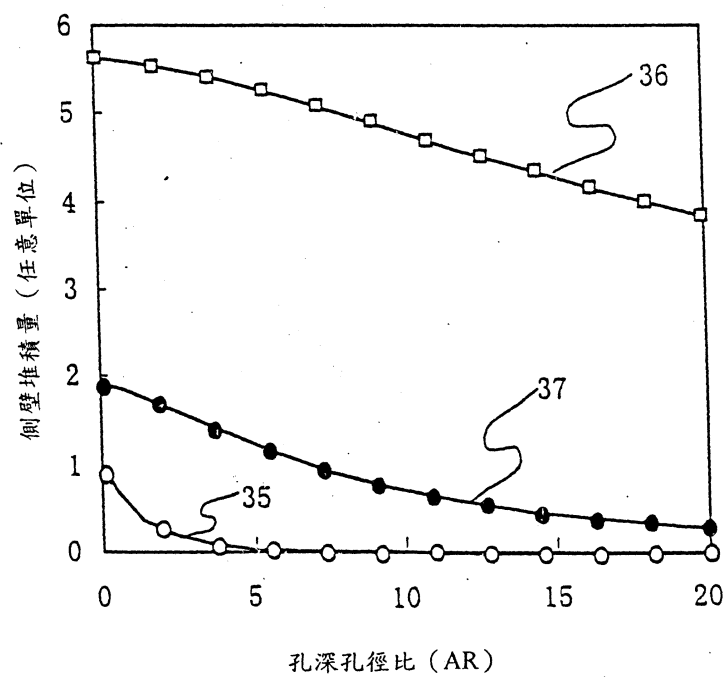
第 6 圖



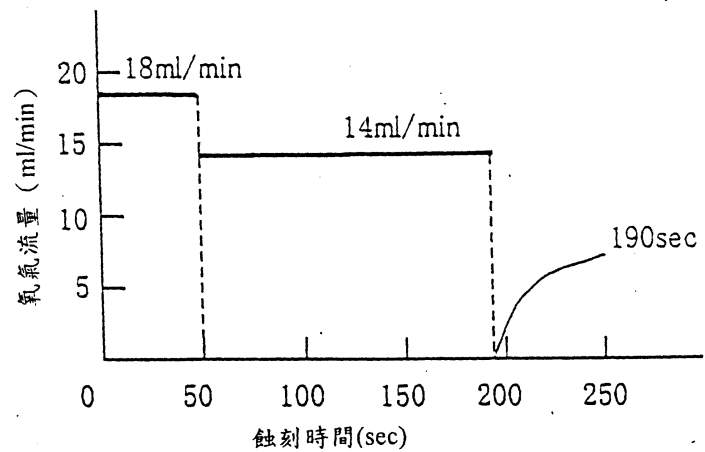
第 7 圖



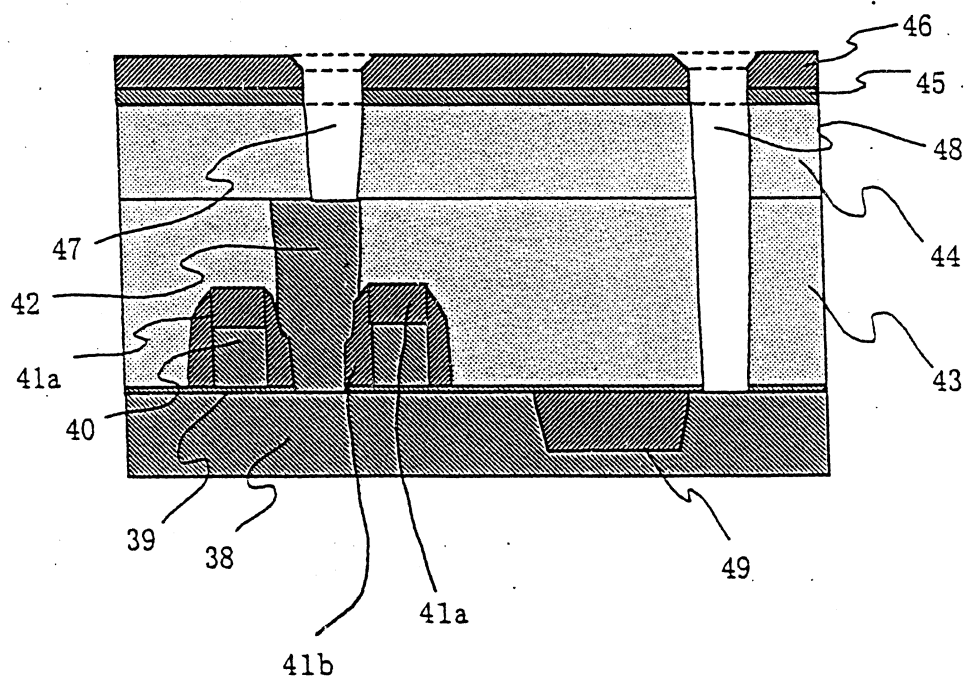
第 8 圖



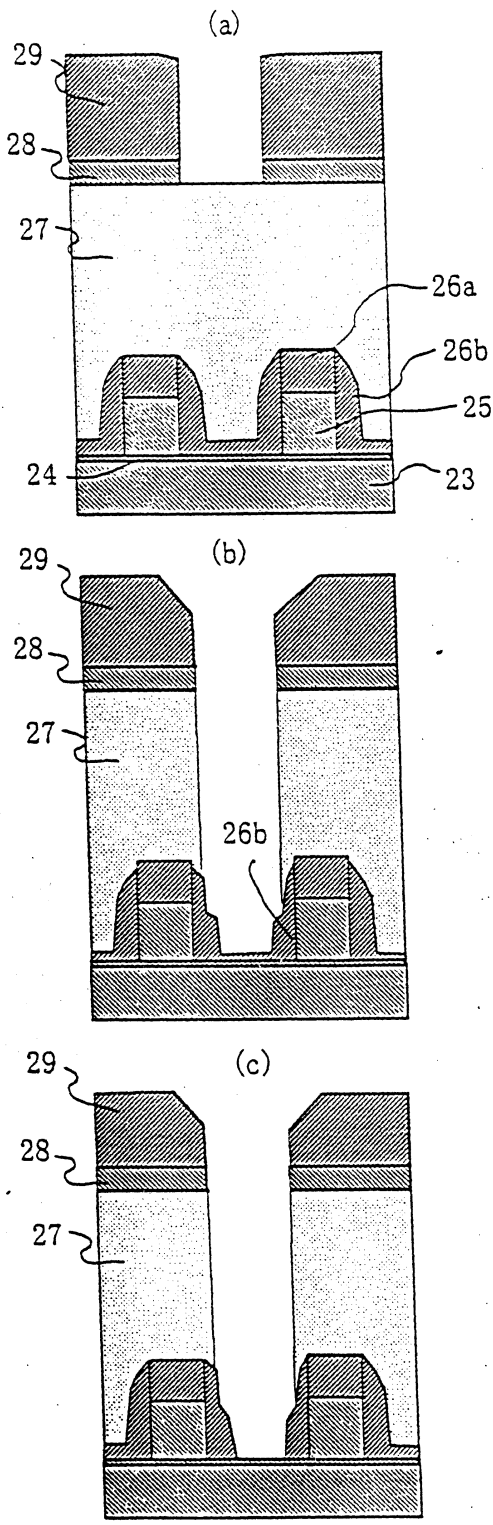
第 9 圖



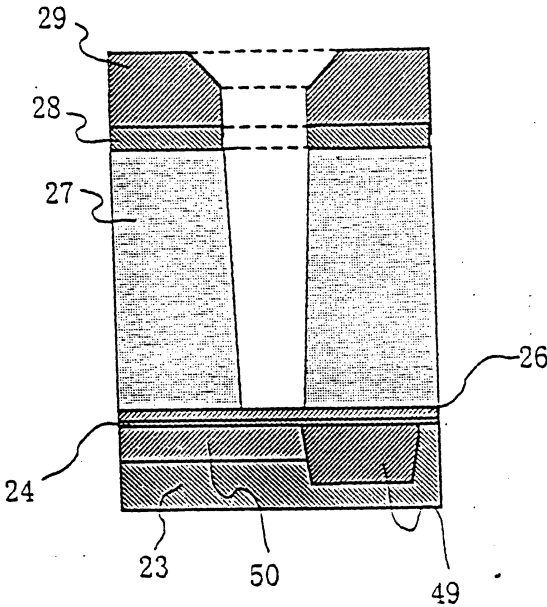
第 12 圖



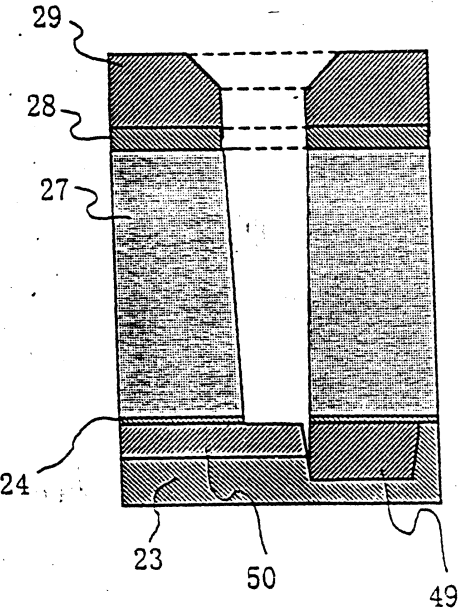
第 10 圖



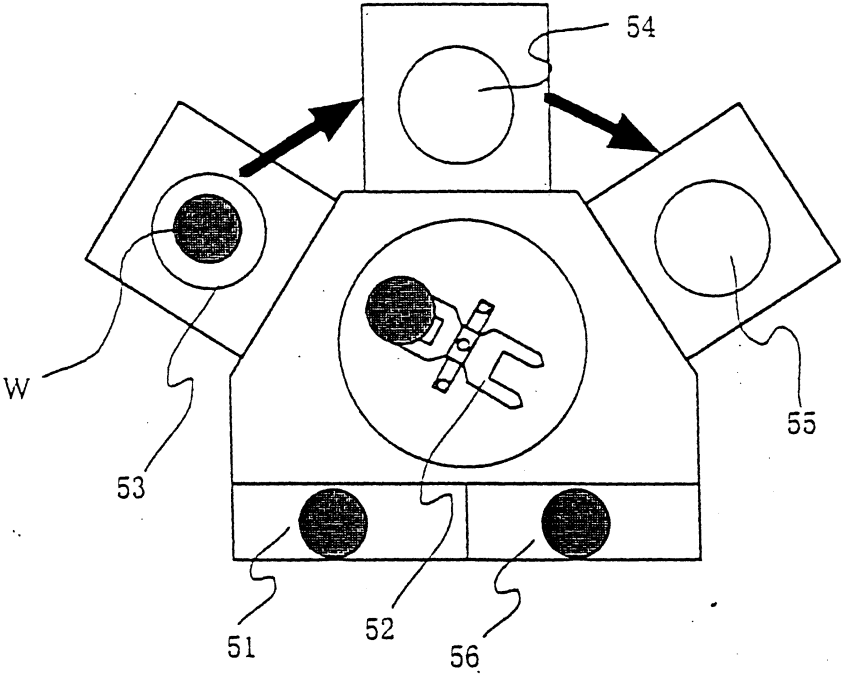
第 11 圖



第 15 圖



第 13 圖



第 14 圖

