

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-270447

(P2008-270447A)

(43) 公開日 平成20年11月6日(2008.11.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO1L 21/822 (2006.01)	HO1L 27/04 A	5E082
HO1L 27/04 (2006.01)	HO1C 13/02 D	5F038
HO1C 13/02 (2006.01)	HO1G 4/40 3O1A	
HO1G 4/40 (2006.01)	HO1C 13/00 C	
HO1C 13/00 (2006.01)	HO1L 27/04 C	

審査請求 未請求 請求項の数 16 O L (全 16 頁) 最終頁に続く

(21) 出願番号	特願2007-110086 (P2007-110086)	(71) 出願人	000006264 三菱マテリアル株式会社 東京都千代田区大手町1丁目5番1号
(22) 出願日	平成19年4月19日 (2007. 4. 19)	(74) 代理人	100085372 弁理士 須田 正義
		(72) 発明者	長友 憲昭 茨城県那珂市向山1002番地14 三菱マテリアル株式会社中央研究所内
		(72) 発明者	稲場 均 茨城県那珂市向山1002番地14 三菱マテリアル株式会社中央研究所内
		(72) 発明者	足立 美紀 茨城県那珂市向山1002番地14 三菱マテリアル株式会社中央研究所内
		Fターム(参考)	5E082 DD02 DD03 FG03 最終頁に続く

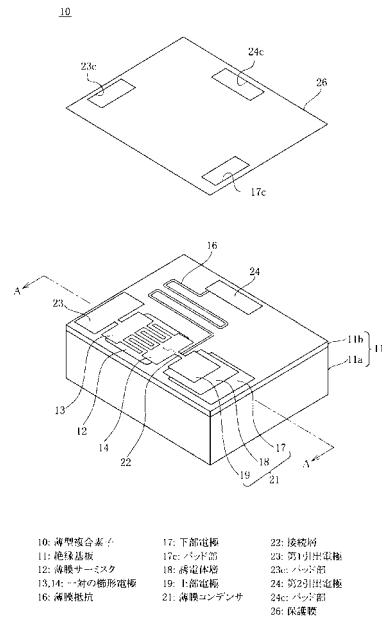
(54) 【発明の名称】 薄型複合素子及びその製造方法

(57) 【要約】

【課題】 サーミスタ、抵抗及びコンデンサをそれぞれ薄膜で構成して1チップ化することにより、薄くて小型の高速熱応答性のある薄型複合素子を得る。

【解決手段】 薄型複合素子10は絶縁基板11上に薄膜サーミスタ12と薄膜抵抗16と薄膜コンデンサ21とが互いに離間して形成される。薄膜サーミスタ上に相対向する一対の櫛型電極13, 14が形成され、薄膜コンデンサが下部電極17と誘電体層18と上部電極19を有する。基板上に一方の櫛型電極14と薄膜抵抗の一端と上部電極19の一端とを接続層22で互いに電氣的に接続する。基板上に、他方の櫛型電極13に電氣的に接続する第1引出電極23が、薄膜抵抗の他端に電氣的に接続する第2引出電極24がそれぞれ形成される。下部電極、第1及び第2引出電極における引出線を接続するためのパッド部17c, 23c, 24cを除いた基板の上すべての素子が保護膜26で被覆される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁基板上に薄膜サーミスタと薄膜抵抗と薄膜コンデンサとが互いに離間して形成され、
 前記薄膜サーミスタ上に相対向する一对の櫛型電極が形成され、
 前記薄膜コンデンサが前記基板上に形成された下部電極と前記下部電極上に形成された誘電体層と前記誘電体層上に形成された上部電極とにより構成され、
 前記基板上に前記一对の櫛型電極の一方と前記薄膜抵抗の一端と前記上部電極又は下部電極の一端とを互いに電氣的に接続するように接続層が形成され、
 前記基板上に前記一对の櫛型電極の他方に電氣的に接続するように第 1 引出電極が形成され、
 前記基板上に前記薄膜抵抗の他端に電氣的に接続するように第 2 引出電極が形成され、
 前記下部電極又は上部電極、前記第 1 引出電極及び前記第 2 引出電極における引出線を接続するためのパッド部を除いた前記基板上のすべての素子を被覆するように保護膜が形成された
 ことを特徴とする薄型複合素子。

10

【請求項 2】

絶縁基板が、セラミック基板、ガラス基板又は基板上面に絶縁膜を有するシリコン基板である請求項 1 記載の薄型複合素子。

【請求項 3】

絶縁基板が基板上面に絶縁膜を有するシリコン基板であって、薄膜サーミスタの下方に前記絶縁膜を残して前記シリコン基板の空洞又は凹部が形成された請求項 1 又は 2 記載の薄型複合素子。

20

【請求項 4】

下部電極、接続層、第 1 引出電極及び第 2 引出電極が、絶縁基板上に成膜された接合層と前記接合層上に前記接合層と同形同大に成膜された導電層とによりそれぞれ構成された請求項 1 ないし 3 いずれか 1 項に記載の薄型複合素子。

【請求項 5】

絶縁基板上に薄膜サーミスタと薄膜抵抗と薄膜コンデンサ用下部電極とが互いに離間して形成され、
 前記薄膜サーミスタ上に相対向する一对の櫛型電極が形成され、
 前記基板上に前記一对の櫛型電極の一方と前記薄膜抵抗の一端と前記下部電極の一端とを互いに電氣的に接続するように接続層が形成され、
 前記基板上に前記一对の櫛型電極の他方に電氣的に接続するように第 3 引出電極が形成され、
 前記基板上に前記薄膜抵抗の他端に電氣的に接続するように第 4 引出電極が形成され、
 前記第 3 及び第 4 引出電極における引出線を接続するためのパッド部を除いた前記基板上のすべての素子を被覆するように SiO_2 からなる保護膜が形成され、
 前記保護膜を介して前記下部電極上に薄膜コンデンサ用上部電極が形成され、
 前記下部電極と前記保護膜と前記上部電極により薄膜コンデンサを構成したことを特徴とする薄型複合素子。

30

40

【請求項 6】

絶縁基板が、セラミック基板、ガラス基板又は基板上面に絶縁膜を有するシリコン基板である請求項 5 記載の薄型複合素子。

【請求項 7】

絶縁基板が基板上面に絶縁膜を有するシリコン基板であって、薄膜サーミスタの下方に前記絶縁膜を残して前記シリコン基板の空洞又は凹部が形成された請求項 5 又は 6 記載の薄型複合素子。

【請求項 8】

下部電極、接続層、第 3 引出電極及び第 4 引出電極が、絶縁基板上に成膜された接合層

50

と前記接合層上に前記接合層と同形同大に成膜された導電層とによりそれぞれ構成された請求項 5 ないし 7 いずれか 1 項に記載の薄型複合素子。

【請求項 9】

絶縁基板上に所定のパターンで薄膜コンデンサ用下部電極を形成する工程と、
前記下部電極の上に誘電体層を形成する工程と、
前記基板上に前記下部電極とは別に所定のパターンで薄膜サーミスタを形成する工程と

、
前記基板上に前記下部電極及び前記薄膜サーミスタとは別に所定のパターンで薄膜抵抗を形成する工程と、

前記薄膜サーミスタ上に相対向する一对の櫛型電極を形成するとともに前記誘電体層上に薄膜コンデンサ用上部電極を形成する工程と、

前記基板上に前記一对の櫛型電極の一方と前記薄膜抵抗の一端と前記上部電極又は下部電極の一端とを互いに電氣的に接続するように接続層を形成する工程と、

前記基板上に前記一对の櫛型電極の他方に電氣的に接続するように第 1 引出電極を形成する工程と、

前記基板上に前記薄膜抵抗の他端に電氣的に接続するように第 2 引出電極を形成する工程と、

前記下部電極又は上部電極、前記第 1 引出電極及び前記第 2 引出電極における引出線を接続するためのパッド部を除いた前記基板上のすべての素子を被覆するように保護膜を形成する工程と

を含む薄型複合素子の製造方法。

【請求項 10】

絶縁基板が、セラミック基板、ガラス基板又は基板上面に絶縁膜を有するシリコン基板である請求項 9 記載の薄型複合素子の製造方法。

【請求項 11】

絶縁基板が基板上面に絶縁膜を有するシリコン基板であって、薄膜サーミスタの下方に前記絶縁膜をエッチングストッパとしてエッチングにより前記シリコン基板の空洞又は凹部を形成する請求項 9 又は 10 記載の薄型複合素子の製造方法。

【請求項 12】

下部電極、接続層、第 1 引出電極及び第 2 引出電極が、絶縁基板上に接合層を成膜した後、前記接合層上に前記接合層と同形同大に導電層を成膜することにより構成される請求項 9 ないし 11 いずれか 1 項に記載の薄型複合素子の製造方法。

【請求項 13】

絶縁基板上に所定のパターンで薄膜サーミスタを形成する工程と、

前記基板上に所定のパターンで前記薄膜サーミスタとは別に薄膜抵抗を形成する工程と

、
前記薄膜サーミスタ上に相対向する一对の櫛型電極を形成する工程と、

前記基板上に前記一对の櫛型電極の一方と前記薄膜抵抗の一端とを互いに電氣的に接続するように接続層を形成する工程と、

前記基板上に前記一对の櫛型電極の他方に電氣的に接続するように第 3 引出電極を形成する工程と、

前記基板上に前記薄膜抵抗の他端に電氣的に接続するように第 4 引出電極を形成する工程と、

前記基板上に前記接続層に電氣的に接続するように薄膜コンデンサ用下部電極を形成する工程と、

前記第 3 及び第 4 引出電極における引出線を接続するためのパッド部を除いた前記基板上のすべての素子を被覆するように SiO₂ からなる保護膜を形成する工程と、

前記保護膜を介して前記下部電極上に薄膜コンデンサ用上部電極を形成する工程とを含む薄型複合素子の製造方法。

【請求項 14】

10

20

30

40

50

絶縁基板が、セラミック基板、ガラス基板又は基板上面に絶縁膜を有するシリコン基板である請求項 1 3 記載の薄型複合素子の製造方法。

【請求項 1 5】

絶縁基板が基板上面に絶縁膜を有するシリコン基板であって、薄膜サーミスタの下方に前記絶縁膜をエッチングストッパとしてエッチングにより前記シリコン基板の空洞又は凹部を形成する請求項 1 3 又は 1 4 記載の薄型複合素子の製造方法。

【請求項 1 6】

下部電極、接続層、第 3 引出電極及び第 4 引出電極が、絶縁基板上に接合層を成膜した後、前記接合層上に前記接合層と同形同大に導電層を成膜することにより構成される請求項 1 3 ないし 1 5 いずれか 1 項に記載の薄型複合素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜サーミスタと薄膜抵抗体と薄膜コンデンサを有する薄型複合素子及びその製造方法に関するものである。

【背景技術】

【0002】

従来、サーミスタと抵抗とコンデンサを含む回路として、発振形測温回路が開示されている（例えば、特許文献 1 参照。）。この発振形測温回路では、直流電源に抵抗とコンデンサを直列接続し、これら抵抗とコンデンサの時定数に対応した周期でこのコンデンサを充放電させる弛緩発振回路を構成し、かつ上記抵抗として測温用のサーミスタと基準抵抗とを交互に切換接続するスイッチング手段を設け、上記サーミスタ接続時の発振周波数と上記基準抵抗接続時の発振周波数とを比較することにより上記サーミスタの温度を求めている。この発振形測温回路では、サーミスタの両端接続点と直流電源の両端ラインとの間にそれぞれサージ吸収用のツエナーダイオードを逆方向に接続したことを特徴とする。この発明の発振形測温回路によれば、サーミスタの両端いずれのリード線に正負いずれのサージ電圧が誘起されても、ツエナーダイオードを通じて直流電源側にサージ電圧が吸収され、内部回路に直接的に伝わらないので、従来のような誤動作や素子破壊が生じなくなり、回路の信頼性が大いに向上する。しかし、このような発振形測温回路では、サーミスタ、抵抗、コンデンサ等の個々の電子部品を複数個用いて回路が構成され、これらの部品を同一基板上に実装するときには、必然的に実装面積が増大し、回路の小型化を進める上で大きな制約となっていた。

【0003】

この点を改良した構造的に特徴のある素子として、サーミスタと抵抗を直列に接続し、これらのサーミスタと抵抗に対してコンデンサを並列接続した回路と等価な特性を 1 チップで実現した複合素子が開示されている（例えば、特許文献 2 参照。）。この複合素子を利用すれば、サーミスタ、抵抗及びコンデンサより構成している温度補償回路等、電子回路の小型化が可能となる。特に、小型化ニーズの強い温度補償型水晶発振器等の温度補償用回路として有用な複合素子を実現できる。

【特許文献 1】特開昭 6 1 - 6 8 5 2 6（特許請求の範囲、作用、発明の効果）

【特許文献 2】特開平 1 1 - 3 0 7 3 1 8（[0004]、[0006]）

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献 2 に示される複合素子は単一のチップにサーミスタ、抵抗及びコンデンサを構成できるため、回路の小型化が図れる特長があるけれども、この複合素子では、サーミスタ素体の一方の面上に抵抗体層を設け、その他方の面上に誘電体層を設けるバルク構造によって、抵抗体とコンデンサとサーミスタの 3 つの部品を複合しているため、サーミスタの熱容量が大きく、熱応答性が低い欠点があった。

【0005】

10

20

30

40

50

本発明の目的は、サーミスタ、抵抗及びコンデンサをそれぞれ薄膜で構成して１チップ化することにより、薄くて小型の高速熱応答性のある薄型複合素子及びその製造方法を提供することにある。

【課題を解決するための手段】

【０００６】

本願請求項１に係る発明は、図１及び図２に示すように、絶縁基板１１上に薄膜サーミスタ１２と薄膜抵抗１６と薄膜コンデンサ２１とが互いに離間して形成され、薄膜サーミスタ１２上に相対向する一对の櫛型電極１３、１４が形成され、薄膜コンデンサ２１が基板１１上に形成された下部電極１７とこの下部電極上に形成された誘電体層１８とこの誘電体層上に形成された上部電極１９とにより構成され、基板１１上に一对の櫛型電極の一方１４と薄膜抵抗１６の一端と上部電極１９又は下部電極の一端とを互いに電氣的に接続するように接続層２２が形成され、基板１１上に一对の櫛型電極の他方１３に電氣的に接続するように第１引出電極２３が形成され、基板１１上に薄膜抵抗１６の他端に電氣的に接続するように第２引出電極２４が形成され、下部電極１７又は上部電極、第１引出電極２３及び第２引出電極２４における引出線を接続するためのパッド部１７ｃ、２３ｃ、２４ｃを除いた基板上のすべての素子１２、１３、１４、１６、１８、１９、２２を被覆するように保護膜２６が形成されたことを特徴とする薄型複合素子１０である。

10

【０００７】

本願請求項５に係る発明は、図７及び図８に示すように、絶縁基板３１上に薄膜サーミスタ３２と薄膜抵抗３６と薄膜コンデンサ用下部電極４１とが互いに離間して形成され、薄膜サーミスタ３２上に相対向する一对の櫛型電極３３、３４が形成され、基板３１上に一对の櫛型電極の一方３４と薄膜抵抗３６の一端と下部電極４１の一端とを互いに電氣的に接続するように接続層３７が形成され、基板３１上に一对の櫛型電極の他方３３に電氣的に接続するように第３引出電極３８が形成され、基板３１上に薄膜抵抗３６の他端に電氣的に接続するように第４引出電極３９が形成され、第３及び第４引出電極３８、３９における引出線を接続するためのパッド部３８ｃ、３９ｃを除いた基板上のすべての素子３２、３３、３４、３６、３７、４１を被覆するように SiO_2 からなる保護膜４２が形成され、この保護膜４２を介して下部電極４１上に薄膜コンデンサ用上部電極４３が形成され、下部電極４１と保護膜４２と上部電極４３により薄膜コンデンサ４４（図８）を構成したことを特徴とする薄型複合素子３０である。

20

30

【０００８】

本願請求項９に係る発明は、図１、図２及び図４に示すように、絶縁基板１１上に所定のパターンで薄膜コンデンサ用下部電極１７を形成する工程と、この下部電極１７の上に誘電体層１８を形成する工程と、基板１１上に下部電極１７とは別に所定のパターンで薄膜サーミスタ１２を形成する工程と、基板１１上に下部電極１７及び薄膜サーミスタ１２とは別に所定のパターンで薄膜抵抗１６を形成する工程と、薄膜サーミスタ１２上に相対向する一对の櫛型電極１３、１４を形成するとともに誘電体層１８上薄膜コンデンサ用上部電極１９を形成する工程と、基板１１上に一对の櫛型電極の一方１４と薄膜抵抗１６の一端と上部電極１９又は下部電極の一端とを互いに電氣的に接続するように接続層２２を形成する工程と、基板１１上に一对の櫛型電極の他方１３に電氣的に接続するように第１引出電極２３を形成する工程と、基板１１上に薄膜抵抗１６の他端に電氣的に接続するように第２引出電極２４を形成する工程と、下部電極１７又は上部電極、第１引出電極２３及び第２引出電極２４における引出線を接続するためのパッド部１７ｃ、２３ｃ、２４ｃを除いた基板上のすべての素子１２、１３、１４、１６、１８、１９、２２を被覆するように保護膜２６を形成する工程とを含む薄型複合素子１０の製造方法である。

40

【０００９】

本願請求項１３に係る発明は、図７、図８及び図９に示すように、絶縁基板３１上に所定のパターンで薄膜サーミスタ３２を形成する工程と、基板３１上に所定のパターンで薄膜サーミスタ３２とは別に薄膜抵抗３６を形成する工程と、薄膜サーミスタ３２上に相対向する一对の櫛型電極３３、３４を形成する工程と、基板３１上に一对の櫛型電極の一方

50

34と薄膜抵抗36の一端とを互いに電氣的に接続するように接続層37を形成する工程と、基板31上に一对の櫛型電極の他方33に電氣的に接続するように第3引出電極38を形成する工程と、基板31上に薄膜抵抗36の他端に電氣的に接続するように第4引出電極39を形成する工程と、基板31上に接続層37に電氣的に接続するように薄膜コンデンサ用下部電極41を形成する工程と、第3及び第4引出電極38,39における引出線を接続するためのパッド部38c,39cを除いた基板上のすべての素子32,33,34,36,37,41を被覆するようにSiO₂からなる保護膜42を形成する工程と、保護膜42を介して下部電極41上に薄膜コンデンサ用上部電極43を形成する工程を含む薄型複合素子30の製造方法である。

【0010】

本願請求項3又は7に係る発明は、請求項1又は5に係る発明であって、絶縁基板11,31が基板上面に絶縁膜11b,31bを有するシリコン基板11a,31aであって、薄膜サーミスタ12,32の下方に絶縁膜11b,31bを残してシリコン基板11a,31aの空洞又は凹部11c,31cが形成された薄型複合素子10,30である。

【0011】

本願請求項11又は15に係る発明は、請求項9又は13に係る発明であって、絶縁基板11,31が基板上面に絶縁膜11b,31bを有するシリコン基板11a,31aであって、薄膜サーミスタ12,32の下方に絶縁膜11b,31bをエッチングストップパとしてエッチングによりシリコン基板11a,31aの空洞又は凹部11c,31cを形成する薄型複合素子10,30の製造方法である。

【発明の効果】

【0012】

本願請求項1又は5に係る薄型複合素子では、サーミスタ、抵抗及びコンデンサがそれぞれ薄膜であって、同一の基板上に設けられるため、複合素子を1チップ化するとともに薄型にすることができ、この複合素子は熱容量が小さくなり、高速熱応答性が高い。またこの薄型複合素子は、図3に示すように、サーミスタ12、抵抗16及びコンデンサ21と電極17,23,24を備えた発振形測温回路を形成する。更に引出線を接続するためのパッド部を除いた基板上のすべての素子を保護膜で被覆するため、サーミスタが直接外部雰囲気に触れない。これにより複合素子が使用される雰囲気の湿度の影響を受けにくく、耐湿性に優れる。

【0013】

また本願請求項9又は13に係る薄型複合素子の製造方法によれば、上記特長のある薄型複合素子を製造できる。

【0014】

また本願請求項3又は7に係る薄型複合素子は薄膜サーミスタの下方に絶縁膜を残してシリコン基板の空洞又は凹部が形成されるため、薄膜サーミスタがメンブレン構造になり、高速熱応答性が更に高くなる。

【0015】

更に本願請求項11又は15に係る薄型複合素子の製造方法では、シリコン基板上の絶縁膜をエッチングストップパとして、エッチングによりシリコン基板に空洞又は凹部を容易に形成することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明を実施するための最良の実施の形態について説明する。

【0017】

<第1の実施の形態>

図1及び図2に示すように、本発明の第1実施形態の薄型複合素子10は、絶縁基板11上に薄膜サーミスタ12と一对の櫛型電極13,14と薄膜抵抗16と薄膜コンデンサ21と接続層22と第1引出電極23と第2引出電極24と保護膜26を備える。薄膜サーミスタ12と薄膜抵抗16と薄膜コンデンサ21とは基板上に互いに離間して形成され

10

20

30

40

50

る。絶縁基板 11 としては、シリコン基板 11a とこの基板上面に形成された絶縁膜 11b とを有するものが例示される。絶縁膜付きシリコン基板 11 は、後述する空洞又は凹部（図 5 及び図 6 参照）を絶縁膜の下にエッチングにより形成し易いため、好ましい。その他の絶縁基板としては、ガラス基板、セラミック基板等が挙げられる。基板は厚さ 0.1 ~ 0.5 mm の範囲から決められる。絶縁膜付きシリコン基板は、シリコン基板を熱酸化することにより、またシリコン基板表面に化学気相成長法により、基板表面に厚さ 100 ~ 1000 nm の SiO_2 膜を有するように形成される。

【0018】

薄膜サーミスタ 12 は、Mn - Co 系複合金属酸化物 ($\text{Mn}_x\text{Co}_{1-x}$)₃O₄ (但し 0.3 < x < 0.6)、又は Mn - Co 系複合金属酸化物に Ni、Fe、Cu 及び Al からなる群より選ばれた少なくとも 1 種を含む複合金属酸化物（例えば、($\text{Mn}_x\text{Co}_y\text{Fe}_{1-x-y}$)₃O₄ (但し 0.2 < x < 0.6、0.02 < y < 0.65) からなる複合金属酸化物である。この複合金属酸化物はスピネル型結晶構造を有し、膜厚方向に延在する柱状結晶構造を有している。Mn、Co、Ni、Fe、Cu、Al 等の組成比はサーミスタの所望の特性に応じて決められる。この薄膜サーミスタ 12 の厚さは所望の特性に応じて 100 ~ 1000 nm の範囲から決められる。薄膜抵抗は Ni - Cr 系合金からなる。この実施の形態では、薄膜抵抗は所望の抵抗値を得るために抵抗線を折り畳んだような形状に成膜される。

【0019】

薄膜コンデンサ 21 は絶縁基板 11 上に形成された下部電極 17 とこの下部電極より小面積で下部電極上に形成された誘電体層 18 とこの誘電体層より小面積で誘電体層上に形成された上部電極 19 とにより構成される。即ち、下部電極における引出線を接続するためのパッド部 17c を形成するために下部電極 17 の一部が誘電体層及び上部電極を積層した後も露出する。この誘電体層 18 は ($\text{Ba}_{1-x}\text{Sr}_x$)TiO₃ (但し 0 < x < 1.0) からなる複合酸化物であって、ペロブスカイト型構造を有する。誘電体層の厚さは所望の特性に応じて 100 ~ 1000 nm の範囲から決められる。

【0020】

一对の櫛型電極 13, 14 は、薄膜サーミスタ 12 上に成膜された Cr、Ti 等の接合層 13a, 14a と、この接合層上に接合層と同形同大に成膜された Au、Pt 等の導電層 13b, 14b とにより構成される。また薄膜コンデンサ用下部電極 17 及び上部電極 19 は、絶縁基板及び誘電体層上にそれぞれ成膜された Cr、Ti 等の接合層 17a, 19a と、この接合層上に接合層と同形同大に成膜された Au、Pt 等の導電層 17b, 19b とにより構成される。また接続層 22 は、絶縁基板上に成膜された Cr、Ti 等の接合層 22a と、この接合層上に接合層と同形同大に成膜された Au、Pt 等の導電層 22b とにより構成される。この接続層 22 は、一方の櫛型電極 14 と薄膜抵抗 16 の一端と上部電極 19 の一端とを互いに電氣的に接続するように基板上に形成される。

【0021】

また第 1 引出電極 23 は、絶縁基板上に成膜された Cr、Ti 等の接合層 23a と、この接合層上に接合層と同形同大に成膜された Au、Pt 等の導電層 23b とにより構成され、第 2 引出電極 24 も同様に構成される。第 1 引出電極 23 は他方の櫛型電極 13 に、また第 2 引出電極 24 は薄膜抵抗 16 の他端に電氣的に接続する。接合層は導電層の下地層として導電層の絶縁基板等への接合度を高める機能を有する。更に下部電極 17、第 1 及び第 2 引出電極 23, 24 におけるリード線等の引出線（図示せず）を接続するためのパッド部 17c, 23c, 24 を除いた基板上のすべての素子、即ち薄膜サーミスタ 12、一对の櫛型電極 13, 14、薄膜抵抗 16、誘電体層 18、上部電極 19、接続層 22 は、二酸化ケイ素 (SiO_2)、窒化ケイ素 (Si_3N_4) 等の保護膜 26 により被覆される。これにより図 3 に示すように、サーミスタ 12、抵抗 16 及びコンデンサ 21 と電極 17, 23, 24 を備えた発振形測温回路を形成した、総厚 0.1 ~ 0.5 mm のたて 1 ~ 4 mm、よこ 1 ~ 4 mm の薄型複合素子 10 が得られる。

【0022】

10

20

30

40

50

なお、上記実施の形態では、薄膜コンデンサの下部電極 17 の一部を露出してリード線等の引出線を接続するためのパッド部 17c を形成するようにしたが、下部電極、誘電体層及び上部電極の順に面積を大きくして上部電極にこのパッド部を設けるようにしてもよい。この場合、下部電極の一端が接続層に接続される。

【0023】

< 第 2 の実施の形態 >

図 7 及び図 8 に示すように、本発明の第 2 実施形態の薄型複合素子 30 は、絶縁基板 31 上に薄膜サーミスタ 32 と一对の櫛型電極 33, 34 と薄膜抵抗 36 と接続層 37 と第 3 引出電極 38 と第 4 引出電極 39 と保護膜 42 と下部電極 41 - 保護膜 42 - 上部電極 43 で構成される薄膜コンデンサ 44 を備える。絶縁基板 31 としては、シリコン基板 31a とこの基板上面に形成された絶縁膜 31b とを有するものが例示される。絶縁膜付きシリコン基板 31 は、後述する空洞又は凹部 (図 10 及び図 11 参照) を絶縁膜の下にエッチングにより形成し易いため、好ましい。絶縁基板の厚さ、種類及び絶縁膜付きシリコン基板の製造方法は第 1 の実施形態と同じである。

10

【0024】

絶縁基板 31 上に形成される薄膜サーミスタ 32 の組成は、第 1 の実施形態の薄膜サーミスタ 12 の組成と同じであり、薄膜サーミスタ 32 の形状、大きさ、配置は、第 1 の実施形態の薄膜サーミスタ 12 の形状、大きさ、配置とほぼ同じである。同様に一对の櫛型電極 33, 34 の組成、形状、大きさ、配置は一对の櫛型電極 13, 14 の組成、形状、大きさ、配置と同じである。薄膜抵抗 36 の組成は、第 1 の実施形態の薄膜抵抗 16 の組成と同じであり、薄膜抵抗 36 の形状、大きさ、配置は、第 1 の実施形態の薄膜抵抗 16 の形状、大きさ、配置とほぼ同じである。第 3 及び第 4 引出電極 38, 39 の組成、形状、大きさ、配置は、第 1 の実施形態の第 1 及び第 2 引出電極 23, 24 の形状、大きさ、配置とほぼ同じである。

20

【0025】

この実施の形態の特徴ある構成は薄膜コンデンサの構成にある。図 8 に示すように、この薄膜コンデンサ 44 は、絶縁基板 31 上に下部電極 41 を形成し、この下部電極を後述する保護膜 42 で被覆し、下部電極上に保護膜 42 を介して上部電極 43 を形成することにより構成される。接続層 37 は、一方の櫛型電極 34 と薄膜抵抗 36 の一端と下部電極 41 の一端とを互いに電氣的に接続するように基板上に形成される。この実施の形態における保護膜 42 は、誘電体の特性を有する二酸化ケイ素 (SiO_2) で構成される。第 1 の実施形態の保護膜 26 と同様に、リード線等の引出線 (図示せず) を接続するための第 3 引出電極 38c のパッド部 38c 及び第 4 引出電極 39 のパッド部 39c を除いたすべての素子、即ち薄膜サーミスタ 32、一对の櫛型電極 33, 34、薄膜抵抗 36、接続層 37 及び下部電極 41 を保護膜 42 は被覆する。薄膜コンデンサ 44 を上記のように構成することにより、小型化、低コスト化を図ることができる特長を有する。これにより総厚 0.1 ~ 0.5 mm のたて 1 ~ 4 mm、よこ 1 ~ 4 mm の薄型複合素子 30 が得られる。

30

【0026】

< 第 3 の実施の形態 >

図 5 に示すように、本発明の第 3 実施形態の薄型複合素子 10 は、第 1 の実施形態の薄型複合素子 10 の薄膜サーミスタ 12 の下方に絶縁膜 11b を残してシリコン基板 11a の凹部 11c が形成される。図示しないが、凹部 11c の代わりに空洞でもよい。

40

【0027】

< 第 4 の実施の形態 >

図 10 に示すように、本発明の第 4 実施形態の薄型複合素子 30 は、第 2 の実施形態の薄型複合素子 30 の薄膜サーミスタ 32 の下方に絶縁膜 31b を残してシリコン基板 31a の凹部 31c が形成される。図示しないが、凹部 31c の代わりに空洞でもよい。

【実施例】

【0028】

次に本発明の実施例を説明する。

50

【0029】

<実施例1>

図1及び図2に示される薄型複合素子の製造方法を説明する。先ず図4(a)に示すように、熱酸化法により、厚さ0.25mmのシリコン基板11aに層厚500nmのSiO₂層11bを形成する。

(a) 上部電極を除く薄膜コンデンサの形成

薄膜コンデンサ用下部電極17を形成するために、SiO₂層11bの上面全体にCr薄膜を膜厚が100nmとなるようにスパッタリング法により形成する。続けて、このCr薄膜上にAu薄膜を膜厚が200nmとなるようにスパッタリング法により形成する。このAu薄膜の全面に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、ヨウ素ヨウ化カリウム溶液を用いたウエットエッチングによりAu薄膜をパターニングし、所望の下部電極17の導電層17bを得る(図2)。続けて、硝酸セリウムアンモニウム溶液を用いたウエットエッチングにより、上記Cr薄膜をAu薄膜と同構造にパターニングし、SiO₂層11b上に、図4(b)に示すように、接合層17aを形成して(図2)、薄膜コンデンサ用下部電極17を得る。

10

【0030】

SiO₂層11b及び下部電極17の上面全体に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、Ba_{0.7}Sr_{0.3}TiO₃からなる複合酸化物の薄膜を膜厚が1μmとなるように下部電極17上にスパッタリング法により形成する。次に、図4(c)に示すようにリフトオフ法により、上記複合酸化物の薄膜を所望の形状にパターニングして、誘電体層18を得る。

20

(b) 薄膜サーミスタの形成

SiO₂層11b、下部電極17及び誘電体層18の上面全体に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。次いで、(Mn_{0.4}Co_{0.6})₃O₄のスピネル構造の薄膜を膜厚が500nmとなるようにスパッタリング法により形成する。次に、リフトオフ法により、上記スピネル構造の薄膜を所望の形状にパターニングする。この基板を800℃で1時間熱処理し、図4(d)に示すように、抵抗値及びB定数の信頼性の高い薄膜サーミスタ12を得る。

30

(c) 薄膜抵抗の形成

SiO₂層11b、下部電極17、誘電体層18及び薄膜サーミスタ12の上面全体にNi-Cr系の薄膜を膜厚が500nmとなるようにスパッタリング法により形成する。この薄膜の上面全体に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、塩化第2鉄溶液を用いたウエットエッチングにより、Ni-Cr系の薄膜を所望の形状にパターニングして、図4(e)に示すように、薄膜抵抗16を得る。

(d) 櫛型電極、薄膜コンデンサ用上部電極、引出電極及び接続層の形成

SiO₂層11b、下部電極17、誘電体層18、薄膜サーミスタ12及び薄膜抵抗16の上面全体にCr薄膜を膜厚が100nmとなるようにスパッタリング法により形成する。続けて、このCr薄膜上にAu薄膜を膜厚が200nmとなるようにスパッタリング法により形成する。このAu薄膜の全面に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、ヨウ素ヨウ化カリウム溶液を用いたウエットエッチングによりAu薄膜をパターニングし、所望の電極及び接続層の導電層13b, 14b, 19b, 23b及び22bを得る(図2)。続けて、硝酸セリウムアンモニウム溶液を用いたウエットエッチングにより、上記Cr薄膜をAu薄膜と同構造にパターニングし、接合層13a, 14a, 19a, 23a及び22aを形成して(図2)、図1及び図4(f)に示すように、櫛型電極13, 14、薄膜コンデンサ用上部電極19、引出電極23, 24及び接続層22を得る。

40

(e) 保護膜の形成

50

各種電極及び接続層を形成した後、基板の上面全体に SiO_2 薄膜を膜厚が 600nm となるようにスパッタリング法により形成する。 SiO_2 薄膜の全面に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、フッ酸を用いたウエットエッチングにより SiO_2 薄膜をパターニングし、図4(g)に示すように、リード線等の引出し線を接続するパッド部17c, 23c及び24cのみを露出させ、他のすべての素子を SiO_2 からなる保護膜26で被覆する。これにより総厚 0.25mm のたて 3mm 、よこ 2mm の薄型複合素子10が得られる。

【0031】

以上、単一の複合素子の製造方法について述べたが、複合素子を量産するときには、1枚のシリコン基板上に薄膜のサーミスタ・抵抗・コンデンサからなる多数の複合素子を形成し、その基板を切断により個々の薄型複合素子を得る。

【0032】

<実施例2>

図5に示される薄型複合素子の製造方法を説明する。図4(g)に示される複合素子10を裏返した後、図6(a)に示すように薄膜サーミスタ12の裏側に相当する部分に SiO_2 層11dを取り除いた四角形の窓27を形成する。このシリコン基板11aには上面に SiO_2 層11bが下面に SiO_2 層11dが形成されている。この窓27は、窓となる部分以外の SiO_2 層11dを感光性樹脂でマスクし、フッ酸を用いたウエットエッチングにより SiO_2 層11dをパターニングすることにより、形成される。続いて、上記感光性樹脂をマスクとし、水酸化テトラメチルアンモニア水溶液(TMAH)を用いたウエットエッチングにより薄膜サーミスタの下部(図6では上部)に相当するシリコン基板11aの一部をエッチングし、図6(b)に示すようにサーミスタをメンブレン構造にした薄型複合素子を得る。

【0033】

<実施例3>

図7及び図8に示される薄型複合素子の製造方法を説明する。先ず図9(a)に示すように、熱酸化法により、厚さ 0.25mm のシリコン基板31aに層厚 500nm の SiO_2 層31bを形成する。

(a) 薄膜サーミスタの形成

SiO_2 層31bの上面全体に $(\text{Mn}_{0.4}\text{Co}_{0.6})_3\text{O}_4$ のスピネル構造の薄膜を膜厚が 500nm となるようにスパッタリング法により形成する。このスピネル構造の薄膜の上面全体に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、希塩酸溶液を用いたウエットエッチングにより上記スピネル構造の薄膜を所望の形状にパターニングする。この基板を 800°C で1時間熱処理し、図9(b)に示すように、抵抗値及びB定数の信頼性の高い薄膜サーミスタ32を得る。

(b) 薄膜抵抗の形成

SiO_2 層31b及び薄膜サーミスタ32の上面全体にNi-Cr系の薄膜を膜厚が 500nm となるようにスパッタリング法によって形成する。この薄膜の上面全体に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、塩化第2鉄溶液を用いたウエットエッチングにより、Ni-Cr系の薄膜を所望の形状にパターニングして、図9(c)に示すように、薄膜抵抗36を得る。

(c) 櫛型電極、薄膜コンデンサ用下部電極、引出電極及び接続層の形成

SiO_2 層31b、薄膜サーミスタ32及び薄膜抵抗36の上面全体にCr薄膜を膜厚が 100nm となるようにスパッタリング法により形成する。続けて、このCr薄膜上にAu薄膜を膜厚が 200nm となるようにスパッタリング法により形成する。このAu薄膜の全面に感光性樹脂を形成し、所定のフォトマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、ヨウ素ヨウ化カリウム

10

20

30

40

50

溶液を用いたウエットエッチングにより Au 薄膜をパターニングし、所望の電極及び接続層の導電層 33b, 34b, 41b, 38b 及び 37b を得る (図 8)。続けて、硝酸セリウムアンモニウム溶液を用いたウエットエッチングにより、上記 Cr 薄膜を Au 薄膜と同構造にパターニングし、接合層 33a, 34a, 41a, 38a 及び 37a を形成して (図 8)、図 7 及び図 9 (d) に示すように、櫛型電極 33, 34、薄膜コンデンサ用下部電極 41、引出電極 38, 39 及び接続層 37 を得る。

(d) 保護膜の形成

各種電極及び接続層を形成した後、基板の上面全体に SiO₂ 薄膜を膜厚が 600 nm となるようにスパッタリング法により形成する。SiO₂ 薄膜の全面に感光性樹脂を形成し、所定のフォトリソマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、フッ酸を用いたウエットエッチングにより SiO₂ 薄膜をパターニングし、図 9 (e) に示すように、リード線等の引出し線を接続するパッド部 38c 及び 39c のみを露出させ、他のすべての素子を SiO₂ からなる保護膜 42 で被覆する。

(e) 薄膜コンデンサ用上部電極の形成

薄膜コンデンサ用下部電極 41 の対向電極となる上部電極を形成するために、保護膜 42 の上面の所定の位置に Cr 薄膜を膜厚が 100 nm となるようにスパッタリング法により形成する。続けて、この Cr 薄膜上に Au 薄膜を膜厚が 200 nm となるようにスパッタリング法により形成する。この Au 薄膜の全面に感光性樹脂を形成し、所定のフォトリソマスクを用いて、露光し、現像処理を行い、感光性樹脂をパターニングする。その感光性樹脂をマスクとし、ヨウ素ヨウ化カリウム溶液を用いたウエットエッチングにより Au 薄膜をパターニングし、所望の上部電極 43 の導電層 43b を得る (図 8)。続けて、硝酸セリウムアンモニウム溶液を用いたウエットエッチングにより、上記 Cr 薄膜を Au 薄膜と同構造にパターニングし、接合層 43a を形成して (図 8)、図 7 及び図 9 (f) に示すように、薄膜コンデンサ用上部電極 43 を得る。下部電極 43、保護膜 42 及びこの上部電極 43 により薄膜コンデンサ 44 が作製される (図 8)。これにより総厚 0.25 mm のたて 2 mm、よこ 2 mm の薄型複合素子 30 が得られる。

【0034】

以上、単一の複合素子の製造方法について述べたが、複合素子を量産するときには、1 枚のシリコン基板上に薄膜のサーミスタ・抵抗・コンデンサからなる多数の複合素子を形成し、その基板を切断により個々の薄型複合素子を得る。

【0035】

<実施例 4>

図 10 に示される薄型複合素子の製造方法を説明する。図 9 (f) に示される複合素子 30 を裏返した後、図 11 (a) に示すように薄膜サーミスタ 32 の裏側に相当する部分に SiO₂ 層 31d を取り除いた四角形の窓 46 を形成する。このシリコン基板 31a には上面に SiO₂ 層 31b が下面に SiO₂ 層 31d が形成されている。この窓 46 は、窓となる部分以外の SiO₂ 層 31d を感光性樹脂でマスクし、フッ酸を用いたウエットエッチングにより SiO₂ 層 31d をパターニングすることにより、形成される。続いて、上記感光性樹脂をマスクとし、水酸化テトラメチルアンモニア水溶液 (TMAH) を用いたウエットエッチングにより薄膜サーミスタの下部 (図 11 では上部) に相当するシリコン基板 31a の一部をエッチングし、図 11 (b) に示すようにサーミスタをメンブレン構造にした薄型複合素子を得る。

【図面の簡単な説明】

【0036】

【図 1】本発明第 1 実施形態の薄型複合素子の分解斜視図である。

【図 2】本発明第 1 実施形態の薄型複合素子の図 1 の A - A 線断面図である。

【図 3】本発明第 1 実施形態の薄型複合素子の等価回路図である。

【図 4】本発明第 1 実施形態の薄型複合素子の製造工程を示す斜視図である。

【図 5】本発明第 2 実施形態の図 2 に対応する薄型複合素子の断面図である。

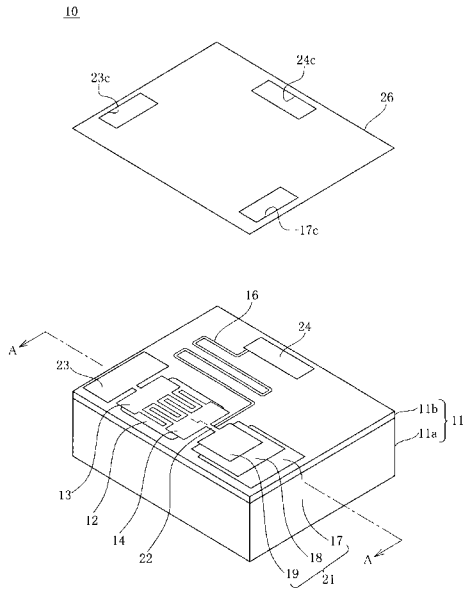
- 【図6】本発明第2実施形態の薄型複合素子の製造工程を示す斜視図である。
 【図7】本発明第3実施形態の薄型複合素子の分解斜視図である。
 【図8】本発明第3実施形態の薄型複合素子の図7のB - B線断面図である。
 【図9】本発明第3実施形態の薄型複合素子の製造工程を示す斜視図である。
 【図10】本発明第4実施形態の図8に対応する薄型複合素子の断面図である。
 【図11】本発明第4実施形態の薄型複合素子の製造工程を示す斜視図である。

【符号の説明】

【0037】

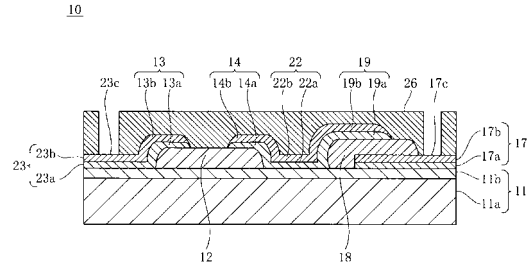
- | | | |
|-----------|---------|----|
| 10 : | 薄型複合素子 | |
| 11 : | 絶縁基板 | 10 |
| 12 : | 薄膜サーミスタ | |
| 13 , 14 : | 一对の櫛型電極 | |
| 16 : | 薄膜抵抗 | |
| 17 : | 下部電極 | |
| 17a : | 接合層 | |
| 17b : | 導電層 | |
| 17c : | パッド部 | |
| 18 : | 誘電体層 | |
| 19 : | 上部電極 | |
| 21 : | 薄膜コンデンサ | 20 |
| 22 : | 接続層 | |
| 23 : | 第1引出電極 | |
| 23a : | 接合層 | |
| 23b : | 導電層 | |
| 23c : | パッド部 | |
| 24 : | 第2引出電極 | |
| 24c : | パッド部 | |
| 26 : | 保護膜 | |
| 30 : | 薄型複合素子 | |
| 31 : | 絶縁基板 | 30 |
| 32 : | 薄膜サーミスタ | |
| 33 , 34 : | 一对の櫛型電極 | |
| 36 : | 薄膜抵抗 | |
| 37 : | 接続層 | |
| 37a : | 接合層 | |
| 37b : | 導電層 | |
| 38 : | 第3引出電極 | |
| 38a : | 接合層 | |
| 38b : | 導電層 | |
| 38c : | パッド部 | 40 |
| 39 : | 第4引出電極 | |
| 39c : | パッド部 | |
| 41 : | 下部電極 | |
| 41a : | 接合層 | |
| 41b : | 導電層 | |
| 42 : | 保護膜 | |
| 43 : | 上部電極 | |
| 43a : | 接合層 | |
| 43b : | 導電層 | |
| 44 : | 薄膜コンデンサ | 50 |

【 図 1 】

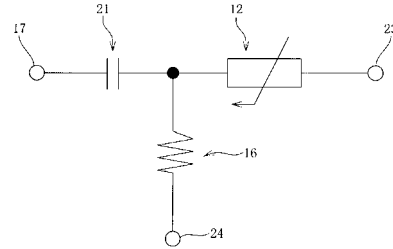


- | | | |
|----------------|-------------|------------|
| 10: 薄型複合素子 | 17: 下部電極 | 22: 接続層 |
| 11: 絶縁基板 | 17c: バンド部 | 23: 第1引出電極 |
| 12: 薄膜サーミスタ | 18: 誘電体層 | 23c: バンド部 |
| 13,14: 一対の楕円電極 | 19: 上部電極 | 24: 第2引出電極 |
| 16: 薄膜抵抗 | 21: 薄膜コンデンサ | 24c: バンド部 |
| | | 26: 保護膜 |

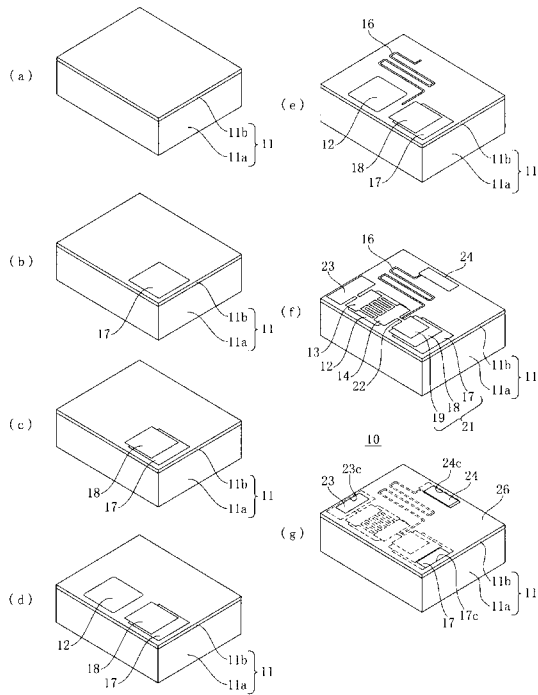
【 図 2 】



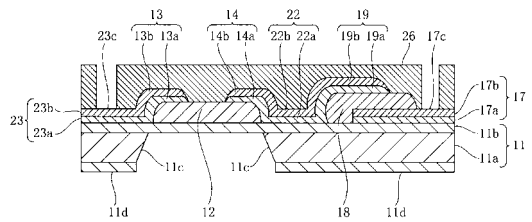
【 図 3 】



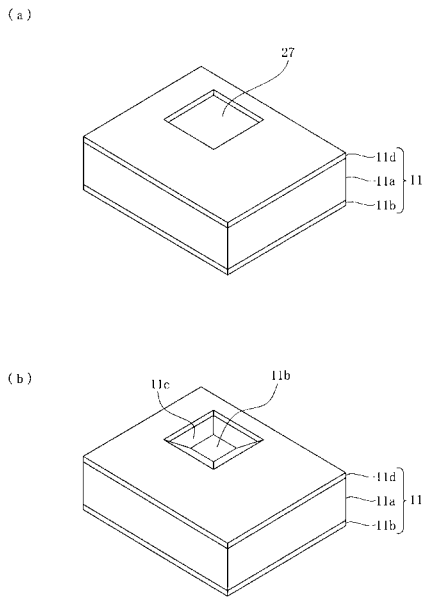
【 図 4 】



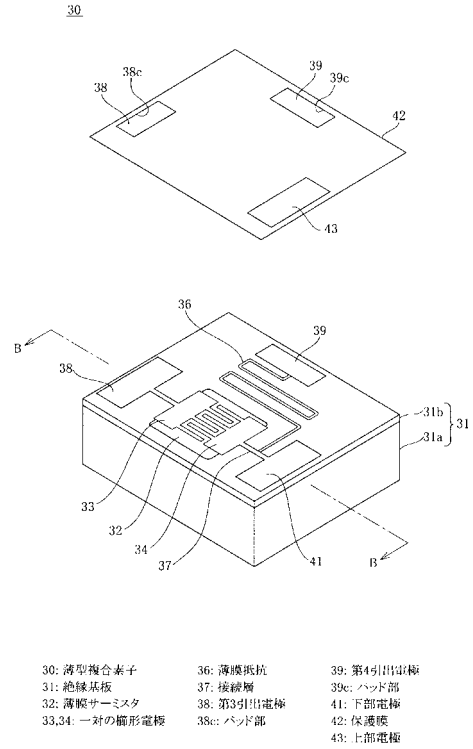
【 図 5 】



【 図 6 】

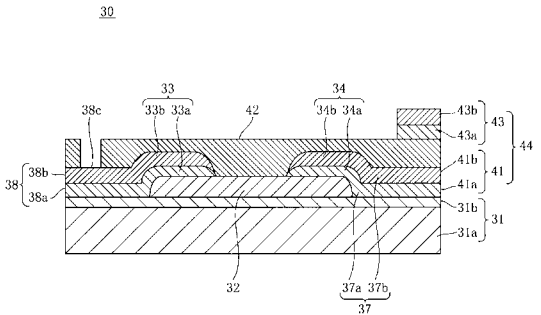


【 図 7 】

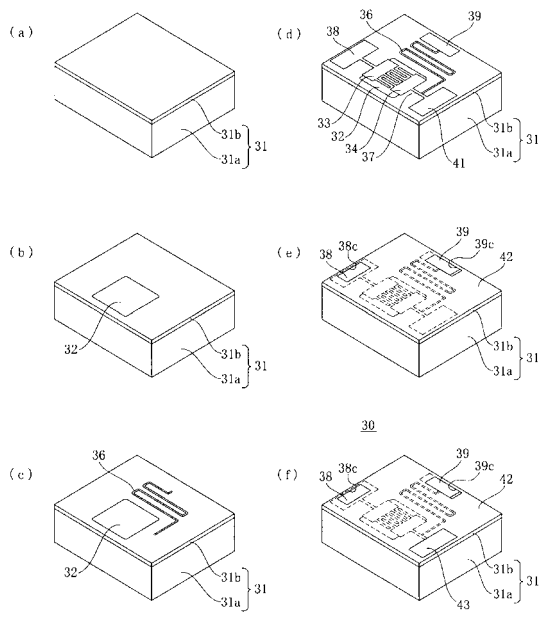


- 30: 薄型複合素子
- 31: 絶縁基板
- 32: 薄膜サージスタ
- 33,34: 一対の楕円形電極
- 36: 薄膜抵抗
- 37: 接続層
- 38: 第3引出電極
- 38c: バンド部
- 39: 第4引出電極
- 39c: バンド部
- 41: 下部電極
- 42: 保護膜
- 43: 上部電極

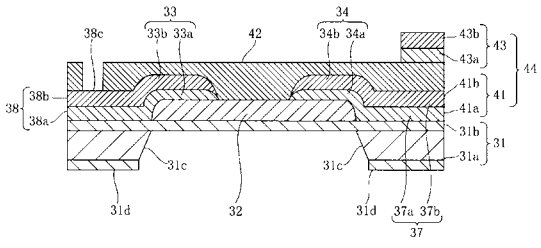
【 図 8 】



【 図 9 】

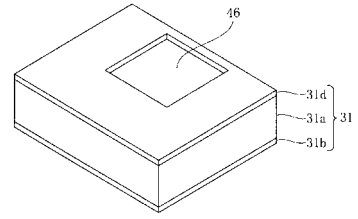


【図 10】

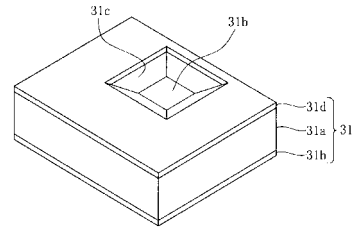


【図 11】

(a)



(b)



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/04

P

Fターム(参考) 5F038 AC05 AC15 AC19 AR07 AZ08 CD18 DF01 EZ04 EZ15 EZ20