(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 23/28

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0202436
(24) 등록일자 1999년03월19일

(21) 출원번호 10-1996-0019932
(22) 출원일자 1996년06월05일
(65) 공개번호 특1900-0000000
(43) 공개일자 1900년00월00일

(30) 우선권주장 95-143047 1995년06월09일 일본(JP)
96-133833 1996년05월28일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시끼가이샤 다니구찌 이찌로오; 기따오카 다까시
일본국 도쿄도 지요다구 마루노우찌 2쵸메 2반 3고
(72) 발명자 시모다 히로시
일본국 도꾜도 지요다구 마루노우찌 2-2-3 미쯔비시덴끼 가부시끼가이샤 내
오까지마 도시히로
일본국 도꾜도 지요다구 마루노우찌 2-2-3 미쯔비시덴끼 가부시끼가이샤 내
구로까와 히로시
일본국 도꾜도 지요다구 마루노우찌 2-2-3 미쯔비시덴끼 가부시끼가이샤 내
(74) 대리인 백남기

심사관 : 유기혁

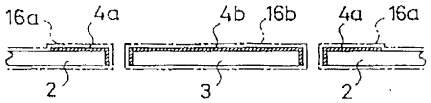
(54) 표면실장형 반도체장치, 반도체 실장부품 및 그들의 제조방법

요약

실장표면의 납땜성 또는 열압착성을 대폭으로 향상시킬 수 있는 표면실장형 반도체장치, 반도체 실장부품 및 그들의 제조방법에 관한 것으로서, 금속탄산염 피막을 이용해서 외부 리이드 등의 회로기판으로의 납땜을 용이하고 또한 확실하게 한 표면실장형 반도체장치, 실장면으로의 납땜이나 열압착성을 대폭으로 향상시킨 반도체 실장부품 및 금속탄산염 피막을 형성해서 표면실장형 반도체장치나 반도체 실장부품을 제조하는 제조방법을 제공하기 위해, 표면실장형 반도체장치는 외부 리이드 등의 납땜에 의해 실장되는 면에 금속탄산염 피막이 형성되어 있고, 반도체 실장부품은 반도체칩 등이 납땜이나 열압착성 등에 의해 실장되는 면에 금속탄산염 피막이 형성되어 있고, 표면실장형 반도체장치 또는 반도체 실장부품의 실장표면을 탄소를 함유한 용액에 접촉시켜 실장표면에 금속탄산염 피막을 형성하는 것으로 하였다.

이러한 것에 의해 실장시 그 열에 의해 금속탄산염 피막이 열분해해서 실장표면이 활성화, 청정화되고 납땜성이나 압착성능이 대폭으로 개선되어 확실한 접합을 얻을 수 있다.

대표도



명세서

[발명의 명칭]

표면실장형 반도체장치, 반도체 실장부품 및 그들의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시형태1에 의한 리이드프레임의 주요부 단면도.

제2도는 실시형태1의 금속탄산염 피막을 형성하기 위한 금속탄산염 피막형성용 처리장치의 단면도.

제3도는 본 발명의 실시형태2에 의한 표면실장형 반도체장치 및 회로기판의 실장상태를 도시한 단면도.

제4도는 본 발명의 실시형태3에 의한 표면실장형 반도체장치 및 회로기판의 실장상태를 도시한 단면도.

제5도는 본 발명의 실시형태4에 의한 TAB형 반도체장치의 실장상태를 도시한 단면도.

제6도는 종래의 리이드프레임을 도시한 도면으로서,

(a)는 그의 평면도.

(b)는 그의 단면도.

제7도는 종래의 도금처리장치의 단면도.

제8도는 종래의 표면실장형 반도체장치 및 회로기판의 실장상태를 도시한 단면도.

제9도는 종래의 IC를 회로기판에 탑재한 상황을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : 리이드프레임 2 : 내부 리이드

3 : 섬 4, 13 : 금속도금층

12 : 외부 리이드 14 : IC

16a, 16b, 17a, 17b, 20 : 금속탄산염 피막

19a, 19b : 땜납도금층 20 : 회로기판

23 : 기판전극 25 : TAB 테이프

44 : 금속탄산염 피막형성용 처리장치

45 : 활성조 46 : 금속탄산염 피막처리조

47 : 순수 수세조 48 : 초순수 수세조

[발명의 상세한 설명]

본 발명은 실장표면의 납땜성 또는 열압착성을 대폭으로 향상시킬 수 있는 표면실장형 반도체장치, 반도체 실장부품 및 그들의 제조방법에 관한 것으로서 특히, 실장표면에 피막을 마련한 표면실장형 반도체장치 또는 반도체 실장부품 및 그들의 실장표면으로의 피막의 형성방법에 관한 것이다.

근래의 현저한 반도체 미세가공기술의 진보에 따라 반도체장치의 대용량화, 고직접화 등의 진전이 눈부시게 발전되어 왔다. 이것에 따라 반도체장치는 소자크기가 대형화될 뿐만 아니라 단자수가 극히 많아지고 있다. 이 때문에 자연히 외부 리이드는 다핀, 협피치로 될 수 밖에 없다. 최근에는 외부 리이드의 피치가 0. 5㎜, 간격이 0. 35㎜정도의 것도 출현하고 있어 더욱더 협소화의 경향이 있다. 이와 같은 표면실장형 반도체장치나 리이드프레임, TAB(Tape Automated Bonding) 테이프 또는 회로기판 등의 반도체 실장부품에 관하여 더욱더 실장표면의 납땜성이나 열압착성의 개선에 의한 신뢰성이 높은 실장기술이 요구되고 있다.

통상, 일반의 반도체장치에 있어서의 실장레벨은 2개로 분류된다. 제1의 실장레벨은 IC칩을 리이드프레임의 섬부에 탑재(다이본드)하고, 전기적 접속(와이어본드)을 실행하고, 수지봉지하는 단계이다. 제6도~제9도는 이 단계에 있어서의 종래의 방법을 설명하기 위한 도면이다.

제6도(a) 및 제6도(b)는 리이드프레임을 도시한 도면으로서, 제6도(a)는 그의 평면도, 제6도(b)는 이 리이드프레임을 제6도(a)의 A-A선방향에서 본 단면도이다. 도면에 있어서, (1)은 리이드프레임, (2)는 내부 리이드, (3)은 섬, (4a), (4b)는 은, 금, 동 등으로 이루어지는 금속도금층, 예를 들면 은도금층이다. 제7도는 종래의 리이드프레임에 상기 은도금층(4a), (4b)를 형성하기 위한 처리장치를 도시한 도면으로서, 처리장치(40)은 은도금조(41), 순수조(42) 및 초순수조(43)으로 이루어진다. 리이드프레임(1)은 표면에는 은도금조(41)에 의해 은도금층(4a), (4b)가 형성된다. 그리고, 순수조(42), 초순수조(43)에 의해 세정된 후, 건조장치(도시하지 않음)에 의해 건조된다.

제8도는 제1의 실장상황을 도시한 도면이다. 상기 섬(3)은 은도금층(4b)상에 이면에 금속층(7)이 형성된 IC칩(5)가 접합재(Pb-Sn계 땜납)(8)에 의해 납땜되고, Au로 이루어지는 접속세선(9)의 한쪽이 IC칩(5)의 전극(6)에 보올본딩되고, 다른쪽의 스티치부(10)이 내부 리이드(2)의 은도금층(4a)상에 열압착된다. 그 후, 이들 내부 리이드(2), 섬(3), IC칩(5), 접속세선(9)는 봉지수지(11)에 의해 봉지되고, 또 제9도에 대해서 후술하는 외부 리이드(12)의 구부림가공, 외부 리이드(12)의 표면으로의 Pb/Sn, Sn 등으로 이루어지는 금속도금층(13)의 형성 이외의 공정을 거쳐서 IC(14)로서 제품화된다. 이상과 같이 종래는 내부 리이드(2) 및 섬(3)의 실장표면상에 은도금층(4a), (4b)를 형성하는 것에 의해 IC칩(5)의 납땜의 안정화와 접속세선(9)의 스티치부(10)의 열압착성의 안정화를 도모하도록 하고 있었다.

다음에, 제2의 실장레벨은 IC(14)를 회로기판에 탑재하는 단계이다. 제9도는 IC를 회로기판에 탑재하는 상황을 도시한 도면이다. 도면에 있어서, (20)은 회로기판이다. 이 회로기판(20)은 기판(21)상에 형성된 금속배선(22), 그 끝부상에 은도금해서 마련된 기판전극(23), 금속배선(22) 및 기판(21)의 표면을 피복해서 마련된 절연막(24)로 구성되어 있다. 그리고, 회로기판(20)상에 IC(14)를 실장하기 위해서는 기판전극(23)상에 통상 200~400㎛ 두께의 페이스트형상의 땜납크림(15)를 미리 인쇄형성해 두고, 그 위치에 IC(14)의 외부 리이드(12)를 탑재한 후, 적외선 가열 등에 의해 땜납크림(24)을 가열하여 용융, 고정시켜 종료한다.

그러나, 이상과 같은 종래의 실장부재의 표면에 은도금층(4a), (4b)나 금속도금층(13) 또는 기판전극(23) 등을 형성해서 실장표면의 산화에 의한 습윤성의 저하를 억제하면서 실장하는 방법에서는 실장표면의 활성화 유지가 곤란하여 충분한 납땜성이나 열압착성을 얻는 것이 곤란하였다. 이 때문에, 금속도금층을 형성한 후의 세정수의 수질관리나 반도체장치, 리이드프레임, 회로기판 등의 완성후의 패키지보관관리, 실장시의 부재품질의 편차에 따르는 실장조건의 관리 등에 대해서 극히 엄격한 품질관리를 필요로 한다고 하는 문제가 있었다.

또, 충분한 납땜성 등을 얻을 수 않는 경우, 협피치화 및 다핀화된 외부 리이드를 갖는 IC를 회로기판에 실장할 때, 용융한 땜납크림이 접합면 밖으로 삐져 나와 좁은 단자 사이를 브리지해 버린다고 하는 문제도 있었다. 또, 땜납크림이 납땜성 향상 목적으로 해서 고농도의 염소를 함유하는 활성제(플럭스)를 함유하고 있으므로, 금속부식방지의 점에서 실장종료후에 플럭스제거를 위해 충분한 세절을 하지 않으면 안되

어 그 만큼 코스트가 상승하게 된다고 하는 문제도 있었다.

이와 같은 문제를 해결하고자 한 종래의 기술은 많이 있지만, 이들의 예를 다음에 몇개 열거한다. 일본국 특허공개 공보 평성 1-14634호에는 주위를 오염시키지 않고 납땜성의 향상을 도모하기 위해 Ni-P합금의 리이드프레임상에 0. 3%~2%의 염소농축층을 형성하는 것이 기재되어 있고, 일본국 특허공개 공보 평성5-304235호에는 대기중에서의 산화를 억제해서 납땜성을 향상시키기 위해 리이드프레임의 Ni도금표면에 농도 5~20중량%의 산성플루오르화 암모니아액으로 처리해서 산화피막(NiO_2)를 형성하는 것이 기재되어 있고, 일본국 특허공개 공보 평성6-34998호에는 납땜성을 향상시켜서 플럭스 없이 납땜할 수 있도록 Cu계 리이드프레임 표면을 은시안화 칼륨 및 친수성 유기물을 함유하는 물에 접촉시켜서 표면피막w를 형성하는 것이 기재되어 있고, 일본국 특허공개 공보 평성5-190726호에는 표면의 변색방지와 와이어본딩성의 향상을 위해 리이드프레임의 은도금표면에 양극산화처리에 의해 산화은을 형성하는 것이 기재되어 있고, 일본국 특허공개 공보 소화56-98849호에는 플럭스 없이 양호한 납땜이 얻어지도록 리이드프레임 실장면을 세정후에 산화방비피막을 형성하는 것이 기재되어 있고, 일본국 특허공개 공보 소화59-141237호에는 패드표면의 산화오염을 방지해서 양호한 다이본딩을할 수 있도록 리이드프레임의 다이본딩부 표면을 세정화한 후, 착염증을 형성하는 것이 기재되어 있다.

이들의 종래기술은 각각 일면에서는 우수한 특징을 갖고 있기는 하지만, 각종 피막의 형성공정이 곤란하거나 부식방지의 점에서 실장종료 후에 플럭스 제거를 위해 충분한 세정을 하지 않으면 안되어 그 만큼 코스트가 상승하게 된다고 하는 문제도 있었다. 또, 납땜이나 열압착에 의한 실장에 소요되는 시간을 더욱 단축해야 하는 요망도 있다.

본 발명의 목적은 이상과 같은 종래의 문제점에 착안해서 이루어진 것으로서, 외부 리이드 등의 회로기판으로의 납땜 또는 열압착 등의 장착을 용이하고 또한 확실하게 할 수 있는 표면실장형 반도체장치를 제공하는 것이다. 또, 본 발명의 다른 목적은 실장면의 납땜성이나 열압착성을 대폭으로 향상시키는 것이 가능한 반도체 실장부품을 제공하는 것이다. 또, 본 발명의 또 다른 목적은 표면실장형 반도체장치 또는 반도체 실장부품의 실장표면의 납땜성 또는 열압착성이 개선된 반도체장치의 제조방법을 제공하는 것이다.

본 발명의 표면실장형 반도체장치는 외부 리이드 등을 납땜 등으로 실장하기 위한 실장표면에 금속탄산염 피막이 형성되어 있다.

또, 실장표면상에는 금속도금층이 형성되고, 금속탄산염 피막이 그 금속도금층상에 형성되어 있다.

본 발명의 반도체 실장부품은 리이드프레임, TAB 테이프, 회로기판 등의 반도체 실장부품에 있어서 반도체칩의 전극이나 외부 리이드 등을 납땜이나 열압착 등으로 실장하기 위한 실장표면에 금속탄산염 피막이 형성되어 이루어진다.

실장표면상에 금속도금층이 형성되고, 금속도금층상에 금속탄산염 피막을 형성할 수도 있다.

본 발명의 제조방법에 의하면, 실장표면을 갖는 표면실장형 반도체장치나 반도체 실장부품을 마련하는 공정 및 실장표면을 탄소를 함유한 용액에 접촉시켜서 실장표면상에 금속탄산염 피막을 형성하는 공정을 구비하고 있다. 용액은 염소, 불소, 암모니아, 초산이온, 계면활성제 등의 활성작용을 갖는 성분을 함유한 용액이면 좋고, 또 실장표면을 용액에 접촉시키는 공정이 실장표면을 용액중에 침지하는 공정을 포함하는 것이라도 좋다.

다른 제조방법에 의하면, 실장표면을 갖는 표면실장형 반도체장치나 반도체 실장부품을 마련하는 공정, 적어도 실장표면상에 금속도금층을 형성하는 공정 및 금속도금층을 탄소를 함유한 용액에 접촉시켜서 금속탄산염 피막을 형성하는 공정을 구비하고 있다.

금속도금층을 형성하는 공정은 실장표면을 금속도금처리조에 넣는 공정을 구비하고 있어도 좋고, 금속탄산염 피막을 형성하는 공정이 염소, 불소, 암모니아, 초산이온, 계면활성제 등의 활성작용을 갖는 성분을 함유한 용액중에 넣는 공정을 포함하고 있어도 좋다.

또, 본 발명에 의하면 외부 리이드 등의 실장표면에 납을 함유한 땜납도금층이 형성되고, 이 땜납도금층상에 적어도 10%의 납산화물을 함유한 산화물피막이 형성되어 이루어지는 표면실장형 반도체장치가 얻어진다.

본 발명에 의하면, 리이드프레임, TAB 테이프, 회로기판 등의 반도체 실장부품에 있어서 반도체칩의 전극이나 외부 리이드 등이 납땜에 의해 실장되는 실장표면에 납을 함유한 땜납도금층이 형성되고, 이 땜납도금층상에 적어도 10%의 납산화물을 함유하는 산화물피막이 형성되어 이루어지는 반도체 실장부품이 얻어진다.

또, 본 발명에 의하면, 납을 함유한 땜납도금층이 형성된 실장표면을 갖는 표면실장형 반도체장치니 반도체 실장부품을 마련하는 공정 및 실장표면을 탄소를 함유한 용액에 접촉시켜 실장표면상에 적어도 10%의 납산화물을 함유한 산화물피막을 형성하는 공정을 구비한 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법이 얻어진다.

또한, 여기서 상기 반도체 실장부품에는 반도체장치용 리이드프레임, IC칩의 전극에 땜납접합되는 도전박을 구비한 TAB 테이프, 반도체장치를 실장하는 회로기판 등이 포함된다. 또한, 반도체칩의 전극 또는 외부 리이드가 납땜에 의해 실장되는 것은 TAB 테이프 또는 회로기판다.

이상과 같이 본 발명에 의한 표면실장형 반도체장치는 외부 리이드등이 납땜 또는 열압착 등에 의해 장착되는 실장표면에 금속탄산염 피막이 형성되어 있으므로, 보관중인 실장표면의 산화를 확실하게 방지할 수 있다. 그리고, 반도체장치의 회로기판으로의 납땜은 사용되는 접합재로서의 땜납을 용융, 고화해서 이루어지는 것이므로, 그 납땜의 과정에서 그 열에 의해 금속탄산염 피막이 열분해하고 CO_3가 비산해서 활성인 금속이 남아 실장부재 표면으로의 납땜성이 대폭으로 향상해서 확실한 땜납접합이 얻어진다. 열압착 등의 경우도 마찬가지이다.

또, 본 발명에 의한 표면실장형 반도체장치는 외부 리이드 등이 납땜 또는 열압착 등에 의해 장착되는 면

에 납땜 등이 용이한 금속도금층이 형성되고, 또 그위에 금속탄산염 피막이 형성되어 있으므로, 보관중인 금속도금층 표면의 산화를 확실히 방지할 수 있다. 그리고, 반도체장치의 회로기판으로의 납땜은 사용되는 접합재로서의 땜납을 용융, 고화해서 이루어지므로, 그 납땜의 과정에서 그 열에 의해 금속탄산염 피막이 열분해하고 CO_3가 비산해서 활성인 금속이 남아 금속도금층표면으로의 납땜성이 대폭으로 향상하여 확실한 땜납접합이 얻어진다. 열압착 등의 경우도 마찬가지이다.

또, 본 발명에 의한 표면실장형 반도체장치는 외부 리이드 등이 납땜되는 면에 Pb-Sn계의 땜납도금층이 형성되어 있는 경우, 실시형태1과 동일한 처리를 실행하면, 이 표면에는 PbO_2와 SnO_2의 산화물피막이 형성된다. 이 경우, 산화물피막에는 납산화물(PbO_2)가 적어도 10%함유되어 있다. 납산화물은 납땜의 과정에서 그 열에 의해 분해해서 활성인 납으로 변화하는 것에 비해 주석산화물은 그 열에 의해 분해되지 않는다. 따라서, 표면에 형성된 납산화물이 납땜시에 열분해해서 실장면이 활성화, 청정화되는 것에 의해 확실한 접합이 얻어진다.

또, 본 발명에 의한 반도체 실장부품은 반도체칩, 접속세선, 반도체칩의 전극 또는 외부 리이드 등이 실장되는 실장표면상에 금속탄산염 피막이 형성되어 있으므로, 보관중인 실장표면의 산화를 확실하게 방지할 수 있다. 이렇게 해서 실장시에는 열에 의해 금속탄산염 피막이 열분해하고 CO_3가 비산해서 활성인 금속이 남아 실장표면으로의 납땜성이나 열압착성이 대폭으로 향상하여 확실한 접합이 얻어진다.

또, 본 발명에 의한 반도체 실장부품은 반도체, 접속세선, 반도체칩의 전극 또는 외부 리이드 등이 실장되는 실장표면상에 납땜이나 열압착 등의 용이한 금속도금층이 형성되고, 또 그 위에 금속탄산염 피막이 형성되어 있으므로, 보관중의 실장표면이 산화를 확실하게 방지할 수 있다. 그리고, 실장시에는 열에 의해 금속탄산염 피막이 열분해하여 CO_3가 비산해서 활성인 금속이 남고, 금속도금층 표면이 활성화, 청정화되므로 금속도금층 표면으로의 납땜성이나 열압착성이 대폭으로 향상하여 확실한 접합이 얻어진다.

또, 본 발명에 의한 반도체 실장부품은 반도체칩 등의 전극 또는 외부 리이드가 납땜에 의해 실장되는 실장표면에 Pb-Sn계의 땜납도금층이 형성되고, 또 그 위에 적어도 10%의 납산화물을 함유한 산화물 피막이 형성되어 있다. 이 산화물피막은 안정하여 보관중에도 변화하지 않는다. 실장시에는 열에 의해 산화물피막중의 납산화물(PbO_2)가 열분해하고 활성인 (금속)납이 형성되므로, 접합표면의 납땜성이 대폭으로 향상되고 적은 땜납량에도 불구하고 확실한 땜납접합이 얻어져 접합면에서 측부로 땜납이 삐져 나오는 일도 없어진다.

또, 본 발명에 의한 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법은 표면실장형 반도체장치나 반도체 실장부품 등이 남땜이나 열압착 등으로 실장되는 실장표면을 탄소를 함유하고, 염소, 불소, 암모니아, 초산이온, 계면활성제 등의 활성작용을 갖는 성분을 함유하고 있어도 좋은 용액중에 접촉시키는 것에 의해 실장표면에 금속탄산염 피막을 형성하도록 했으므로, 제조, 보관 프로세스중에 있어서 주위환경에 따라 실장표면이 산화, 오염되는 일 없이 실장시의 확실한 접합이 보장된다.

또, 본 발명에 의한 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법은 표면실장형 반도체장치나 반도체 실장부품 등이 납땜이나 열압착 등으로 실장되는 실장표면을 금속도금처리조에 넣어 납땜이나 열찹착이 용이한 금속도금층을 형성시킨 후, 이 금속도금층의 표면에 탄소를 함유하고, 염소, 불소, 암모니아, 초산이온, 계면활성제 등의 활성작용을 갖는 성분을 함유하고 있어도 좋은 용액중에서 금속도금층 표면에 금속탄산염 피막을 형성하도록 했으므로, 제조, 보관 프로세스중에 있어서 주위환경에 따라 금속도금층 표면이 산화, 오염되는 일이 없어 실장시의 확실한 접합이 보증된다.

또, 본 발명에 의한 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법은 납땜에 의해 실장되는 표면실장형 반도체장치나 반도체칩의 전극 또는 외부 리이드가 땜납에 의해 실장되는 반도체 실장부품의 실장표면을 금속도금처리조에 넣어 땜납도금층을 형성시킨 후, 이 땜납 도금층의 표면에 탄소를 함유하고 염소, 불소, 암모니아, 초산이온, 계면활성제 등의 활성작용을 갖는 성분을 함유하고 있어도 좋은 용액중에서 Pb-Sn계의 땜납도금층 표면에 적어도 10%의 납산화물을 함유한 산화물 피막을 형성하도록 했으므로, 제조, 보관 프로세스중에 있어서 주위환경에 따라 땜납도금층 표면이 산화, 오염되는 일이 없어 실장시의 확실한 접합이 보증된다.

실시형태1

이하, 본 발명의 실시형태를 도면을 참조해서 설명한다. 제1도는 리이드프레임의 주요부단면도로서, 종래도인 제6도(b)에 대응한다. 도면에 있어서, 리이드프레임(1)은 내부 리이드(2), 섬(3), 금속도금층(4)로 구성된다. (4a), (4b)는 납땜 또는 열압착이 용이한 은, 금, 동으로 이루어지는 도금층으로서 이 실시형태에서는 은도금층이다. (16a), (16b)는 은도금층(4a), (4b)의 전면에 형성된 금속탄산염 피막이다. 이 금속탄산염 피막(16a), (16b)는 후술하는 바와 같이 은도금층(4a), (4b)를 적어도 탄소를 함유하고 염소, 불소, 암모니아, 초산이온, 계면활성제 등의 활성작용을 갖는 성분을 함유하고 있어도 좋은 용액을 수용한 처리수조내에 침지해서 이 용액에 접촉시키는 것에 의해 형성된다. 물론, 금속탄산염 피막의 금속은 도금층으로서 사용되는 금속에 따라서 은, 금, 동 등으로 이루어진다. 또한, 도면 중 종래도에 있어서의 것과 동일부호는 종래예와 동일 또는 동등한 것이고, 이하 각 실시형태의 도면에서 추가된 부호의 것에 대해서만 설명한다. 또, 본 출원의 도면에서는 금속탄산염 피막(16a), (16b)가 은도금층(4a), (4b)의 표면상에 중첩해서 형성되어 있는 것처럼 도시되어 있지만, 이것은 편의상 이와 같이 도시한 것일 뿐, 실제로는 금속탄산염 피막(16a), (16b)는 은도금층(4a), (4b)의 표면이 탄산염의 얇은 피막으로 변화한 것이다.

다음에, 이 실시형태에 있어서의 금속탄산염 피막(16a), (16b)을 갖는 리이드프레임(1)의 제조공정을 설명한다. 제2도는 금속탄산염 피막 형성용의 처리장치를 도시한 것이다. 이 활성피막형성용 처리장치(44)는 청화소다10 $\pm$ 5(%) 용액이 수용된 활성조(45), 염소20 $\pm$ 5ppm 용액이 수용된 금속탄산염 피막처리조(46), 순수 수세조(47), 초순수 수제소(48)로 구성되어 있다. 이 처리장치(44)에 의해 금속탄산염 피막(16)을 형성할 때에는 우선, 리이드프레임(1)을 활성조(45)내에 넣고 약 30초 정도 동안 은도금층(4)의

표면의 청정화, 활성화를 실행한다. 그 후, 이것을 금속 탄산염 피막처리조(46)내에 넣어 활성화된 은도금층(4a), (4b)의 표면에 0.1~20ng/cm^2정도의 금속탄산염 피막을 형성시킨다. 그 후, 순수 수세조(47) 및 초순수 수세조(48)에 의해 순차 세정해서 생성피막을 안정시킨다. 그 후, 초순수 수세조(48)에서 빼내진 리이드프레임(1)을 건조장치(도시하지 않음)내에 넣어 수분제거, 건조시키는 것에 의해 금속탄산염 피막(16a), (16b)가 표면에 형성된 은도금층(4a), (4b)를 갖는 리이드프레임(1)의 제조가 완료된다.

또한, 실제로 금속탄산염 피막(16a), (16b)의 형성이 필요한 부분은 은도금층(4a), (4b)의 표면뿐이지만, 이 실시형태에서는 그 제조상 리이드프레임(1)의 전면에 형성되어 있고 이렇게 해도 아무런 지장은 없다.

다음에, 이렇게 해서 쪼된 금속탄산염 피막(16a), (16b)의 IC실장공정에 있어서의 작용을 설명한다. 우선, 금속탄산염 피막(16a), (16b)가 형성된 은도금층(4a), (4b)가 피착된 리이드프레임(1)의 섬(3)상에 IC칩(5)를 납땜할 때에는 납땜시의 열에 의해 섬(3)상의 은도금층(4b)상의 금속탄산염 피막(16b)가 열분해하여 금속탄산염 피막(16b)의 CO_3이 비산한다. 그 결과, 은도금층(4b)의 표면이 활성화, 청정화됨과 동시에 활성인 Ag가 남아 은도금층(4b)표면의 금속탄산염 피막(16b)의 납땜성이 대폭으로 향상된다. 본 발명자의 실험에 의하면, Pb95(%), Sn5(%)의 땜납을 사용해서 IC칩(5)를 종래의 은도금층(4b)상에 납땜할때에는 360℃이 온도하에서 1.5초의 시간동안 실행할 필요가 있었지만, 동일한 땜납을 사용해서 IC칩(5)를 이 실시예의 금속탄산염 피막(16b)를 갖는 은도금층(4b)상에 납땜할 대에는 320℃의 온도하에서 0.5초 시간동안 납땜을 실행할 수 있다. 이것은 은도금층(4b)표면에 생성된 금속탄산염 피막(16b)가 320℃의 열응력하에서 열분해하여 CO_3가 비산하고 활성인 Ag가 은도금층(4b)표면에 남는 결과 얻어지는 효과이다.

다음에, 금속탄산염 피막(16a)가 형성된 은도금층(4a)를 갖는 리이드 프레임(1)상에 Au로 이루어지는 접속세선(9)의 스티치부(10)을 열압착할 때에는 이 열압착시에 가해지는 열에 의해 은도금층(4a)상의 금속탄산염 피막(16a)가 열분해하고 CO_3가 비산해서 Ag가 남는다. 그 결과, 은도금층(4a) 표면이 활성화, 청정화된다. 이것에 의해 이 청정화된 은도금층(4a)의 표면의 열압착성이 대폭으로 향상되고, 열압착을 위해 가해지는 온도나 시간이 대폭으로 단축된다.

또한, 이상의 금속탄산염 피막(16a), (16b)는 실장시에 가열되고 열분해, 비산시 이외에 있어서는 스티치 본딩부 표면 또는 다이본딩부 표면의 주위환경의 공기에 의한 산화, 오염에 대한 보호막으로서의 작용을 하는 것이다.

또, 이상의 설명에서는 리이드프레임(1)의 내부 리이드(2)나 섬(3)상에 형성한 은도금층(4a), (4b)의 표면상에 금속탄산염 피막(16a), (16b)를 형성하도록 하고 있지만, 내부 리이드(2)나 섬(3)의 표면을 청정화한 후, 그 표면상에 직접 금속탄산염 피막(5)를 형성하도록 해도 좋다.

실시형태2

다음에, 본 발명의 제2실시형태를 도면을 참조해서 설명한다. 제3도는 본 발명을 적용한 표면실장형 반도체장치 및 회로기판의 실장상태를 도시한 단면도이다. 도면에 있어서, (20)은 회로기판, (21)은 유리 에폭시 등으로 이루어지는 기판, (22)는 기판(21)상에 동박을 패턴닝해서 형성한 금속배선, (23)은 금속배선(22)의 소정의 위치에 마련되고 IC(4) 또는 저항이나 콘덴서 등의 수동소자(모두 도시하지 않음)가 납땜실장되는 은, 주석, 금, 동 등을 도금해서 이루어지는 기판전극, (24)는 기판(21) 및 금속배선(22)를 피복하도록 형성된 절연막, (13)은 외부 리이드(12) 표면에 형성된 은, 주석 등의 납땜이 용이한 금속으로 이루어지는 금속도금층, (17a)는 금속도금층(13)상에 형성된 금속탄산염 피막, (17b)는 기판전극(23)상에 형성된 금속탄산염 피막, (18)은 활성화용 플럭스를 함유하지 않은 예를 들면두께가 20 ~ 30㎛정도인 땜납리본이다.

IC(4) 및 회로기판(20)을 이상과 같이 구성해서 실장하는 경우에는 종래와 마찬가지로 적외선 가열 등에 의해 땜납리본(18)을 용융한다. 이렇게 하면, 외부 리이드(12)의 금속도금층(13)상의 금속탄산염 피막(17a)나 기판전극(23)상의 금속탄산염 피막(17b)가 그 열에 의해 분해되고, 금속도금층(13) 및 기판전극(23)의 표면에 Ag가 남아 활성화, 청정화된다. 이것에 의해 금속도금층(13) 및 기판전극(23)의 표면의 납땜성이 대폭으로 향상되고, 용이하며 또한 확실한 땜납접합을 얻을 수 있다. 또한, 이 경우, 땜납리본(18)의 양도 종래에 비해 대폭으로 적어도 좋으므로, 용융땜납이 접합면에서 측부로 삐져 나와 근접하는 외부리이드(12)나 기판전극(23) 사이를 브리지하는 일이 없어진다. 또한, 이 실시형태에 있어서 금속탄산염 피막(17a), (17b)의 형성은 제1의 실시형태에서 설명한 것과 동일한 방법으로 실행할 수 있다. 또, 제2의 실시형태에서는 외부 리이드(12)상에 금속도금층(13)을 형성해서 그 위에 금속탄산염 피막(17a)를 형성하는 것을 설명했지만, 외부 리이드(12)의 표면을 청정화한 후, 그 표면에 직접 금속탄산염 피막(17a)를 형성하도록 해도 좋다.

실시형태3

다음에, 본 발명의 제3의 실시형태를 도면을 참조해서 설명한다. 제4도는 본 발명을 적용한 표면실장형 반도체장치 및 회로기판의 실장상태를 도시한 단면도로서, 도면에 있어서, (19a), (19b)는 각각 외부 리이드(12), 기판전극(23)상에 형성된 Pb-Sn계의 땜납도금층, (32a), (32b)는 각각 땜납도금층(19a), (19b)상에 형성된 산화물피막으로서 납산화물(PbO_2)와 주석산화물(SnO_2)를 함유하고 있다. 이 중, 납산화물의 비율은 10%이상 바람직하게는 20%이상이다. 이 경우, 산화물피막(32a), (32b)는 실시형태1의 경우와 동일한 방법에 의해 형성된다. 이렇게 해서 종래와 마찬가지로 적외선가열 등에 의해 가열하면, 그 열에 의해 산화물피막중의 PbO_2(납산화물)가 열분해해서 (금속)납이 생겨 외부 리이드 및 기판전극(28)의 표면이 활성화, 청정화된다. 이것에 의해 외부 리이드(12) 및 기판전극(23)의 표면의 납땜성이 대폭으로 향상되고 용이하고 또한 확실한 땜납접합이 얻어진다. 또한, 이 경우, 땜납도금층(19a), (19b)의 양은 종래에 비해 매우 적으므로, 용융땜납이 접합면에서 측부로 삐져 나와 근접하는 외부 리이드(12)나 기판전극(23) 사이

를 브리지하는 일은 더욱더 없다.

실시형태4

다음에, 본 발명의 제4실시형태를 도면을 참조해서 설명한다. 제5도는, 본 발명을 적용한 TAB형 반도체장치의 실장상태를 도시한 단면도이다. 도면에 있어서, (30)은 IC칩(5)에 Au 등으로 형성한 돌기전극(이하, 범프라 한다), (25)는 TAB 테이프로서 예를 들면 125 ㎛ 두께의 광폭 폴리이미드로 이루어지는 필름캐리어(26), 이 필름캐리어(26)상에 35 ㎛의 두께의 종박을 접착해서 사진제판에 의해 리이드 형상으로 형성된 빔리이드(27)로 이루어진다. (28)은 빔리이드(27)의 표면에 형성된 Ag 도금층, (29)는 이 Ag도금층(28)상에 실시형태1의 경우와 마찬가지로 해서 형성된 금속탄산염 피막이다. 이렇게 해서 범프(30)과 빔리이드(27)을 압착시켜서 가열하면, 그 열에 의해 금속탄산염 피막(29)가 열분해되고 CO_3가 비산해서 Ag가 남아 빔리이드(27) 및 범프(30)의 표면이 활성화, 청정화된다. 이것에 의해, Au, Ag 양자의 표면의 납땜성이 대폭으로 향상되고 확실한 접합이 얻어진다.

또한, 상기 도금층(28)이 Pb-Sn계의 땜납도금층인 경우에는 실시형태1의 경우와 마찬가지로 처리해서 땜납도금층상에 적어도 10%이상, 바람지하게는 20%이상의 납산화물(PbO_2)을 함유한 산화물피막을 형성한다. 이렇게 해서 범프(30)과 빔리이드(27)을 압착시켜서 가열하면, 그 열에 의해 PbO_2가 열분해되고, 금속납이 생겨 빔리이드(27) 및 범프(30)의 표면이 활성화, 청정화된다. 이것에 의해, Au, Cu 양자의 표면의 납땜성이 대폭으로 향상되고 확실한 접합이 얻어진다.

이상 설명한 바와 같이 본 발명에 의한 표면실장형 반도체장치에 서는 외부 리이드 등을 실장하기 위한 실장표면사에 금속탄산염 피막이 형성되어 있으므로, 보관중에 있어서의 외부 리이드의 실장표면의 산화를 확실하게 방지할 수 있다. 또, 반도체장치를 회로기판에 납땜등에 이해 실장할 때에는 그 열에 의해 금속탄산염 피막이 열분해되고 CO_3가 비산해서 활성인 금속이 남아 실장표면이 활성화 청정화되고, 납땝성이 대폭으로 개선되어 확실한 땜납접합을 용이하게 얻을 수 있다.

또, 열분해시에는 CO_3가 기체상태로 비산하므로 금속표면에 잔류하는 일이 없어 처리후에 세정을 할 필요가 없다.

또, 본 발명에 의한 표면실장형 반도체장치에서는 외부 리이드 등을 실장하기 위한 실장표면상에 납땜 등이 용이하고 또한 적당한 금속이나 땜납 등의 금속도금층이 형성되고 그위에 금속탄산염 피막이 형성되어 있으므로, 보관중에 있어서의 금속도금층의 실장표면의 산화를 확실하게 방지할 수 있다. 또, 반도체장치를 회로기판에 납땜 등에 의해 실장할 때에는 그 열에 의해 금속탄산염 피막이 열분해해서 금속도금층의 실장표면이 활성화, 청정화되고 납땜성이 대폭으로 개선되어 확실한 땜납접합을 용이하게 얻을 수 있다. 따라서, 납땜시에 미리 실장면 사이에 삽입되는 땝납재는 활성화용 플럭스를 함유하지 않은 얇고 소량인 것이라도 확실한 땜납접합이 얻어진다. 이 때문에, 용융 땜납이 접합면의 측면으로 삐져 나와 외부 리이드나 단자 사이틀 브리지하는 일이 없다.

또, 본 발명의 반도체 실장부품은 반도체칩, 접속세선, 빈도체칩의 전극 또는 외부 리이드 등을 실장하기 위한 실장표면상에 금속탄산염 피막이 형성되어 있으므로, 보관중에 있어서의 실장표면의 산화를 확실하게 방지할 수 있다. 또, 실장시에는 그 열에 의해 금속탄산염 피막이 열분해해서 실장표면이 활성화, 청정화되고 납땜성이나 압착성능이 대폭으로 개선되어 확실한 접합을 얻을 수 있다.

또, 본 발명의 반도체 실장부품은 반도체칩, 접속세선, 반도체칩의 전극 또는 외부 리이드 등을 납땜이나 열압착 등으로 실장하기 위한 실장표면상에 납땜 또는 열압착 등이 용이한 금속도금층이 형성되고, 또 그 위에 금속탄산염 피막이 형성되어 있으므로, 보관중에 있어서의 금속도금층의 실장표면의 산화를 확실하게 방지할 수 있다. 또, 상기 실장시에는 그 열에 의해 금속탄산염 피막이 열분해해서 금속도금층 표면이 활성화, 청정화되고, 납땜성 또능 열압착성이 대폭으로 개선되어 확실한 접합을 용이하게 얻을 수 있다.

또, 본 발명의 반도체 실장부품은 반도체칩의 전극 또는 외부 리이드 등을 납땜 등으로 실장하기 위한 실장표면에 Pb-Sn계의 땝납도금층이 형성되고, 또 그 위에 적어도 10%의 납산화물을 함유한 산화물피막이 형성되어 있으므로, 보관중의 저하(납땜성에 대해서)를 방지할 수 있다.

이렇게 해서 상기 실장시에는 그 열에 의해 산화피막중의 납산화물(PbO_2)이 열분해해서 접합표면이 활성화, 청정화되므로, 접합표면으로의 땜납성이 대폭으로 향상되고 확실한 접합이 얻어진다. 또, 이 경우의 땜납의 사용량은 극히 적으므로, 접합면에서 측부로 땜납이 삐져나와 전극이나 외부 리이드 사이를 브리지하는 일이 없어진다.

또, 본 발명의 표면실장형 반도체장치 또는 반도체 실장부품의 실장면으로의 활성막의 형성방법은 납땜이나 열압착 등에 의해 실장하기 위한 실장표면을 활성작용을 갖는 성분을 함유한 용액중에 넣는 것에 의해 실장표면에 활성피막을 형성하도록 했으므로, 제조, 보관 프로세스중에 있어서 실장표면이 주위환경에 따라 산화, 오염되지 않아 실장시의 확실한 접합이 보증된다.

또, 본 발명의 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법에 있어서는 실장면으로의 금속탄산염 피막의 형성방법은 땜납이나 열압착 등에 의해 실장하기 위한 실장표면에 납땜이나 열압착이 용이한 금속도금층을 형성한 후 탄소를 갖는 성분을 함유한 용액중에 넣는 것에 의해 금속도금층상에 금속탄산염 피막을 형성하도록 했으므로, 제조, 보관 프로세스중에 있어서 금속도금층표면이 주위환경에 따라 산화, 오염되지 않아 실장시의 확실한 접합이 보증된다.

또, 본 발명의 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법에 있어서는 납땜에 의해 실장하기 위한 실장표면에 땜납도금층을 형성한 후 탄소를 갖는 성분을 함유한 용액중에 넣는 것에 의해 땜납도금층상 적어도 10%의 납산화물을 함유한 산화물피막을 형성하도록 했으므로, 제조, 보관 프로세스중에 있어서 땜납도금층 표면이 주위환경에 따라 산화, 오염되지 않아 실장시의 확실한 접합이 보증된다.

(57) 청구의 범위

청구항 1

외부 리이드 등을 납땜 등에 의해 실장하기 위한 실장표면에 금속탄산염 피막이 형성되어 이루어지는 표면실장형 반도체장치.

청구항 2

리이드프레임, TAB 테이프, 회로기판 등의 반도체 실장부품에 있어서 반도체칩의 전극이나 외부 리이드 등을 납땜이나 열압착 등에 의해 실장하기 위한 실장표면에 금속탄산염 피막이 형성되어 이루어지는 반도체 실장부품.

청구항 3

실장표면을 갖는 표면실장형 반도체장치나 반도체 실장부품을 마련하는 공정 및 상기 실장표면을 탄소를 함유한 용액에 접촉시켜서 상기 실장표면상에 금속탄산염 피막을 형성하는 공정을 구비한 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법.

청구항 4

실장표면을 갖는 표면실장형 반도체장치나 반도체 실장부품을 마련하는 공정, 적어도 상기 실장표면상에 금속도금층을 형성하는 공정 및 상기 금속도금층을 탄소를 함유한 용액에 접촉시켜서 금속탄산염 피막을 형성하는 공정을 구비한 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법.

청구항 5

외부 리이드 등의 실장표면에 납을 함유한 땜납도금층이 형성되고, 상기 땜납도금층상에 적어도 10%의 납산화물을 함유한 산화물피막이 형성되어 이루어지는 표면실장형 반도체장치.

청구항 6

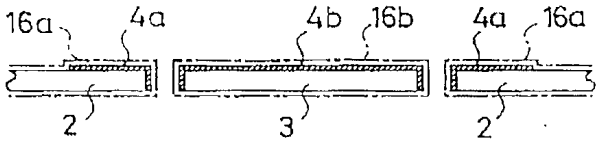
리이드프레임, TAB 테이프, 회로기판 등의 반도체실장부품에 있어서 반도체칩의 전극이나 외부 리이드 등이 납땜에 의해 실장되는 실장표면에 납을 함유한 땜납도금층이 형성되고, 상기 땜납도금층상에 적어도 10%의 납산화물을 함유한 산화물피막이 형성되어 이루어지는 반도체 실장부품.

청구항 7

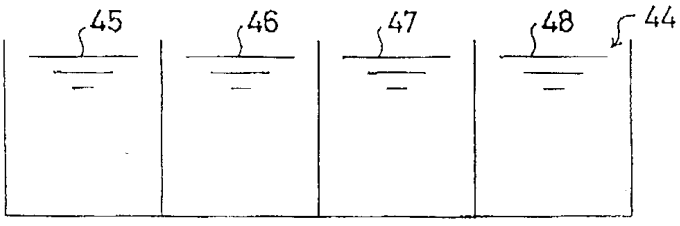
납을 함유한 땜납도금층이 형성된 실장표면을 갖는 표면실장형 반도체장치나 반도체 실장부품을 마련하는 공정 및 상기 실장표면을 탄소를 함유한 용액에 접촉시켜서 상기 실장표면상에 적어도 10%의 납산화물을 함유한 산화물피막을 형성하는 공정을 구비한 표면실장형 반도체장치 또는 반도체 실장부품의 제조방법.

도면

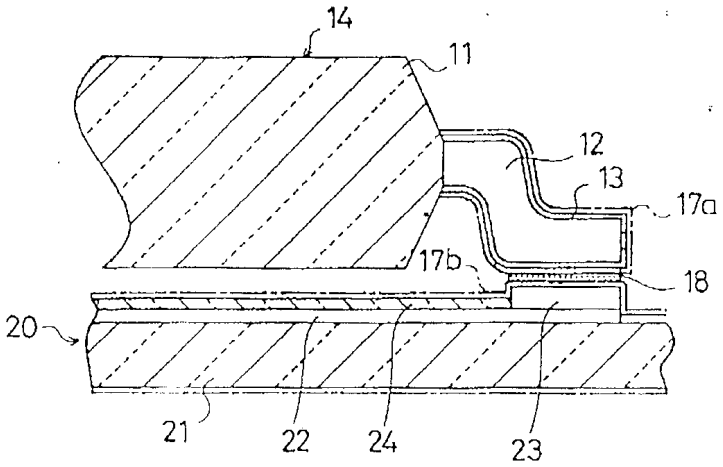
도면1



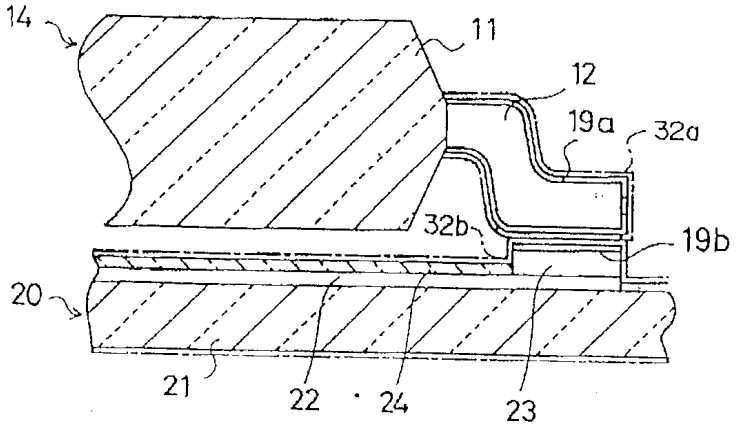
도면2



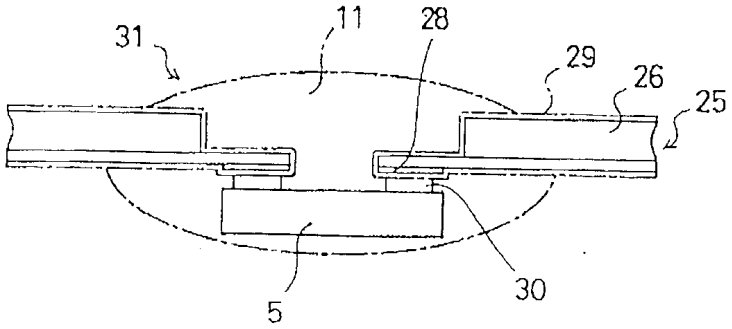
도면3


14
11
12
13
17a
17b
18
20
21
22
24
23

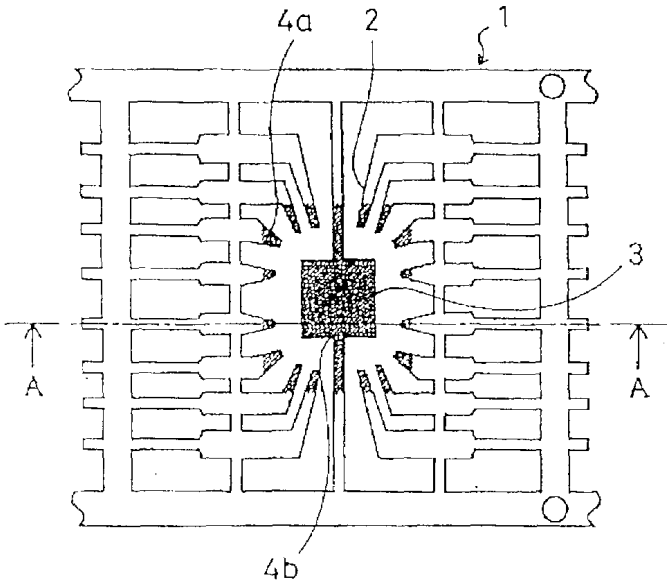
도면4


14
11
12
19a
32a
32b
19b
20
21
22
24
23

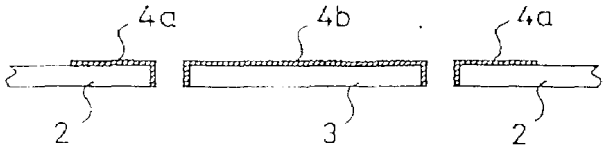
도면5


31
11
28
29
26
25
5
30

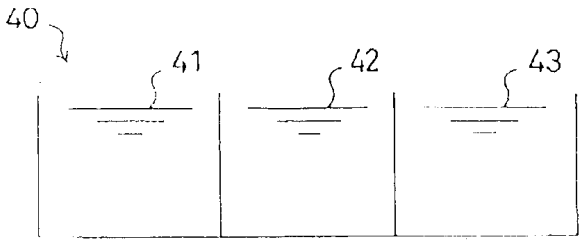
도면6a



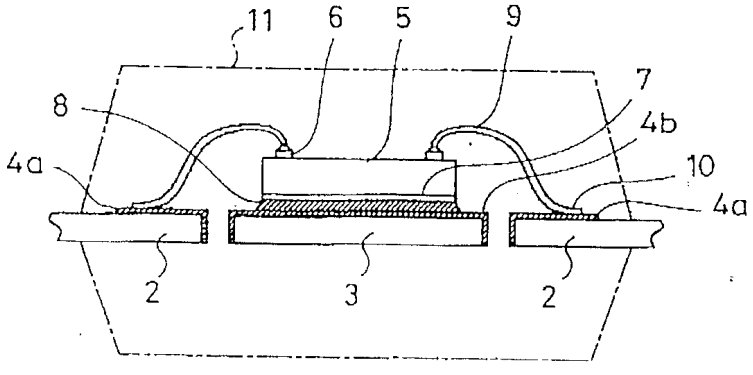
도면6b



도면7



도면8



도면9

