

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04L 25/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610137121.6

[45] 授权公告日 2009 年 12 月 16 日

[11] 授权公告号 CN 100571226C

[22] 申请日 2006.10.20

[21] 申请号 200610137121.6

[30] 优先权

[32] 2005.10.27 [33] US [31] 11/263,138

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 小海登·C·克兰福特

卡丽·E·考克斯

史蒂文·M·克莱门茨

托德·M·拉斯马斯

威廉·P·康韦尔

[56] 参考文献

US5739707A 1998.4.14

CN1518224A 2004.8.4

US2005/0127958A1 2005.6.16

审查员 高 菲

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华 胡亚莉

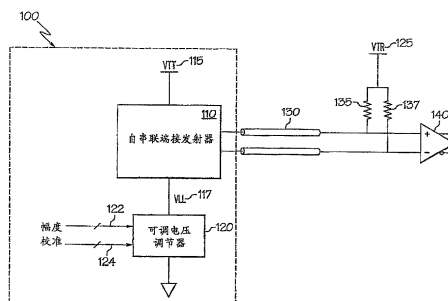
权利要求书 5 页 说明书 12 页 附图 4 页

[54] 发明名称

自串联端接串行链路发射器及其制造方法

[57] 摘要

一种电路设计方法和发射器，利用如下分段自串联端接(SSST)发射器的设计实现对幅度、预加强和转换速率的灵活控制，该发射器具有双上拉和下拉晶体管的多个单独可控段的并行配置。通过对各段的正常输入或者反相输入的操纵/选择来实现幅度控制、转换速率控制和预加强控制。也提供了一种用于通过调节电源电压来提供/维持自串联端接(SST)发射器上的准确输出的机制。对电源电压的调节允许与常规串行链路接收器端接电压相兼容而且在这些电压大于用于发射器输出设备的正常电压时保护这些设备。



1. 一种电子电路，包括：

数据输入节点、选择输入节点和输出节点，

相对于所述数据输入节点和所述输出节点并行设置的多个段，每个段具有晶体管对和关联电阻器；

多个预缓冲器，每个预缓冲器将开/关栅极信号提供到其中一个所述段之内的所述晶体管对，而且每个预缓冲器接收数据输入和所述数据输入的取反以及选择信号输入，所述选择信号输入使得能够将所述数据输入和所述取反的数据输入之一单独选择作为用于所述段的开/关栅极信号；

在第一段的栅极输入与第二段的栅极输入之间耦合的电阻器，其中多个相邻段的栅极输入在所述多个段之内进行连接；以及

用于使得所述多个段能够利用所述选择信号输入将每段中所述晶体管对中的特定晶体管导通或者截止来生成所需输出电压幅度的装置。

2. 根据权利要求1的电路，其中所述多个段共同地提供所述输出节点上的预定输出/信道端接阻抗。

3. 根据权利要求1的电路，其中每个段之内的所述晶体管对包括在所述输出节点串联连接的上拉晶体管和下拉晶体管。

4. 根据权利要求3的电路，其中：

所述上拉晶体管在它的漏极耦合到上拉电阻器；

所述下拉晶体管在它的漏极耦合到下拉电阻器；以及

所述上拉电阻器和下拉电阻器经由所述输出节点在它们的相应其他端彼此耦合。

5. 根据权利要求3的电路，其中所述上拉晶体管是P型晶体管，而所述下拉晶体管是N型晶体管。

6. 根据权利要求3的电路，其中：

每个段的所述上拉晶体管在它的源极耦合到所述其他段中其他上

拉晶体管的源极以及耦合到源电压节点；以及

每个段的所述下拉晶体管在它的源极耦合到所述其他段中其他下拉晶体管的源极以及耦合到源电压节点。

7. 根据权利要求 3 的电路，其中：

每个段提供所述输出电压量值的一部分；

接通的每个上拉段提供附加到所述输出电压量值段的正电压；

接通的每个下拉段提供附加到所述输出电压量值的负电压；

当所有段在同一方向上切换时提供最大输出电压；以及

当所述段中的一个段在与所述段中的多数段相反的方向上切换时，最大输出电压减少了所述一部分的两倍。

8. 根据权利要求 7 的电路，其中：

当所述预缓冲器在所述晶体管的栅极提供零（0）栅极信号时接通上拉段；以及

当所述预缓冲器在所述晶体管的栅极提供一（1）栅极信号时接通下拉段。

9. 根据权利要求 1 的电路，还包括可调电压调节器，所述调节器作用于所述电路的电压输入中的至少一个电压输入，以实现所述电路的测量电压特性的校准和准确度。

10. 根据权利要求 1 的电路，还包括多个延迟反相器，每个反相器耦合于所述数据输入节点与所述预缓冲器中的一个预缓冲器之间，其中所述预缓冲器接收所述数据输入和所述数据输入的延迟取反。

11. 根据权利要求 10 的电路，其中：

所述延迟反相器的延迟组件将所述数据输入延迟一个或多个比特时间，所述电路还包括：

用于通过为所述多个段中的至少一个段选择所述延迟的反相输入来提供预加强控制的装置，其中所述选择是通过以下之一来完成：（a）对所述段的预缓冲器进行偏置以便总是选择所述延迟的反相输入；和（b）在需要时确定性地选择所述延迟的反相输入。

12. 根据权利要求 1 的电路，还包括：

用于通过有选择地关断来自所述第二段的预缓冲器的栅极输入信号从而提供经过所述电阻器的来自所述第一段的栅极输入来控制所述电路输出电压的转换速率的装置，使得在提供所述栅极输入和随后接通所述段时的延迟在所述多个段的总输出上寄存。

13. 根据权利要求 12 的电路，其中：

每个选择信号输入是将所述相应的预缓冲器接通或者关断的开/关输入；以及

每个预缓冲器在接通时仅传递所述数据输入而在关断时不传递输入。

14. 一种差分发射器，被配置为根据权利要求 1 的电子电路，具有所述多个段的两个分路，所述分路先后地操作以提供总输出特性，所述总输出特性是每个段的单独输出特性的绝对值之和。

15. 一种用于制造自串联端接发射器的方法，包括：

分配数据输入节点、选择输入节点和输出节点；

提供相对于所述数据输入节点和所述输出节点的多个并行连接的晶体管段的两个分路，每个段具有晶体管对和关联电阻器，其中 (a) 所述晶体管对包括在所述输出节点串联连接的上拉晶体管和下拉晶体管；(b) 所述上拉晶体管在它的漏极耦合到上拉电阻器；(c) 所述下拉晶体管在它的漏极耦合到下拉电阻器；(d) 所述上拉电阻器和下拉电阻器经由所述输出节点在它们的相应其他端彼此耦合；(e) 每个段的所述上拉晶体管在它的源极耦合到其他段中其他上拉晶体管的源极以及耦合到源电压节点；以及 (f) 每个段的所述下拉晶体管在它的源极耦合到其他段中其他下拉晶体管的源极以及耦合到源极电压节点；

为每个段提供预缓冲器，而且将开/关栅极信号从所述预缓冲器输出连接到所述段之内所述晶体管对的栅极；

将所述预缓冲器的第一输入耦合到数据输入而将第二输入耦合到所述数据输入的取反；

将选择信号输入提供到所述预缓冲器，所述选择信号输入使得能够将所述数据输入和所述取反的数据输入之一单独选择为用于所述段

的开/关栅极信号;

在第一段的栅极输入与第二段的栅极输入之间耦合电阻器, 其中多个相邻段的栅极输入在多个段之内进行连接;

其中, 所述发射器的配置使得所述多个段能够利用所述选择信号输入将每个段中所述晶体管对中的特定晶体管导通或者截止来生成所需输出电压幅度; 以及

其中所述多个段的两个分路先后地操作以提供总输出特性, 所述总输出特性是每个段的单独输出特性的绝对值之和。

16. 根据权利要求 15 的方法, 还包括通过执行以下中的一个或多个: (a) 添加或者减去段和 (b) 改变段内电阻器的值来校准所述输出节点处的端接阻抗, 使得所述多个段共同地提供所述输出节点上的预定输出/信道端接阻抗。

17. 根据权利要求 15 的方法, 其中:

每个段提供所述输出电压量值的一部分;

接通的每个上拉段提供附加到所述输出电压量值段的正电压;

接通的每个下拉段提供附加到所述输出电压量值的负电压;

当所有段在同一方向上切换时提供最大输出电压; 以及

当所述段中的一个段在与所述段中的多数段相反的方向上切换时, 最大输出电压减少了所述一部分的大约两倍。

18. 根据权利要求 15 的方法, 其中:

所述上拉晶体管是 P 型晶体管而所述下拉晶体管是 N 型晶体管;

当所述预缓冲器在所述晶体管的栅极提供零 (0) 栅极信号时接通上拉段; 以及

当所述预缓冲器在所述晶体管的栅极提供一 (1) 栅极信号时接通下拉段。

19. 根据权利要求 15 的方法, 还包括将片上可调电压调节器连接到所述电路的电压输入中的至少一个电压输入, 以实现所述电路的测量电压特性的校准和准确度。

20. 根据权利要求 15 的方法, 还包括提供多个延迟反相器, 每个

反相器耦合于所述数据输入节点与所述预缓冲器中的一个预缓冲器之间，其中所述预缓冲器接收所述数据输入和所述数据输入的延迟取反，以及其中所述延迟反相器的延迟组件将所述数据输入延迟一个或多个比特时间，以通过为所述多个段中的至少一个段选择所述延迟的反相输入，在所述发射器的操作期间实现预加强控制，其中所述选择是通过以下之一来完成的：(a) 对所述段的预缓冲器进行偏置以总是选择所述延迟的反相输入；和(b) 在需要时确定性地选择所述延迟的反相输入。

21. 根据权利要求 15 的方法，还包括通过有选择地关断来自所述第二段的预缓冲器的栅极输入信号从而提供经过所述电阻器的来自所述第一段的栅极输入，在操作期间提供对发射器电路输出电压的转换速率控制，使得在提供所述栅极输入和随后接通所述段时的延迟在所述多个段的总输出上寄存；其中所述选择信号将所述预缓冲器接通或者关断，而且在所述预缓冲器接通时只传递所述数据输入，而在所述预缓冲器关断时不传递输入。

自串联端接串行链路发射器及其制造方法

技术领域

本发明一般地涉及电子电路，而且特别地涉及发射器电路。本发明更特别地涉及串行链路发射器电路及其设计。

背景技术

在当今的计算环境中已经变得期待用以执行和实现数字数据高速传输的能力。在多数情况下，通过在设计用来处理计算机通信的通信链路上以高速串行格式（即一个单比特在另一单比特之后）发送数据来实现数字数据通过较长距离的传输。以这一方式，即使计算机系统在地面上相距遥远，数据仍然可以从一个计算机系统传送到另一计算机系统。

为了进行高速串行传输，在通过串行通信链路传输数据之前，必须将来自计算机内部的数字数据信号从并行格式转换成串行格式。一般是通过用已知为串行链路发射器或者“串行转换器”的电子电路对计算机的内部数据信号进行处理来实现这一转换。串行转换器的功能是接收作为输入的并行数据流以及通过操纵并行数据流输出能通过适当的通信链路进行高速传输的数据的串行形式。一旦串行化的数据已经到达预期目的地，已知为“解串行转换器”的一种计算机设备被用来将输入的数据从串行格式转换成并行格式以便在目的地计算机系统之内使用。

常规的高速串行链路发射器通常使用电流模式电路技术来实施，因此在源端要求并行端接。然而，当利用并行源端端接时，只有一半的发射器输出电流传递到接收器，因为发射器仅通过发射器输出端的两个并行侧中的一侧将电流导引到接收器。因此，为了产生预期输出

幅度（例如电压），具有并行端接的电流模式发射器要求相对较大的功率耗散以针对电流约 50%的损失进行调整。

消除在提供预期输出幅度时这一大功率耗散要求的一项进展是引入自串联端接发射器。利用自串联端接发射器，基本上所有发射器的输出电流都会流向接收器。因此，对于在接收器处的给定信号幅度，自串联端接发射器比具有并行端接的电流模式发射器耗散明显更少的功率，因为所有自串联端接发射器输出电流都流向接收器。

已经在现有技术中描述了若干类型的自串联端接发射器。尽管自串联端接发射器提供了更高效的功率使用率，但是对于常规设计已经注意到有若干其他限制，特别地包括与输出幅度控制、预加强控制和转换（slew）速率控制有关的限制。因此，随着数据传输速度继续增加，当前存在着对甚至更佳发射器的需求。

发明内容

公开了一种分段自串联端接（SSST）发射器，该发射器在提供电压调节、幅度准确度和高电压保护的同时提供对幅度、预加强和转换速率的更大控制。为该发射器设计有并行的多个段，这些段具有与所需输出阻抗等效的组合并行阻抗。在一个实施例中，在电源输入处提供电压调节器以通过调节电源电压来实现基本上准确的输出电压。正常输入信号和反相输入信号均通过一系列缓冲器馈送，每个缓冲器连接到这些段之一的输入节点。为每个缓冲器提供选择输入信号以选择正常输入信号或者反相输入信号。当所有段接收同一输入（正常或反相）时，在输出接收器处提供完全输出信号（正常或反相）。当一个或多个段接收反相输入而其他段接收正常输入时，基于反相选择信号与选择信号完全取反总数之比率，将输出信号减少到完全信号的一部分。

也提供了对 SSST 发射器设计的进一步增强以经由 SSST 发射器实现转换速率控制和预加强控制。在前一发射器中，电阻器设置于缓冲器输入之间而且一个缓冲器被关断，强制单个缓冲器驱动两个或更多段并且由此控制转换速率。在后一发射器中，延迟的反相信号被提供

到至少一个段以强调所生成的高信号和低信号，以便改善对输出信号的加强控制。

本发明的上述以及附加目的、特征和优点将在下面的具体书面描述中变得明显。

附图说明

通过参照结合附图阅读的对说明性实施例的以下具体描述，将最佳地理解本发明本身以及优选实施方式及其进一步的目的和优点，在附图中：

图 1 是根据本发明一个实施例使用可调电压调节器调节自串联发射器的输入电压的高级图；

图 2 是根据本发明一个实施例的分段自串联端接发射器 (SSSTT) 的电路图；

图 3 是根据本发明一个实施例具有用于预加强控制的延迟和反相器单元的 SSSTT 的电路图；以及

图 4 是根据本发明一个实施例具有用于转换速率控制的附加电阻器的 SSSTT 的电路图。

具体实施方式

本发明提供一种电路设计方法和发射器，它利用分段自串联端接 (SSST) 发射器的设计来实现对幅度、预加强和转换速率的灵活控制，该发射器包括具有关联电阻器的双重上拉和下拉晶体管的多个单独可控段的并行配置。幅度控制、转换速率控制和预加强控制是通过为各段选择正常或者反相输入来实现的。本发明也提供一种用于通过调节电源电压来提供/维持自串联端接 (SST) 发射器（也称为源极串联端接发射器）上的准确输出幅度的机制。对电源电压的调节允许了与常规串行链路接收器端接电压相兼容，而且在这些电压大于发射器输出器件的正常电源时保护这些器件。

本发明的每个特征包括用以实现由下面各部分标题所描绘的特定

特征的发射器输入的不同配置。特别地提供了四个主要配置，每个配置在说明书的单独部分中加以描述。这些配置是：（1）输出幅度调节/控制，包括（a）电压调节和（b）分段；（2）预加强控制；和（3）转换速率控制。

为了使根据本发明设计的发射器与标准自串联（或者源极串联）端接（SST）发射器相区别，本发明的发射器被称作为分段自串联端接（SSST）发射器，这表明将根据本发明实施例、如图中所示和下文描述的那样分段地配置该发射器。除非另有说明，在下面的描述中提及发射器都是指 SSST 发射器。

现在参照附图，它们图示了根据本发明配置的具有电压调节的第一 SST 发射器（图 1），然后是根据本发明配置的 SSST 发射器的三个实施例（图 2-4）。在附图中，为不同的图中相似的单元提供了相似的标号，而新的特征在首次图示于图中时则提供有单独的编号。

A. 幅度控制

1. 电压调节

如上所述，图 1 提供了根据第一实施例（它不涉及新设计的 SSST 发射器）的 SST 发射器的低级框图表示，其中已经通过添加可调电压调节器以在输入处实现电压校准和幅度调节来增强该发射器的设计和操作。

没有为常规的 SST 发射器设计实现控制幅度和输出电压准确度的任何机制。然而，为了遵循通用的串行链路标准，要求发射器能产生准确的（可靠的）输出幅度。此外，为了在串行链路设计中提供不同的输出幅度，有时可能需要对电源电压进行调整。同样，发射器封装或者连接器之内的信号损失可能要求输出幅度通过某一形式的校准得以固定，比如将电源例如增加 10%、20%或 30%以使信号损失不起作用。

利用自串联端接发射器的常规设计和运用（该发射器直接地连接到输出电压偶尔波动的常见电源），调节和控制输出幅度一般是不可能的。电源电压通常富于变化以致不能有足够的幅度准确度，而电源电

压一般是不易于调整的。

因此图 1 提供了一种使得自串联端接发射器能够在准确度和大小方面均满足所需幅度要求的方法。如图所示, SST 发射器 110 在它的高电压节点(输入)处连接到高电压轨 115,而在它的低电压节点(输入)处连接到可调电压调节器 120。可调电压调节器 120 接收两个输入信号:幅度信号 122 和校准输入信号 124。根据所实施的实施例,可调电压(例如 VLL 117)提供到 SST 发射器的电源电压中的一个或两个电压。可调电压 117 提供比(偶尔波动的)电源更准确的功率,由此在由 SST 发射器 110 提供的输出幅度上实现了更大精确度和准确度。另外,发射器电源电压可以动态地设置(调整)为所需值而不要求对外部电源有任何改变。可调电压调节器 117 由此还使得 SST 发射器 120 能够容易地加以校准以解决发射器、它的封装或者连接器之内的任何信号损失。

自串联端接发射器 110 通过信道 130 将差分输出信号转发到接收器 140。两个差分输出信号线连接到相应的上拉电阻器 135/137(接收器端接阻抗),该电阻器在它们的高电压端彼此连接并连接到端接电压轨 VTR 125。请注意,接收器 140 和端接电阻器 135/137 代表典型的串行链路接收器配置。其他配置也是可能的。

通过利用具有上述组件的增强发射器电路 100, SST 发射器 110 能在接收器端提供幅度准确度要求。另外,可调电压调节器 120 使得有可能实现既可变又准确的幅度。在备选实施例中,可调电压调节器 120 也可以包括允许对幅度损失补偿的可调缩放因子。之所以实施这一备选实施例是因为多数真实系统具有可能影响输出幅度的可变损失。

图 1 具体地图示了耦合到 SST 发射器 110 的低电压输入的单个可调电压调节器 120。可调电压调节器 120 由此为 SST 发射器 110 产生低电源电压。这一特定的设置允许与最通用的串行链路接收器结构相兼容,该结构具有对接收器上电源轨的 DC 端接阻抗。然而,尽管说明了这一实施例,但是本发明的其他实施例(未说明)提供了数个备

选电压调节器设置。例如，在一个可能的实施中，可调电压调节器耦合到高电源电压输入，而在另一可能的实施中，提供两个可调电压调节器，一个耦合到低电压电源，而另一个耦合到高电压电源。

2. 经由分段的幅度控制

尽管上面增强的 SST 配置在输出幅度和校准中提供了可测量的控制，但是向发射器施加可变的电源电压可能造成电路性能的变化，这在一些实施中特别是在利用电压调节器 120 来调整发射器的输出幅度时，会使上面的系统设计很困难。在一些实施中，为了实现恰当的输出幅度，可能出现如下情形，其中特定的输出幅度要求可能会要求低得以至于无法允许恰当电路操作的输入电源电压（即晶体管可能接收不到足够大的电流以接通/操作和/或可能接收比恰当操作所需的电压更小的电压）。

因此，除了具体地利用通过添加一个或多个电压调节器而增强的 SST 发射器的上述实施例之外，本发明的其他实施例提供了分段 SST 发射器（或者如上面介绍的 SSST 发射器）。图 2 图示了 SSST 发射器的配置。如图 2 所示而且不同于 SST 发射器（其设计是已知的），利用成对连接的晶体管和电阻器的并行段（竖直地观看）来设计 SSST 发射器。每个段由上拉和下拉单元构成，这些单元通过输入数据来切换以产生输出波形。上拉单元包括 P 型晶体管 230，该晶体管在它的源极连接到高输入轨（ V_{HH} ）240，而在它的漏极连接到上拉电阻器 237。下拉单元包括 N 型晶体管 235，该晶体管在它的源极连接到下输入轨（ V_{LL} ）245，而在它的漏极连接到下拉电阻器 239。上拉电阻器 237 和下拉电阻器 239（串联地）连接于公共节点，该节点连通每个段并产生输出信号 250。根据这一实施例，SSST 发射器 200 被划分成许多独立可控的段。在图示中仅提供四个段。然而，如虚线所提示的，实际利用的段数目是受对于 SSST 发射器 200 而言所需的控制颗粒度约束的设计参数。因此，例如，SSST 发射器 200 可以包括 16、20、32、64 或者任一其他数目的段。

每个段具有特定的输出阻抗，使得它们的并行组合等于所需信道

端接阻抗。每个段的阻抗可以是电阻器阻抗和晶体管阻抗的组合。然而，可想到所用晶体管足够的小到产生所需阻抗，而不需要上拉和/或下拉电阻单元。类似地，晶体管可以足够的大到它们产生可忽略的阻抗，由此每个段的阻抗值分别地等于上拉或下拉电阻器，因为每次仅一个电阻器（开关）是通的。

在说明性实施例中，所用晶体管是 MOS 晶体管（即 P-MOS 和 N-MOS 晶体管）。尽管描述为 MOS 晶体管，但是可理解本发明也可以用不同类型的晶体管来加以实现，因此本发明不限于这里公开的晶体管。例如，晶体管可以是 FET、双极性晶体管等其他类型。最后，本领域技术人员将理解到，所提供的图示仅是完整差分发射器的一半（上半部或者下半部），两半是相同的。因此实际的发射器输出是两半的输出组合。当两半先后进行操作时，它们产生量值相等但是相对于彼此反相的输出。在将两半之一反相之后，组合的输出则是所示电路的输出 250 的两倍（2X）。

SSST 发射器设计的实施允许对发射器输出幅度的灵活控制而无需（图 1 的）可调电压调节器。另外，这一配置消除了与没有大到足以使得晶体管正常地操作的输入电源电压有关的任何问题。对每个段的输入是施加到 PMOS 晶体管 230 和 NMOS 晶体管 235 的栅极输入。如图所示，每个段的输入是从相应的缓冲器 220（或者反相缓冲器）接收的缓冲输入，该缓冲器实际上接收数据输入 205 和该数据输入的取反，即来自输入源（未示出）的反相数据输入 207。加以个别考虑的幅度控制输入 210 被馈送到缓冲器 220，用作为使得缓冲器能够将正常数据输入 205 或者反相数据输入 207 传递到特定段的选择输入。例如，如果幅度控制输入 210 是 1，则反相数据发送到该段，而如果幅度控制是 0，则将正常数据输入发送到该段。在说明性实施例中，如果幅度控制输入 210 是 0，则缓冲器 220 将正常数据输入 205 传递到该段。可选地，如果幅度控制输入 210 是 1，则缓冲器 220 将反相数据输入 207 传递到该段。传递的数据输入是分别地导通 P 型晶体管（230）或 N 型晶体管（235）的 1 或 0。也就是，当被选择通过缓冲

器来传递的数据是 0 时, 0 输入数据使该段的上分路得以通过导通 P 型晶体管 (同时截止 N 型晶体管) 来上拉。反过来, 当被选择通过缓冲器来传递的数据是 1 时, 1 输入数据使该段的下分路得以通过导通 N 型晶体管 (同时截止 P 型晶体管) 来下拉。尽管出现上拉和下拉操作, 但是该段上的电阻保持相同。

为了实现最大幅度, 用没有修改的 (正常的) 输入数据信号来驱动所有的段。为了产生较小幅度的, 通过反相数据来驱动段的子集 (即一个或多个段)。每个反相的段抵销了由它自身和接收正常数据输入的另一段提供的输出幅度的一部分。特别地, 将电阻器值选择为使得段上并行电阻的组合加起来达到所需输出电阻。因此, SSST 发射器使得能够有选择地减少输出幅度而不减少或者影响端接阻抗。这一方法在允许电源电压为了可接受的电路性能而保持足够大的同时产生了作为最大幅度的限定的一部分的幅度。利用这一实施, 可以利用段的总数目和以反相输入信号驱动的段的数目来计算输出电压的减少百分比。仅利用完整发射器的一半 (如图所示) 的这种计算所用的公式是 “实际=最大 $\times$ 一部分” 或者具体为:

实际输出幅度=最大输出幅度 $\times$ [(段的数目-2 $\times$ 反相段的数目) / 段的数目]

特别地, 该计算涉及减去反相段的两倍, 因为反相段低销了对于相同数目非反相段的电压增益。通过相同的分析, 如果更多的段接收反相数据输入, 则输出信号将是负值, 这表明输出信号极性相反。在实际的电路操作中, 理想的差分峰峰输出幅度等于 $V_{HH}-V_{LL}$ 。

在利用 SSST 发射器的另一实施例中, 通过静态地将段的集合 (一个段或多个段) 设置成从剩余段接收反相输入来提供幅度控制。因此, 与其以反相数据驱动某一比例的段, 不如静态地对这些段进行设置。然后, 如果成对的段被设置成相反的恒定数据值, 则与利用上述对多个段进行设置的动态方法 (如通过图 2A 的幅度控制输入所示的) 一样, 提供相似的幅度减少和恒定阻抗。这一实施例提供相对于输入电压的设置输出电压。

特别地，在一个实施中，将幅度控制的分段方法与电压调节器方法（在以上有关部分中描述的）相组合以提供很灵活和准确的发射器幅度控制。恒定调节器提供了幅度准确度和允许良好电路性能的电源级，而该分段在保持所需输出阻抗的同时允许幅度可调。

B. 预加强控制

上面描述了在发射器之内所需的一种控制措施，现在提供一种加强措施（或者更具体地说是预加强措施）。正如所运用的那样，预加强是指如下过程：将高频分量相对于低频分量进行加强以改进传输信道上在传输期间的整体信噪（SN）比。通过在发射器端加强/增大高频分量，预加强试图减轻信道的带宽局限和由此产生的符号间干扰（ISI）（或者将它们的不利影响最小化）。常规的串行链路发射器通常通过与有限冲激响应（FIR）数字滤波器相似的结构来提供可调的输出信号预加强能力，其中将输出信号的延迟版本从主信号中减去，以产生部分地抵销了信道低通特性的高通特性。

现在参照图 3，根据一个实施例图示了图 2 的 SSST 发射器 200 还适于/增强用以提供预加强控制。除上述各段和输入缓冲器 220 之外，SSST 发射器 200 还包括用以实现预加强控制的不同输入。不同于图 2 的功率幅度实施的正常和反相信号输入，图 3 的 SSST 发射器包括延迟单元 360，反相器 365 跟随其后，该延迟单元将沿着第二输入路径寻路到缓冲器 220 的输入信号的拷贝加以延迟，然后将该输入的延迟拷贝加以反相。延迟单元 360 将接收的输入信号延迟一个比特时间（即该输入信号的一个比特穿过该输入端的时间）。从缓冲器 220 的角度来看，在时间 T1 接收的输入是来自时间 T0 的正数据输入 205 和反相的数据输入。也就是，假设在主要输入路径（正常数据输入）输入到缓冲器 220 的数据是 10101100，则在辅助输入路径见到的输入是 -0101001。

在备选实施例中，可以提供多个延迟单元（或者提供多延迟的单个单元）以实现数据流的多个延迟版本。例如，可以提供 1 个、2 个、3 个或更多比特时间的延迟。简单地通过将适当延迟的数据供应到段

组,就可以将 SSST 发射器设计得与这一普通的预加强方式相符。

根据说明性实施例,通过将发射器表现为许多独立可控的段,可以在自串联端接发射器的具体实施也就是 SSST 发射器 300 之内实施可调的预加强控制。如上所述,各段具有的输出阻抗使得它们的并行组合等于所需信道端接阻抗。另外,每个段是由通过输入数据有选择地进行切换以产生输出波形的上拉和下拉单元组成。

在说明性实施例中,通过以延迟的反相数据(来自缓冲器)对段的选定子集进行驱动来产生特定的预加强级。假设将单个段进行偏置以接收经延迟的反相输入数据(即把对缓冲器的输入选择为总是导通“1”),则对于在跳变之后的第一数据比特,所有段在相同方向拉动,而发射器产生完全幅度输出。这使得发射器能够在每个跳变期间瞬间产生完全幅度。在大于一个比特的切换运行期间(即连续 0 或 1),延迟的段在相反方向拉动,而所得到的阻抗分配将输出减少到完全幅度的限定的一部分。因此这一现象有效地“削弱”了低频。将 SSST 发射器 200 的输入加以延长的总效果在于对输入进行延迟和反相并将该输入从通过 SSST 发射器 300 产生的总输出中减去。

应当注意,用于幅度和预加强控制的分段方案是完全兼容的,因此可以设置于同一 SSST 发射器之内。利用这一双重功能的 SSST 发射器,一些段将专用于预加强控制而所有其他段将专用于幅度控制。

C. 转换速率控制

常常为串行链路发射器设计有对它们的输出信号转换速率进行调整的能力。转换速率是指发射器输出电压的最大变化速率。也就是,转换速率提供了以伏特每秒来测量的该输出有多快地改变的量度标准。不正确的转换速率可能造成与其他信道的串音干扰。

图 4 提供了对 SSST 发射器 400 的增强,该图图示了自串联端接发射器电路的分段如何提供用以控制输出转换速率的装置。每个输出段由单独的缓冲器(也称作预缓冲器)220 驱动,可以使该缓冲器呈现高输出阻抗状态。对于段的选定子集(即一个或多个连续段),每个预缓冲器 220 的输出经由转换控制电阻器 432 永久地连接到前一段的

预缓冲器的输出。对转换控制电阻器的这一连接也是对该段的 P 型和 N 型晶体管栅极的连接。因此, 如图所示, 转换控制电阻器 432 的一端耦合到第一预缓冲器 220' 的输出, 而转换控制电阻器 432 的另一端也耦合到下一(依次)预缓冲器输出(220''), 如图所示。

在操作期间, 在其输出端连接有水平电阻器 432 的每个后续预缓冲器 220 被关断(置于 off 状态), 使得没有输入数据信号穿过预缓冲器 220。对于预缓冲器输出以什么顺序与转换控制电阻器 432 交叉连接以及哪些预缓冲器 220 随后关断的确定是设计确定的。然而, 只有其输出相同(即正输入数据或者反相的输入数据)的预缓冲器才以这一方式串联连接。可以在 SSST 发射器 400 之内提供两组不同的串联连接预缓冲器输出。

在连接的预缓冲器的串联中的第一预缓冲器 220' 操作为每个连接段的驱动器。在串联中的后续预缓冲器关断时, 与这些预缓冲器对应的段通过一个或多个转换控制电阻器 432 接收来自第一预缓冲器的输入。第一预缓冲器 220' 效力于增加的负载(后续段的转换控制电阻器 432 和晶体管), 因此它的输出跳变速度有所减缓。此外, 转换控制电阻器 432 本身产生延迟, 该延迟造成各段在不同的时刻(依次)切换。由于延迟的切换——归因于经过段集合的输入数据的较慢改变, 与较早切换的段相比, 也以较慢的速率接收该输出。输出信号因此被延迟而且需要等到较晚切换的段达到与较早切换的段相同的状态为止。

利用上述配置, 可以通过将整组之内的一部分预缓冲器 220 置于它们的高阻抗状态而且允许剩余的预缓冲器 220 驱动该组中的所有输出段来减少 SSST 发射器的输出转换速率。通过速率控制电阻器 432 驱动的输出段在它们的输入处接收信号时经历小的延迟。当段的输出在最后的发射器输出处相加时, 这些延迟减少了输出转换速率。

特别地, 与图 2 那样要求双(差分)输入的 SSST 发射器的其他图示不同, 在这一实施例之内利用了单个控制输入。在一个实施例总, 从缓冲器 220 接收的控制信号可以用来确定应当将哪些预缓冲器置于关断(off)状态。利用上述设计, 当所有缓冲器处于接通(on)状态

中时，对于发射器的正常操作没有影响，因为转换控制电阻器 432 的两端处于同一电压，因此不会造成在连接段之间的电流流动。当关断时，预缓冲器 220 变成高阻抗器件，阻塞了电流经过它们回流。

特别地，尽管发射器中前两个段的预缓冲器被图示为支持转换控制电阻器 432，但是本领域技术人员将理解到，可以对多个可用段之中的任一段（不同于第一段）进行连线以通过转换控制电阻器 432 接收它的输入信号，而且这里提供的具体图示和描述仅意味着用于对本发明进行说明。

尽管已经参照优选实施例特别地示出和描述本发明，但是本领域技术人员将理解到，在不脱离本发明的构思和范围的情况下，可以在其中做出形式和细节上的各种变化。

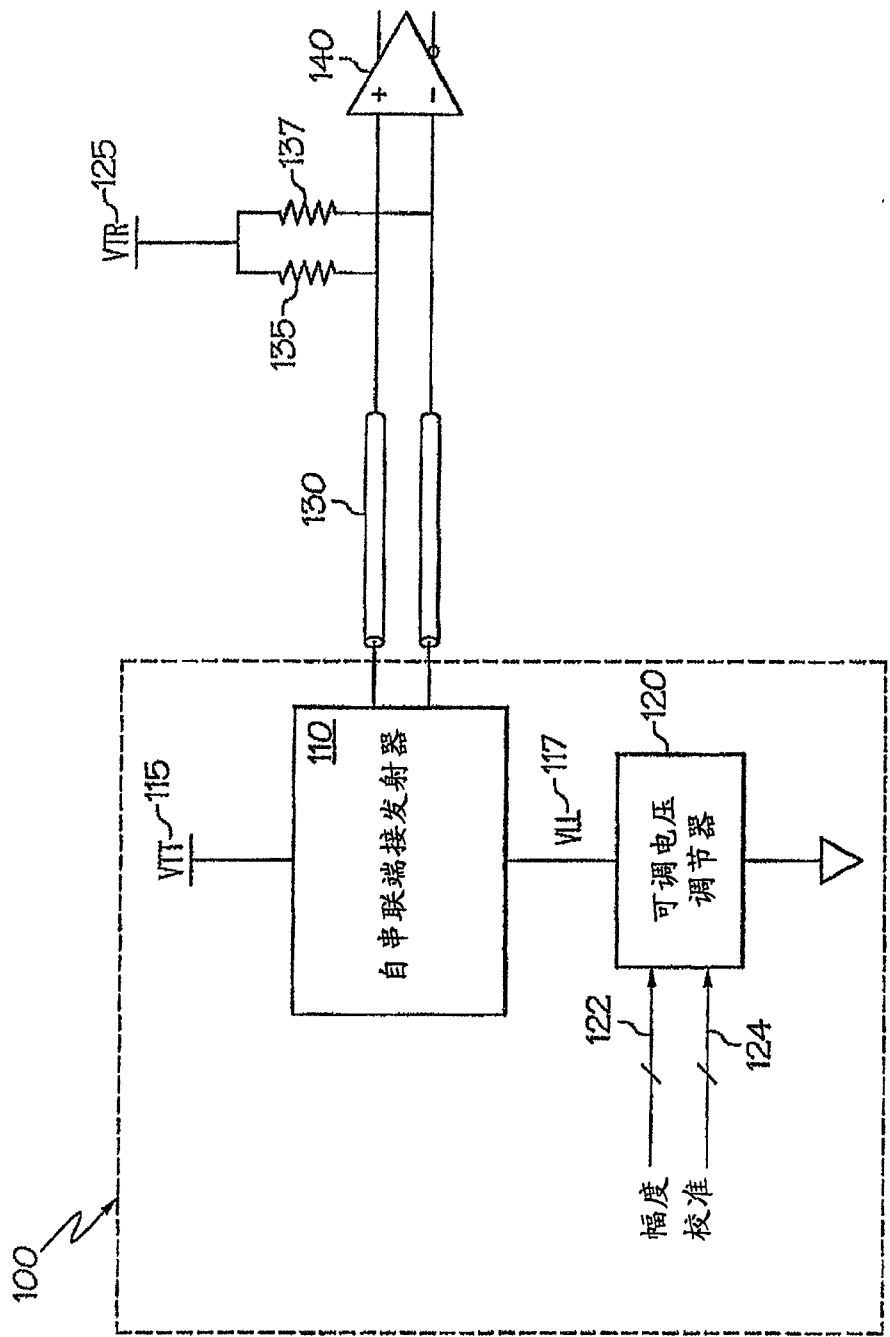


图 1

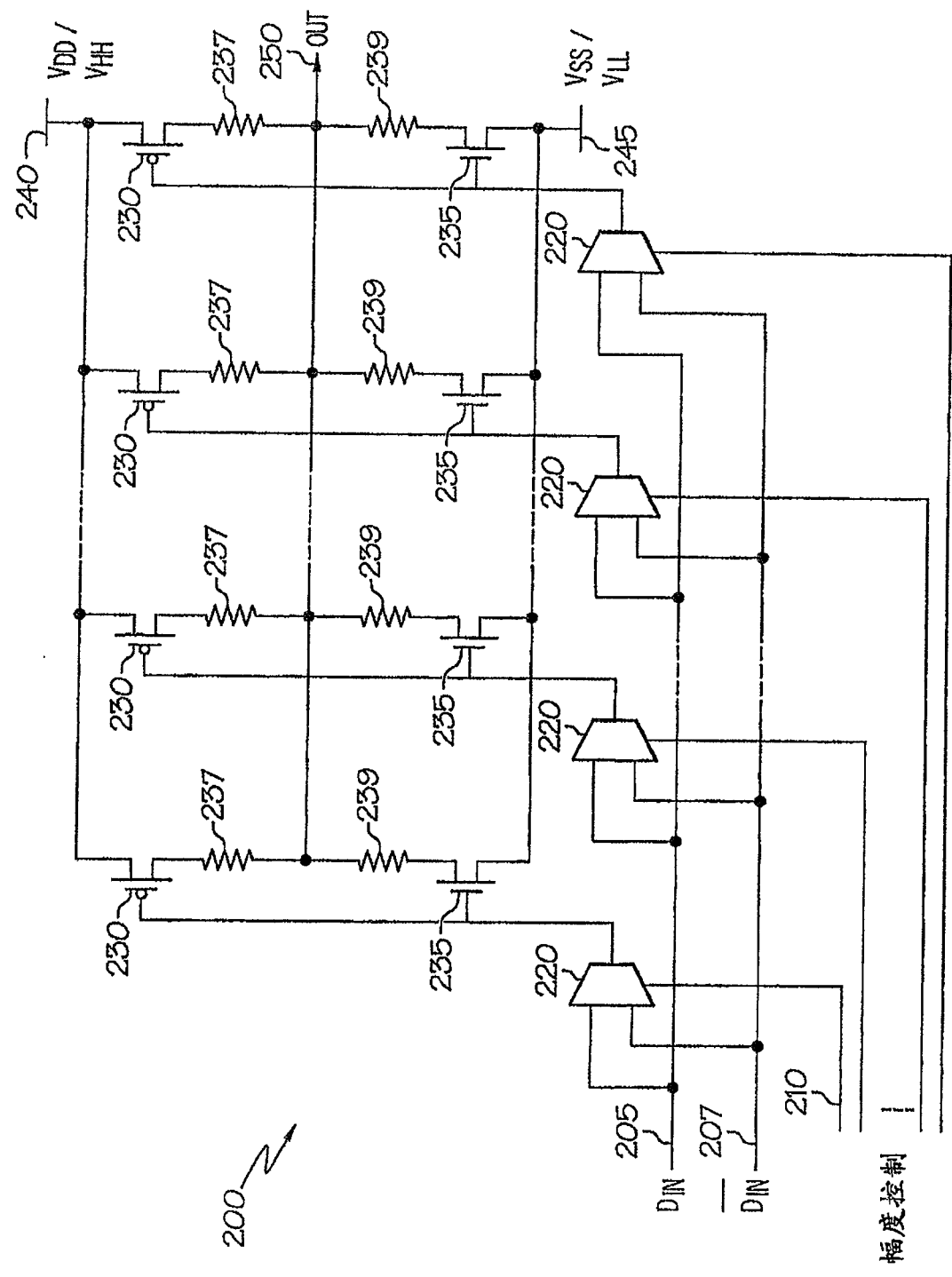


图 2

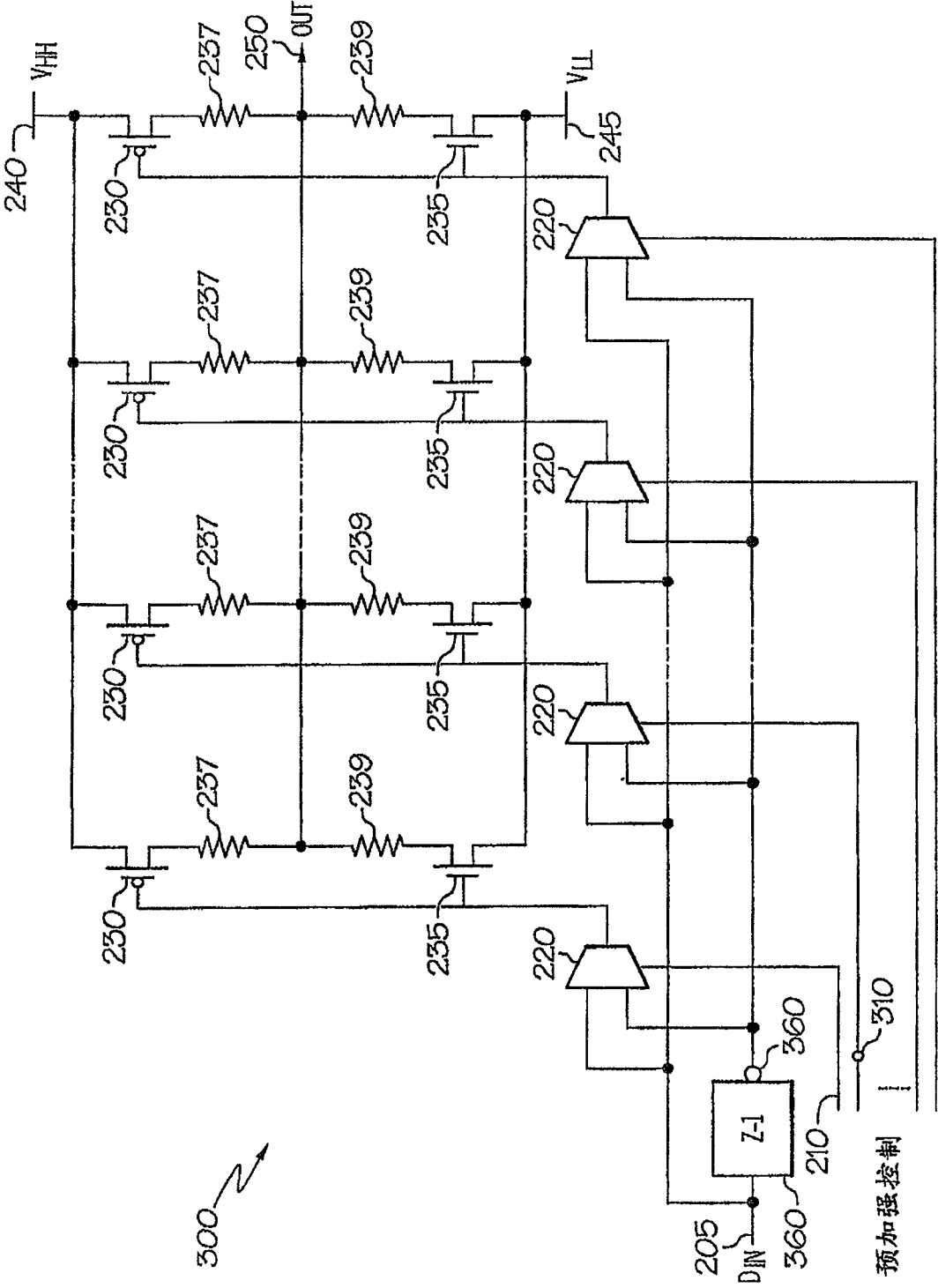
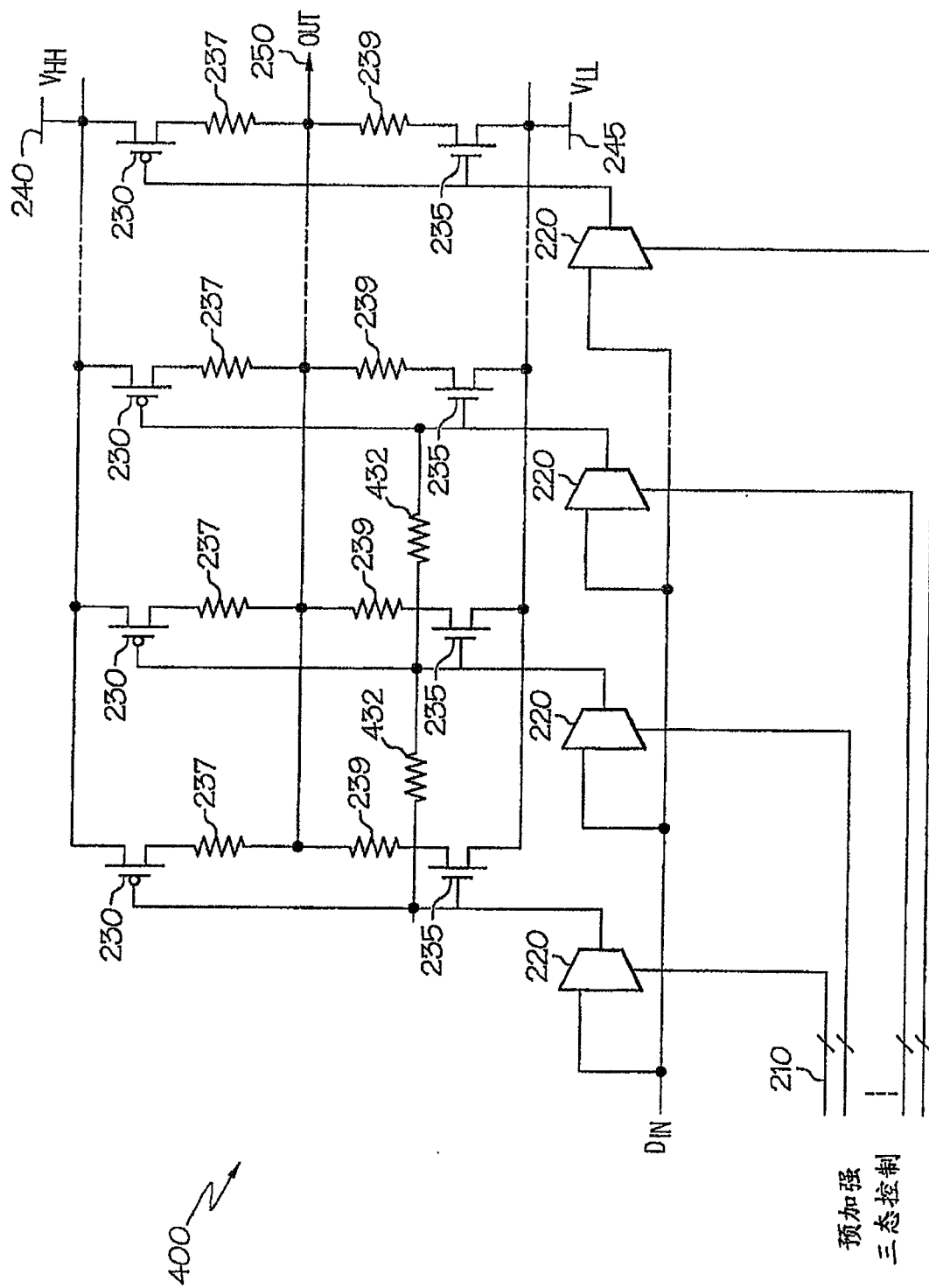


图 3

4
