



[12] 发明专利申请公开说明书

[21] 申请号 03102748.2

[43] 公开日 2003 年 7 月 30 日

[11] 公开号 CN 1433019A

[22] 申请日 2003.1.17 [21] 申请号 03102748.2

[30] 优先权

[32] 2002. 1. 18 [33] US [31] 10/053995

[71] 申请人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 M·C·菲舍尔

[74] 专利代理机构 中国专利代理(香港)有限公司

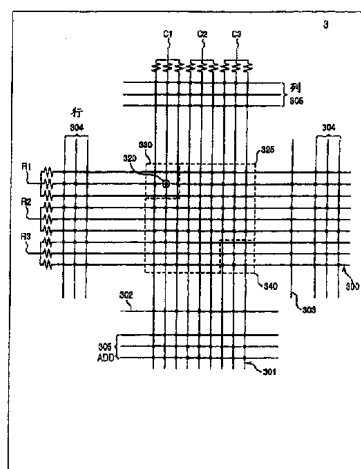
代理人 杨 凯 王忠忠

权利要求书 2 页 说明书 14 页 附图 9 页

[54] 发明名称 把数据位写入存储阵列的方法

[57] 摘要

一种把数据位写入存储阵列(325)的方法。在一个方法实施例中,接收第一输入信号。这导致把高功率通过读出线(302, 303)加到存储阵列(325)中的寻址位(320),因而引起对寻址位(320)执行写入操作。接收第二输入信号。这导致把低功率通过读出线(302, 303)加到寻址位(320),因而引起对该寻址位(320)执行读出操作。读出线(302, 303)用来对所述寻址线(325)执行读出和写入操作。



1. 一种用于把数据位写入存储阵列 (325) 的方法, 所述方法包括:
接收第一输入信号, 这导致通过读出线 (302, 303) 把高功率加到
5 所述存储阵列 (325) 的寻址位 (320) 并导致在所述寻址位 (320) 上进行
写入操作, 以及
接收第二输入信号, 这导致通过所述读出线 (302, 303) 把低功率
加到所述寻址位 (320) 上并导致在所述寻址位 (320) 上进行读出操作,
使得所述读出线 (302, 303) 被用来对所述寻址位 (320) 进行读出和写入
10 操作。
2. 如权利要求 1 所述的方法, 其特征在于还包括通过多根地址线
寻址所述寻址位 (320), 其中所述多根地址线又包括多根列地址线 (305)
和多根行地址线 (304), 假设所述多根列地址线 (305) 处在高电平, 而
所述多根行地址线 (304) 处在低电平。
- 15 3. 如权利要求 1 所述的方法, 其特征在于还包括在接收所述第一
输入信号后, 把多个第二开关 (316B, 316C) 隔离, 其中所述多个第二
开关 (316B, 316C) 处于不导电状态。
4. 如权利要求 1 所述的方法, 其特征在于还包括在接收所述第二
输入信号后, 把多个第一开关 (316A, 316D) 隔离, 其中所述多个第一
20 开关 (316A, 316D) 处于不导电状态。
5. 如权利要求 3 所述的方法, 其特征在于还包括把在连接到所述
多个第一开关 (316A, 316D) 和所述多个第二开关 (316B, 316C) 的多个
节点 (372, 373) 上预定的电压保持在中间电压电平、使得所述寻址位
(320) 的零状态保持不变, 所述中间电压电平由连接到所述读出线
25 (302, 303) 的多个读出放大器 (312, 313) 提供。
6. 如权利要求 1 所述的方法, 其特征在于还包括当所述寻址位为
逆熔丝的时候, 把所述寻址位 (320) 的状态从高电阻状态变为低电阻状
态。

7. 如权利要求 1 所述的方法, 其特征在于还包括当所述寻址位为熔丝的时候, 把所述寻址位 (320) 的状态从低电阻状态变为高电阻状态。

8. 如权利要求 2 所述的方法, 其特征在于还包括使用电源分带 (power-stripping) (C1, R1), 作为对所述寻址位 (320) 进行所述寻址操作的一部分。

9. 一种用于把数据位写入存储阵列 (325) 的电路 (800), 它包括: 连接到所述电路 (800) 并向所述电路 (800) 提供电压电位和电流的电源;

10 用于接收输入的数据位数值并连接到逻辑反相器 (315) 的输入线 (345);

其第一引线连接到所述输入线 (345) 的多个第一晶体管 (316A, 316D);

其第一引线连接到所述逻辑反相器 (315) 的输出端的多个第二晶体管 (316B, 316C);

15 连接到所述多个第一晶体管和所述多个第二晶体管 (316A, 316B, 316C 和 316D) 的另一引线以及存储阵列 (325) 的多根读出线 (302, 303);

20 连接到所述多个第一晶体管和所述第二晶体管 (316A, 316B, 316C 和 316D) 的另一引线的多个读出放大器 (312, 313); 以及

连接到所述存储阵列 (325) 以及所述读出线 (302, 303) 的多根地址线 (304, 305), 它使得能够把所述数据位写入到所述存储阵列 (325) 的寻址位 (320)。

10. 如权利要求 9 所述的电路, 其特征在于: 所述多个第一晶体管 (316A, 316D) 包括第一晶体管 (316A) 和第四晶体管 (316D), 其中所述第一晶体管 (316A) 的第三引线连接到与所述电路 (800) 连接的高电位电压 (+V), 而所述第一晶体管 (316A) 的第二引线连接到所述多根读出线 (302) 之一。

把数据位写入存储阵列的方法

5 技术领域

本发明涉及把数据位写入存储阵列的方法和装置。

背景技术

10 几乎在每个电子和计算机装置和/或系统中都有一些协助数据/信息存储的存储器部件或元件。这些数据/信息可能是(但不限于)操作系统指令、当前使用的数据或将在存储器部件或数据存储装置里归档和保存的数据等等。

为那些将被归档的数据存储而提供的非易失数据存储装置就是为数据存储而开发的。一般称为归档数据的永久性存储数据只需要
15 写进存储器一次,然后就可以被多次读取。能够提供数据存储的存储器的实例一般称为 WORM(只写多读)存储器。可以提供数据存储的存储器的另一个实例是可改写存储器。

遗憾的是,以前的数据存储装置,例如硬盘,软磁盘以及 CD-RW 等,它们的尺寸一般都大于许多现今非常流行的手提式计算机系统和
20 和数字装置的尺寸。

因此,为了便于许多越来越小型的计算机和数字装置存储数据,人们开发了更新的、更小的数据存储装置。而且,这些新的数据存储装置的存储空间必需足够存储数字图像和数字音频。

25 闪速存储器就是最近开发的这样一种数据存储装置。闪速存储器的一种形式是与 PCMCIA 标准兼容。闪速存储器的另一种形式是与小型快擦写存储卡标准兼容。闪速存储器还有另外一种形式,那就是在功能上类似于微型的软磁盘,但存储空间却比软磁盘大很多。一个软磁盘的存储空间为 1.44MB(兆字节),而这种形式的存储器的

存储空间范围为 8MB 到 128MB 或者更多，这样的存储空间足够存储大多数图像、音频文件和/或数据归档。这种类型的闪速存储器通常称为 SD(安全数字)插件，MMC(多媒体插件)或存储条。这种闪速存储器在今天的电子装置中(例如数字摄像机，打印机，MP3 重放机，PDA'S 等等)越来越流行。

这种闪速存储器的存储部分被称为阵列，或交叉点阵列，或交叉点矩阵。交叉点阵列或矩阵是一种信号电路配置，其中输入总线由垂直方向的平行线表示，输出总线由水平方面的重叠的平行线表示。交叉点在连接所述输入和所述输出的相交点处转换。在交叉点阵列内，有许多存储单元。这些存储单元的数量取决于阵列的大小，而且可以从几百个到几百万个或几十亿个存储单元不等。对于一个要利用存储器部件中的存储单元的电子装置/系统和/或计算机系统来说，必需能把数据位写入到存储单元并从该存储单元读出。

众所周知，可以通过把电源电压切换到充分高的电平来实现数据位的写入。当电源电压提高的时候，事实上，就是使数据位可以写入，但也存在某些缺点。由于需要提高电源电压才能提供数据位写入功能，人们尝试了许多的方法来提高电源电压。

在其中一个实例中，补充一个与第一电源分离的附加电源。这种附加电源使用电子装置内的一部分剩余的关键资源(real estate)并且需要附加的功率来驱动所述附加电源。虽然所述附加电源使得能够进行数据写入，但是，由于必须考虑所述附加电源并且将其容纳在所述电子装置内，所以，其中设置这个附加电源的电子装置的尺寸也会增大，那样就会提高装置的总成本。而且，因为附加电源装置需要附加功率来驱动，所以这可能会给第一电源的容量带来负面的影响。这在那些功率来自电池或可再充电电源的电子装置里，尤其严重。由于需要从保留的有限能源中获得驱动两个电源的附加功率，所以，电池的更换或再充电就变得更加频繁了。

在另一种尝试中，补充一种大大改变单电源输出的装置。这是

通过外加各种各样的部件和相关的电路元件、例如放大器、晶体管、二极管等等来实现的。虽然使得能够进行数据位写入，但是，由于每个附加部件内固有的传播延迟，它可能是一个响应缓慢的程序。此外，为适应附加部件和电路而增加所需的资源(real estate)会给电子装置的尺寸带来负面影响。而且，在大多数情况下，附加部件和电路需要附加功率，以保证它们的正常运作。这样，在那些依靠电池或可再充电电源工作的电子装置和计算机系统中，这会引起电池更换或电源再充电的频率的升高。

而且，在写入过程中，通常把功率加到整个交叉点阵列。在任何一次写入的时候，在阵列中只有一些存储器元件被写入，因此造成电源不必要的浪费。因此，当以这种方式写入阵列，在电子装置或计算机系统由电池或可再充电电源供电的场合，这种功率浪费将会分别引起电池更换频率和可充电电源再充电的频率的升高。

因此，如果无需附加电源就能够把数据位写入存储阵列中的单元，这将是非常有利的。还有，当向存储阵列写入时，只使用现有的部件和电路元件也是非常有利的。如果功率只是加给阵列中那些数据位正被写入其中的部分，在这种场合下向存储阵列的单元写入就更加有利了。

20 发明内容

因此，引出本发明的实施例以便提供把数据位写入存储阵列的方法和装置。

在一个方法实施例中，接收第一输入信号。这导致通过读出线把高功率加到存储阵列的寻址位上并在该寻址位上进行写入操作。接收第二输入信号，这导致通过所述读出线把低功率加到寻址位上并在所述寻址位上进行读出操作。所述读出线用于读出和写入寻址位。

在一个实施例中，本发明提供用来把数据位写入存储阵列的电

路，所述电路包括：用于向所述电路提供电压电位和电流并连接到所述电路的电源；连接到逻辑反相器的输入线，用于接收输入数据位值；多个第一晶体管，它们的第一引线连接到所述输入线；多个第二晶体管，它们的第一引线连接到所述逻辑反相器的输出；多根
5 读出线，它们连接到所述多个第一晶体管和所述多个第二晶体管的另一引线并连接到存储阵列；多个读出放大器，它们连接到所述多个第一晶体管和所述多个第二晶体管的另一引线；以及多根地址线，它们连接到存储阵列和读出线，使得能够把所述数据位写入到所述存储阵列的寻址位。

10

附图说明

被包括在本说明书中并且形成本说明的一部分的附图说明本发明的实施例，并且与文字描述一起用来解释本发明的原理。

图 1 是根据本发明一个实施例的数据存储装置的方框示意图，
15 该数据存储装置配置有可插入电子装置的接口插件。

图 2 是根据本发明一个实施例的数据存储装置的方框示意图，该数据存储装置配置成可插入到电子装置的接收槽缝中。

图 3 是根据本发明一个实施例的数据存储装置的存储阵列的说明性的透视图。

20 图 4 是图 3 的数据存储装置的存储阵列的一部分存储器单元的说明性的方框示意图。

图 5 是图 3 和图 4 的存储阵列的单个存储器单元的说明性的方框示意图。

图 6 是根据本发明一个实施例的存储阵列的说明性的电路图。

25 图 7 是根据本发明一个实施例的存储阵列寻址电路的图示说明。

图 8 是本发明一个实施例的用于写入数据位的电路的说明性的方框示意图。

图 9 是用于把数据位写入存储阵列的方法的步骤流程图。

具体实施方式

5 现说明用于把数据位写入存储阵列的方法和装置。在一个实施例中，存储阵列为交叉点二极管存储阵列。在以下说明中，为便于说明，将列出许多具体的细节，便于彻底地理解本发明。但对于本专业的技术人员来说，很明显可以脱离这些具体的细节来实施本发明。在其他例子中，众所周知的结构和装置以方框图的形式示出，以免和本发明混淆。

10 首先把数据位写入诸如闪速存储器单元之类的数据存储装置的存储阵列的范围内讨论本发明，这些存储器装置可以与手提、便携、台式或工作站计算机系统结合使用。但是，应该指出，本发明的实施例完全适合于在其他电子装置(如数字摄像机、数字视频摄像机、MP3 重放机、便携式 CD 重放机等)使用的其他类型的存储阵列中实施和使用。还应当指出，本发明也完全适用于其他如打印机、电
15 子书之类的电子装置。实际上，本发明的实施例完全适用于任何配备有一次写入存储器功能和/或可改写存储器功能的电子或计算机装置和/或系统中的任何存储阵列。

应当指出，在本公开中将一直使用缩写 PIRM，它表示永久性的价廉的牢固的存储器。还应当指出，在缩写 PIRM 中的永久性这一词
20 指的是存储器是永久性的，直到更换为止。

还应当指出，在下面的公开中，“数据”这一词可以用多种方式表达，这取决于与其相关的内容。在一个实例中，在存储单元里的数据表示电压电平、磁状态或电阻。在另一实例中，在传输过程中，数据可以表示电流或电压信号。此外，数据可以表示最初的二
25 进位，而且为了方便，可以等同于零(0)和一(1)两种状态。但是，还应当指出，二进制状态可以表示不同的电压、电流、电阻等等。

还应当指出，在本公开中的层电子线路一词除了用来说明在 PIRM 层上进行的基本交叉点存储器之外，还用来说明所有的功能。这些

功能包括多路分解(寻址)、多路复用(读出),以及允许写入功能。

在共同未决的美国专利申请(申请人为 C.Taussig 及 R Elder, 代理人/HP 记录号为 HP-10002972-1, 题为《寻址交叉点二极管存储阵列的制造技术》)中更详细地说明了 PIRM 的制造过程及其相关的层电子, 该申请已作为参考纳入本说明。

在共同未决的美国专利申请(申请人为 C.Taussig 及 R Elder, 代理人/HP 记录号为 HP-10002971-1, 题为《交叉点二极管存储阵列的寻址及读出方法》)中更详细地说明了 PIRM 交叉点二极管存储阵列的寻址及读出过程, 该申请已作为参考纳入本说明。

在另一个实施例中, 交叉点二极管存储阵列可以并行方式进行访问。在共同未决的美国专利申请(申请人为 C.Taussig 及 R Elder, 代理人/HP 记录号为 HP-10002595-1, 题为《并行访问交叉点二极管存储阵列》)中更详细地说明了并行访问交叉点二极管存储阵列的过程, 该申请已作为参考纳入本说明。

图 1 示出 PIRM(永久性的价廉的牢固的存储器)9 的方框示意图, 那是本发明实施例实践的对象。在本实施例中, PIRM 9 显示为以可拆卸的方式连接到工业标准接口插件 5。在一个实施例中, 接口插件 5 是一个 PCMCIA 插件。在另一个实施例中, 接口插件 5 是小型快速存储器卡。在一个实施例中, 接口插件 5 显示为通过总线 6 以可拆卸的方式连接到装置 1。总线 6 提供装置 1 和接口控制插件 5 之间的通信路径。在一个实施例中, 接口控制电路 3 通过内总线 7 与总线 6 和 PIRM 9 连接。内总线 7 提供接口控制电路 3 和 PIRM 9 之间的通信路径。对于每一个 PIRM 9(当它被容纳在接口插件 5 中时), 接口控制电路 3 包括控制、连接、检测及纠错码(EEC)的电路等。PIRM 9 提供用于写入数据存储的电路, 包括检测、允许写入及寻址功能。

图 2 示出另一个实施例的 PIRM 9, 本发明的实施例在其上实行, 它以可拆卸的方式通过接口连接器 4 连接到装置 1。在一个实施例中, PIRM 9 适合于按照箭头 2 所示的方向插入装置 1。所述 PIRM 9 类似

于图 1 的 PIRM 9。装置 1 显示为在里面设置有接口控制电路 3，后者以通信的方式连接到装置 1 并且通过总线 6 连接到接口连接器 4。应当指出，接口控制电路 3 类似于图 1 所示的接口控制电路 3。总线 6 提供接口控制电路 3 和接口连接器 4 之间的通信路径。当 PIRM9 通过设置在装置 1 的外部表面的槽缝或开口而被装置 1 接纳的时候，PIRM 9 适合于以可拆卸的方式连接到接口连接器 4。在另一个实施例中，PIRM 9 可以通过接口电缆(例如，串联电缆，IEEE 1394 火线，USB 电缆等等)连接到装置 1。

还是参考图 2，一些更新的打印机、数字摄像机和手提计算机系统配置有外槽缝，这些外槽缝适合于接纳诸如 PIRM 9 (图中以插入装置 1 的形式示出)那样的数字存储装置。因此，利用这种类型的数字数据存储，在这样配置的装置之间交换数据或信息是一种简单和容易的过程。在一个实施例中，PIRM 9 配置成 SD(安全数字)卡。在另一个实施例中，PIRM 9 配置成 MMC(多媒体卡)。

应当指出，一次写入存储器表示数据可以有效地一次写入存储器，然后几乎无法修改。例如，一次写入存储器的许多实例在最初的时候设置为第一二进制状态，这种第一二进制状态可以表示为二进制数据值零(0)。在写入过程中，写入到被选择的存储器单元会使第一二进制状态变为第二二进制状态，表示为二进制数值一(1)。通常，一旦被选择的存储器单元从第一状态(0)转变为第二状态(1)后，这种状态就不能反向变化了。相反，如果存储器单元没有从 0 转变为 1，那么在下一次的时候它的状态就可以改变。但是，因为前一次写入改变了被选的存储器单元，剩下的仍然处于第一二进制状态的存储器单元就不会被任意改变。

还应当指出，可改写存储器表示存储器可以被写入，然后可以被多次改写。一种和 RAM(随机存取存储器)不一样的可改写存储器，即如下所述的存储器在断电的时候也不会掉失其数据。

图 3 是说明本发明一个实施例的 PIRM 9。顶层 349 示出与寻址

电路 370 连接的交叉点二极管存储阵列 325。寻址电路 370 与输入/输出 (I/O) 引线 360 连接, 引线 360 终止于每一层衬底的边沿并连接到接触元件 355, 从而可以有效地连接每个附加层 350。每个附加层 350 在所述衬底上设置有交叉点二极管存储阵列 325、寻址电路 370 和 I/O 引线 360。

还是参考图 3, 图中还示出阵列 330 (层 349 的交叉点二极管存储阵列 325 的一部分)。阵列 330 将在图 4 中详细示出和说明。

应当指出, 虽然图 3 示出了 5 层, 但是, 这只是为了更加清楚地说明设置在每一层上面的元件和电路, 而不应该理解为是对那些包含交叉点存储器的层数的限制。

图 4 示出图 3 的交叉点二极管存储阵列 325 的阵列 330 的分解图。阵列 300 包括行线 300 和列线 301 组成的矩阵, 在行/列交叉点的地方有存储元件/单元 320。存储元件/单元 320 正处于一根行线和一根列线的交叉点上, 这在图 5 中将更详细地示出。

图 5 是存储元件/单元 320 的扩展的图示。图示的存储元件/单元 320 包括熔丝元件 322, 它串联连接到存储器元件/单元二极管 321。熔丝元件 322 提供存储元件 320 的实际数据存储效果。二极管 321 为存储器元件/单元 320 利用行线 300 和列线 301 寻址提供方便。

在本发明的一个实施例中, 存储器元件/单元 320 的操作如下。作为制造存储器元件 320 的结果, 每个存储器元件 320 具有导电的熔丝元件 322。熔丝元件 322 的导电状态为表示为第一二进制状态, 如数据值零 (0)。要写入存储阵列 325, 需要在上面存储第二二进制状态 (例如数据值 1) 的每一个存储器元件/单元 320 可以利用行线和列线寻址, 而熔丝元件 320 因此而被熔断, 使之处于不导电的状态。在大多数情况下, 熔断熔丝是一个不可逆的过程, 这使存储阵列 325 变为一次写入的数据存储器, 如上所述。写入存储器元件/单元 320 可以通过选择的行线 300 和选择的列线 301 把预定的能量加到存储器元件 320 来实现。应当指出, 加到存储器元件/单元 320 的能量必

须足以使所选的行线和列线之间的熔丝元件 322 熔断。

在本发明的另一个实施例中，虽然上述说明使用制造成低电阻态并且在随后写入的时候被变为高电阻态的熔丝元件 322，但是，同样可以提供一种利用逆熔丝的存储器元件 320。逆熔丝工作时与熔丝相反。逆熔丝在制造的时候是处于高电阻状态的，被熔断后就处于低电阻状态。如果存储器元件 320 配置有逆熔丝，那么每一个存储器元件 320 中的熔丝也是与存储器元件二极管 321 串联，存储器元件二极管 321 在随后熔断逆熔丝中提供必要的功能。

应当指出，本发明的实施例随时可以利用其他类型的熔丝(被配置成既可以用作熔丝，又可以用作逆熔丝)来实现。这种类型的熔丝可以被多次写入，例如，从熔丝变为逆熔丝，然后又再按要求变回熔丝。

应当指出，在位值 0 或 1 的读出过程中，读出必须足够轻微，以免引起位状态的变化。还应当指出，在写入数据位的时候，必须保证有足够的电压/功率/电流，从而保证数据位处于正确的状态。在一个实施例中，使用读出线，例如读出线 302 和 303(图 6)读出寻址位的状态，同时在写入寻址位的时候改变寻址位的状态。

图 6 是存储器电路的说明性的示意图，其中交叉点存储阵列的设置如图 3 所示。在本发明的一个实施例中，向交叉点二极管存储阵列 325 的数据存储单元 320 写入数据是在提供功率变换的时候实现的。

还是参考图 6，交叉点存储阵列 325 由行线(电极) 300 和列线(电极) 301 所组成的矩阵构成。在本发明实施例中，行线 300 和列线 301 从交叉点二极管存储阵列 325 分别伸展到行地址线(电路图) 304、行读出线 303、列地址线(电路图) 305、列读出线 302。在一个实施例中，这样设置列线 301、使得到列线 301 端部的电源连接线形成一些带(例如，每组 3 根线的一些组)并分别标记为 C1，C2，和 C3。在一个实施例中，这样设置行线 300、使得行线端部的电源连接线形成一

些带(例如, 每组 3 根线的一些组)并分别标记为 R1, R2, 和 R3。因此, 对存储单元写入的时候, 例如在子阵列 330 内的存储元件/存储单元 320, 只有那些位于合适带内的行线和列线才会接收到功率。相应地, 在此实例中, 对于子阵列 330 内的存储单元 320 写入的时候, 5 只有行带 R1 和列带 C1 接收功率, 因此只有包括存储元件 320 的子阵列 330 通电。

应当指出, 例如处在交叉点存储阵列 325 的右下角的子阵列 340 中的另一存储器元件, 只有行带 R3 和列带 C3 接收到功率, 因此只有 R3 和 C3 通电。还应当指出, 由于仅仅激活那些含有将被写入数据位的存储元件的带, 所以可以大大减少功率的损耗。10

图 7 是写入存储阵列 325 的一部分的说明性示意图, 存储器元件 320 是写入存储阵列 325 的组成部分。包括示于图 5 的熔丝元件 322 和二极管 321 的存储器元件 320 连接在行线 300 和列线 301 之间。行地址线 304 通过寻址解码二极管在适当的点上连接到行线 300, 列地址线 305 以类似的方式连接到列线 301。电阻器 306 插入在列线 301 和“高”电压(pull-up voltsge)+V 之间并和它们连接。电阻器 307 插入在行线 301 和“低”电压(pull-down voltsge)-V 之间并和它们连接。行地址线 304 和多个行地址二极管 308 连接。行地址二极管 308 的正极连接到行地址线 304, 它们的负极连接到行线 300 并由行地址线 304 的电压来控制。列地址线 305 和多个列地址二极管 309 连接。列地址二极管 309 的负极连接到列地址线 305, 正极连接到列线 301 并由列地址线 305 的电压控制。15 20

还是参考图 7, 列电极 301 只是在列地址输入电压 CD1、CD2 和 CD3 为高电压(+V)的时候才变高。行电极 300 只有在行地址输入电压 RD1、RD2 和 RD3 为低电压(-V)的时候才会变低。因此, 在行地址输入电压 RD1、RD2 和 RD3 都把正极电压-V 加到二极管 308, 而且列地址输入电压 CD1、CD2 和 CD3 都把负极电压+V 加到二极管 309 的时候, 才选择存储器元件 320。应当指出, 虽然图 7 只是示出 3 个输入的电25

路,但这种写入方式是可以扩展的,输入的数量可以更多也可以更少。

参考图 7,应当指出,如果任何一个行地址二极管连接到靠近+V 的电压上,那么无论列地址二极管处于何种状态,存储器元件都不会被正向偏置。同样道理,如果任何一个列地址二极管连接到靠近-
5 V 的电压,那么,存储器元件也不可能正向偏置。

图 8 是在本发明一个实施例中写入电路 800 的说明性示意图,所述写入电路 800 可以在数据位写入 PIRM 存储器时实现。存储阵列部分 325A 和 325B 分别代表存储阵列 325 的列部分和行部分。图中
10 示出包含将被写入的数据位并连接到逻辑反相器 315 的输入端的数据位输入线 345,后者通过节点 362 连接到晶体管 316A 并且通过节点 363 连接到晶体管 316D。逻辑反相器 315 的输出端连接到晶体管 316B 和 316C。在一个实施例中,晶体管 316A-D 为 MOS(金属-氧化物半导体)晶体管。在另一个实施例中,晶体管 316A-D 可以是其他类
15 型的晶体管,只要这些不同类型的晶体管提供类似于 MOS 晶体管的功能就行了。在本实施例中,晶体管 316A-D 是相同的。

还是参考图 8,图中示出其电极连接到列读出放大器 312 的输入端的晶体管 316B。图中示出其一个电极连接到行读出放大器 313 输入端的晶体管 316C。图中示出连接成负反馈的行读出放大器 313。
20 图中还示出连接成负反馈的列读出放大器 312。

还是参考图 8,当二进制数值为一(1)的数据位通过数据位输入线被写入到存储器元件(例如图 7 的存储器元件 320)的时候,被输入的二进制数值一(1)激活晶体管 316A 和 316D,这将使+V 通过节点 372 加到列读出线 302,同时还使-V 通过节点 373 加到行读出线 303。因此,晶体管 316A 和 316D 被接通(导电),这样就能够把数据位写入
25 存储阵列。而且,当线 345 的数据位为一(1)的时候,就会迫使作为反相器的逻辑元件输出零(0),因为输出为零(0),晶体管 316B 和 316C 被断开(不导电)。因此节点 372 和 373 分别与读出放大器 312 和 313

隔离。

还是参考图 8，当把具有二进制数值零(0)的数据位通过数据位输入线 345 写入到存储阵列 325 的时候，或当存储阵列 325 被读出的时候，在节点 362 和 363 上的已输入的二进制数值零(0)使晶体管 316A 和 316D 保持在断开或不导电的状态。这样也使节点 372 和 373 分别与+V 和-V 隔离。然后，已输入的零值通过逻辑反相器 315 以数值一(1)的形式输出，接着导通晶体管 316B 和 316C，使它们处于导电状态。晶体管 316B 和 316C 的导电使行读出线 303 通过节点 373 把输入加到行读出放大器 313。同样还使列读出线 302 通过节点 372 把输入加到列读出放大器 312。这样将使节点 372 和 373 被保持在接近地电位，从而使数据位一(1)不能写入存储阵列 325。应当指出，，通过把行读出放大器 313 连接到负反馈，可以使节点 373 保持中间电压。还应当指出，通过把列读出放大器 312 连接成负反馈，可以使节点 372 保持中间电压。结果，由于没有写入数值 1，数值零(0)保持在存储阵列 325 中。

还应当指出，在本发明的另一个实施例中，可以省略逻辑反相器 315，并且使晶体管 316B 和 316C 与晶体管 316A 和 316D 的极性互补，形成位于图 8 的写入电路 800 中的互补晶体管对，例如，CMOS(互补金属-氧化物半导体)。例如，晶体管 316A 和 316B 可以成为一对互补晶体管，而晶体管 316C 和 316D 也可以成为一对互补晶体管。在此实施例中，每一对互补晶体管中的一个晶体管(例如 316A 和 316D)可以处于导通的状态(导电)，而另一个晶体管(例如 316B 和 316C)可以处于断开状态(不导电)，这取决于它所接收到的输入数据位。还应当指出，每个极性被改变的晶体管，例如 316B 和 316C，可以像连接到逻辑反相器 315 的晶体管 316B 和 316C 那样工作，如上所述。

图 9 是按照本发明一个实施例进行的步骤的流程图 900，用于提供对交叉点存储阵列写入数据位的方法。流程图 900 包括本发明的过程，在一个实施例中，这些过程由处理器和电子元件在计算机可

读和计算机可执行的指令的控制下执行。例如，这些计算机可读和计算机可执行的指令驻留在数据存储特征中、例如计算机可用易失存储器(RAM)和/或计算机可用非易失存储器(ROM)中。但是，这些计算机可读和计算机可执行的指令也可以驻留在任何其他计算机可读的介质中。虽然在流程图 900 中示出了具体的步骤，但这些步骤只是例子而已。也就是说，本发明完全适合于执行各种其他步骤或者图 9 中所述步骤的改型。应当指出，在本发明实施例的范围内，可以通过软件、通过硬件或通过硬件和软件的组合来执行流程图 900 的各步骤。

在图 9 的步骤 902 中，接收输入信号。在一个实施例中，该输入信号为一(1)或零(0)。在一个实施例中，该输入信号是通过输入线(例如图 8 的输入线 345)来接收的。

在图 9 的步骤 904 中，在一个实施例中，第一输入信号(数值一(1))导致高功率通过读出线(例如图 6 的读出线 302 和 303)加到存储阵列的寻址位(例如，存储阵列 325 的地址位 320)。加到寻址位的高功率引起在寻址位上进行写入操作。读出线用来对所述寻址位进行写入操作。

在图 9 的步骤 906 中，在一个实施例中，第二输入信号(数值零(0))导致低功率通过读出线(例如图 6 的读出线 302 和 303)加到存储阵列的寻址位(例如，存储阵列 325 的地址位 320)。加到寻址位的低功率引起在寻址位上进行读出操作。读出线用来对所述寻址位进行读出操作。

应当指出，第一和第二输入信号的接收顺序是随意的，因此可以在接收第一输入信号之前接收第二输入信号，反之亦然。

上述对本发明具体实施例的说明，只是作为一种说明和描述而呈现的。它们不应该被认为是详尽无遗的或把本发明限于以上说明的形式，借助于上述的指导，很明显可以进行许多的修改和变化。选择和描述这些实施例只是为了更好地解释本发明的原理和实际应

用，从而使本专业的技术人员更好地利用本发明，可以根据预期的特定用途而采用带有不同修改的不同实施例。本发明的范围将由所附的权利要求书及其等效文件来定义。

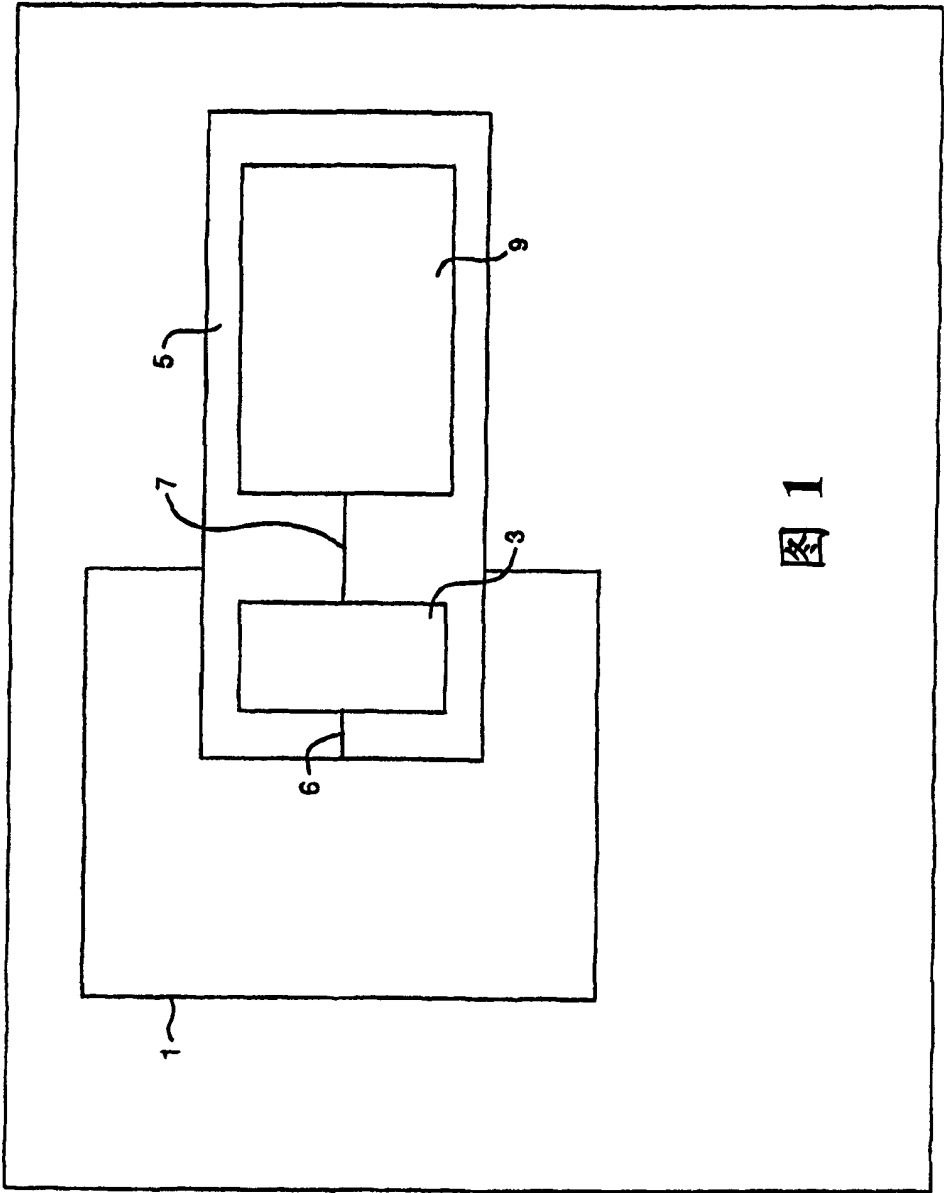


图 1

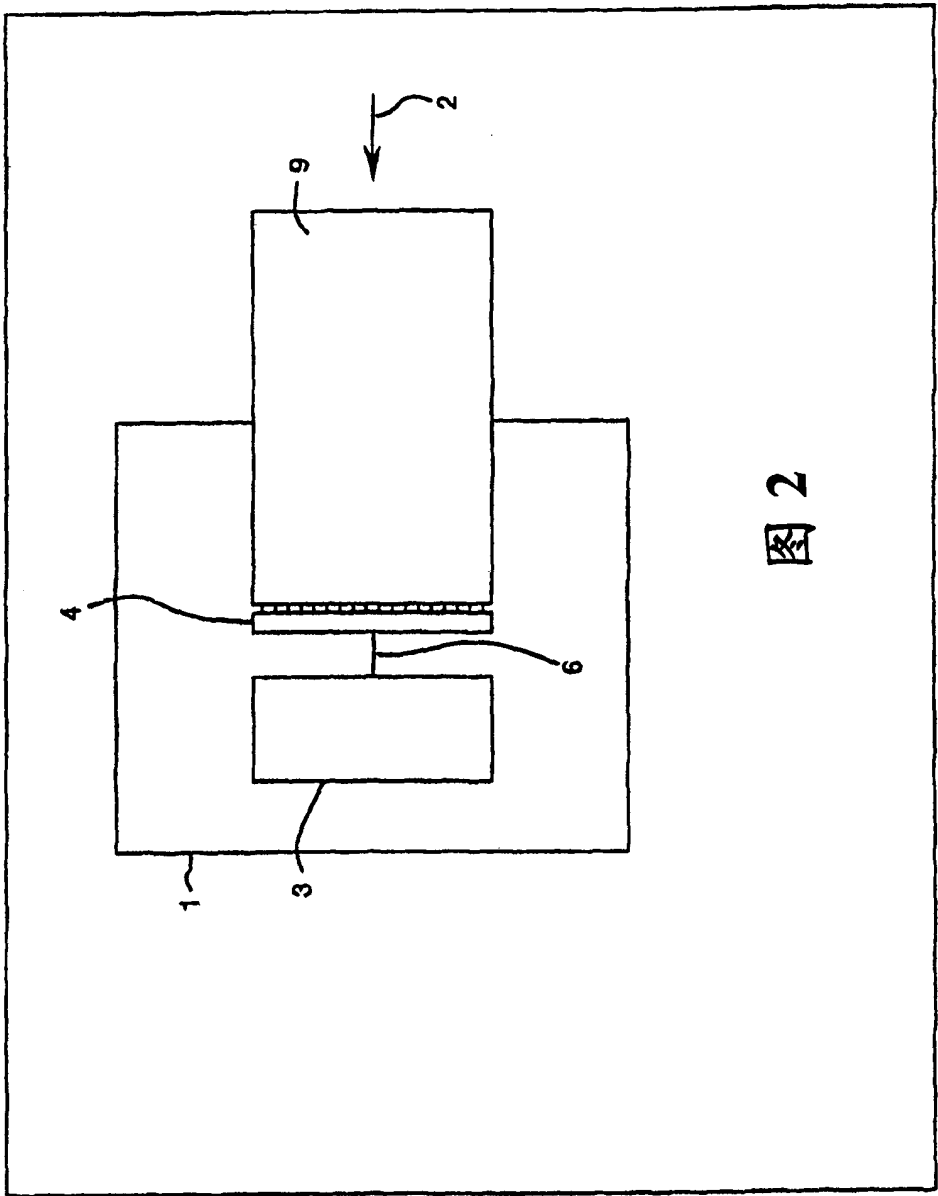
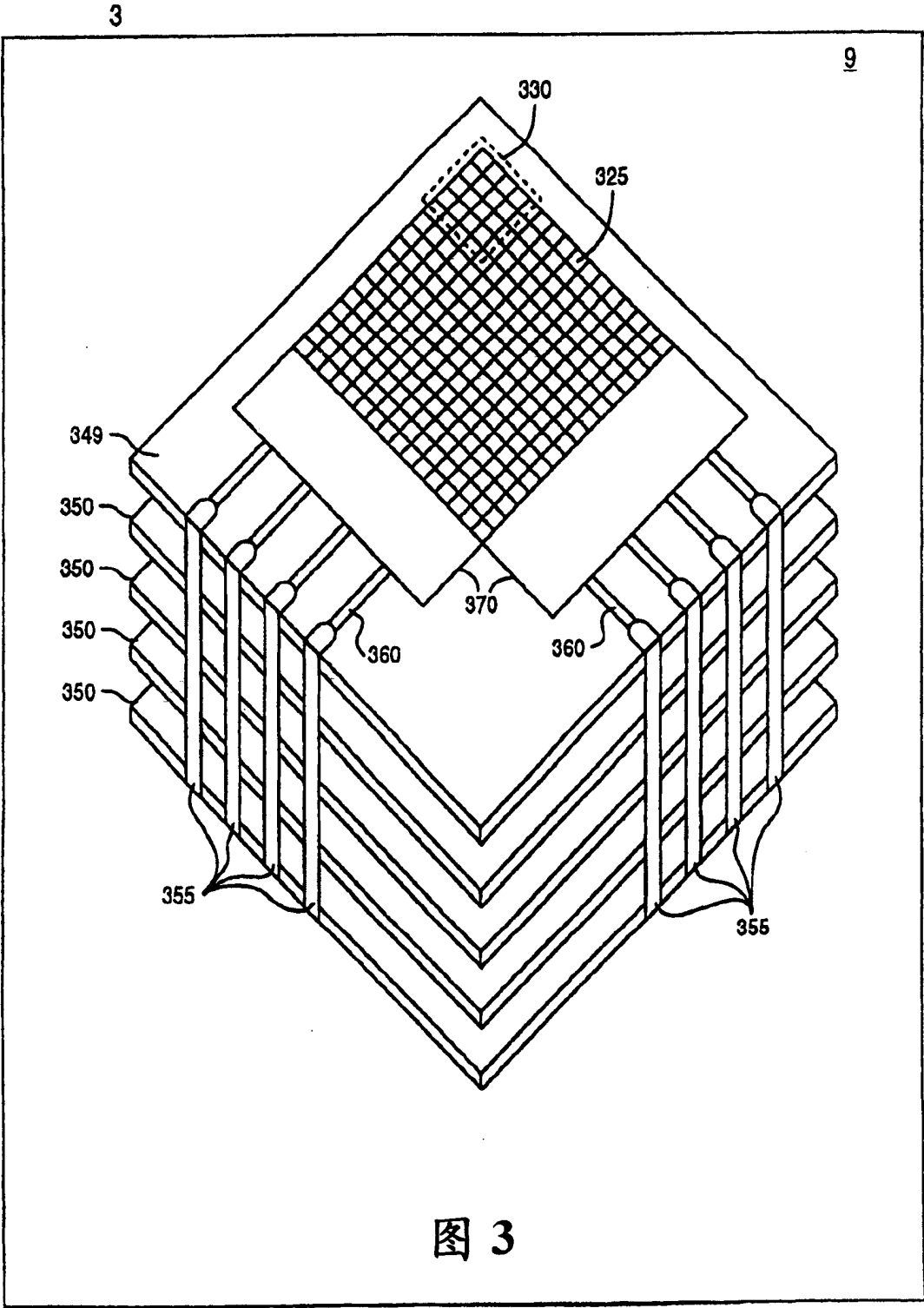
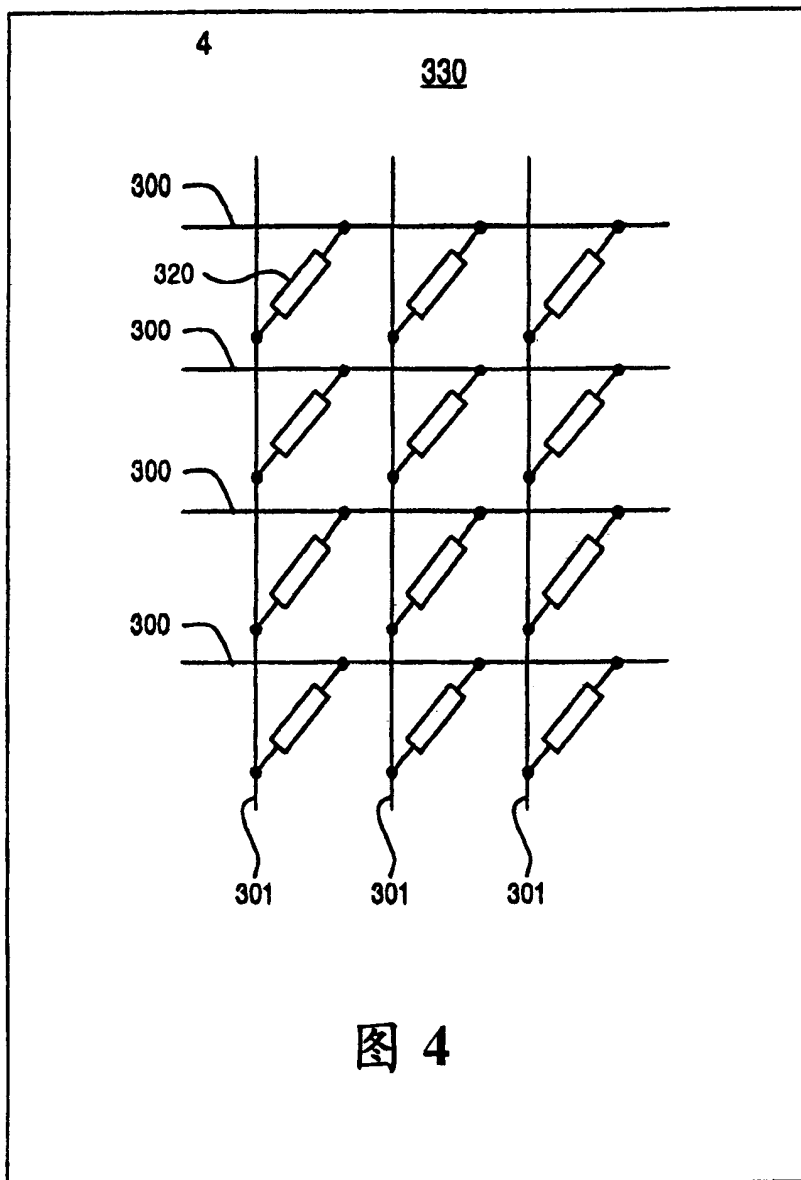
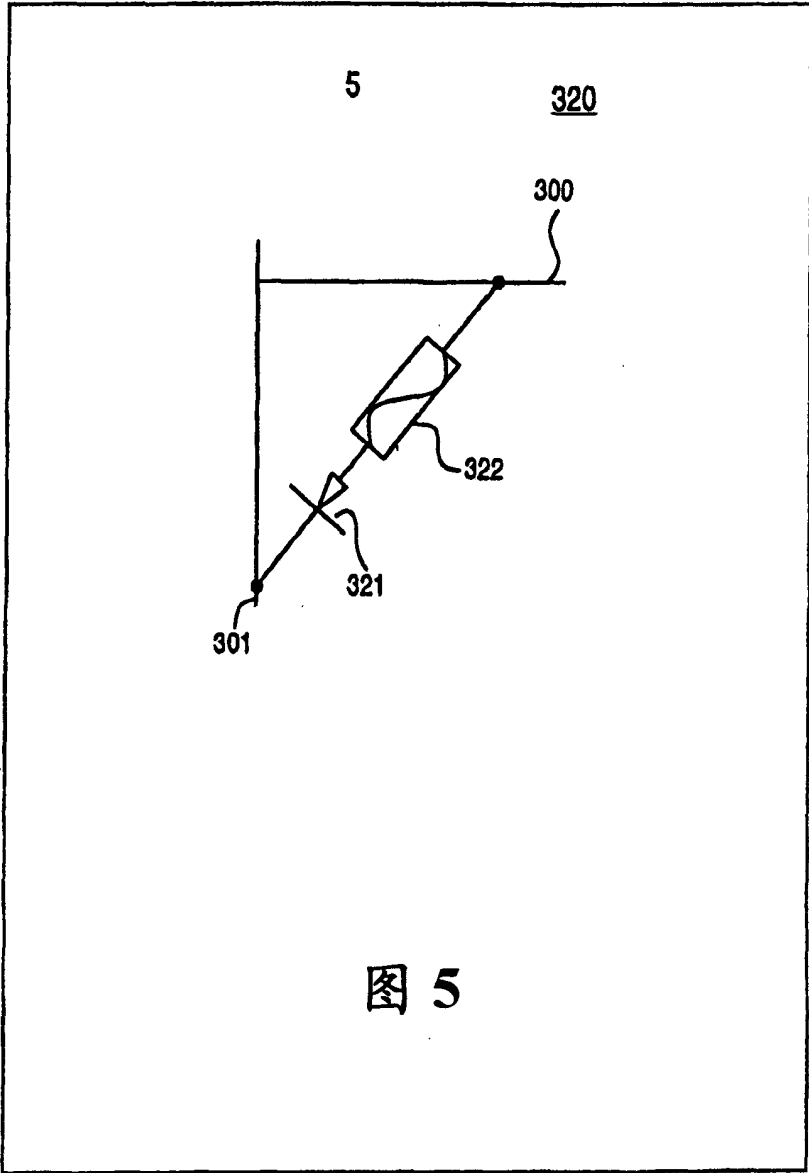
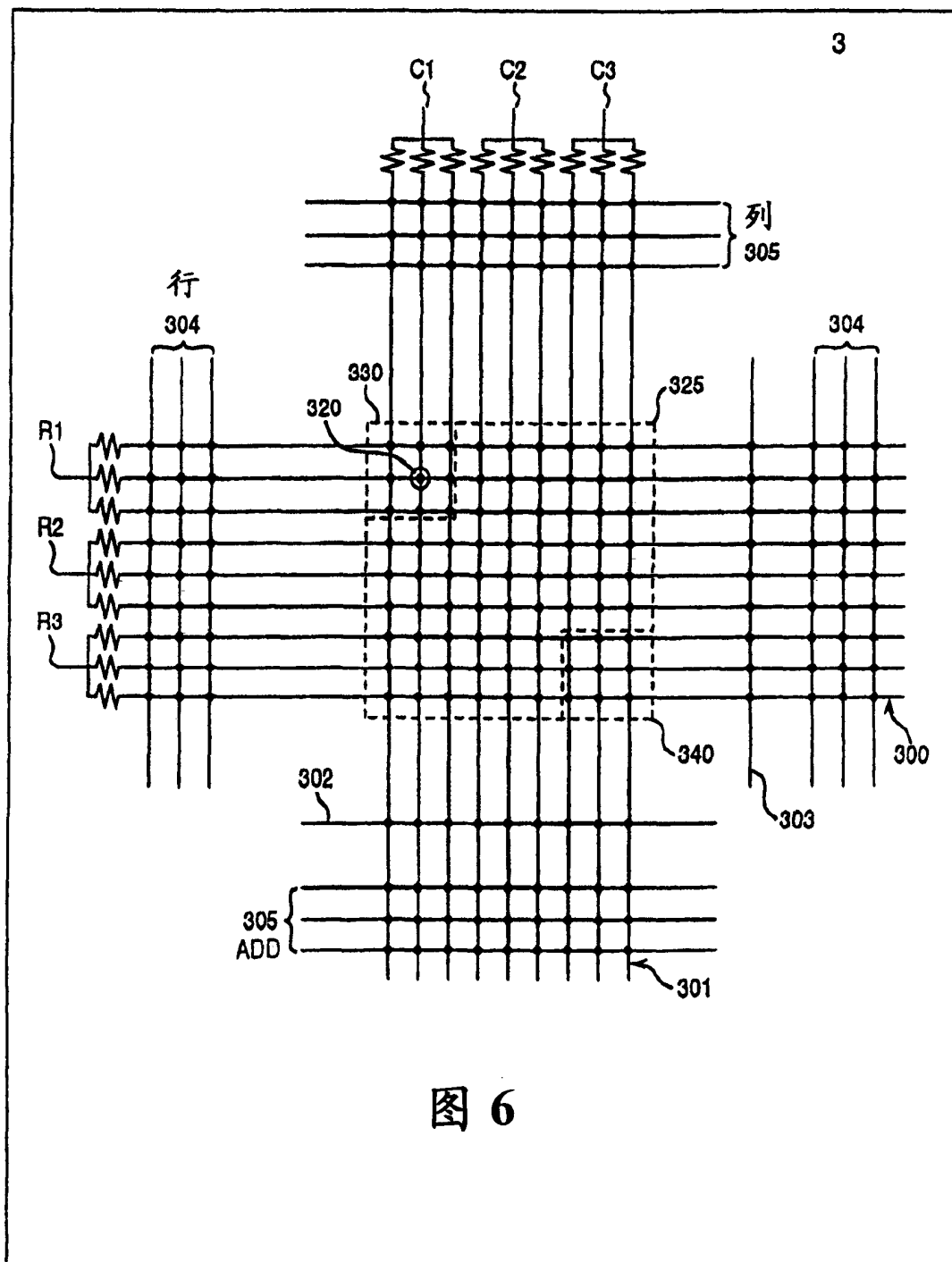


图 2









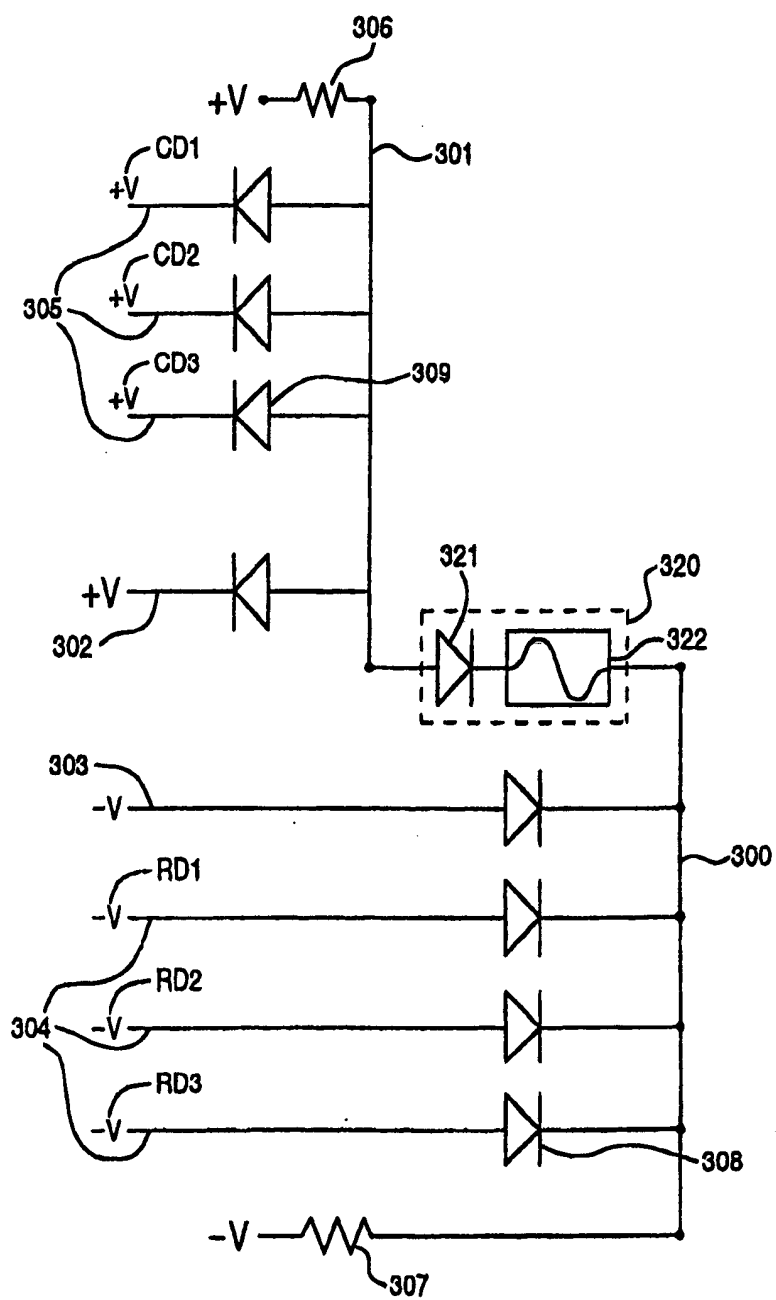
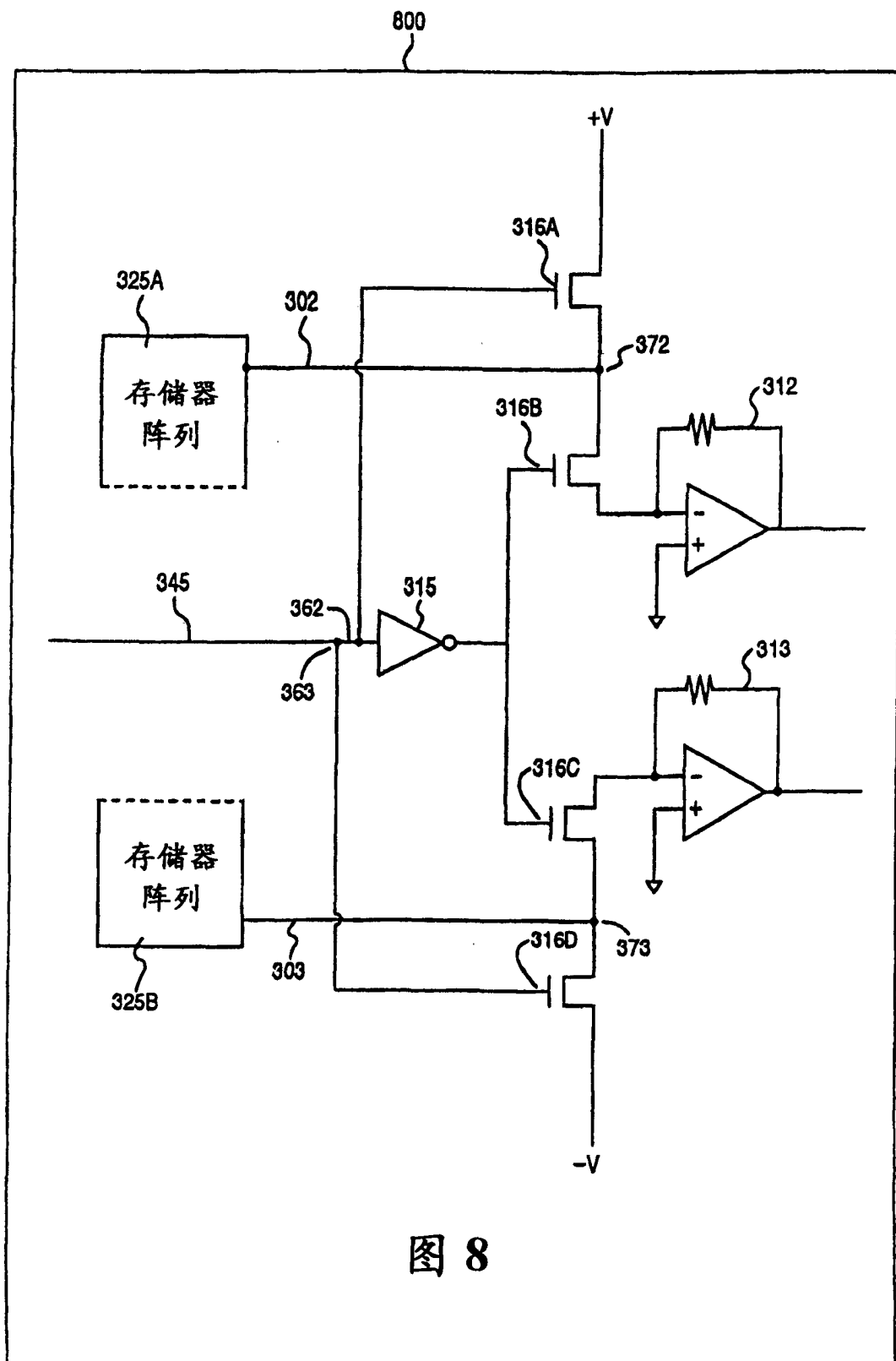


图 7



900

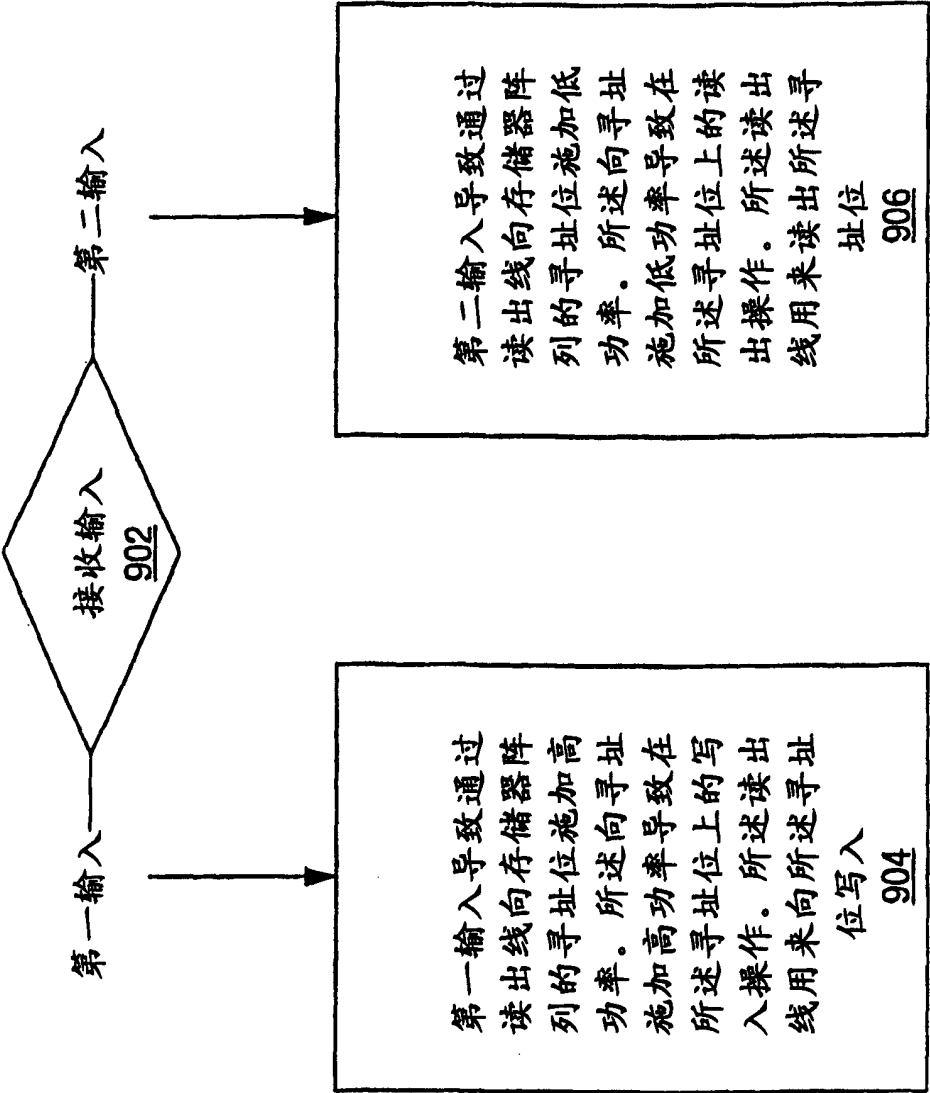


图 9