

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-504029
(P2025-504029A)

(43)公表日 令和7年2月6日(2025.2.6)

(51)国際特許分類

G 0 6 F

13/14 (2006.01)

G 0 6 F

13/42 (2006.01)

F I

G 0 6 F

13/14

3 2 0 K

G 0 6 F

13/42

3 1 0

審査請求

未請求

予備審査請求

未請求

(全29頁)

(21)出願番号

特願2024-544935(P2024-544935)

(86)(22)出願日

令和5年1月27日(2023.1.27)

(85)翻訳文提出日

令和6年9月30日(2024.9.30)

(86)国際出願番号

PCT/US2023/011674

(87)国際公開番号

WO2023/146998

(87)国際公開日

令和5年8月3日(2023.8.3)

(31)優先権主張番号

17/587,695

(32)優先日

令和4年1月28日(2022.1.28)

(33)優先権主張国・地域又は機関

米国(US)

(81)指定国・地域

AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV

(71)出願人

507107291
テキサス インストルメンツ インコーポレイテッド
アメリカ合衆国 テキサス州 7 5 2 6 5
ー 5 4 7 4 ダラス メール ステーション
3 9 9 9 ピーオーボックス 6 5 5 4 7 4

(74)代理人

230129078
弁護士 佐藤 仁

(72)発明者

デリック ウェイン ウォーターズ
アメリカ合衆国 7 5 2 3 1 テキサス州
ダラス, ヒルデール ドライブ 9 5 0 9

(72)発明者

シャオシー ブルース ジャン
アメリカ合衆国 7 5 0 2 4 テキサス州
ブレイノ, サンフラワー レーン 4 0
1 3

最終頁に続く

(54)【発明の名称】 集積回路間のアドレス変更を実施するための方法及び装置

(57)【要約】

例示のシステムが、データ線（120）に結合されるデバイス（105）を含み、デバイス（105）は、第1のアドレスを含む第1のコマンドをデータ線（120）上で送り、第1のコマンドを送った後、第1のターゲットデバイス（110）及び第2のターゲットデバイス（115）からのデータを含む第1の値をデータ線（120）上で読み取り、第1の値を読み取ったことに応答して、第1のアドレスと第1の値を表すデータとを含む第2のコマンドをデータ線（120）上で送り、第1のアドレスを含む第3のコマンドをデータ線（120）上で送り、第3のコマンドを送った後、第1のターゲットデバイス（110）及び第2のターゲットデバイス（115）からのデータを含む第2の値をデータ線（120）上で読み取り、第2の値を読み取ったことに応答して、第1のアドレスを含む第4のコマンドをデータ線（120）上で送るように構成されている。

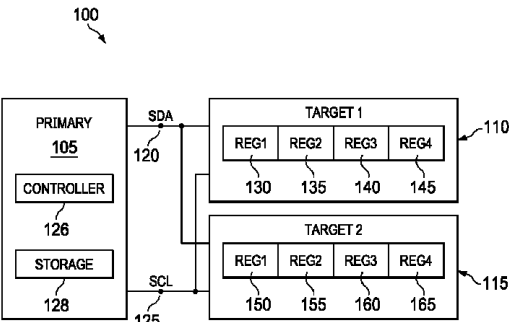


FIG. 1

【特許請求の範囲】

【請求項 1】

システムであって、

データ線と、

前記データ線に結合されたデバイスと、

を含み、

前記デバイスが、

第 1 のアドレスを含む第 1 のコマンドを前記データ線上で送り、

前記第 1 のコマンドを送った後、第 1 のターゲットデバイス及び第 2 のターゲットデバイスからのデータを含む第 1 の値を前記データ線上で読み取り、

10

前記第 1 の値を読み取ったことに応答して、前記第 1 のアドレスと、前記第 1 の値を表すデータとを含む、第 2 のコマンドを前記データ線上で送り、

第 1 のアドレスを含む第 3 のコマンドを前記データ線上で送り、

前記第 3 のコマンドを送った後、前記第 1 のターゲットデバイス及び前記第 2 のターゲットデバイスからのデータを含む第 2 の値を前記データ線上で読み取り、

前記第 2 の値を読み取ったことに応答して、前記第 1 のアドレスを含む第 4 のコマンドを前記データ線上で送り、

第 2 のアドレスを含む第 5 のコマンドを前記データ線上で送り、

前記第 5 のコマンドを送った後、前記第 1 のターゲットデバイスのみからのデータを含む第 3 の値を前記データ線上で読み取る、

20

ように構成される、

システム。

【請求項 2】

請求項 1 に記載のシステムであって、前記第 1 のコマンドが、前記第 1 のターゲットデバイス内のレジスタのレジスタアドレスを含む読み取りコマンドであって、前記第 2 のターゲットデバイスが、前記第 1 の値の一部を含むように構成されている、システム。

【請求項 3】

請求項 1 に記載のシステムであって、前記第 2 のコマンドが、前記第 1 のターゲットデバイス及び前記第 2 のターゲットデバイス内のレジスタのレジスタアドレスを含む書き込みコマンドであって、前記第 1 の値に設定されるように構成されている、システム。

30

【請求項 4】

請求項 1 に記載のシステムであって、前記デバイスがクロック線を含み、前記第 1 のターゲットデバイス及び前記第 2 のターゲットデバイスが、前記クロック線及び前記データ線を介して前記デバイスに結合されている、システム。

【請求項 5】

請求項 1 に記載のシステムであって、前記第 1 のターゲットデバイス及び前記第 2 のターゲットデバイスが、集積回路間 (inter-integrated circuit、I 2 C) プロトコルを用いて通信するように構成されている、システム。

【請求項 6】

請求項 1 に記載のシステムであって、前記第 1 のアドレスが、前記第 1 のターゲットデバイス及び前記第 2 のターゲットデバイスによって共有されるデバイスアドレスであり、前記第 1 のターゲットデバイス及び前記第 2 のターゲットデバイスが、同時に、コマンドを受け取り送るよう構成されている、システム。

40

【請求項 7】

請求項 1 に記載のシステムであって、前記第 1 の値が、前記第 1 のターゲットデバイス及び前記第 2 のターゲットデバイスによって伝送されるデータの論理 A N D を含み、前記第 1 の値が前記第 1 のアドレスにおけるレジスタに格納されている値を表す、システム。

【請求項 8】

システムであって、

データ線と、

50

第 1 のレジスタ、第 2 のレジスタ、及び端子を含むデバイスと、
を含み、前記端子が前記データ線に結合しており、
前記デバイスが、

前記データ線上で第 1 の読み取りコマンドを受け取った後に、第 1 の汎用一意識別子 (UUI D) を前記データ線上で送り、

前記データ線上で第 1 の書き込みコマンドを受け取ったことに応答して、前記第 1 の UUI D 及び第 2 の UUI D の第 1 の論理 AND を前記第 1 のレジスタに格納し、

前記データ線上で第 2 の読み取りコマンドを受け取った後に、第 1 の逆 UUI D を前記データ線上で送り、

前記データ線上で第 2 の書き込みコマンドを受け取ったことに応答して、前記第 1 の逆 UUI D 及び第 2 の逆 UUI D の第 1 の論理 AND を前記第 2 のレジスタに格納し、

前記第 1 及び第 2 の論理 AND を読み取った後に、前記第 2 の UUI D を判定する、
ように構成される、

システム。

【請求項 9】

請求項 8 に記載のシステムであって、前記デバイスが、集積回路間 (I2C) プロトコルを用いて、プライマリデバイス及び第 2 のターゲットデバイスと通信するように構成される第 1 のターゲットデバイスである、システム。

【請求項 10】

請求項 8 に記載のシステムであって、前記第 1 の読み取りコマンドが、前記デバイスの第 3 のレジスタのレジスタアドレスを含み、前記第 3 のレジスタが、前記デバイスの前記第 1 の UUI D を格納するように構成されている、システム。

【請求項 11】

請求項 8 に記載のシステムであって、前記第 1 の UUI D が前記第 2 の UUI D とは異なり、前記第 1 の UUI D 及び前記第 2 の UUI D を表す値が、共有のレジスタアドレスの第 3 のレジスタに格納されるべきと判定される、システム。

【請求項 12】

請求項 8 に記載のシステムであって、前記デバイスが、前記第 1 の UUI D を前記第 2 の UUI D と比較して、その比較に基づいてデバイスアドレスを判定するように構成されている、システム。

【請求項 13】

請求項 8 に記載のシステムであって、前記第 2 の読み取りコマンドが、前記デバイスの前記第 1 の逆 UUI D を格納するように構成される第 3 のレジスタのレジスタアドレスを含む、システム。

【請求項 14】

請求項 8 に記載のシステムであって、前記デバイスが、前記第 1 及び第 2 の論理 AND の比較に基づいて、前記第 2 の UUI D を判定する、システム。

【請求項 15】

システムであって、

第 1 のデバイスと、

第 2 のデバイスと、

を含み、

前記第 1 のデバイスが、

第 1 のアドレスを格納するように構成される第 1 のレジスタと、

第 1 のデバイス UUI D を格納するように構成される第 2 のレジスタと、

前記第 1 のデバイス UUI D と第 2 のデバイス UUI D との論理 AND となるように適合された値を格納するように構成される第 3 のレジスタと、

前記第 1 のレジスタ、前記第 2 のレジスタ、及び前記第 3 のレジスタに結合される第 1 の回路と、

を含み、

10

20

30

40

50

前記第 1 の回路が、

前記第 2 のレジスタの前記第 1 のデバイス U U I D と前記第 3 のレジスタの前記値とに基づいて、前記第 2 のデバイス U U I D を判定し、

前記第 2 のデバイス U U I D を判定したことに応答して、前記第 1 のデバイス U U I D を前記第 2 のデバイス U U I D と比較し、

前記第 1 のデバイス U U I D を前記第 2 のデバイス U U I D と比較した後に、第 2 のアドレスを判定し、

前記第 2 のアドレスを判定した後に、前記第 2 のアドレスを格納するために前記第 1 のレジスタを設定する、

ように構成され、

10

前記第 2 のデバイスが、

前記第 1 のアドレスを格納するように構成される第 4 のレジスタと、

前記第 2 のデバイス U U I D を格納するように構成される第 5 のレジスタと、

前記値を格納するように構成される第 6 のレジスタと、

前記第 4 のレジスタ、前記第 5 のレジスタ、及び前記第 6 のレジスタに結合される第 2 の回路と、

を含み、

前記第 2 の回路が、

前記第 5 のレジスタの前記第 2 のデバイス U U I D と、前記第 6 のレジスタの前記値とに基づいて、前記第 1 のデバイス U U I D を判定し、

20

前記第 1 のデバイス U U I D を判定したことに応答して、前記第 1 のデバイス U U I D を前記第 2 のデバイス U U I D と比較し、

前記第 1 のデバイス U U I D を前記第 2 のデバイス U U I D と比較した後に、第 3 のアドレスを判定し、

前記第 3 のアドレスを判定した後に、前記第 3 のアドレスを格納するために前記第 1 のレジスタを設定する、

ように構成される、

システム。

【請求項 1 6】

請求項 1 5 に記載のシステムであって、前記値が第 1 の値であり、前記第 1 のデバイスが第 7 のレジスタと第 2 の値とを含み、前記第 7 のレジスタが前記第 2 の値を格納するように構成され、前記第 2 の値が前記第 1 のデバイス U U I D の逆数と前記第 2 のデバイス U U I D の逆数との論理 A N D を表す、システム。

30

【請求項 1 7】

請求項 1 5 に記載のシステムであって、前記第 1 の回路が、前記第 1 のデバイス U U I D が前記第 2 のデバイス U U I D よりも大きいかどうかを判定するように構成されている、システム。

【請求項 1 8】

請求項 1 5 に記載のシステムであって、前記値が第 1 の値であり、前記第 2 のデバイスが第 7 のレジスタと第 2 の値とを含み、前記第 7 のレジスタが、前記第 2 の値を格納するように構成され、前記第 2 の値が、前記第 1 のデバイス U U I D の逆数と前記第 2 のデバイス U U I D の逆数との論理 A N D を表す、システム。

40

【請求項 1 9】

請求項 1 5 に記載のシステムであって、前記第 2 の回路が、前記第 1 のデバイス U U I D が前記第 2 のデバイス U U I D よりも大きいかどうかを判定するように構成されている、システム。

【請求項 2 0】

請求項 1 5 に記載のシステムであって、前記第 1 のアドレスが前記第 3 のアドレスに等しく、前記第 3 のアドレスが前記第 2 のデバイスのみを表す、システム。

【発明の詳細な説明】

50

【技術分野】

【0001】

本記載は、概して集積回路間（inter-integrated circuit）アドレッシングに関し、より具体的には、集積回路間アドレス構成を実施するための方法及び装置に関する。

【背景技術】

【0002】

集積回路間（I2C）プロトコルは、ターゲットデバイスとプライマリデバイスとの間で通信するために用いられるシリアル通信プロトコルである。プライマリデバイスは、単一のI2Cバスを介して複数のターゲットデバイスに結合され得る。プライマリデバイスは、ターゲットデバイスアドレスを含むコマンド（例えば、読み取りコマンド、書き込みコマンド）を個別に送ることによって、各ターゲットデバイスに対して通信する。同じI2Cバス上で複数のターゲットデバイスとI2Cを実装するため、各ターゲットデバイスは、異なるデバイスアドレスを有する。デバイスアドレスを変更するには、I2Cバスに結合されていることに加えて各ターゲットデバイスとプライマリデバイスとの間に接続が必要であり、そのことにより、ターゲットデバイスで必要なピン数が増加する。

10

【発明の概要】

【0003】

I2Cアドレス解決の方法について、例示のシステムが、データ線とデータ線に結合されたデバイスとを含み、デバイスは、第1のアドレスを含む第1のコマンドをデータ線上で送り、第1のコマンドを送った後、第1のターゲットデバイス及び第2のターゲットデバイスからのデータを含む第1の値をデータ線上で読み取り、第1の値を読み取ったことに応答して、第1のアドレスと、第1の値を表すデータとを含む第2のコマンドをデータ線上で送り、第1のアドレスを含む第3のコマンドをデータ線上で送り、第3のコマンドを送った後、第1のターゲットデバイス及び第2のターゲットデバイスからのデータを含む第2の値をデータ線上で読み取り、第2の値を読み取ったことに応答して、第1のアドレスを含む第4のコマンドをデータ線上で送り、第2のアドレスを含む第5のコマンドをデータ線上で送り、第5のコマンドを送った後、第1のターゲットデバイスからのデータのみを含む第3の値をデータ線上で読み取る、ように構成されている。

20

【図面の簡単な説明】

【0004】

【図1】ターゲットデバイスのデバイスアドレスを改変するための、例示のプライマリデバイスと、例示の第1のターゲットデバイスと、第2のターゲットデバイスとの間におけるI2C通信を実装するために構成される例示のシステムのブロック図である。

30

【0005】

【図2A】ターゲットデバイスのレジスタから値を読み取るように構成される例示の読み取りコマンドを示す図である。

【0006】

【図2B】ターゲットデバイスのレジスタの値を設定するように構成される例示のI2C書き込みコマンドを示す図である。

【0007】

【図3】図1の第1のターゲットデバイスの例示の第1のデバイスアドレス及び／又は図1の第2のターゲットデバイスの第2のデバイスアドレスを改変するための、例示のコマンド交換の通信図である。

40

【0008】

【図4】図3のコマンド交換を実施するように図1のプライマリデバイスを実装するように機械読み取り可能命令を用いて実行され得る及び／又はハードウェアによって構成され得る、例示のプロセスを表すフローチャートである。

【0009】

【図5】図3のコマンド交換を実施するように図1の第1のターゲットデバイス及び／又は第2のターゲットデバイスを実装するよう機械読み取り可能命令を用いて実行され得る

50

及び／又はハードウェアによって構成され得る、例示のプロセスを表すフローチャートである。

【0010】

【図6】図1及び図3のデバイスアドレス変更を実装するために、例示の機械読み取り可能命令並びに／又は図4及び図5の例示の動作を実施するために構成されるプロセッサ回路要素を含む、例示の処理プラットフォームのブロック図である。

【発明を実施するための形態】

【0011】

図面は必ずしも縮尺通りではない。概して、図面及び本記載における同一の参照符号は、同一又は同様の部分を指す。図面は完全な線や境界で層及び領域を示すが、これらの線及び／又は境界のいくつか又は全てが理想化されたものであり得る。実際には、境界及び／又は線は観察不能である、混じり合っている、及び／又は不規則であり得る。

【0012】

集積回路間（I2C）プロトコルは、ターゲットデバイスとプライマリデバイスとの間で通信するために用いられる同期式シリアル通信プロトコルである。典型的なI2Cバスは、ターゲットデバイスをプライマリデバイスに結合する、データ線（SDA）とクロック信号（SCL）とを含む。プライマリデバイスは、処理回路、集積回路、マイクロコントローラなどであり得る。ターゲットデバイスは、集積回路、センサ、周辺機器などであり得る。プライマリデバイスは、単一のI2Cバスを介して複数のターゲットデバイスに結合され得る。いくつかの応用例において、プライマリデバイスと複数のターゲットデバイスとの間を通信するために、同じI2Cバスが用いられる。

【0013】

プライマリデバイスは、ターゲットデバイスのデバイスアドレスを含むコマンド（例えば、読み取りコマンド、書き込みコマンド）を送ることによって、ターゲットデバイスと通信し得る。プライマリデバイスは、I2Cコマンドを用いて、ターゲットデバイス内のレジスタの値を設定及び／又は読み取り得る。一例において、I2Cコマンドは、シリアルデータ端子上の同期式シリアルデータストリームであり、スタートビット、デバイスアドレス、読み取り／書き込みビット、第1の確認応答ビット、レジスタアドレス、第2の確認応答ビット、及び／又はストップビットを含む。プライマリデバイスは、個別のターゲットデバイスと、そのターゲットデバイスに特有のデバイスアドレスを含むI2Cコマンドを送ることによって、通信し得る。同じI2Cバス上で複数のターゲットデバイスとのI2Cを実装するためには、ターゲットデバイスは異なるデバイスアドレスを有する必要がある。

【0014】

デバイスアドレスは、ターゲットデバイスの製造中に設定される。いくつかの応用例において、デバイス製造業者は、製造される全てのデバイスに対して同じデバイスアドレスを用い得る。同じI2Cバス上に複数の同じターゲットデバイスを実装するI2C応用例において、或るターゲットデバイスアドレスを有するI2Cコマンドにより、複数のデバイスが、シリアルデータ線に対して書き込むことを試み、データを破損させることにつながる場合がある。ターゲットデバイスアドレスを変更するために、I2Cバスを含むシリアルデータ線端子及びクロック端子に加えて、ターゲットデバイスに構成端子が設けられる。構成ピンの追加によって、ターゲットデバイス上のI2Cバスによって用いられるピン数が増える。

【0015】

本明細書に記載される例には、I2Cバスを用いるI2Cアドレス変更のための例示の方法が含まれる。例示の方法は、同じデバイスアドレスの複数のターゲットデバイスのデバイスアドレスを変更して、ターゲットデバイスが、構成ピンを用いることなく、別個のデバイスアドレスを判定及び設定するようにする。

【0016】

プライマリデバイスは、I2Cバスを介してターゲットデバイスから読み取り、ターゲ

10

20

30

40

50

ットデバイスに書き込むために、複数の I 2 C コマンドを送るように構成され得る。ターゲットデバイスは、プライマリデバイスから I 2 C バスを介して受け取られたコマンドに基づいて、デバイスアドレスを判定して設定するように構成され得る。

【0017】

図 1 は、ターゲットデバイス 110 及び 115 のデバイスアドレスを改変するために、例示のプライマリデバイス 105 と、例示の第 1 のターゲットデバイス 110 及び第 2 のターゲットデバイス 115 との間の I 2 C 通信を実装するために構成される例示のシステム 100 のブロック図である。図 1 の例において、システム 100 は、プライマリデバイス 105 と、第 1 のターゲットデバイス 110 と、第 2 のターゲットデバイス 115 と、例示のシリアルデータ線 (S D A) 120 と、例示のシリアルクロック線 (S C L) 125 とを含む。

10

【0018】

プライマリデバイス 105 は、シリアルデータ線 120 及びシリアルクロック線 125 を介して、ターゲットデバイス 110 及び 115 に結合される。プライマリデバイス 105 は、例示のコントローラ 126 と例示のストレージ 128 とを含む。いくつかの例示の実装において、プライマリデバイス 105 は、処理回路、集積回路、マイクロコントローラなどであり得る。プライマリデバイス 105 は、クロック信号をシリアルクロック線 125 上に生成して、デバイス 105 ~ 115 が同じクロック信号を用いてシリアルデータを通信し得るように構成されている。プライマリデバイス 105 は、シリアルデータ線 120 を駆動することによって、データをデバイス 110 及び 115 に送ってもよく、そのため、デバイス 110 及び 115 が、シリアルデータ線 120 を監視して、プライマリデバイス 105 からデータを受け取り得る。プライマリデバイス 105 は、ターゲットデバイス 110 及び 115 と通信するための I 2 C プロトコル用に構成されている。コントローラ 126 は、シリアルデータ線 120 を駆動して、プライマリデバイス 105 が、シリアルデータ線 120 上で I 2 C コマンドを送る及び／又は受け取ることができるように構成される。プライマリデバイス 105 は、汎用入出力 (G P I O) ピンによって、シリアルデータ線 120 に結合され得る。プライマリデバイス 105 は、クロック信号をシリアルクロック線 125 に供給するように構成され得る。プライマリデバイス 105 は、シリアルデータ線 120 を同期的に駆動することによって、I 2 C コマンドをターゲットデバイス 110 及び 115 に送るように構成される。プライマリデバイス 105 は、外部のドライバについてシリアルデータ線 120 を監視することによって、ターゲットデバイス 110 及び 115 からデータを受け取り得る。ストレージ 128 は、コントローラ 126 が、受け取ったデータをターゲットデバイス 110 及び 115 に送るように、ターゲットデバイス 110 及び 115 から受け取ったデータを格納するように構成され得る。

20

30

【0019】

第 1 のターゲットデバイス 110 は、シリアルデータ線 120 及びシリアルクロック線 125 を介して、プライマリデバイス 105 及び第 2 のターゲットデバイス 115 に結合されている。いくつかの例示の実装において、第 1 のターゲットデバイス 110 は、集積回路、センサ、周辺機器などであり得る。第 1 のターゲットデバイス 110 は、シリアルデータ線 120 を駆動することによって、プライマリデバイス 105 にデータを送り得る。第 1 のターゲットデバイス 110 は、シリアルデータ線 120 を監視することによって、プライマリデバイス 105 からデータを受け取り得る。第 1 のターゲットデバイス 110 は、例示の第 1 のレジスタ 130 と、第 2 のレジスタ 135 と、第 3 のレジスタ 140 と、第 4 のレジスタ 145 とを含む。あるいは、第 1 のターゲットデバイス 110 は、任意の複数のビットを格納するように構成される任意の複数のレジスタを含んでもよい。第 1 のターゲットデバイス 110 は、第 1 のレジスタ 130 内に例示の第 1 のデバイスアドレスを格納するように構成される。例えば、第 1 のレジスタ 130 は、第 1 のデバイスアドレスを表す 8 ビットの値に設定され得る。あるいは、デバイスアドレスは、レジスタ 135 ~ 145 に格納及び／又は設定されてもよい。第 2 のレジスタ 135 は、例示の第 1 の汎用一意識別子 (U U I D) を格納するように構成され得る。例えば、第 2 のレジスタ

40

50

135は、第1のターゲットデバイス110の第1のUIDを表す32ビットの値に設定され得る。第3のレジスタ140は、例示の第1の逆UID (UID bar) を格納するように構成され得る。第1の逆UIDは、第1のUIDではないビット単位であるように構成される。例えば、第3のレジスタ140は、第2のレジスタ135に格納されるUIDの第1の逆数に設定され得る。あるいは、第1の逆UIDは、レジスタ130、135、及び／又は145に格納及び／又は設定され得る。第4のレジスタ145は、第2のデバイスアドレスを格納するように構成され得る。例えば、第4のレジスタ145は、第2のデバイスアドレスを表す8ビットの値に設定され得る。あるいは、第2のデバイスアドレスは、レジスタ130～140に格納及び／又は設定され得る。

【0020】

第2のターゲットデバイス115は、シリアルデータ線120及びシリアルクロック線125を介して、デバイス105及び110に結合される。いくつかの例示の実装において、第2のターゲットデバイス115は、集積回路、センサ、周辺機器などであり得る。第2のターゲットデバイス115は、シリアルデータ線120を駆動することによって、プライマリデバイス105にデータを伝送し得る。第2のターゲットデバイス115は、シリアルデータ線120を監視することによって、プライマリデバイス105からデータを受け取り得る。第2のターゲットデバイスは、第5のレジスタ150と、第6のレジスタ155と、第7のレジスタ160と、第8のレジスタ165とを含む。あるいは、第2のターゲットデバイス115は、任意の複数のビットを格納するように構成される任意の複数のレジスタを含んでもよい。第2のターゲットデバイス115は、第5のレジスタ150内に第1のデバイスアドレスを格納するように構成される。例えば、第5のレジスタ150は、第1のデバイスアドレスを表す8ビットの値に設定され得る。あるいは、デバイスアドレスは、レジスタ155～165に格納及び／又は設定されてもよい。第6のレジスタ155は、第2のUIDを格納するように構成され得る。例えば、第6のレジスタ155は、第2のターゲットデバイス115の第2のUIDを表す32ビットの値に設定され得る。第7のレジスタ160は、第2の逆UIDを格納するように構成され得る。第2の逆UIDは、第2のUIDではないビット単位であるように構成される。例えば、第7のレジスタ160は、第6のレジスタ155に格納される第2のUIDの逆数に設定され得る。あるいは、第2の逆UIDは、レジスタ150、155、及び／又は165に格納及び／又は設定されてもよい。第8のレジスタ165は、第2のデバイスアドレスを格納するように構成され得る。例えば、第8のレジスタ165は、第2のデバイスアドレスを表す8ビットの値に設定され得る。あるいは、第2のデバイスアドレスは、レジスタ150～160に格納及び／又は設定されてもよい。

【0021】

図2Aは、ターゲットデバイスのレジスタから値を読み取るように構成される、例示の読み取りコマンド202を示す図である。読み取りコマンド202は、シリアルデータ線（例えば、図1のシリアルデータ線120）を介して、プライマリデバイス（例えば、図1のプライマリデバイス105）とターゲットデバイス（例えば、図1の第1のターゲットデバイス110、図1の第2のターゲットデバイス115など）との間の例示のデータ交換を明示するように構成されている。プライマリデバイスが或るレジスタ値（例えば、レジスタ130～165に格納及び／又は設定された値）を読み取るために、プライマリデバイスは、ターゲットデバイスのデバイスアドレス、レジスタ値に対応するレジスタアドレス、及びターゲットデバイスからの確認応答を含む読み取りコマンド202を伝送するように構成される。ターゲットデバイスは、読み取りコマンド202において識別されたレジスタの値を伝送することによって、読み取りコマンド202に応答するように構成される。

【0022】

図2Aの例において、読み取りコマンド202は、例示の第1のスタートビット204と、例示の第1のデバイスアドレス206と、例示の第1の指示ビット208と、例示の第1の確認応答ビット210と、例示の第1のレジスタアドレス212と、第2の確認応

10

20

30

40

50

答ビット214と、第2のスタートビット216と、第2のデバイスアドレス218と、第2の指示ビット220と、第3の確認応答ビット222と、例示の第1の値224と、第4の確認応答ビット226と、例示のストップビット228とを含む。プライマリデバイスは、プライマリデバイスとターゲットデバイスとがシリアルデータ線120を監視することによって通信し得るように、シリアルデータ線を介して読み取りコマンドの部分を送る及び／又は受け取るように構成される。図2Aの例において、読み取りコマンド202は、デバイスアドレス206及び218に対応するデバイスにおける第1のレジスタアドレス212に対応するレジスタの値を、第1の値224として読み取るように構成される。

【0023】

読み取りコマンド202は、第1のスタートビット204を示すためにシリアルデータ線を駆動することによって開始される。第1のスタートビット204は、伝送の開始を示す1ビット伝送である。例えば、第1のスタートビット204は、アクティブローのシリアルデータ線に基づいて、シリアルデータ線120を共通電位（例えば、接地）に駆動することによって伝送され得る。第1のスタートビット204は、第1のスタートビット204がシリアルクロック線のおよそ1つのクロックサイクルの持続期間を有するように、1ビット指示として構成される。あるいは、第1のスタートビット204は、プライマリデバイスがシリアルデータ線を供給電圧に駆動することによって示されてもよい。

【0024】

第1のスタートビット204の後に、第1のデバイスアドレス206が続く。第1のデバイスアドレス206は、伝送を駆動するデバイスによってアクセスされる予定のシリアルデータ線に結合されるデバイスに対応するように構成される、複数のビットである。例えば、プライマリデバイス105は、第1のターゲットデバイス110の7ビットのデバイスアドレスを示すためにシリアルデータ線120を駆動することによって、第1のターゲットデバイス110と通信し得る。シリアルデータ線を駆動するデバイスは、複数のデバイスが第1のデバイスアドレス206と同じデバイスアドレスを共有していることに応答して、シリアルデータ線に結合された複数のデバイスにメッセージを伝送し得る。

【0025】

第1のデバイスアドレス206の後に、第1の指示ビット208が続く。第1の指示ビット208は、コマンドが読み取りコマンド又は書き込みコマンドであるとの1ビットの指示である。例えば、プライマリデバイス105は、読み取りコマンド202が書き込み動作を含むことを示すために、シリアルデータ線120を供給電圧に駆動し得、又はプライマリデバイス105は、読み取りコマンド202が読み取り動作であることを示すために、シリアルデータ線120を共通電位に駆動し得る。

【0026】

第1の指示ビット208の後に、第1の確認応答ビット210が続く。第1の確認応答ビット210は、第1のデバイスアドレス206によって特定されたデバイスが第1の指示ビット208を受け取ったことを示すための1ビット伝送である。例えば、第1のターゲットデバイス110は、第1のデバイスアドレス206が第1のターゲットデバイス110に対応していることの結果として、シリアルデータ線120を共通電位に駆動し得る。

【0027】

第1の確認応答ビット210の後に、第1のレジスタアドレス212が続く。第1のレジスタアドレス212は、第1のデバイスアドレス206によって示されたデバイス内のレジスタを示すための複数のビットである。例えば、プライマリデバイス105は、第1のターゲットデバイス110の第2のレジスタ135に対応する7ビットの値を伝送し得る。あるいは、第1のレジスタアドレス212は、第1のデバイスアドレス206によって特定されたデバイスを含む任意のレジスタに対応してもよい。

【0028】

第1のレジスタアドレス212の後に、第2の確認応答ビット214が続く。第2の確

10

20

30

40

50

認応答ビット214は、第1のデバイスアドレス206によって特定されたデバイスが第1のレジスタアドレス212を受け取ったことを示すための1ビット伝送である。例えば、第1のターゲットデバイス110は、第1のデバイスアドレス206が第1のターゲットデバイス110に対応し、第1のレジスタアドレス212が有効なレジスタアドレスであると判定したことの結果として、シリアルデータ線120を共通電位に駆動し得る。あるいは、第1のデバイスアドレス206によって特定されたデバイスは、第1のレジスタアドレス212における、又はI2Cコマンドの伝送におけるエラーを示すために、シリアルデータ線を電圧供給に駆動してもよい。読み取りコマンド202の例において、第1のレジスタアドレス212は、第1のデバイスアドレス206に対応するデバイスに書き込まれる値である。

10

【0029】

第2の確認応答ビット214の後に、第2のスタートビット216が続く。第2のスタートビット216は、コマンドの伝送の開始を示すための1ビット伝送である。例えば、第2のスタートビット216は、アクティブローのシリアルデータ線に基づいて、シリアルデータ線120を共通電位（例えば、接地）に駆動することによって、伝送され得る。第2のスタートビット216は、第2のスタートビット216がシリアルクロック線のおよそ1つのクロックサイクルの持続期間を有するように、1ビット指示として構成される。あるいは、いくつかの応用例が、第2のスタートビット216が、シリアルデータ線120を供給電圧に駆動することによって示されるように構成される。

【0030】

20

第2のスタートビット216の後に、第2のデバイスアドレス218が続く。第2のデバイスアドレス218は、伝送を駆動するデバイスによってアクセスされる予定のシリアルデータ線に結合されたデバイスに対応するように構成される、複数のビットである。例えば、プライマリデバイス105は、第1のターゲットデバイス110の7ビットのデバイスアドレスを示すためにシリアルデータ線120を駆動することによって、第1のターゲットデバイス110と通信し得る。シリアルデータ線を駆動するデバイスは、複数のデバイスが第2のデバイスアドレス218と同じデバイスアドレスを共有している結果として、シリアルデータ線に結合された複数のデバイスに、或る値を伝送し得る。

【0031】

第2のデバイスアドレス218の後に、第2の指示ビット220が続く。第2の指示ビット220は、コマンドが読み取りコマンド又は書き込みコマンドであるとの1ビット指示である。例えば、プライマリデバイス105は、レジスタへの書き込みを示すためにシリアルデータ線120を供給電圧に駆動し得、又はプライマリデバイス105は、レジスタへの読み取り動作を示すためにシリアルデータ線120を共通電位に駆動し得る。

30

【0032】

第2の指示ビット220の後に、第3の確認応答ビット222が続く。第3の確認応答ビット222は、第2のデバイスアドレス218によって特定されたデバイスが第2の指示ビット220を受け取ったことを示すための1ビット伝送である。例えば、第1のターゲットデバイス110は、第2のデバイスアドレス218が第1のターゲットデバイス110に対応していることの結果として、シリアルデータ線120を共通電位に駆動し得る。

40

【0033】

第3の確認応答ビット222の後に、第1の値224が続く。第1の値224は、第1のデバイスアドレス206のデバイスの第1のレジスタアドレス212によって特定されたレジスタの値を表す複数のビットであるように構成される。例えば、第1のターゲットデバイス110は、第1のターゲットデバイス110の第2のレジスタ135の値に対応する32ビットの値を伝送し得る。あるいは、第1の値224は、第1の値224の伝送が予定されたデバイスによって確認され得るように、確認応答ビット（例えば、確認応答ビット210、214、及び222）によって分離された8ビットセグメントで伝送されてもよい。有利には、第1の値224の伝送は、第1の値224を分離する確認応答ビッ

50

トによって確認され得る。

【0034】

第1の値224の後に、第4の確認応答ビット226が続く。第4の確認応答ビット226は、第2のデバイスアドレス218によって特定されたデバイスが第2の指示ビット220を受け取ったことを示すための1ビット伝送である。例えば、第1のターゲットデバイス110は、第2のデバイスアドレス218が第1のターゲットデバイス110に対応していることの結果として、シリアルデータ線120を共通電位に駆動し得る。あるいは、確認応答ビット228、及び248は、否定応答（NACK）ビットと呼ばれ得る。

【0035】

第4の確認応答ビット226の後に、ストップビット228が続く。ストップビット228は、読み取りコマンド202の終了を表す1ビットの値である。例えば、プライマリデバイス105は、コマンドの終了を示すために、シリアルデータ線120を供給電圧に駆動し得る。

【0036】

図2Bは、ターゲットデバイスのレジスタの値を設定するように構成される、例示の書き込みコマンド230を示す図である。書き込みコマンド230は、シリアルデータ線（例えば、図1のシリアルデータ線120）を介して、プライマリデバイス（例えば、図1のプライマリデバイス105）とターゲットデバイス（例えば、図1の第1のターゲットデバイス110、図1の第2のターゲットデバイス115など）との間における例示のデータ交換を明示するように構成されている。プライマリデバイスがレジスタ値（例えば、レジスタ130～165に格納及び／又は設定される値）を書き込むために、プライマリデバイスは、ターゲットデバイスのデバイスアドレス、値が書き込まれるレジスタに対応するレジスタアドレス、及びターゲットデバイスからの確認応答を含む書き込みコマンド230を伝送するように構成される。ターゲットデバイスは、書き込みコマンド230によって示されたレジスタの値を設定する及び／又は格納することによって、書き込みコマンド230に応答するように構成される。

【0037】

図2Bの例において、書き込みコマンド230は、第3のスタートビット232と、第3のデバイスアドレス234と、第3の指示ビット236と、第5の確認応答ビット238と、第2のレジスタアドレス240と、第6の確認応答ビット242と、第2の値244と、第7の確認応答ビット246と、第2のストップビット248と、を含む。プライマリデバイスは、プライマリデバイスとターゲットデバイスとがシリアルデータ線120を監視することによって通信し得るように、シリアルデータ線を介して書き込みコマンド230の部分を伝送する及び／又は受け取るように構成される。

【0038】

書き込みコマンド230は、第3のスタートビット232を示すためにシリアルデータ線を駆動することによって、開始される。第3のスタートビット232は、伝送の開始を示すための1ビット伝送である。例えば、第3のスタートビット232は、アクティブローのシリアルデータ線に基づいて、シリアルデータ線120を共通電位（例えば、接地）に駆動することによって、伝送され得る。第3のスタートビット232は、第3のスタートビット232がシリアルクロック線のおよそ1つのクロックサイクルの持続期間を有するように、1ビット指示として構成される。あるいは、第3のスタートビット232は、プライマリデバイスがシリアルデータ線を供給電圧に駆動することによって示され得る。

【0039】

第3のスタートビット232の後に、第3のデバイスアドレス234が続く。第3のデバイスアドレス234は、伝送を駆動するデバイスによってアクセスされるように予定されるシリアルデータ線に結合されたデバイスに対応するように構成される、複数のビットである。例えば、プライマリデバイス105は、第1のターゲットデバイス110の7ビットのデバイスアドレスを示すためにシリアルデータ線120を駆動することによって、第1のターゲットデバイス110と通信し得る。シリアルデータ線を駆動するデバイスは

、複数のデバイスが、第3のデバイスアドレス234と同じデバイスアドレスを共有することに対応して、シリアルデータ線に結合された複数のデバイスにメッセージを送信し得る。

【0040】

第3のデバイスアドレス234の後に、第3の指示ビット236が続く。第3の指示ビット236は、書き込みコマンド230が読み取りコマンド又は書き込みコマンドであるとの1ビット指示である。例えば、プライマリデバイス105は、書き込みコマンド230が書き込み動作であることを示すためにシリアルデータ線120を供給電圧に駆動し得、又はプライマリデバイス105は、書き込みコマンド230が読み取り動作であることを示すためにシリアルデータ線120を共通電位に駆動し得る。

10

【0041】

第3の指示ビット236の後に、第5の確認応答ビット238が続く。第5の確認応答ビット238は、第3のデバイスアドレス234によって特定されたデバイスが第3の指示ビット236を受け取ったことを示すための1ビット伝送である。例えば、第1のターゲットデバイス110は、第3のデバイスアドレス234が第1のターゲットデバイス110に対応することの結果として、シリアルデータ線120を共通電位に駆動し得る。

【0042】

第5の確認応答ビット238の後に、第2のレジスタアドレス240が続く。第2のレジスタアドレス240は、第3のデバイスアドレス234によって示されたデバイス内のレジスタを示すための複数のビットである。例えば、プライマリデバイス105は、第1のターゲットデバイス110の第2のレジスタ135に格納及び／又は設定される値に対応する7ビットの値を送信し得る。あるいは、第2のレジスタアドレス240は、第3のデバイスアドレス234によって特定されるようなデバイスを含む任意のレジスタに対応し得る。第2のレジスタアドレス240は、書き込みコマンド230によって書き込まれる値に関連付けられたレジスタに対応する。

20

【0043】

第2のレジスタアドレス240の後に、第6の確認応答ビット242が続く。第6の確認応答ビット242は、第3のデバイスアドレス234によって特定されたデバイスが第2のレジスタアドレス240を受け取ったことを示すための1ビット伝送である。例えば、第1のターゲットデバイス110は、第3のデバイスアドレス234が第1のターゲットデバイス110に対応し、第2のレジスタアドレス240が第1のターゲットデバイス110内にあると判定されたことの結果として、シリアルデータ線120を共通電位に駆動し得る。あるいは、第3のデバイスアドレス234によって特定されたデバイスは、第2のレジスタアドレス240における又はI2Cコマンドの伝送におけるエラーを示すために、シリアルデータ線を電圧供給に駆動し得る。

30

【0044】

第6の確認応答ビット242の後に、第2の値244が続く。第2の値244は、第3のデバイスアドレス234によって特定されたデバイスの第2のレジスタアドレス240によって特定されるレジスタに設定及び／又は格納される値を表す複数のビットであるように構成される。例えば、プライマリデバイス105は、第1のターゲットデバイス110の第2のレジスタ135に格納される32ビットの値を送信し得る。第2の値244は、第2のレジスタアドレス240に対応するレジスタに基づいて制限され得る。あるいは、第2の値244は、第2の値244の伝送が受取側デバイスによって確認され得るよう、確認応答ビット（例えば、確認応答ビット210、214、及び222）によって分離された8ビットセグメントで送信され得る。有利にも、第2の値244の伝送は、第2の値244を分離する確認応答ビットによって確認され得る。

40

【0045】

第2の値244の後に、第7の確認応答ビット246が続く。第7の確認応答ビット246は、第3のデバイスアドレス234によって特定されたデバイスが、第2のレジスタアドレス240に対応するレジスタにおいて第2の値244を受け取った、設定した、及

50

び／又は格納したことを示すための１ビット伝送である。例えば、第１のターゲットデバイス１１０は、第３のデバイスアドレス２３４が第１のターゲットデバイス１１０に対応し、第２のレジスタアドレス２４０に対応するレジスタの値が第２の値２４４に設定されたことの結果として、シリアルデータ線１２０を共通電位に駆動し得る。あるいは、確認応答ビット２３８、２４２、及び２４６は、否定応答（ＮＡＣＫ）ビットと呼ばれ得る。

【００４６】

第４の確認応答ビット２２６の後に、第２のストップビット２４８が続く。第２のストップビット２４８は、書き込みコマンド２３０の終了を表す１ビットの値である。例えば、プライマリデバイス１０５は、コマンドの終了を示すために、シリアルデータ線１２０を供給電圧に駆動し得る。あるいは、第２のストップビット２４８は、書き込みコマンド２３０の終わりにあるように構成され得る。

【００４７】

図３は、図１の第１のターゲットデバイス１１０の例示の第１のデバイスアドレス及び／又は図１の第２のターゲットデバイス１１５の第２のデバイスアドレスを改変するための例示のコマンド交換の通信図３００である。図３の例において、第１のターゲットデバイス１１０の第１のデバイスアドレス及び第２のターゲットデバイス１１５の第２のデバイスアドレスは、共有のデバイスアドレスであるように構成されており、デバイスアドレスを格納及び／又は設定するように構成されるレジスタ（例えば、レジスタ１３０～１６５）が、ターゲットデバイス１１０及び１１５の双方において同じ値である。図３の例において、通信図３００は、例示の第１の読み取り要求３０５と、例示の第１の読み取り値３１０と、第１の書き込みコマンド３１５と、第２の読み取り要求３２０と、第２の読み取り値３２５と、第２の書き込みコマンド３３０と、例示のブロック３３５～３６０と、を含む。通信図３００は、Ｉ２Ｃ通信用に構成される図１のシステム１００を用いて、デバイス１１０及び／又は１１５のデバイスアドレスを改変するように構成されている。通信図３００は、プライマリデバイス１０５とターゲットデバイス１１０及び１１５との間のコマンドの交換を表示するように構成されている。読み取りコマンド（例えば、図２Ａの読み取りコマンド）が、読み取り要求（例えば、読み取り要求３０５及び３２０）と、それに続く読み取り値（例えば、読み取り値３１０及び３２５）からなり得る。読み取り要求は、プライマリデバイス１０５が、第１のデバイスアドレス２０６に対応するデバイスの第１のレジスタアドレス２１２に対応するレジスタの値に対して要求し得るように、図２Ａの読み取りコマンド２０２のビット２０４～２１４を含む。読み取り値は、第２のデバイスアドレス２１８に対応するデバイスアドレスのデバイスが、第１のレジスタアドレス２１２に対応するレジスタの値を伝送し得るように、図２Ａの読み取りコマンド２０２のビット２１６～２２８を含む。

【００４８】

図３の例において、プライマリデバイス１０５は、第１のデバイスアドレス２０６が、共有のデバイスアドレスの値に等しいことの結果として、第１の読み取り要求３０５をターゲットデバイス１１０及び１１５に伝送する。例えば、プライマリデバイス１０５は、第１のデバイスアドレス２０６が、共有のデバイスアドレスに等しいように、図１のシリアルデータ線１２０を駆動することによってビット２０４～２１４をターゲットデバイス１１０及び１１５に送ることで第１の読み取り要求３０５を伝送し得る。第１の読み取り要求３０５は、読み取りコマンド２０２のビット２０４～２１４を含む。第１の読み取り要求３０５は、ターゲットデバイス１１０及び１１５が、レジスタアドレス（例えば、図２の第１のレジスタアドレス２１２）に対応するレジスタの値を伝送するように要求するように構成される。第１の読み取り要求３０５は、ターゲットデバイス１１０及び１１５のそれぞれのＵＩＤを格納及び／又は設定するように構成されるレジスタに対応するレジスタアドレスを含むように構成される。例えば、プライマリデバイス１０５は、ターゲットデバイス１１０及び１１５のデバイスアドレスと、レジスタ１３５～１５５のレジスタアドレスとを含む第１の読み取り要求３０５を、シリアルデータ線１２０を介して伝送する。有利にも、第１の読み取り要求３０５は、共有のデバイスアドレスに等しいデバ

10

20

30

40

50

スアドレスに構成されるターゲットデバイスの全てによって受け取られる。

【0049】

第1の読み取り要求305の後に、第1の読み取り値310が続く。第1の読み取り値310は、図2の読み取りコマンド202のビット216～228を含む。プライマリデバイス105は、ターゲットデバイス110及び115が第1の読み取り要求305の第1のレジスタアドレス212に対応するレジスタの値を伝送するように、共有のデバイスアドレスを第2のデバイスアドレス218の値として伝送するように構成される。例えば、ターゲットデバイス110及び115は、プライマリデバイス105が、共有のデバイスアドレスに対応するレジスタ130及び150に格納された値を伝送したことに応答して、レジスタ135及び155に格納及び／又は設定されたUUI Dを伝送する。有利にも、ターゲットデバイス110及び115は、第1の読み取り要求305に応答して、同じインターバル中に図2の第1の値224を個別に伝送するように構成される。シリアルデータ線120は、複数のデバイスがシリアルデータ線120を駆動していることの結果として、各デバイスからのデータの論理ANDが伝送されるように、アクティブローの通信線として構成されている。例えば、プライマリデバイス105は、第2のターゲットデバイス115がシリアルデータ線120を供給電圧に駆動し得る同じインターバル中に、第1のターゲットデバイス110がシリアルデータ線120を共通電圧（例えば、接地）に駆動することの結果として、論理ローを読み取るために構成される。有利にも、第1の読み取り要求の第1の値224は、ターゲットデバイス110及び115のUUI Dの論理ANDに等しい。

10

20

【0050】

第1の読み取り要求310の後に、第1の書き込みコマンド315が続く。第1の書き込みコマンド315は、書き込みコマンド230のビット232～248を含む。第1の書き込みコマンド315は、ターゲットデバイス110及び115の共有のデバイスアドレスを含むように構成されており、その後、共有のレジスタアドレスが続く、これは、第1の読み取り値310に基づいて第1のターゲットデバイス110のUUI Dと第2のターゲットデバイス115のUUI Dとの論理ANDを表す値を格納するためのレジスタに対応する。例えば、プライマリデバイス105は、ターゲットデバイス110及び115が、ターゲットデバイス110及び115のレジスタ135及び155に格納されたUUI Dを伝送することに応答して、レジスタ135及び155に格納及び／又は設定されたUUI Dの論理ANDを伝送する。

30

【0051】

第1の書き込みコマンド315の後に、第2の読み取り要求320が続く。第2の読み取り要求320は、図2の読み取りコマンド202のビット204～214からなる。第2の読み取り要求320は、或るデバイスアドレス（例えば、図2の第2のデバイスアドレス218）を、共有のデバイスアドレスに設定するように構成される。第2の読み取り要求320は、或るレジスタアドレス（例えば、図2の第1のレジスタアドレス212）を、ターゲットデバイス110及び115のそれぞれの逆UUI D（UUI D bar）を格納及び／又は設定するように構成されるレジスタに、格納及び／又は設定する。例えば、プライマリデバイス105は、ターゲットデバイス110及び115のデバイスアドレスと、レジスタ140及び160のレジスタアドレスとを含む第2の読み取り要求320を、シリアルデータ線120を介して伝送する。

40

【0052】

第2の読み取り要求320の後に、第2の読み取り値325が続く。第2の読み取り値325は、図2の読み取りコマンド202のビット216～228からなる。プライマリデバイス105は、デバイス110及び115が、逆UUI Dを格納及び／又は設定するように構成されるレジスタの値を伝送するように、ターゲットデバイス110及び115についてのデバイスアドレスを伝送する。例えば、ターゲットデバイス110及び115は、プライマリデバイス105が、共有のデバイスアドレスに対応するレジスタ130及び150に格納された値を伝送することに応答して、レジスタ140及び160に格納及

50

び／又は設定された逆UUI Dを伝送する。有利にも、ターゲットデバイス110及び115は、同じ伝送中に逆UUI Dを伝送するように構成される。シリアルデータ線120は、各デバイスからのデータの論理ANDが、複数のデバイスがシリアルデータ線20を駆動していることの結果として伝送されるように、アクティブローの通信線として構成されている。例えば、プライマリデバイス105は、第2のターゲットデバイス115がシリアルデータ線120を供給電圧に駆動し得る同じインターバル中に、第1のターゲットデバイス110がシリアルデータ線120を共通電位（例えば、接地）に駆動していることの結果として、論理ローを読み取るように構成され得る。

【0053】

第2の読み取り値325の後に、第2の書き込みコマンド330が続く。第2の書き込みコマンド330は、書き込みコマンド230のビット232～248を含む。第2の書き込みコマンド330は、ターゲットデバイス110及び115の共有のデバイスアドレスを含むように構成され、その後に或るレジスタアドレスが続き、これは、第2の読み取り値325から、第1のターゲットデバイス110の逆UUI Dと第2のターゲットデバイス115の逆UUI Dとの論理ANDを表す値を格納するためのレジスタに対応する。例えば、プライマリデバイス105は、ターゲットデバイス110及び115が、ターゲットデバイス110及び115のレジスタ140及び160に格納及び／又は設定されたUUI Dを伝送していることに応答して、レジスタ140及び160に格納及び／又は設定された逆UUI Dの論理ANDを伝送する。

【0054】

有利にも、コマンド305～330は、ターゲットデバイス110及び115のUUI D及び逆UUI Dの論理ANDを、ターゲットデバイス110及び115の双方に提供するように構成される。あるいは、コマンド305～330は、複数のレジスタにアクセスするために、付加的な例示の読み取り及び／又は書き込みコマンドを含む付加的なコマンドを含むように構成されてもよい。

【0055】

ブロック335において、第1のターゲットデバイス110は、第2のターゲットデバイス115のUUI Dを判定する。第1のターゲットデバイス110は、UUI Dの論理AND（第1の書き込みコマンド315中に伝送された値）及び／又は逆UUI Dの論理AND（第2の書き込みコマンド330中に伝送された値）を、レジスタ135に格納及び／又は設定された第1のUUI D、並びに／又はレジスタ140に格納及び／又は設定された第1の逆UUI Dと比較することによって、第2のターゲットデバイス115のUUI Dを判定し得る。第1のターゲットデバイス110は、第2のターゲットデバイス115のUUI Dの各ビットを、各ビットの可能な値が、論理0、論理1、又は判定不能であると判定することによって、判定し得る。例えば、第1のターゲットデバイス110は、第1のターゲットデバイス110のUUI Dの第1のビットが論理1であると判定され、UUI Dの論理ANDの第1のビットが論理0として判定された結果として、第2のターゲットデバイス115のUUI Dの第1のビットを論理0であると判定し得る。

【0056】

第1のターゲットデバイス110は、或るビットの可能な値が判定不能であると判定した結果として、第1のターゲットデバイス110のUUI D barのビットをUUI D barの論理ANDと比較するように、構成され得る。例えば、第1のターゲットデバイス110は、第1のターゲットデバイス110のUUI Dの第2のビットが論理0であり、UUI D barの論理ANDの第2のビットが論理0であるとの結果として、第2のターゲットデバイス115のUUI Dの第2のビットを論理1であると判定し得る。あるいは、第1のターゲットデバイス110は、第1のターゲットデバイス110のUUI D barの第2のビットが論理1であり、UUI D barの論理ANDの第2のビットが論理0であるとの結果として、第2のターゲットデバイス115のUUI Dの第2のビットを論理1であると判定し得る。第2のターゲットデバイス115のUUI Dの第2のビットのこのような可能な値は、UUI Dの論理ANDと第1のターゲットデバイス110のU

10

20

30

40

50

ＩＤとを比較することに基づいて判定不能である。有利にも、第１のターゲットデバイス１１０は、ＵＵＩＤの論理ＡＮＤと逆ＵＵＩＤの論理ＡＮＤとを比較することによって、第２のターゲットデバイス１１５のＵＵＩＤを判定し得る。ブロック３３５の後にブロック３４０が続く。

【００５７】

ブロック３４０において、第１のターゲットデバイス１１０は、デバイスアドレスを判定する。第１のターゲットデバイス１１０は、第１のレジスタ１３０に格納及び／又は設定されているデバイスアドレスを改変するように判定し得る。例えば、第１のターゲットデバイス１１０は、第２のターゲットデバイス１１５のＵＵＩＤが第１のターゲットデバイス１１０のＵＵＩＤよりも大きい結果として、第１のレジスタ１３０の値を、第４のレジスタ１４５に格納及び／又は設定されている新しいデバイスアドレスに設定するように構成され得る。あるいは、ターゲットデバイス１１０及び１１５は、ターゲットデバイス１１０及び１１５のＵＵＩＤの任意の比較に基づいて、デバイスアドレスを改変するように判定してもよい。有利にも、ターゲットデバイス１１０及び１１５は、ターゲットデバイス１１０及び１１５がコマンドを個別に受け取ることができるように、レジスタ１３０及び１５０に格納及び／又は設定されているデバイスアドレスを判定かつ設定するように構成される。

10

【００５８】

ブロック３４５において、第２のターゲットデバイス１１５は、第１のターゲットデバイス１１０のＵＵＩＤを判定する。第２のターゲットデバイス１１５は、ＵＵＩＤの論理ＡＮＤ（第１の書き込みコマンド３１５中に伝送された値）及び／又は逆ＵＵＩＤの論理ＡＮＤ（第２の書き込みコマンド３３０中に伝送された値）を、第６のレジスタ１５５に格納及び／又は設定された第１のＵＵＩＤ並びに第７のレジスタ１６０に格納及び／又は設定された第１の逆ＵＵＩＤと比較することによって、第１のターゲットデバイス１１０のＵＵＩＤを判定し得る。第２のターゲットデバイス１１４は、第１のターゲットデバイス１１０のＵＵＩＤの各ビットを、各ビットの可能な値が論理０、論理１、又は判定不能であると判定することによって、判定し得る。例えば、第２のターゲットデバイス１１５は、第２のターゲットデバイス１１５のＵＵＩＤの第１のビットが論理１であると判定され、ＵＵＩＤの論理ＡＮＤの第１のビットが論理０であると判定された結果として、第１のターゲットデバイス１１０のＵＵＩＤの第１のビットを論理０であると判定し得る。

20

30

【００５９】

第２のターゲットデバイス１１５は、或るビットの可能な値が判定不能であると判定した結果として、第２のターゲットデバイス１１５のＵＵＩＤｂａｒのビットを、ＵＵＩＤｂａｒの論理ＡＮＤと比較するように構成され得る。例えば、第２のターゲットデバイス１１５は、第２のターゲットデバイス１１５のＵＵＩＤの第２のビットが論理０であり、ＵＵＩＤｂａｒの論理ＡＮＤの第２のビットが論理０である結果として、第１のターゲットデバイス１１０のＵＵＩＤの第２のビットを論理１であると判定し得る。第１のターゲットデバイス１１０のＵＵＩＤの第２のビットのこのような可能な値は、ＵＵＩＤの論理ＡＮＤと第２のターゲットデバイス１１５のＵＵＩＤとを比較することに基づいて判定不能である。有利にも、第２のターゲットデバイス１１５は、ＵＵＩＤの論理ＡＮＤと逆ＵＵＩＤの論理ＡＮＤとを比較することによって、第１のターゲットデバイス１１０のＵＵＩＤを判定し得る。ブロック３４５の後にブロック３５０が続く。

40

【００６０】

ブロック３５０において、第２のターゲットデバイス１１５は、デバイスアドレスを判定する。第２のターゲットデバイス１１５は、第５のレジスタ１５０に格納及び／又は設定されているデバイスアドレスを改変するように判定し得る。例えば、第２のターゲットデバイス１１５は、第１のターゲットデバイス１１０のＵＵＩＤが第２のターゲットデバイス１１５のＵＵＩＤよりも大きい結果として、第５のレジスタ１５０の値を、第８のレジスタ１６５に格納及び／又は設定されている新しいデバイスアドレスに設定するように構成され得る。あるいは、ターゲットデバイス１１０及び１１５は、ターゲットデバイス

50

110及び115のUIDの任意の比較に基づいて、デバイスアドレスを改変するように判定してもよい。有利にも、第2のターゲットデバイス115は、ターゲットデバイス110及び115がコマンドを個別に受け取ることができるように、第5のレジスタ150に格納及び／又は設定されているデバイスアドレスを判定かつ設定するように構成される。有利にも、ターゲットデバイス110及び115は、付加的な結合無しに、各デバイスアドレスを改変し得る。

【0061】

図3を参照して例示の方法が記載されているが、多くの他の方法を代替的に本記載において用いられてもよい。例えば、ブロックの実行順序が変更されてもよく、及び／又は記載されているブロックのいくつかが変更、排除、又は組み合わせられてもよい。同様に、製造プロセスにおいて、図示の例に示されたブロックの前、間、又は後に付加的な動作が含まれてもよい。

10

【0062】

あるいは、図3に記載する方法は、3つ以上のターゲットデバイスを考慮するように改変されてもよい。例えば、図3の方法は、同じI2Cバスに結合された共有のデバイスアドレスを備える3つのデバイスで実装され得、最も大きい2つのUIDを判定するために図3の方法が二度繰り返されるようにしてもよい。いくつかのこのような例において、図3の方法は、最も低いUIDを有するデバイスが、それでも、共有されたデバイスアドレスに応答し得るように、一度目は、個別のデバイスアドレスを有するように第1のデバイス（例えば、最も大きいUIDを有するデバイス）を構成するように実装され得、その後図3の方法を繰り返して第2のデバイス（例えば、二番目に大きいUIDを有するデバイス）の第2の個別のデバイスアドレスを判定するように実装され得る。有利にも、図3の方法は、2つ以上のデバイスアドレスのデバイスアドレスを構成するように改変されてもよい。

20

【0063】

図4は、図3のコマンド交換を実施するように図1のプライマリデバイスを実装するように実行され得る及び／又はハードウェアによって構成され得る機械読み取り可能命令を用いて実施され得る、例示のプロセスを表すフローチャートである。図4の例において、プロセスは、ターゲットデバイスが共有のデバイスアドレスで始まり、個別のデバイスアドレスで終わるように、プライマリデバイス（例えば、図1及び図3のプライマリデバイス105）と、複数のターゲットデバイス（例えば、図1及び図3のターゲットデバイス110及び115）との間で、I2Cコマンドを交換するように構成される。プロセスはブロック405で始まる。

30

【0064】

ブロック405において、プライマリデバイスは、或るデバイスアドレスに第1の読み取りコマンドを送る。第1の読み取りコマンドは、図2の読み取りコマンド202に基づいて構成されており、図2の第1のデバイスアドレス206がターゲットデバイスの共有のデバイスアドレスであり、図2の第1のレジスタアドレス212が、UIDを格納及び／又は設定するために構成されるターゲットデバイスにおけるレジスタのレジスタアドレスであるようになっている。例えば、図3の第1の読み取り要求305は、レジスタ130及び150のデバイスアドレスと、レジスタ135及び155に対応するレジスタアドレスとを含み、そのため、レジスタ135及び155がターゲットデバイスUIDを格納するように構成されている。プライマリデバイスは、シリアルデータ線がターゲットデバイスに結合されるように、シリアルデータ線（例えば、図1のシリアルデータ線120）を駆動することによって、デバイスに第1の読み取りコマンドを送り得る。プロセスはブロック410に進む。

40

【0065】

ブロック410において、プライマリデバイスは、第1のUID及び第2のUIDの論理ANDを読み取る。プライマリデバイスは、ブロック405における第1の読み取りコマンド、及びシリアルデータ線上での共有のデバイスアドレス（例えば、図2の第2

50

のデバイスアドレス 218) の伝送の結果として、第 1 のターゲットデバイス (例えば、第 1 のターゲットデバイス 110) からの第 1 の UUI D と、第 2 のターゲットデバイス (例えば、第 2 のターゲットデバイス 115) からの第 2 の UUI D の論理 A N D を読み取り得る。ブロック 410 における読み取りは、図 2 の読み取りコマンド 202 のビット 216 ~ 228 と同様に構成され得る。例えば、図 3 の第 1 の読み取り値 310 は、共有のデバイスアドレスを含み、その後、第 1 のターゲットデバイス 110 の UUI D と第 2 のターゲットデバイス 115 の UUI D との論理 A N D が続く。有利にも、ターゲットデバイスは、プライマリデバイスがターゲットデバイスから値の論理 A N D を読み取るように、同時にシリアルデータ線を駆動する。プロセスはブロック 415 に進む。

【0066】

ブロック 415 において、プライマリデバイスは、デバイスアドレスに第 1 の書き込みコマンドを送る。第 1 の書き込みコマンドは図 3 の書き込みコマンド 330 と同様に構成されており、プライマリデバイスが、UUI D の論理 A N D を表す値を、図 2 の第 2 の値 244 として共有のデバイスアドレスに伝送するようになっている。例えば、プライマリデバイス 105 は、シリアルデータ線を駆動して、共有のデバイスアドレスと、それに続くターゲットデバイス 110 及び 115 の UUI D の論理 A N D を表す値とを伝送する。有利にも、プライマリデバイス 105 は、ターゲットデバイスの UUI D の論理 A N D を、単一のコマンドで全てのターゲットデバイスに伝送し得る。あるいは、プライマリデバイスは、第 1 の書き込みコマンドを、ブロック 405 及び 410 の後の任意の時点に送るよう構成されてもよい。プロセスはブロック 420 に進む。

【0067】

ブロック 420 において、プライマリデバイスは、デバイスアドレスに第 2 の読み取りコマンドを送る。第 2 の読み取りコマンドは読み取りコマンド 202 に基づいて構成されており、そのため、第 1 のデバイスアドレス 206 がターゲットデバイスの共有のデバイスアドレスであり、第 1 のレジスタアドレス 212 が、逆 UUI D を格納及び / 又は設定するために構成されるターゲットデバイスにおけるレジスタのレジスタアドレスとなっている。例えば、図 3 の第 2 の読み取り要求 320 は、レジスタ 130 及び 150 のデバイスアドレスと、レジスタ 140 及び 160 に対応するレジスタアドレスとを含み、そのため、レジスタ 140 及び 160 がターゲットデバイス逆 UUI D を格納するよう構成されている。プロセスはブロック 425 に進む。

【0068】

ブロック 425 において、プライマリデバイスは、第 1 の UUI D b a r と第 2 の UUI D b a r との論理 A N D を読み取る。プライマリデバイスは、ブロック 420 における第 2 の読み取りコマンド、及びシリアルデータ線上での共有のデバイスアドレス (例えば、第 2 のデバイスアドレス 218) の伝送の結果として、第 1 のターゲットデバイスからの第 1 の UUI D b a r と第 2 のターゲットデバイスから第 2 の UUI D との論理 A N D を読み取り得る。ブロック 425 において実施される読み取りは、図 2 の読み取りコマンド 202 のビット 216 ~ 228 と同様に構成され得る。例えば、図 3 の第 2 の読み取り値 325 は、共有のデバイスアドレスと、それに続く第 1 のターゲットデバイス 110 の UUI D b a r と第 2 のターゲットデバイス 115 の UUI D b a r との論理 A N D とを含む。有利にも、ターゲットデバイスは、プライマリデバイスが双方のターゲットデバイスから値の論理 A N D を読み取るように、同時にシリアルデータ線を駆動する。プロセスはブロック 430 に進む。

【0069】

ブロック 430 において、プライマリデバイスは、共有のデバイスアドレスに第 2 の書き込みコマンドを送る。第 2 の書き込みコマンドは図 3 の書き込みコマンド 330 と同様に構成されており、プライマリデバイスが、UUI D b a r の論理 A N D を表す値を、第 2 の値 244 として共有のデバイスアドレスに送信するようになっている。例えば、プライマリデバイス 105 は、シリアルデータ線を駆動して、共有のデバイスアドレスと、それに続くターゲットデバイス 110 及び 115 の UUI D b a r の論理 A N D を表す値と

10

20

30

40

50

を伝送する。有利にも、プライマリデバイスは、ターゲットデバイスの U U I D b a r の論理 A N D を、単一のコマンドで全てのターゲットデバイスに伝送し得る。プロセスは終了する。あるいは、プライマリデバイスは、ブロック 4 3 0 の第 2 の書き込みコマンドを、ブロック 4 2 0 及び 4 2 5 の後の任意の時点に送り得る。

【 0 0 7 0 】

図 4 に図示されるフローチャートを参照して例示の方法が記載されているが、多くの他の方法が代替的に本記載において用いられてもよい。例えば、ブロックの実行順序が変更されてもよく、及び／又は、記載されるブロックのいくつかが変更、排除、又は組み合わされてもよい。同様に、製造プロセスにおいて、図示の例に示されたブロックの前、間、又は後に付加的な動作が含まれてもよい。

【 0 0 7 1 】

図 5 は、図 3 のコマンド交換を実施するように、図 1 の第 1 のターゲットデバイス及び／又は図 1 の第 2 のターゲットデバイスを実装するように実行され得る及び／又はハードウェアによって構成され得る、機械読み取り可能命令を用いて実施され得る例示のプロセスを表すフローチャートである。図 5 の例において、プロセスは、ターゲットデバイスが共有のデバイスアドレスで始まり、個別のデバイスアドレスで終わるように、プライマリデバイス（例えば、図 1 及び図 3 のプライマリデバイス 1 0 5）と、複数のターゲットデバイス（例えば、図 1 及び図 3 のターゲットデバイス 1 1 0 及び 1 1 5）との間で、I 2 C コマンドを交換するように構成される。プロセスはブロック 5 0 5 で始まる。

【 0 0 7 2 】

ブロック 5 0 5 において、ターゲットデバイスは、第 1 の読み取りコマンドを受け取る。第 1 の読み取りコマンドは、図 2 の読み取りコマンド 2 0 2 のビット 2 0 4 ~ 2 1 4 に基づいて構成されており、そのため、図 2 の第 1 のデバイスアドレス 2 0 6 がターゲットデバイスの共有のデバイスアドレスであり、図 2 の第 1 のレジスタアドレス 2 1 2 が、U U I D を格納及び／又は設定するために構成されるターゲットデバイスにおけるレジスタのレジスタアドレスとなっている。例えば、図 3 の第 1 の読み取り要求 3 0 5 は、レジスタ 1 3 0 及び 1 5 0 のデバイスアドレスと、レジスタ 1 3 5 及び 1 5 5 に対応するレジスタアドレスとを含み、そのため、レジスタ 1 3 5 及び 1 5 5 がターゲットデバイス U U I D を格納するように構成されている。ターゲットデバイスは、シリアルデータ線が別個のターゲットデバイスとプライマリデバイスとに結合されるように、シリアルデータ線（例えば、図 1 のシリアルデータ線 1 2 0）を駆動することによって、I 2 C コマンドを読み取る及び／又はデバイスアドレスに送ることができる。プロセスはブロック 5 1 0 に進む。

【 0 0 7 3 】

ブロック 5 1 0 において、ターゲットデバイスは、第 1 の U U I D を書き込む。ブロック 5 1 0 における書き込みは、図 2 の第 1 の値 2 2 4 がターゲットデバイスの第 1 の U U I D であるように、図 2 の読み取りコマンド 2 0 2 のビット 2 1 6 ~ 2 2 8 と同様に構成され得る。例えば、第 1 のターゲットデバイス 1 1 0 は、図 3 の第 1 の読み取り値 3 1 0 の一部として共有のデバイスアドレスを受け取ったことに応答して、図 1 の第 2 のレジスタ 1 3 5 の値を書き込む。ブロック 5 0 5 及び 5 1 0 は、図 2 の読み取りコマンド 2 0 2 のビット 2 0 4 ~ 2 2 8 を含むように構成される第 1 の読み取りコマンドを含む。有利にも、プライマリデバイスがターゲットデバイスから値の論理 A N D を読み取るように、ターゲットデバイスは同時にシリアルデータ線を駆動し得る。プロセスはブロック 5 1 5 に進む。

【 0 0 7 4 】

ブロック 5 1 5 において、ターゲットデバイスは、第 1 の書き込みコマンドを受け取る。第 1 の書き込みコマンドは、プライマリデバイスが U U I D の論理 A N D を表す値を共有のデバイスアドレスに伝送するように、図 3 の第 1 の書き込みコマンド 3 1 5 と同様に構成される。例えば、ターゲットデバイスは、ターゲットデバイス 1 1 0 及び 1 1 5 の U U I D の論理 A N D を表す値を受け取る。有利にも、ターゲットデバイスは、ターゲット

デバイスのU U I Dの論理A N Dを、単一のコマンド内で受け取り得る。プロセスはブロック5 2 0に進む。

【0 0 7 5】

ブロック5 2 0において、ターゲットデバイスは、第2の読み取りコマンドを受け取る。第2の読み取りコマンドは読み取りコマンド2 0 2のビット2 0 4～2 1 4に基づいて構成されており、そのため、第1のデバイスアドレス2 0 6がターゲットデバイスの共有のデバイスアドレスであり、第1のレジスタアドレス2 1 2が、逆U U I Dを格納及び／又は設定するために構成されるターゲットデバイスにおけるレジスタのレジスタアドレスとなっている。例えば、図3の第2の読み取り要求3 2 0は、レジスタ1 3 0及び1 5 0のデバイスアドレスと、レジスタ1 4 0及び1 6 0に対応するレジスタアドレスとを含み、そのため、レジスタ1 4 0及び1 6 0がターゲットデバイス逆U U I Dを格納するように構成されている。プロセスはブロック5 2 5に進む。

10

【0 0 7 6】

ブロック5 2 5において、ターゲットデバイスは、U U I D b a rを書き込む。ブロック5 2 5における書き込みは、図2の読み取りコマンド2 0 2と同様に構成され得る。例えば、図3の第2の読み取り値3 2 5は、共有のデバイスアドレスと、それに続く第1のターゲットデバイス1 1 0のU U I D b a rと、第2のターゲットデバイス1 1 5のU U I D b a rとの論理A N Dとを含む。ブロック5 2 0及び5 2 5は、図2の読み取りコマンド2 0 2のビット2 0 4～2 2 8を含むように構成される第2の読み取りコマンドを含む。有利にも、ターゲットデバイスは、プライマリデバイスが双方のターゲットデバイスから値の論理A N Dを読み取り得るように、同時にシリアルデータ線上にU U I D b a rの値を書き込む。プロセスはブロック5 3 0に進む。

20

【0 0 7 7】

ブロック5 3 0において、ターゲットデバイスは、第2の書き込みコマンドを受け取る。第2の書き込みコマンドは、ターゲットデバイスがU U I D b a rの論理A N Dを表す値を受け取るように、図3の書き込みコマンド3 3 0と同様に構成される。例えば、プライマリデバイス1 0 5は、シリアルデータ線を駆動して、共有のデバイスアドレスと、それに続く、ターゲットデバイス1 1 0及び1 1 5のU U I D b a rの論理A N Dを表す値とを伝送する。有利にも、ターゲットデバイスは、ターゲットデバイスのU U I D b a rの論理A N Dを、単一のコマンド内で受け取る。プロセスはブロック5 3 5に進む。

30

【0 0 7 8】

ブロック5 3 5において、ターゲットデバイスは、第2のU U I Dを判定する。ターゲットデバイスは、ターゲットデバイスが別個のターゲットデバイスのU U I Dを判定し得るように、図3のブロック3 3 5及び3 4 5に記載の方法と同様に第2のU U I Dを判定し得る。例えば、第1のターゲットデバイス1 1 0は、第1のターゲットデバイス1 1 0のU U I Dをターゲットデバイス1 1 0及び1 1 5のU U I Dの論理A N Dと比較することによって、第2のターゲットデバイス1 1 5のU U I Dの各ビットの可能な値を判定することに基づいて、第2のターゲットデバイス1 1 5のU U I Dを判定する。有利にも、ターゲットデバイスは、別個のターゲットデバイスコマンドを送ることなく、別のターゲットデバイスのU U I Dを判定し得る。プロセスはブロック5 4 0に進む。

40

【0 0 7 9】

ブロック5 4 0において、ターゲットデバイスは、第1のU U I D及び第2のU U I Dに基づいて、デバイスアドレスを判定する。ターゲットデバイスは、ターゲットデバイスのデバイスアドレスが変更されるべきか否かをターゲットデバイスが判定し得るように、図3のブロック3 4 0及び3 5 0に記載の方法と同様に、第1のU U I Dを第2のU U I Dと比較する。例えば、第1のターゲットデバイス1 1 0は、第2のターゲットデバイス1 1 5のU U I Dが第1のターゲットデバイス1 1 0のU U I Dよりも大きいと判定した結果として、第1のターゲットデバイス1 1 0のデバイスアドレスを新しいデバイスアドレスに変更し得る。プロセスはブロック5 4 5に進む。

【0 0 8 0】

50

ブロック545において、ターゲットデバイスは、デバイスアドレスを構成する。例えば、第1のターゲットデバイス110は、第1のUUI Dと第2のUUI Dとを比較した結果として、デバイスアドレスに対応するレジスタの値を改変し得る。有利には、シリアルデータ線に結合されたターゲットデバイスは個別のデバイスアドレスを含み、プライマリデバイスが、各ターゲットデバイスに個別にI2Cコマンドを送る及び／又は受け取り得る。

【0081】

図5に図示されるのフローチャートを参照して例示の方法が記載されているが、多くの他の方法が代替的に本記載において用いられてもよい。例えば、ブロックの実行順序が変更されてもよく、及び／又は記載されるブロックのいくつかが変更、排除、又は組み合わされてもよい。同様に、製造プロセスにおいて、図示の例に示されたブロックの前、間、又は後に付加的な動作が含まれてもよい。

【0082】

図6は、図2のコマンドを用いて図1及び図3のデバイスアドレス改変を実装するために、例示の機械読み取り可能命令及び又は図4及び図5の例示の動作を実行するために構成されるプロセッサ回路要素を含む、例示の処理プラットフォームのブロック図である。プロセッサプラットフォーム600は、例えば、サーバ、パーソナルコンピュータ、ワークステーション、自己学習マシン（例えば、ニューラルネットワーク）、モバイルデバイス（例えば、携帯電話、スマートフォン、i P a d（商標）などのタブレット）、パーソナルデジタルアシスタント（PDA）、インターネット家電、DVDプレーヤ、CDプレーヤ、デジタルビデオレコーダ、ブルーレイプレーヤ、ゲームコンソール、パーソナルビデオレコーダ、セットトップボックス、ヘッドセット（例えば、拡張現実（AR）ヘッドセット、仮想現実（VR）ヘッドセットなど）、若しくは他のウェアラブルデバイス、又は任意の他のタイプのコンピューティングデバイスとし得る。

【0083】

図示される例のプロセッサプラットフォーム600は、プロセッサ回路要素612を含む。図示の例のプロセッサ回路要素612は、ハードウェアである。例えば、プロセッサ回路要素612は、集積回路、論理回路、FPGAマイクロプロセッサ、CPU、GPU、DSP、及び／又は任意の所望のファミリー若しくは製造業者からのマイクロコントローラの1つ又は複数によって実装することができる。プロセッサ回路要素612は、1つ又は複数の半導体ベース（例えば、シリコンベース）のデバイスによって実装され得る。

【0084】

図示される例のプロセッサ回路612は、ローカルメモリ613（例えば、キャッシュ、レジスタなど）を含む。図示の例のプロセッサ回路要素612は、揮発性メモリ614及び不揮発性メモリ616を含むメインメモリと、バス618によって通信している。揮発性メモリ614は、同期式ダイナミックランダムアクセスメモリ（SDRAM）、ダイナミックランダムアクセスメモリ（DRAM）、RAMBUS（登録商標）ダイナミックランダムアクセスメモリ（RDRAM（登録商標））、及び／又は任意の他のタイプのRAMデバイスによって実装され得る。不揮発性メモリ616は、フラッシュメモリ及び／又は任意の他のタイプのメモリデバイスによって実装され得る。図示の例のメインメモリ616、616へのアクセスは、メモリコントローラ617によって制御されている。あるいは、図1及び図3のプライマリデバイス105は、プロセッサ回路要素612に含まれてもよい。

【0085】

図示される例のプロセッサプラットフォーム600はまた、インタフェース回路要素620を含む。インタフェース回路要素620は、イーサネットインタフェース、ユニバーサルシリアルバス（USB）インタフェース、Bluetooth（登録商標）インタフェース、近距離無線通信（NFC）インタフェース、周辺機器相互接続（PCI）インタフェース、及び／又は、周辺機器相互接続エクスプレス（PCIe）インタフェースなど、任意のタイプのインタフェース規格において、ハードウェアによって実装され得る。図

10

20

30

40

50

6 の例において、プライマリデバイス 1 0 5 は、インタフェース回路要素 6 2 0 内に含まれる。あるいは、プライマリデバイス 1 0 5 は、プロセッサプラットフォーム 6 0 0 に含まれてもよい。

【0086】

図示される例において、ターゲットデバイス 1 1 0 及び 1 1 5 は、インタフェース回路要素 6 2 0 に接続されている。ターゲットデバイス 1 1 0 及び 1 1 5 は、I 2 C プロトコルを用いて、インタフェース回路要素 6 2 0 と通信するように構成される。ターゲットデバイス 1 1 0 及び 1 1 5 は、I 2 C 通信が可能な周辺デバイス（例えば、センサ、電氣的に消去可能なプログラマブル読み取り専用メモリ（E E P R O M）、レシーバなど）として実装することができる。

10

【0087】

図示される例において、1 つ又は複数の入力デバイス 6 2 2 が、インタフェース回路構成 6 2 0 に接続されている。入力デバイス 6 2 2 は、ユーザにデータ及び／又はコマンドをプロセッサ回路要素 6 1 2 に入力することを可能にする。入力デバイス 6 2 2 は、例えば、オーディオセンサ、マイクロフォン、カメラ（静止画又は動画）、キーボード、ボタン、マウス、タッチスクリーン、トラックパッド、トラックボール、イソポイント（i s o p o i n t）デバイス、及び／又は音声認識システムによって実装することができる。

【0088】

また、1 つ又は複数の出力デバイスが、図示される例のインタフェース回路要素 6 2 0 に接続される。出力デバイス 6 2 6 は、例えば、ディスプレイデバイス（例えば、発光ダイオード（L E D）、有機発光ダイオード（O L E D）、液晶ディスプレイ（L C D）、陰極線管（C R T）ディスプレイ、横電界（I P S）ディスプレイ、タッチスクリーンなど）、触覚出力デバイス、プリンタ、及び／又はスピーカによって実装することができる。それゆえ、図示の例のインタフェース回路要素 6 2 0 は、グラフィックドライバカード、グラフィックドライバチップ、及び／又は G P U などのグラフィックプロセッサ回路要素を含む。

20

【0089】

図示される例のインタフェース回路 6 2 0 はまた、ネットワーク 6 2 6 による外部機器（例えば、任意の種類のコンピューティングデバイス）とのデータ交換を容易にするために、トランスミッタ、レシーバ、トランシーバ、モデム、レジデンシャルゲートウェイ、ワイヤレスアクセスポイント、及び／又はネットワークインタフェースを含む。通信は、例えば、イーサネット接続、デジタル加入者回線（D S L）接続、電話回線接続、同軸ケーブルシステム、サテライトシステム、見通し（l i n e - o f - s i t e）ワイヤレスシステム、携帯電話システム、光学接続などによるものであり得る。

30

【0090】

図示される例のプロセッサプラットフォーム 6 0 0 はまた、ソフトウェア及び／又はデータを格納するための 1 つ又は複数の大容量ストレージデバイス 6 2 8 を含む。このような大容量ストレージデバイス 6 2 8 の例としては、磁気ストレージデバイス、光学ストレージデバイス、フロッピーディスクドライブ、H D D、C D、ブルーレイディスクドライブ、個別ディスクの冗長性アレイ（R A I D : Redundant Array of Independent Disks）システム、フラッシュメモリデバイス及び／又は S S D などの固体ストレージデバイス、並びに D V D ドライブが挙げられる。

40

【0091】

図 4 及び図 5 の機械読み取り可能命令によって実装され得る機械実行可能命令 6 3 2 は、大容量ストレージデバイス 6 2 8、揮発性メモリ 6 1 6（6 1 4？）、不揮発性メモリ 6 1 6、及び／又は C D 若しくは D V D などの取り外し可能非一時的コンピュータ読み取り可能ストレージ媒体に格納され得る。

【0092】

用語「結合する」は、明細書全体を介して用いられている。この用語は、本記載と一貫した機能的関係性を可能とする、接続、通信、又は信号経路を網羅し得る。例えば、デバ

50

イス A が、或るアクションを行うようにデバイス B を制御するための信号を提供する場合、第 1 の例において、デバイス A はデバイス B に結合され、又は第 2 の例において、介在する構成要素 C がデバイス A とデバイス B との間の機能的関係性を実質的に変更しない場合に、介在する構成要素 C を介してデバイス A がデバイス B に結合され、デバイス B がデバイス A によってデバイス A によって提供された制御信号を介して制御されるようにされる。

【0093】

或るタスク又は機能を実施する「ように構成されている」デバイスが、その機能を実施するために製造業者によって製造時に構成され（例えば、プログラミングされ及び／又はハードウェアに組み込まれ）てもよく、及び／又は、その機能及び／又は他の付加的な或いは代替的な機能を実施するように製造後にユーザによって構成可能（又は再構成可能）であり得る。こういった構成は、デバイスのファームウェア及び／又はソフトウェアプログラミングを介するもの、デバイスのハードウェア構成要素及び相互接続の構築並びに／若しくはレイアウトを介するもの、又はそれらの組み合わせであり得る。

【0094】

本明細書において用いられるように、「端子」、「ノード」、「相互接続」、「ピン」、及び「リード」は、交換可能に用いられる。特に反対の記載がない限り、これらの用語は概して、デバイス要素、回路要素、集積回路、デバイス、又は、他の電子機器又は半導体構成要素の間の相互接続又は終端を意味するために用いられる。

【0095】

本明細書において、特定の構成要素を含むものとして記載される回路又はデバイスが、代わりに、記載された回路要素又はデバイスを形成するためにそれらの構成要素と結合されるように適合され得る。例えば、1 つ又は複数の半導体要素（トランジスタなど）、1 つ又は複数の受動要素（抵抗器、コンデンサ、及び／又はインダクタなど）、及び／又は、1 つ又は複数の供給源（電圧及び／又は電流源）を含むように記載される構造が、代わりに、単一の物理デバイス（例えば、半導体ダイ及び／又は集積回路（IC）パッケージ）内に半導体要素のみを含んでいてもよく、また、少なくとも受動要素及び／又は供給源の少なくともいくつかは結合されるように適合されて、製造時又は製造後に、例えば、エンドユーザ及び／又は第三者によって、記載された構造を形成してもよい。

【0096】

特定のトランジスタの使用が本明細書に記載されているが、他のトランジスタ（又は同等のデバイス）を代わりに用いてもよい。例えば、p 型電界効果トランジスタ（「PFET」）を、n 型電界効果トランジスタ（「NFET」）の代わりに、回路にほぼ又は全くの変更なく用いることができる。また、他のタイプのトランジスタ（バイポーラトランジスタ（BJT）など）を用いてもよい。

【0097】

本明細書に記載の回路は、構成要素の置換前に利用可能であった機能と少なくとも部分的に類似する機能を提供するように、置換された構成要素を含むように再構成可能である。抵抗器として示される構成要素は概して、別途記載されない限り、示された抵抗器によって表されるインピーダンスの量を提供するように直列及び／又は並列に結合される任意の 1 つ又は複数の要素を表す。例えば、単一の構成要素として本明細書に示され記載される抵抗器又はコンデンサが、代わりに、同じノード間に並列に結合される、それぞれ複数の抵抗器又はコンデンサであってもよい。例えば、単一の構成要素として本明細書に示され記載される抵抗器又はコンデンサが、代わりに、単一の抵抗器又はコンデンサとして同じ 2 つのノード間に直列に結合される、それぞれ複数の抵抗器又はコンデンサであってもよい。

【0098】

前述の記載における「接地」という語句の使用は、シャーシ接地、アース接地、浮遊接地、仮想接地、デジタル接地、共用接地、及び／又は本記載の教示に適用可能であるか又は好適な任意のその他の形態の接地接続を含む。別途記載されない限り、或る値に先行す

10

20

30

40

50

る「約」、「およそ」、又は「実質的に」は、記載されている値の $+/-10$ パーセントを意味する。

【 0 0 9 9 】

特許請求の範囲内で、説明された実施例における改変が可能であり、その他の実施例が可能である。

【図面】

【図 1】

【圖 2 A】

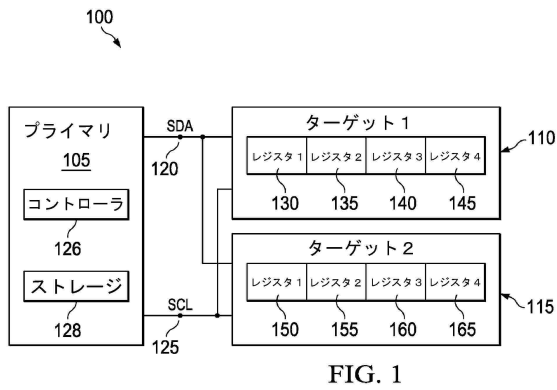


FIG. 1

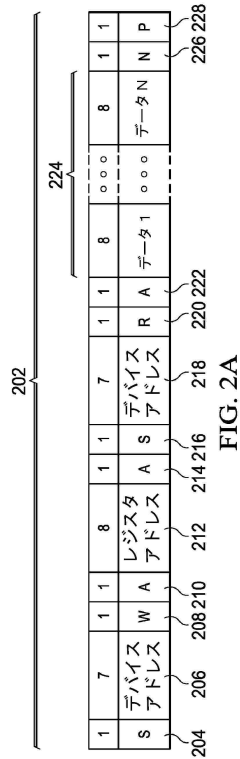


FIG. 2A

10

20

30

40

50

【図 2 B】

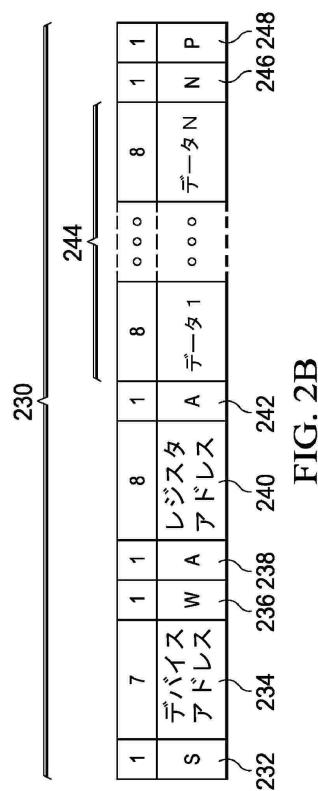


FIG. 2B

【図 3】

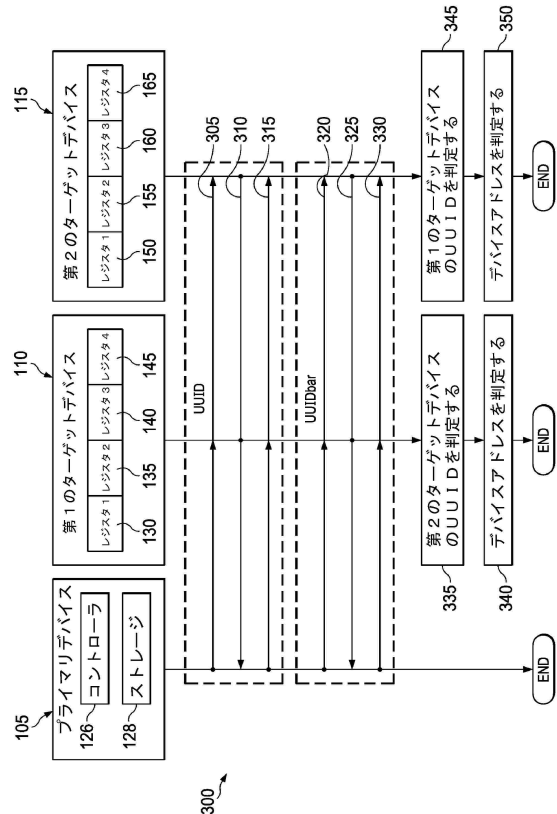


FIG. 3

【図 4】

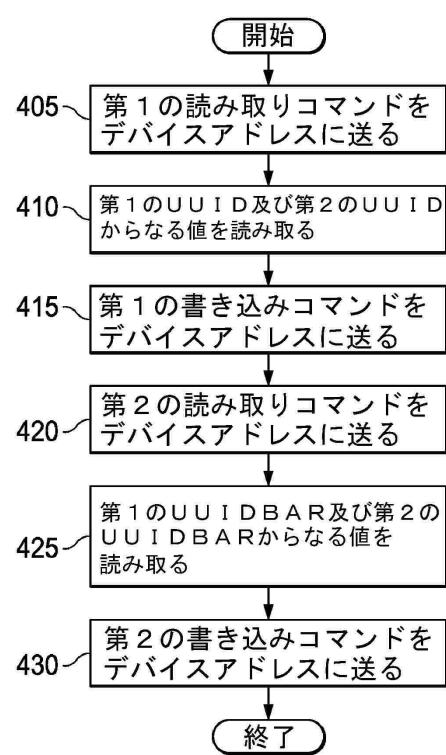


FIG. 4

【図 5】

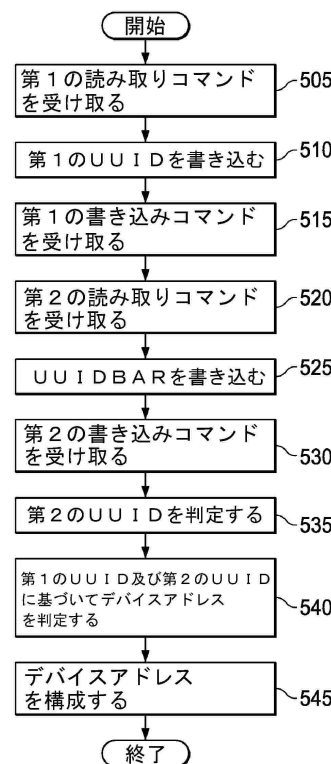


FIG. 5

10

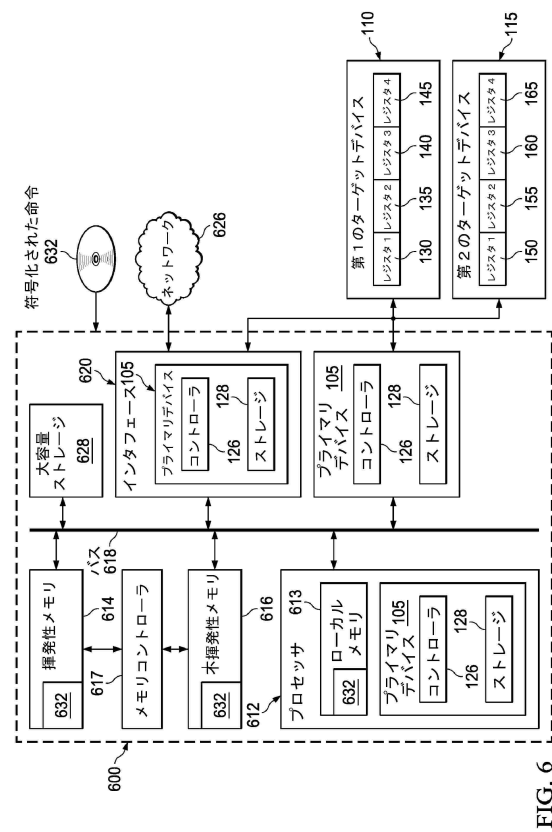
20

30

40

50

【図 6】



10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/011674

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06F13/42
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2019/108149 A1 (GRAIF SHARON [IL] ET AL) 11 April 2019 (2019-04-11) paragraph [0056]; figure 5 -----	1-20
A	EP 2 725 499 A1 (TELEFONICA SA [ES]) 30 April 2014 (2014-04-30) the whole document -----	1-20
A	US 2010/306431 A1 (ADKINS CHRISTOPHER ALAN [US] ET AL) 2 December 2010 (2010-12-02) paragraphs [0030] - [0032] -----	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

2 May 2023

Date of mailing of the international search report

15/05/2023

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Albert, Jozsef

INTERNATIONAL SEARCH REPORT						International application No PCT/US2023/011674	
Information on patent family members							
Patent document cited in search report		Publication date	Patent family member(s)		Publication date		
US 2019108149	A1	11-04-2019	TW	201923606 A	16-06-2019		
			US	2019108149 A1	11-04-2019		
			WO	2019074906 A1	18-04-2019		

EP 2725499	A1	30-04-2014	NONE				

US 2010306431	A1	02-12-2010	US	2010306431 A1	02-12-2010		
			US	2012284429 A1	08-11-2012		
			WO	2010138745 A1	02-12-2010		

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX
,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW