

公告本

申請日期	89.12.18
案 號	89127069
類 別	H01L 31/08

A4
C4

490846

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	傳送面較小之積體動態記憶胞及其製造方法
	英 文	Integrated Dynamic Memory-cells with Smaller Propagation-area and Its Production Method
二、發明 人	姓 名	1. 法蘭茲霍夫曼 (Franz HOFMANN) 2. 提爾史克羅什 (Till SCHLÖSSER) 3. 伍爾夫敢格克羅茲史契奈德 (Wolfgang KRAUTSCHNEIDER)
	國 籍 住、居所	1. 德國 2. 德國 3. 德國 1. 德國慕尼黑 80995 赫伯格街 35b 號 2. 德國慕尼黑 81825 布羅姆伯格街 40 號 3. 德國漢堡 21149 史柴德霍爾茲路 47e 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
	國 籍 住、居所 (事務所) 代 表 人 姓 名	德國 德國慕尼黑 D-81669 聖馬丁街 53 號 麥可勾威什 (Michael Gollwitzer) 荷斯特卻佛 (Dr. Horst Schäfer)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

德 國 (地 區) 申 請 專 利 , 申 請 日 期 : 案 號 : , ☒ 有 ☐ 無 主 張 優 先 權
1999 年 12 月 21 日 19961779.1

有 關 微 生 物 已 寄 存 於 : , 寄 存 日 期 : , 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（ 1 ）

本發明涉及一種傳送面較小之積體動態記憶胞，其積體化於基板中已蝕刻之溝渠中。

動態半導體記憶體由許多記憶胞所構成。傳統之記憶胞具有一個記憶電容，其經由選擇電晶體而連接至位元線 BL。若字元線 WL 處於高電壓位準，則選擇電晶體導通且記憶電容連接至位元線 BL。在此種情況下一種資料可寫入記憶胞中，其方式是電容放電或充電至所期望之記憶內容。

爲了使動態記憶體達到 Giga bit 範圍之記憶容量，則須在基板晶片面積上積體成許多記憶胞。由於基板晶片面積是有限的，因此須使各別之積體動態記憶胞之傳送面保持儘可能小。此種最小化因此亦可藉由所使用之微影技術來決定。藉由所使用之微影技術可決定微影術之最小之結構大小 F，其目前大約是在 150nm 至 200nm 之間。

傳統記憶胞之缺點是：在積體化逐漸增大至較小之結構時，記憶電容器之電容可能變小。因此在 EP 0537203 中第 8 圖所示之記憶胞設有二個 MOSFET 電晶體。但在該文件所述之記憶胞中該傳送面較大，這是因爲記憶胞以平面方式形成在基板表面。

本發明之目的是提供一種積體動態記憶胞及其製造方法，其中在晶片基板表面上之傳送面是最小的。

依據本發明，此目的藉由具有申請專利範圍第 1 項特徵之積體動態記憶胞以及具有第 19 項特徵之製造方法來達成。

五、發明說明 (2)

本發明設計一種傳送面較小之積體動態記憶胞，其具有一種選擇-MOSFET，此 MOSFET 包括：一個閘極端-區域，其是與字元線相連接；一個源極端-摻雜區，其是與位元線相連接；一個汲極端-摻雜區。另有一個記憶-MOSFET，其包括：一個閘極端-區域，其經由一個薄介電質層而連接至連接-摻雜區，其使該記憶-MOSFET 之源極端-摻雜區可與選擇-MOSFET 之汲極端-摻雜區相連接；一個汲極端-摻雜區，其緊鄰電源電壓。其中該選擇-MOSFET 和記憶-MOSFET 在一種於半導體基板中已蝕刻之溝渠中須配置在溝渠之側壁，使它們互相面對且該連接-摻雜區形成該已蝕刻之溝渠之底部。

在本發明之動態記憶胞之較佳之實施形式中，該選擇-MOSFET 和記憶-MOSFET 分別是一種 NMOS 電晶體。

在本發明之記憶胞之較佳實施形式中，薄介電質層之厚度小於 2nm，使穿隧(tunnel)電流可透過此薄介電質層。

在其它較佳之實施形式中，流經薄介電質層之穿隧電流可藉由閘極端-區域及連接-摻雜區之摻雜度來調整。

薄介電質層較佳是具有一種類似於二極體之非對稱之電流導通特性。

此薄介電質層較佳是由氧化物，氮化物或氧化氮化物所構成。

在本發明之其它較佳實施形式中，該選擇-MOSFET 和記憶-MOSFET 分別具有一種閘極氧化物層，其沿著已蝕刻之溝渠之側壁而延伸。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 3 ）

在本發明之其它實施形式中，該選擇-MOSFET 和記憶-MOSFET 之閘極端-區域是由間隔層所形成。

在較佳之實施形式中，此二個 MOSFET 之源極端-區域和汲極端-區域以及連接-摻雜區是藉由離子植入法而摻雜。

在本發明其它較佳之實施形式中，已摻雜之電流通道分別位於選擇-MOSFETs 和記憶-MOSFETs 之閘極氧化物層旁邊，此電流通道之摻雜度可調整以決定此二個 MOSFETs 之各別之導通電壓。

已摻雜之電流通道較佳是藉由離子植入來摻雜。

已蝕刻之溝渠之寬度在本發明特別有利之實施形式中等於微影術之最小之結構大小。

已摻雜之電流通道之長度較佳是等於已蝕刻之溝渠之深度。

在本發明之其它實施形式中，已蝕刻之溝渠之深度較已蝕刻之溝渠之寬度還大。

此動態記憶胞之選擇-MOSFETs 之閘極端-區域是由一種通常延伸於已蝕刻之溝渠中之間隔層(spacer)所形成，此間隔層形成其它動態記憶胞之許多其它選擇-MOSFETs 之閘極端-區域。

在本發明記憶胞之其它實施形式中，動態記憶胞之傳送面大約是微影術正方形結構大小之 4 倍。

不同記憶胞之選擇-MOSFETs 之半導體基板區(其配置在已蝕刻之溝渠之側壁上)較佳是藉由隔離層互相隔開而配置著。

五、發明說明 (4)

在本發明之其它較佳實施形式中，此記憶-MOSFETs 之半導體基板區(其配置在已蝕刻之溝渠之相面對之側面上)同樣藉由隔離層而互相隔開。

本發明亦涉及積體動態記憶胞之製造方法，其具有以下各步驟：

半導體基板表面之植入，

半導體基板中一種溝渠之蝕刻，

在已蝕刻之溝渠底部上植入此半導體基板，

對已蝕刻之溝渠之二個側壁進行熱氧化作用以便在側壁上形成介電質層，

在已蝕刻之溝之底部上沈積一種隔離用之氧化物層，

在已蝕刻之溝渠之側壁上形成多晶矽間隔層(spacer)，

利用該已形成之多晶矽間隔層作為遮罩來對該隔離用之氧化物層進行蝕刻，此時已植入之半導體基板之中間表面區裸露在溝渠底部上，

已蝕刻之溝渠之一半以一種隔離材料填入，

在已蝕刻之溝渠之底部上在半導體基板之中間表面區之仍剩餘之一半上沈積一種薄介電質層，

在薄介電質層上沈積多晶矽層。

本發明之方法提供一種自我放大之動態記憶胞，其只有很小之面積需求。此製程是特別簡單的，因為已形成之遮罩是條形的，這樣可使微影術大大地簡化。由於已蝕刻之溝渠可較深以便容納記憶胞中之 MOSFETs，則此 MOSFETs 之電流通道較長，使漏電流(其可流經選擇電晶體)特別小。由於流經薄介電質層之穿隧(tunnel)電流所

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 5 ）

造成之非對稱之電流特性可藉由所施加之摻雜層之摻雜度來調整。此記憶胞之動態特性可依據所期望之應用而受到影響。

本發明之積體動態記憶胞及其製法將依據圖式來描述。
圖式簡單說明：

第 1 至 5 圖 本發明積體動態記憶胞製造時之一些步驟。

第 6，7 圖 本發明之動態記憶胞之另一實施形式中之各步驟。

第 8 圖 本發明之動態記憶胞之電路圖。

由第 8 圖可知，本發明之積體動態記憶胞 1 由二個 MOSFET 電晶體 2，3 所構成。MOSFET 電晶體 2，3 較佳是 NMOS-MOSFETs。記憶胞 1 具有第一接點 4 以連接至字元線 WL，第二接點 5 以連接至位元線 BL 以及第三接點 6 以連接至此記憶體之電源電壓 V_{DD} 。字元線 4 經由導線 7 而與 MOSFET 2 之閘極 8 相連接。MOSFETs 2 之源極端 9 經由導線 10 而與位元線接點 5 相連接。MOSFETs 2 之汲極端 11 經由連接線 12 而連接至 MOSFETs 3 之源極端 13。MOSFET 3 之汲極端 14 經由導線 15 而至電源電壓接點 6。閘極 15 經由以二極體表示之組件 16 以及一條電流線 17 而連接至此二個 MOSFETs 2，3 之連接線 12。組件 16 之特性類似於二極體或非對稱之電阻且具有非對稱之電流特性。

第 8 圖所示之本發明記憶胞之作用方式如下：

在記憶胞 1 中可寫入且儲存電荷。MOSFET 2 形成此記憶胞 1 之選擇-MOSFET，此 MOSFET 3 形成此記憶胞 1 之記憶

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (6)

-MOSFET。

爲了使電荷寫入或儲存在記憶-MOSFET 3 中，位元線接點 5 和字元線接點 4 都需處於邏輯 1(high)之電壓位準。該選擇-MOSFET 2 藉由其閘極接點 8 之受到控制而接通，此邏輯 1 之電壓位準於是施加至此二個 MOSFETs 2，3 之間之連接線 12。經由該類似二極體之組件 16 而在較短之充電時間中使記憶-MOSFETs 3 之閘極 15 充電。此閘極 15 用來儲存該已寫入之電荷(即，資料)。類似二極體之組件 16 具有非對稱之電流導通特性。類似二極體之組件 16 之作用是使閘極 15 中之電荷之放電時間較充電過程還長，這樣可確保此記憶電晶體 3 在邏輯 "1" 讀出時可導通一預定之時間。

在讀出該已儲存之電荷時，此位元線接點 5 處於一種邏輯低之電壓位準且字元線接點 4 處於邏輯高之電壓位準以便使該選擇-MOSFETs 2 導通(on)。該選擇-MOSFETs 2 導通而使連接線 12 處於位元線接點 5 處之低邏輯電壓位準。閘極 15 經由類似於二極體之組件 16 而緩慢地放電。只要足夠之閘極-電荷存在於此記憶-MOSFETs 之閘極 15，則另外有一種較大之電流由電源電壓接點 6 經由導線 15，12，10 而流向位元線接點 5，因爲此二個 MOSFETs 2，3 已導通。這表示此種儲存在記憶胞 1 中之電荷已變多。本發明之積體動態記憶胞之特性因此是：此種寫入記憶胞 1 中之電荷小於此種由記憶胞 1 中讀出時所可得到之電荷。本發明之動態記憶胞因此具有自我放大作用。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

此外，將描述本發明中以第 8 圖所示電路來表示之積體動態記憶胞 1 之製造方法。

首先，在半導體基板(其較佳是矽基板)上以 TEOS 沈積法施加一種已結構化之蝕刻-硬遮罩。此種硬遮罩是由許多條片所構成，這些條片之間距及寬度大約等於微影術之最小之結構大小 F。此種結構大小 F 是在 0.1 至 0.2 μm 之間。在隨後之乾蝕刻過程中對半導體基板中之隔離溝渠進行蝕刻，其中這些隔離溝渠使半導體晶片上之本發明之不同之動態記憶胞在電性上互相隔開。各隔離溝渠中以隔離材料(例如，氧化物)填入。各隔離溝渠須夠深，以便確保許多動態記憶胞在電性上可有效地隔離。隔離溝渠中以氧化物填入較佳是以 CVD 過程來達成。然後使表面被整平。

在下一個步驟中，進行一種 n-離子植入以便對此半導體基板之表面進行摻雜。因此須使離子加速，使離子可侵入半導體基板中一種指定之深度處。在離子植入之後沈積一種 n-多晶矽層且藉由一種光阻遮罩來蝕刻而被結構化，使多晶矽條垂直於已形成之以氧化物填入之隔離溝渠。各多晶矽條之距離及寬度較佳是亦等於微影術之最小之結構大小 F。整個結構然後塗佈一種已結構化之氮化矽-硬遮罩以便對溝渠進行蝕刻。在乾蝕刻過程中，須對矽基板和其內之條形平行延伸之隔離溝渠(其中以氧化物填入)進行蝕刻以便形成此動態記憶胞之即將形成之 MOSFET 用之容納溝渠。

五、發明說明（ 8 ）

在第 1 圖中可辨認一種依據上述步驟而形成之結構。在半導體基板上存在一種氮化物-硬遮罩 20，其中在半導體基板中對一種較深之容納溝渠 21 進行蝕刻。於是形成半導體基板條 22，23。在左方之半導體基板條 22 上存在一種由 n-摻雜之多晶矽所構成之層 24。在二個半導體基板條 22，23 中分別交替地形成由純矽基板所構成之區域 22a，23a 以及由隔離用之氧化物所形成之區域 22b，23b。

在下一步驟中，植入 n-離子以便對已蝕刻之溝渠 21 之底部上之半導體基板進行摻雜。之後該蝕刻溝渠 21 在一種 TEOS 過程中以二氧化矽填入且在一種整平過程(例如，藉由化學-機械式拋光(CMP)過程)之後對該蝕刻溝渠 21 中所填入之二氧化矽進行回(back)蝕刻，以便在溝渠底部上保留一種隔離用之氧化物層。回蝕刻須選擇性地在一種乾蝕刻過程中進行，使硬遮罩 20 之氮化矽不會受到侵蝕。藉由摻雜離子之傾斜式植入而對目前廣泛裸露之蝕刻溝渠 21 之側壁進行摻雜以形成後來之 MOSFETs 之電流通道。藉由摻雜度之大小來調整後來之 MOSFETs 之導通電壓。此蝕刻溝渠 21 之二個互相面對之側壁之植入程度可以是不同的，使此記憶胞 1 之二個 MOSFETs 2，3 之導通電壓可調整成不同。在填入之後此種已蝕刻之溝渠之二個互相面對之側壁受到熱氧化作用，以便在該處形成一種介電質氧化物層。此種介電質氧化物層稍後形成 MOSFETs 2，3 之閘極氧化物層。在形成閘極氧化物之後藉由蝕刻溝渠 21 中多晶矽之沈積以及隨後對所沈積之多晶矽進行

五、發明說明（ 9 ）

嚴謹之非等向性回蝕刻而形成 n^+ -多晶矽-間隔層 (spacer)。此種多晶矽-間隔層然後用作遮罩使此種位於溝渠底部上之隔離用之氧化物層被結構化。選擇性地對此種位於溝渠底部上之隔離用之氧化物層進行蝕刻而形成第 2 圖所示之結構。

第 2 圖是在進行上述之步驟之後矽半導體基板區 22 之切面圖。其中可辨認氮化物-硬遮罩層 20，其下方於左方之條片區 22 上存在此種由 n -多晶矽所構成之層 24，然後在二側上藉由 n -離子植入而形成各層 25，26。在已蝕刻之溝渠 21 之底部上同樣存在一種 n -摻雜區 27，其藉由 n -離子植入而形成。在已蝕刻之溝渠 21 之底部上在 n -摻雜區 27 上方有此種已結構化之隔離用之氧化物層，此種氧化物層由二個平行於側壁 28，29 而延伸之氧化物條 30，31 所構成。已蝕刻之溝渠 21 之底部之中央如第 2 圖所示是空的 (free)。此二個氧化物條 30，31 上方配置二個由 n -多晶矽所構成之間隔層 32，33。在已蝕刻之溝渠 21 之側壁 28，29 上分別存在閘極氧化物層。

已蝕刻之溝渠 21 現在以 TEOS 過程重新以二氧化矽填入且須以微影術來進行結構化，使只有半個溝渠中以二氧化矽填入。在熱氧化過程中在已蝕刻之溝渠 21 之底部上此基板之後表面區之保持裸露之半部上沈積一種薄的介電質層。此種薄的介電質層較佳是由 NO -化合物所構成。在此種氧化物-氮化過程中第 2 圖所示之左邊之間隔層 32 同樣以氧化物-氮化物化合物來覆蓋。則形成第 3 圖所示

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (10)

之結構。由第 3 圖可辨認：已蝕刻之溝渠 21 之右側共一半是以隔離用之材料 34 填入。此種材料 34 例如由二氧化矽所構成。在氧化物層 30 和隔離用之填充材料 34 之間在已蝕刻之溝渠 21 之底部上存在該薄的介電質層 35，其較佳是由氮-氧化合物所構成。此外，左方之間隔層 32 塗佈一種由氮-氧化合物所構成之層 36。第 3 圖所示已蝕刻之溝渠 21 之左側然後填入 n-多晶矽且須廣泛地對此多晶矽進行回蝕刻，以便保持一種複合物(poly)-插頭 37，如第 4 圖所示。藉由濕式化學蝕刻使裸露之間隔層 32 上之薄層 36(其由氮-氧化合物所構成)被去除，且隨後進行回蝕刻而另外沈積多晶矽，使間隔層 31 經由此種由 n-多晶矽所構成之層 38 而與多晶矽-插頭 37 相連接。在下一過程之後須使間隔層 32 和插頭 37，38 被結構化，使它們只保持在矽基板區 25 中且在此種由隔離氧化物所構成之區域 26 中被去除。

然後使整個結構中以中間氧化物填入且設置一種金屬層。右方條形區 23 上之摻雜區 26 設有一種位元線金屬接觸區 39。

第 5 圖是本發明積體動態記憶胞 1 之第一實施形式，其依據上述之方法而製成。在第 5 圖所示之結構中，記憶胞 1 之此二個 MOSFETs 2，3 在溝渠 21 中互相面對。依據第 8 圖所示之電路圖，第 5 圖中位於左側之 MOSFET 形成該記憶-MOSFET 3，位於右側之 MOSFET 形成該選擇-MOSFET 2。該選擇電晶體 2 之閘極 8 是由間隔層 33 所形成，該記憶-電

五、發明說明 (11)

晶體 3 之閘極 15 由間隔層 32 所形成。n-摻雜層 25 是記憶-MOSFET 3 之汲極端且是與記憶體之電源電壓 V_{DD} 相連接。n-摻雜區 26 形成此選擇電晶體 2 之源極端-區域，其中金屬接觸區 39 形成位元線端 5。右方之選擇電晶體 2 之汲極-摻雜區以及左方之記憶-電晶體 3 之源極-摻雜區經由蝕刻溝渠 21 底部上之連接-摻雜區 27 而互相連接。已蝕刻之溝渠 21 之底部上之摻雜區 27 在選擇電晶體 2 之汲極端 11 和記憶電晶體 3 之源極端 13 之間形成一種導電性連接 12。

第 8 圖中類似二極體之組件 16 由薄介電質層 35 所形成。此薄介電質層 35 由氧化物，氮化物或氧化氮化物所構成。已蝕刻之溝渠 21 之右側上之選擇-MOSFET 2 具有一個閘極端-區域，其是與字元線 WL 相連接。該選擇-MOSFET 2 另外具有一個源極端-摻雜區 26，其經由金屬接觸區 39 而與位元線 BL 相連接。

該記憶-MOSFET 3 具有一個閘極端-區域 32，其經由薄介電質層 35 而連接至連接-摻雜區 27。此連接-摻雜區 27 使已蝕刻之溝渠 21 之左側上之記憶-MOSFETs 3 之源極端-摻雜區可與已蝕刻之溝渠 21 之右側上之選擇-MOSFETs 2 之汲極端-摻雜區相連接。此記憶體之電源電壓 V_{DD} 供應至此記憶-MOSFETs 3 之汲極端-摻雜區 14。該選擇-MOSFETs 和記憶-MOSFET 3 在此半導體基板之已蝕刻之溝渠 21 中須配置於側壁 28，29 上，使它們互相面對，該連接-摻雜區 27 形成該已摻雜之溝渠 21 之底部。

五、發明說明 (12)

第 5 圖所示之實施形式顯示二個 NMOS-MOSFETs。但在另一種實施形式中亦可藉由本發明之製造方法來製成 PMOS-MOSFETs。

須很薄地形成該薄介電質層 35，使穿隧電流可在記憶-MOSFETs 3 之閘極端-區域 32 和連接-摻雜區 27 之間流經此介電質層 35。這些流經該薄介電質層 35 之穿隧電流因此可藉由 n-多晶矽區 37 之摻雜度及連接-摻雜區 27 之摻雜度來調整。此薄介電質層之厚度較佳是小於 2nm。

已蝕刻之溝渠 21 在原理上可蝕刻至任意深。此溝渠 21 之寬度較佳是等於微影術之最小之結構大小 F。由於已摻雜之電流通路之長度(其平行於溝渠 21 之側壁 28，29 而延伸)可由溝渠 21 之蝕刻深度來決定，則使已摻雜之電流通道之長度增加時即可使漏電流由記憶胞 1 經由選擇電晶體 2 而流至位元線接點 5。

位於右側之選擇-MOSFETs 2 之閘極端-區域 33(其形成閘極 8)通常是經由已蝕刻之溝渠 21 而延伸。動態記憶胞 1 之選擇-MOSFETs 2 之閘極端-區域是由一種在已蝕刻溝渠 21 中延伸之間隔層 33(由 n-多晶矽所構成)所形成，此間隔層 33 同時形成其它動態記憶胞 1 之許多其它選擇-MOSFETs 用之閘極端-區域。

由於已蝕刻之溝渠 21 之寬度大約等於微影術最小之結構大小 F 且半導體基板中各隔離溝渠之間之距離同樣是等於此結構大小 F，則本發明之記憶胞 1 之邊長大約是此結構大小 F 之二倍。因此，本發明之動態記憶胞 1 之傳送面

五、發明說明 (13)

大約是正方形微影術結構大小之 4 倍，即， $4F^2$ 。

本發明之動態記憶胞之製造方法可改變。例如，為了使溝渠底部上之 pn-接面之可能存在之漏電流成為最小，則亦可在溝渠底部上由磷-或砷玻璃層中排出摻雜物質，以取代溝渠底部中植入 n-離子。

在本發明之記憶胞之其它實施形式中，製成很厚之 n-多晶矽層 24 以便連接至電源電壓，使記憶-MOSFETs 3 之電源電壓端和閘極端-區域 32 之間形成較大之重疊電容。

在本發明之製造方法之另一種實施形式中，在此種由多晶矽所構成之間隔層 32，33 以及溝渠底部上之隔離用之氧化物層被結構化之後可改變此種程序。首先，在此種由多晶矽所構成之間隔層 32a，33a 上方設置一種由二氧化矽所構成之薄間隔層。然後在溝渠底部上以加熱方式生長該薄介電質層 35 且藉由沈積及回蝕刻而在此介電質層 35 上產生多晶矽-插頭 37。這樣所形成之結構顯示在第 6 圖中。

然後此結構中以二氧化矽填入。接著在一種藉由蝕刻來進行之微影術(其中只使記憶-MOSFET 3 保持裸露)之後進行一種乾式結構化，此種乾式蝕刻因此亦可消除此種由二氧化矽所形成之間隔層。隨後所沈積之已結構化之 n-多晶矽-間隔層使多晶矽-插頭可與該記憶-MOSFETs 之閘極端-區域相連接，如第 7 圖所示。

此記憶-MOSFETs 3 之閘極端-間隔層及插頭然後藉由蝕刻而被結構化，使它們只保留在由矽半導體基板所形成

五、發明說明 (14)

之溝渠側壁上，但在這些由隔離用之氧化物所構成之溝渠側壁上之部份須去除。整個結構然後又以中間氧化物層覆蓋且進行一種金屬化過程。

符號之說明

- 1.....記憶胞
- 2.....選擇-MOSFET
- 3.....記憶-MOSFET
- 4.....字元線接點
- 5.....位元線接點
- 6.....電源電壓接點
- 7.....導線
- 8.....閘極端
- 9.....源極端
- 10.....導線
- 11.....汲極端
- 12.....導線
- 13.....源極端
- 14.....汲極端
- 15.....閘極端
- 16.....類似二極體之組件
- 17.....導線
- 18..... -
- 19..... -
- 20.....氮化物-硬遮罩層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

- 21.....蝕刻溝渠
- 22.....半導體基板條片區
- 23.....半導體基板條片區
- 24.....多晶矽層
- 25.....植入層
- 26.....植入層
- 27.....連接-摻雜區
- 28.....蝕刻溝渠之側壁
- 29.....蝕刻溝渠之側壁
- 30.....隔離層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：

傳送面較小之積體動態記憶胞及其
製造方法

一種在半導體基板上傳送面較小之積體動態記憶胞 (1)，其包括：(a)一個選擇-MOSFET(2)，其具有：閘極端-區域(8，33)，其是與字元線 WL 相連接；源極端-摻雜區(9，26)，其是與位元線 BL 相連接；汲極端-摻雜區(11，27)；(b)一個記憶-MOSFET (3)，其具有：閘極端-區域(15，32)，其經由薄介電質層(35)而連接至連接-摻雜區(12，27)，此摻雜區(12，27)使記憶-MOSFETs (3)之源極端-摻雜區(13)與該選擇-MOSFETs(2)之汲極端-摻雜區(11)相連接；汲極端-摻雜區(14，24)，其緊鄰電源電壓(V_{DD})；(c)該選擇-MOSFET(2)和記憶-MOSFET (3)在一種於半導體基板中已蝕刻之溝渠中須配置在溝渠(21)之側壁(28，29)，使它們互相面對且該連接-摻雜區(27)形成此已蝕刻之溝渠(21)之底部。

(請先閱讀背面之注意事項再填寫本
各欄)

訂

線

四、中文發明摘要 (發明之名稱：)

英文發明摘要 (發明之名稱： Integrated dynamic memory-cells with smaller propagation-area and its production method

Integrated dynamic memory0cell (1) with smaller propagation-area on the semiconductor-substrate, said memory-cell (1) includes: a selection-MOSFET (2) with a gate-terminal-area (8,33), which is connected with a word-line WL, a source-terminal-doping-area (9,26) which is connected with a bit-line BL, and with a drain-terminal-doping0area (11,27); a memory-MOSFET (3) with a gate-terminal-area (15, 32), which is connected through a thin dielectric layer (35) to a connection-doping-area (12,27), which connect a source-terminal-doping-area (13) of the memory-MOSFETs (3) with the drain-terminal-doping-area (11) of the selection-MOSFETs (2), and with a drain-terminal-doping-area (14,24), on which a supply-voltage VDD is applied, where the selection-MOSFET (2) and the memory-MOSFET (3) are arranged in a trench (21), which is etched in the semiconductor-substrate, on the side-walls (28,29) of the trench (21), so that they are opposite and the connection-doping-area (27) forms the bottom of the etched trench (21).

六、申請專利範圍

第 89127069 號「傳送面較小之積體動態記憶胞及其製造方法」
專利案 (90 年 12 月修正)

六 申請專利範圍

1. 一種在半導體基板上傳送面較小之積體動態記憶胞(1)，
其包括：

(a)一個選擇-MOSFET(2)，其具有：閘極端-區域(8，33)，
其是與字元線 WL 相連接；源極端-摻雜區(9，26)，其是
與位元線 BL 相連接；汲極端-摻雜區(11，27)；

(b)一個記憶-MOSFET (3)，其具有：閘極端-區域(15，
32)，其經由薄介電質層(35)而連接至連接-摻雜區(12，
27)，此摻雜區(12，27)使記憶-MOSFETs(3)之源極端-摻
雜區(13)與該選擇-MOSFETs(2)之汲極端-摻雜區(11)相連
接；汲極端-摻雜區(14，24)，其緊鄰電源電壓(VDD)；

(c)該選擇-MOSFET(2)和記憶-MOSFET(3)在一種於半導
體基板中已蝕刻之溝渠中須配置在溝渠(21)之側壁(28，
29)，使它們互相面對且該連接-摻雜區(27)形成此已蝕刻
之溝渠(21)之底部，其特徵為：

薄介電質層(35)之厚度小於 2nm，使穿隧(tunnel) 電
流可在記憶-MOSFETs(3)之閘極端-區域(32)和該連接-摻
雜區(27)之間流動，且流經此薄介電質層(35)之穿隧電流
可藉由一種由 n-多晶矽所形成之終端區(37)之摻雜度及
藉由該連接-摻雜區(27)之摻雜度來調整。

2. 如申請專利範圍第 1 項之記憶胞，其中該選擇-MOSFET(2)
和記憶-MOSFET(3)是 NMOS-電晶體。

六、申請專利範圍

3. 如申請專利範圍第 1 或第 2 項之記憶胞，其中該薄介電質層(35)具有一種非對稱之電流導通特性。
4. 如申請專利範圍第 1 項之記憶胞，其中該薄介電質層(35)由氧化物，氮化物或氧化氮化物所構成。
5. 如申請專利範圍第 3 項之記憶胞，其中該薄介電質層(35)由氧化物，氮化物或氧化氮化物所構成。
6. 如申請專利範圍第 1 或 2 項之記憶胞，其中該選擇-MOSFET(2)和記憶-MOSFET(3)分別具有一層閘極-氧化物層，其沿著已蝕刻之溝渠(21)之側壁(28，29)而延伸。
7. 如申請專利範圍第 1 項之記憶胞，其中該選擇-MOSFET(2)和記憶-MOSFET(3)之閘極端-區域(32，33)是由間隔層所形成。
8. 如申請專利範圍第 1 項之記憶胞，其中該源極端-區域及汲極端-區域和該連接-摻雜區藉由離子植入而形成。
9. 如申請專利範圍第 6 項之記憶胞，其中在選擇-MOSFETs(2)和記憶-MOSFETs(3)之閘極氧化物層旁邊分別設有已摻雜之電流通路，其摻雜度可調整以便決定 MOSFETs(2，3)之各別之導通電壓。
10. 如申請專利範圍第 9 項之記憶胞，其中已摻雜之電流通道藉由離子植入而形成。
11. 如申請專利範圍第 1 項之記憶胞，其中已蝕刻之溝渠(21)之寬度等於微影術之最小之結構 F。
12. 如申請專利範圍第 6 項之記憶胞，其中已蝕刻之溝渠(21)之寬度等於微影術之最小之結構 F。

六、申請專利範圍

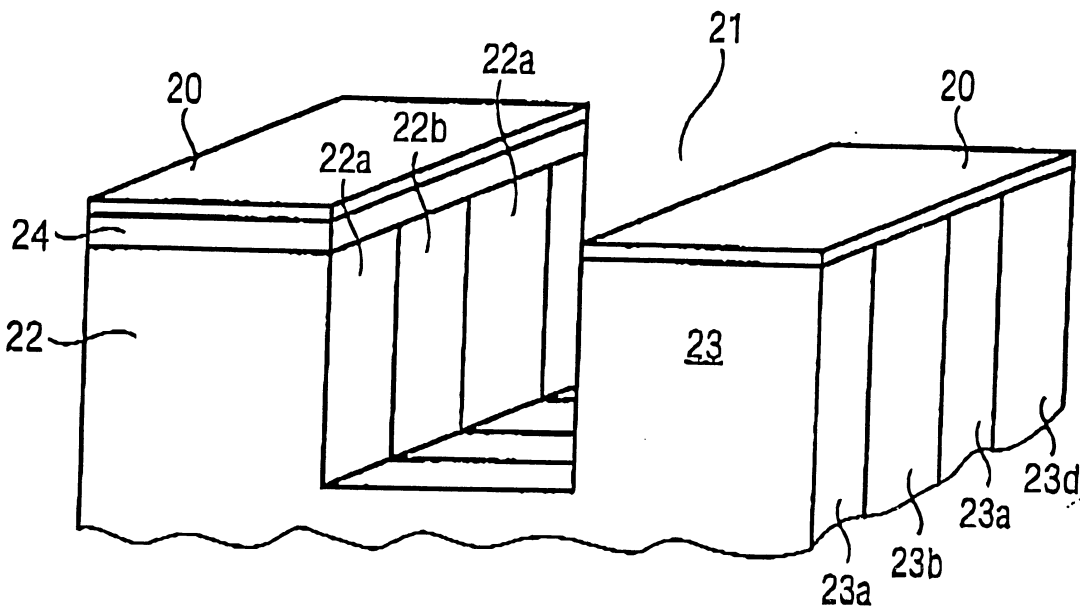
13. 如申請專利範圍第 10 或 11 項之記憶胞，其中已摻雜之電流通道之長度等於已蝕刻之溝渠(21)之深度。
14. 如申請專利範圍第 13 項之記憶胞，其中已蝕刻之溝渠(21)之深度較其寬度還大。
15. 如申請專利範圍第 1 或 7 項之記憶胞，其中此動態記憶胞(1)之選擇-MOSFETs(2)之閘極端-區域(33)是由一種在已蝕刻之溝渠中延伸之間隔層(33)所形成，此間隔層(33)亦形成其它動態記憶胞之許多其它選擇-MOSFETs 用之閘極端-區域。
16. 如申請專利範圍第 1 項之記憶胞，其中此動態記憶胞(1)之傳送面是等於微影術之最小之正方形結構大小 F2 之 4 倍。
17. 如申請專利範圍第 1 項之記憶胞，其中不同記憶胞之選擇-MOSFETs(2)之半導體基板區(其配置在已蝕刻之溝渠(21)之側壁(29)上)是藉由隔離層而互相隔開。
18. 如申請專利範圍第 6 項之記憶胞，其中不同記憶胞之選擇-MOSFETs(2)之半導體基板區(其配置在已蝕刻之溝渠(21)之側壁(29)上)是藉由隔離層而互相隔開。
19. 如申請專利範圍第 1 項之記憶胞，其中該記憶-MOSFETs(3)之半導體基板區(其配置在已蝕刻之溝渠(21)之相面對之側面(28)上)藉由隔離層而互相隔開。
20. 如申請專利範圍第 6 項之記憶胞，其中該記憶-MOSFETs(3)之半導體基板區(其配置在已蝕刻之溝渠(21)之相面對之側面(28)上)藉由隔離層而互相隔開。

六、申請專利範圍

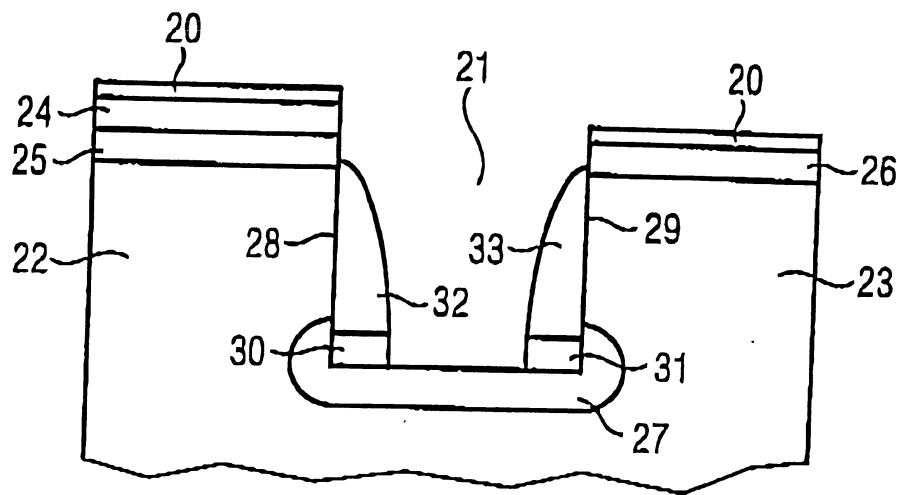
21. 一種積體動態記憶胞之製造方法，其特徵為以下各步驟：

- (a)對一種半導體基板之表面進行植入；
- (b)對此半導體基板中之溝渠(21)進行蝕刻；
- (c)在已蝕刻之溝渠(21)之底部上對此半導體基板進行植入以形成汲極端-摻雜區(27)及連接-摻雜區(27)；
- (d)對已蝕刻之溝渠(21)之二個側壁(28，29)進行熱氧化以便在側壁上形成介電質層作為該選擇-MOSFETs(2)和記憶-MOSFET(3)用之閘極隔離層；
- (e)在已蝕刻之溝渠底部上沈積一種隔離用之氧化物層；
- (f)在已蝕刻之溝渠(21)之側壁(28，29)上形成多晶矽-間隔層(32，33)作為該選擇-MOSFET(2)和記憶-MOSFET(3)用之閘極電極；
- (g)以已形成之多晶矽-間隔層(32，33)作為遮罩來對該隔離用之氧化物層進行蝕刻，其中加入該已植入之基板之中間表面區；
- (h)已蝕刻之溝渠(21)之右半部和左半部以隔離材料(34)填入；
- (i)在已蝕刻之溝渠之底部上於半導體基板之中間表面區之仍保留之裸露之半部上沈積一種可由穿隧電流侵入之薄介電質層(35)，
- (j)在該薄介電質層(35)上沈積多晶矽層(37，38)。

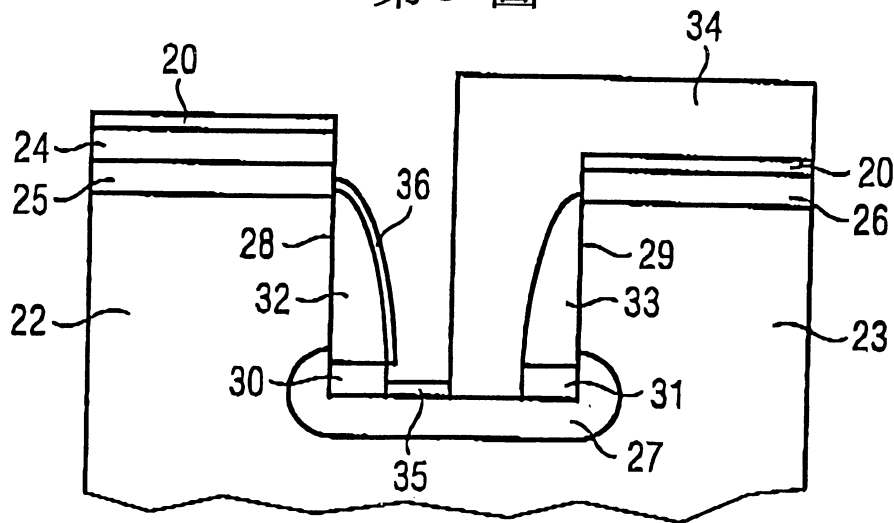
第 1 圖



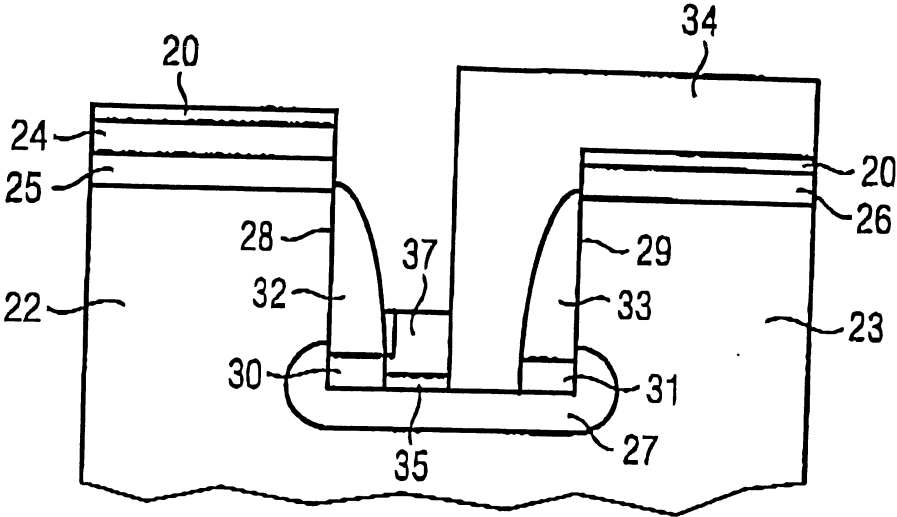
第 2 圖



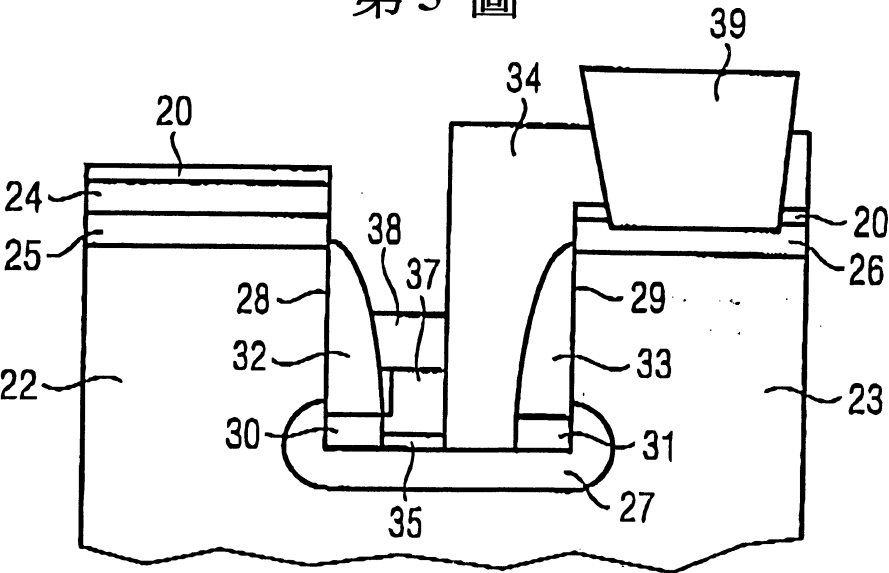
第 3 圖



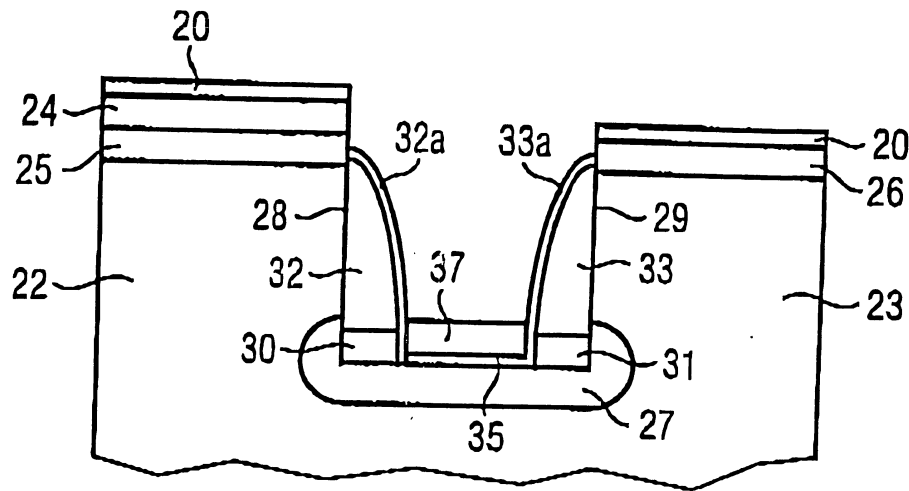
第 4 圖



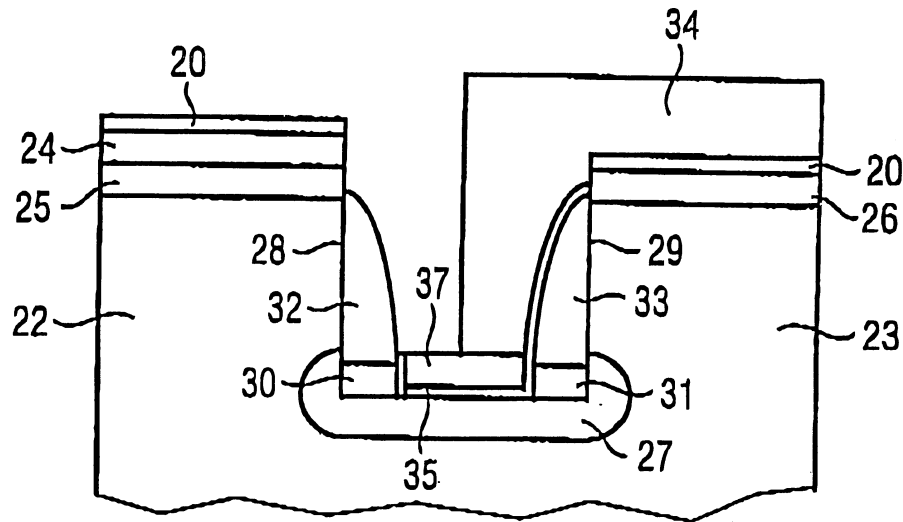
第 5 圖



第 6 圖



第 7 圖



第 8 圖

