

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7257255号

(P7257255)

(45)発行日 令和5年4月13日(2023.4.13)

(24)登録日 令和5年4月5日(2023.4.5)

(51)国際特許分類

F I

H 0 2 J 1/00 (2006.01)

H 0 2 J 1/00 3 0 6 K

B 6 2 D 5/04 (2006.01)

B 6 2 D 5/04

B 6 2 D 6/00 (2006.01)

B 6 2 D 6/00

G 0 1 R 31/00 (2006.01)

G 0 1 R 31/00

H 0 2 J 7/00 (2006.01)

H 0 2 J 7/00 P

請求項の数 4 (全19頁) 最終頁に続く

(21)出願番号 特願2019-100525(P2019-100525)

(22)出願日 令和1年5月29日(2019.5.29)

(65)公開番号 特開2020-195238(P2020-195238

A)

(43)公開日 令和2年12月3日(2020.12.3)

審査請求日 令和4年2月17日(2022.2.17)

(73)特許権者 000001247

株式会社ジェイテクト

愛知県刈谷市朝日町一丁目1番地

(73)特許権者 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(74)代理人 100105957

弁理士 恩田 誠

(74)代理人 100068755

弁理士 恩田 博宣

(72)発明者 佐藤 文彦

大阪府大阪市中央区南船場3丁目5番8

号 株式会社ジェイテクト内

(72)発明者 奥田 正貴

愛知県豊田市トヨタ町1番地 トヨタ自

最終頁に続く

(54)【発明の名称】 補助電源装置

(57)【特許請求の範囲】

【請求項1】

主電源から電力の給電対象への給電経路としての主電源側給電経路と、前記主電源側給電経路に接続されて補助電源から前記給電対象への給電経路としての補助電源側給電経路とが設けられている補助電源装置において、

前記補助電源側給電経路を通じて前記給電対象と接続されている補助電源と、

前記主電源側給電経路上の導通状態及び遮断状態の切り替えを制御するとともに、前記補助電源側給電経路上の導通状態及び遮断状態の切り替えを制御する電源制御部と、

前記電源制御部とは別に設けられて、前記主電源の出力状態を示すアナログ信号で前記主電源の異常を判定するとともに、前記主電源の異常を判定するときに前記主電源の異常を示すアナログ信号である切替信号を生成するアナログ判定回路と、

前記アナログ判定回路によって生成された前記切替信号に基づいて、前記給電対象に対して給電する電源を前記主電源から前記補助電源に切り替える電源切替回路とを備え、

前記アナログ判定回路は、前記主電源の出力状態を示すアナログ信号として前記主電源の電源電圧を示す電源電圧信号と、前記主電源に異常が生じていることを示す異常判定電圧に応じた異常判定電圧信号とが入力される比較回路を有し、

前記比較回路は、

前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えている場合、前記主電源は異常ではないとして、前記給電対象に対して給電する電源を前記主電源とする前記切替信号を生成し、

10

20

前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えていない場合、前記主電源は異常であるとして、前記給電対象に対して給電する電源を前記補助電源とする前記切替信号を生成し、

前記電源制御部は、前記主電源に異常が生じていることを示す異常判定電圧閾値をデジタル値で記憶しており、

前記電源制御部は、前記電源電圧信号を取得し、当該取得した電源電圧信号をデジタル値である電源電圧値に変換し、

前記電源制御部は、前記電源電圧値が前記異常判定電圧閾値を超えている場合、前記給電対象に対して給電する電源を前記主電源とするアナログ信号を前記電源切替回路に対して出力し、

10

前記電源電圧値が前記異常判定電圧閾値を超えていない場合、前記給電対象に対して給電する電源を前記補助電源とするアナログ信号を前記電源切替回路に対して出力する補助電源装置。

【請求項 2】

前記電源切替回路は、

前記主電源側給電経路に設けられ、導通状態と遮断状態とを切り替える MOSFET を有する主電源側切替部と、

前記補助電源側給電経路に設けられ、導通状態と遮断状態とを切り替える MOSFET を有する補助電源側切替部と、

前記主電源側切替部のゲート端子に対して、導通状態と遮断状態とを切り替えるためのゲート電圧を印加する主電源側電圧印加部と、

20

前記補助電源側切替部のゲート端子に対して、導通状態と遮断状態とを切り替えるためのゲート電圧を印加する補助電源側電圧印加部とを有し、

前記電源制御部及び前記比較回路は、前記主電源側電圧印加部に対する制御電圧信号の出力を通じて前記主電源側切替部の導通状態及び遮断状態の切り替えを制御するとともに、前記補助電源側電圧印加部に対する制御電圧信号の出力を通じて前記補助電源側切替部の導通状態及び遮断状態の切り替えを制御し、

前記比較回路は、

前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えている場合、前記主電源側電圧印加部に対して前記切替信号として前記主電源側切替部を導通状態とする制御電圧信号を出力するとともに、前記補助電源側電圧印加部に対して前記切替信号として前記補助電源側切替部を遮断状態とする制御電圧信号を出力し、

30

前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えていない場合、前記主電源側電圧印加部に対して前記切替信号として前記主電源側切替部を遮断状態とする制御電圧信号を出力するとともに、前記補助電源側電圧印加部に対して前記切替信号として前記補助電源側切替部を導通状態とする制御電圧信号を出力する請求項 1 に記載の補助電源装置。

【請求項 3】

前記アナログ判定回路は、前記電源制御部からの擬似異常信号の入力に基づいて、前記比較回路に入力される前記電源電圧信号を擬似的に異常ありとする擬似動作回路を備え、

40

前記電源制御部は、前記アナログ判定回路の動作確認を行う場合、前記比較回路に入力される前記電源電圧信号を擬似的に異常ありとさせるべく、前記擬似動作回路に対して前記擬似異常信号を出力し、

前記電源制御部は、

前記擬似動作回路に対して前記擬似異常信号を出力した結果として、前記比較回路が前記切替信号を生成した場合、前記アナログ判定回路に異常なしと判定し、

前記擬似動作回路に対して前記擬似異常信号を出力したにもかかわらず、前記比較回路が前記切替信号を生成しない場合、前記アナログ判定回路に異常ありと判定する請求項 1 または請求項 2 に記載の補助電源装置。

【請求項 4】

50

前記異常判定電圧閾値は、前記異常判定電圧信号をデジタル値に変換した電圧値よりも高電位に設定されている請求項 1 ～ 3 のいずれか一項に記載の補助電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、補助電源装置に関する。

【背景技術】

【0002】

特許文献 1 には、負荷に対する電力の出力を制御する半導体集積回路が開示されている。半導体集積回路は、アナログ信号である温度測定結果を取り込んでデジタル信号に変換する。半導体集積回路は、当該デジタル信号に基づいて、負荷に対する電力の出力を非安定化電源と安定化電源との間で切り替えている。

10

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2015 - 136229 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記半導体集積回路では、温度測定結果をアナログ信号として取り込み、当該アナログ信号をデジタル信号に変換し、当該変換されたデジタル信号に基づいて非安定化電源と安定化電源との間の切り替え判定を行い、判定結果を示すデジタル信号をアナログ信号に変換して、当該アナログ信号によって電源の切り替えを行っている。この結果、電源の切り替えに要する工程が複雑になっている。例えば電源がショート故障した場合には電源から出力される電力の電圧が急激に低下するため、電源の切り替えが完了する前に電源から負荷に対する電力の出力が失われるおそれがある。特許文献 1 に開示の半導体集積回路では、迅速に電源を切り替えるという観点において改良の余地がある。

20

【課題を解決するための手段】

【0005】

上記課題を解決する補助電源装置は、主電源から電力の給電対象への給電経路としての主電源側給電経路と、前記主電源側給電経路に接続されて補助電源から前記給電対象への給電経路としての補助電源側給電経路とが設けられている補助電源装置において、前記補助電源側給電経路を通じて前記給電対象と接続されている補助電源と、前記主電源側給電経路上の導通状態及び遮断状態の切り替えを制御するとともに、前記補助電源側給電経路上の導通状態及び遮断状態の切り替えを制御する電源制御部と、前記電源制御部とは別に設けられて、前記主電源の出力状態を示すアナログ信号で前記主電源の異常を判定するとともに、前記主電源の異常を判定するときに前記主電源の異常を示すアナログ信号である切替信号を生成するアナログ判定回路と、前記アナログ判定回路によって生成された前記切替信号に基づいて、前記給電対象に対して給電する電源を前記主電源から前記補助電源に切り替える電源切替回路とを備える。

30

【0006】

上記構成によれば、電源の切り替えに際しては、アナログ判定回路において主電源の出力状態を示すアナログ信号で主電源の異常を判定するとともに、当該判定結果を示すアナログ信号である切替信号を生成し、電源切替回路において切替信号によって電源を切り替えるという工程を経ればよい。すなわち、アナログ信号としての切替信号を、主電源の出力状態を示すアナログ信号からデジタル値に変換する過程を経ることなく生成できるため、デジタル信号に変換して電源の切り替え判定を行う場合よりも、電源の切り替えに要する工程を簡素にすることができる。このため、主電源から出力される電力の電圧が急激に低下する状況であっても、給電対象に対して給電する電源を主電源から補助電源へより迅速に切り替えることができる。

40

50

【 0 0 0 7 】

上記の補助電源装置において、前記アナログ判定回路は、前記主電源の出力状態を示すアナログ信号として前記主電源の電源電圧を示す電源電圧信号と、前記主電源に異常が生じていることを示す異常判定電圧に応じた異常判定電圧信号とが入力される比較回路を有し、前記比較回路は、前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えている場合、前記主電源は異常ではないとして、前記給電対象に対して給電する電源を前記主電源とする前記切替信号を生成し、前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えていない場合、前記主電源は異常であるとして、前記給電対象に対して給電する電源を前記補助電源とする前記切替信号を生成することが好ましい。

【 0 0 0 8 】

10

上記構成によれば、主電源の出力状態を示すアナログ信号である電源電圧信号をデジタル値に変換する過程を経ることなく、当該電源電圧信号で切替信号を生成するアナログ判定回路の具体的構成を提供できる。

【 0 0 0 9 】

上記の補助電源装置において、前記電源切替回路は、前記主電源側給電経路に設けられ、導通状態と遮断状態とを切り替えるMOSFETを有する主電源側切替部と、前記補助電源側給電経路に設けられ、導通状態と遮断状態とを切り替えるMOSFETを有する補助電源側切替部と、前記主電源側切替部のゲート端子に対して、導通状態と遮断状態とを切り替えるためのゲート電圧を印加する主電源側電圧印加部と、前記補助電源側切替部のゲート端子に対して、導通状態と遮断状態とを切り替えるためのゲート電圧を印加する補助電源側電圧印加部とを有し、前記電源制御部及び前記比較回路は、前記主電源側電圧印加部に対する制御電圧信号の出力を通じて前記主電源側切替部の導通状態及び遮断状態の切り替えを制御するとともに、前記補助電源側電圧印加部に対する制御電圧信号の出力を通じて前記補助電源側切替部の導通状態及び遮断状態の切り替えを制御し、前記比較回路は、前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えている場合、前記主電源側電圧印加部に対して前記切替信号として前記主電源側切替部を導通状態とする制御電圧信号を出力するとともに、前記補助電源側電圧印加部に対して前記切替信号として前記補助電源側切替部を遮断状態とする制御電圧信号を出力し、前記電源電圧信号の電圧が前記異常判定電圧信号の電圧を超えていない場合、前記主電源側電圧印加部に対して前記切替信号として前記主電源側切替部を遮断状態とする制御電圧信号を出力するとともに、前記補助電源側電圧印加部に対して前記切替信号として前記補助電源側切替部を導通状態とする制御電圧信号を出力することが好ましい。

20

30

【 0 0 1 0 】

上記構成によれば、比較回路から出力されるアナログ信号である制御電圧信号が電源切替回路に入力されることによって、給電対象に対して給電する電源を主電源から補助電源へ切り替える電源切替回路の具体的構成を提供できる。

【 0 0 1 1 】

上記の補助電源装置において、前記アナログ判定回路は、前記電源制御部からの擬似異常信号の入力に基づいて、前記比較回路に入力される前記電源電圧信号を擬似的に異常ありとする擬似動作回路を備え、前記電源制御部は、前記アナログ判定回路の動作確認を行う場合、前記比較回路に入力される前記電源電圧信号を擬似的に異常ありとさせるべく、前記擬似動作回路に対して前記擬似異常信号を出力し、前記電源制御部は、前記擬似動作回路に対して前記擬似異常信号を出力した結果として、前記比較回路が前記切替信号を生成した場合、前記アナログ判定回路に異常なしと判定し、前記擬似動作回路に対して前記擬似異常信号を出力したにもかかわらず、前記比較回路が前記切替信号を生成しない場合、前記アナログ判定回路に異常ありと判定することが好ましい。

40

【 0 0 1 2 】

上記構成によれば、電源制御部は、擬似異常信号を擬似動作回路に対して出力したことに起因して比較回路で切替信号が生成されたかどうかに基づいて、アナログ判定回路の異常を検出することができる。仮に、アナログ判定回路に異常が生じている場合には、電源

50

制御部が擬似動作回路に対して擬似異常信号を出力したとしても、切替信号が生成されないことになるからである。これにより、アナログ判定回路の異常の有無に関する情報を把握することができるため、アナログ判定回路の異常に対して処置を施すことが可能となる。そして、アナログ判定回路に異常がないことが確認された状態でアナログ判定回路による電源の切り替えが行われるため、補助電源装置の信頼性を向上させることができる。

【 0 0 1 3 】

上記の補助電源装置において、前記電源制御部は、前記主電源に異常が生じていることを示す異常判定電圧閾値をデジタル値で記憶しており、前記電源制御部は、前記電源電圧信号を取得し、当該取得した電源電圧信号をデジタル値である電源電圧値に変換し、前記電源制御部は、前記電源電圧値が前記異常判定電圧閾値を超えている場合、前記給電対象に対して給電する電源を前記主電源とするアナログ信号を前記電源切替回路に対して出力し、前記電源電圧値が前記異常判定電圧閾値を超えていない場合、前記給電対象に対して給電する電源を前記補助電源とするアナログ信号を前記電源切替回路に対して出力することが好ましい。

10

【 0 0 1 4 】

上記構成によれば、主電源の異常の判定を、アナログ判定回路だけでなく、電源制御部においても実行できるため、いずれか一方だけの判定を行う場合よりも、形態の異なる異常に対応して電源を切り替えることができるようになる。

【 0 0 1 5 】

上記の補助電源装置において、前記異常判定電圧閾値は、前記異常判定電圧信号をデジタル値に変換した電圧値よりも高電位に設定されていることが好ましい。

20

主電源の異常には、主電源の電源電圧値が急激に低下する主電源のショート故障もあれば、主電源の電源電圧値が緩やかに低下する主電源のオープン故障や主電源の経年劣化に起因する異常等、様々な形態のものがある。主電源の電源電圧値が緩やかに低下する状況においては、主電源の電源電圧値が異常判定電圧信号の電圧を下回る前に、主電源の電源電圧値が異常判定電圧信号の電圧を超えるものの、異常判定電圧閾値を超えないような状況となることが想定される。一方、主電源の電源電圧値が急激に低下する状況においては、瞬間的に主電源の電源電圧値が異常判定電圧信号の電圧を下回るような状況となることが想定される。このため、電源制御部における主電源の異常の判定で用いる異常判定電圧閾値を、迅速に判定することのできるアナログ判定回路における主電源の異常の判定で用いる異常判定電圧信号の電圧よりも高電位に設定している。これにより、主電源の電源電圧値が異常判定電圧信号の電圧を超えないことから主電源の異常が判定された場合と、主電源の電源電圧値が異常判定電圧信号の電圧を超えるものの異常判定電圧閾値を超えないことから主電源の異常が判定された場合とに場合分けできることから、主電源の異常の形態を把握できるようになる。

30

【 発明の効果 】

【 0 0 1 6 】

本発明の補助電源装置によれば、迅速に電源を切り替えることができる。

【 図面の簡単な説明 】

【 0 0 1 7 】

40

【 図 1 】 補助電源装置を適用したステアリング装置の概略構成を示す図。

【 図 2 】 補助電源装置についてその電氣的構成を示す図。

【 図 3 】 主電源がオープン故障した場合の電源電圧値の遷移について示すグラフ。

【 図 4 】 主電源がショート故障した場合の電源電圧値の遷移について示すグラフ。

【 図 5 】 他の実施形態の補助電源装置についてその電氣的構成を示す図。

【 発明を実施するための形態 】

【 0 0 1 8 】

補助電源装置をステアリング装置に適用した一実施形態について説明する。

図 1 に示すように、ステアリング装置 1 は、運転者のステアリングホイール 10 の操作に基づいて転舵輪 16 を転舵させる操舵機構 2、運転者のステアリング操作を補助するモ

50

ータ２０を有するアシスト機構３、操舵制御装置３０、及び補助電源装置４０を備えている。ステアリング装置１は、操舵機構２にモータ２０のモータトルクを操舵補助力として付与することにより、運転者のステアリング操作を補助する、いわゆる、電動パワーステアリング装置である。

【００１９】

操舵機構２は、一端にステアリングホイール１０が固定されて他端にピニオンギア１１が形成されているステアリング軸１２と、ピニオンギア１１と噛み合うラックギア１３が形成されているラック軸１４とを備えている。これらピニオンギア１１及びラックギア１３によりラックアンドピニオン機構が構成されている。ステアリング軸１２の回転運動は、ラックアンドピニオン機構を介してラック軸１４の軸方向の往復直線運動に変換される。ステアリング装置１は、ラック軸１４の軸方向が車幅方向となるように車両に組み付けられている。ラック軸１４の往復直線運動は、ラック軸１４の両端にそれぞれ連結されたタイロッド１５を介して左右の転舵輪１６にそれぞれ伝達されることにより、転舵輪１６の転舵角が変化し、車両の進行方向が変更される。

【００２０】

ステアリング軸１２には、ステアリングホイール１０の操作によりステアリング軸１２に加えられた操舵トルクＴＲを計測するためのトルクセンサ１７が装着されている。本実施形態のトルクセンサ１７は、ステアリング軸１２の一部を構成するトーションバーの捩り量を検出して、その捩り量に基づいて操舵トルクＴＲを計測している。

【００２１】

アシスト機構３は、操舵補助用のモータ２０と、減速機２１とを備えている。モータ２０は減速機２１と連結されており、減速機２１はステアリング軸１２と連結されている。減速機２１は、モータ２０の回転を減速し、当該減速した回転力をステアリング軸１２に伝達する。本実施形態のモータ２０としては、３相ブラシレスモータが採用されている。また、本実施形態の減速機２１としては、ウォームギア機構が採用されている。

【００２２】

操舵制御装置３０には、モータ２０の各相（Ｕ相、Ｖ相、Ｗ相）にそれぞれ２つのスイッチング素子を備えた公知の回路であるインバータが構成されている。ステアリング装置１が車両に組み付けられた際、補助電源装置４０は車載された主電源５０と接続され、操舵制御装置３０は補助電源装置４０と接続されている。補助電源装置４０は、主電源５０と、電力の給電対象である操舵制御装置３０との間に設けられている。操舵制御装置３０は、主電源５０の給電を通じてモータ２０の動作を制御することで、運転者のステアリング操作を補助する。操舵制御装置３０は、モータ２０の動作を制御するための制御量等の演算をする各種演算処理を実行する操舵制御部３１と、当該各種演算処理のためのプログラムやデータを格納するメモリ３２とを備えている。操舵制御部３１には、上述のトルクセンサ１７及び車速センサ１８が接続されている。車速センサ１８は、車両の走行速度ＳＰを検出する。操舵制御部３１は、操舵補助力の制御に際して、操舵トルクＴＲ及び走行速度ＳＰに基づいて操舵補助力の目標値である目標操舵補助力分の操舵補助力を決定する。操舵制御部３１は、目標操舵補助力分の操舵補助力を発生するべく、インバータの制御を通じてモータ２０の動作を制御する。

【００２３】

補助電源装置４０の構成について説明する。

図２に示すように、補助電源装置４０は、補助電源６０と、電源制御部７０と、電圧検出回路８０と、アナログ判定回路１００と、電源切替回路１１０とを備えている。

【００２４】

補助電源装置４０には、主電源５０から電力の給電対象である操舵制御装置３０への給電経路としての主電源側給電経路Ｌ１と、主電源側給電経路Ｌ１に接続されて補助電源６０から操舵制御装置３０への給電経路としての補助電源側給電経路Ｌ２とが設けられている。補助電源側給電経路Ｌ２は、主電源側給電経路Ｌ１上における接続点Ｐ１に接続されている。

10

20

30

40

50

【 0 0 2 5 】

補助電源 6 0 は、補助電源側給電経路 L 2 を通じて操舵制御装置 3 0 と接続されている。補助電源 6 0 は、電荷を充放電可能である。補助電源 6 0 としては、例えばリチウムイオンキャパシタが採用されている。

【 0 0 2 6 】

電源切替回路 1 1 0 は、主電源側切替部 1 5 0 と、補助電源側切替部 1 6 0 と、主電源側電圧印加部 1 7 0 と、補助電源側電圧印加部 1 8 0 とを有している。

主電源側切替部 1 5 0 は、主電源側給電経路 L 1 における主電源 5 0 と接続点 P 1 との間に設けられている。主電源側切替部 1 5 0 は、第 1 M O S F E T 1 5 1 (metal-oxide-semiconductor field-effect-transistor) 及び第 2 M O S F E T 1 5 2 を有している。第 1 M O S F E T 1 5 1 及び第 2 M O S F E T 1 5 2 は、P 型半導体層が対応付けられたソース端子と、P 型半導体層が対応付けられたドレイン端子と、N 型半導体層が対応付けられたゲート端子とをそれぞれ有する P チャンネル M O S F E T である。図 2 中では、ソース端子については「 S 」、ドレイン端子については「 D 」、ゲート端子については「 G 」と示す。

10

【 0 0 2 7 】

第 1 M O S F E T 1 5 1 は、ソース端子が主電源 5 0 の高電位側と接続されているとともに、ドレイン端子が第 2 M O S F E T 1 5 2 のドレイン端子と接続されている。第 2 M O S F E T 1 5 2 は、ドレイン端子が第 1 M O S F E T 1 5 1 のドレイン端子と接続されているとともに、ソース端子が主電源側給電経路 L 1 を介して操舵制御装置 3 0 と接続されている。第 1 M O S F E T 1 5 1 のゲート端子及び第 2 M O S F E T 1 5 2 のゲート端子は、主電源側電圧印加部 1 7 0 に接続されている。主電源側切替部 1 5 0 では、これら第 1 M O S F E T 1 5 1 及び第 2 M O S F E T 1 5 2 によって、主電源 5 0 と操舵制御装置 3 0 との間の主電源側給電経路 L 1 を介した給電が導通される導通状態と、当該給電を遮断する遮断状態とを切り替えている。

20

【 0 0 2 8 】

補助電源側切替部 1 6 0 は、補助電源側給電経路 L 2 上に設けられている。補助電源側切替部 1 6 0 は、第 3 M O S F E T 1 6 1 及び第 4 M O S F E T 1 6 2 を有している。第 3 M O S F E T 1 6 1 及び第 4 M O S F E T 1 6 2 は、N 型半導体層が対応付けられたソース端子と、N 型半導体層が対応付けられたドレイン端子と、P 型半導体層が対応付けられたゲート端子とをそれぞれ有する N チャンネル M O S F E T である。

30

【 0 0 2 9 】

第 3 M O S F E T 1 6 1 は、ドレイン端子が補助電源 6 0 の高電位側と接続されているとともに、ソース端子が第 4 M O S F E T 1 6 2 のソース端子と接続されている。第 4 M O S F E T 1 6 2 は、ドレイン端子が補助電源側給電経路 L 2 を介して主電源側給電経路 L 1 上の接続点 P 1 と接続されている。第 3 M O S F E T 1 6 1 のゲート端子及び第 4 M O S F E T 1 6 2 のゲート端子は、補助電源側電圧印加部 1 8 0 に接続されている。補助電源側切替部 1 6 0 では、これら第 3 M O S F E T 1 6 1 及び第 2 M O S F E T 1 6 2 によって、補助電源 6 0 と操舵制御装置 3 0 との間の補助電源側給電経路 L 2 を介した給電が導通される導通状態と、当該給電を遮断する遮断状態とを切り替えている。

40

【 0 0 3 0 】

電圧検出回路 8 0 は、主電源側給電経路 L 1 上の接続点 P 1 と操舵制御装置 3 0 との間の接続点 P 2 に接続されている。電源制御部 7 0 は、電圧検出回路 8 0 に接続されているとともに、アナログ判定回路 1 0 0 に接続されている。また、電源制御部 7 0 は、主電源側電圧印加部 1 7 0 及び補助電源側電圧印加部 1 8 0 に接続されている。

【 0 0 3 1 】

電源制御部 7 0 は、主電源側給電経路 L 1 上の導通状態及び遮断状態の切り替えを制御する機能を有するとともに、補助電源側給電経路 L 2 上の導通状態及び遮断状態の切り替えを制御する機能を有する。図示は省略するが、電源制御部 7 0 は、主電源 5 0 の入力電圧に基づき補助電源装置 4 0 の各部の制御を実行する。電源制御部 7 0 は、主電源側給電

50

経路 L 1 上の導通状態及び遮断状態を切り替えるべく第 1 制御電圧信号 S C 1 を主電源側電圧印加部 1 7 0 に出力するとともに、補助電源側給電経路 L 2 上の導通状態及び遮断状態を切り替えるべく第 1 制御電圧信号 S C 1 を補助電源側電圧印加部 1 8 0 に出力する。第 1 制御電圧信号 S C 1 は、ハイレベルの電圧信号及びローレベルの電圧信号からなるアナログ信号である。

【 0 0 3 2 】

電源制御部 7 0 は、主電源 5 0 の異常が判定されていない場合、主電源 5 0 からの給電に基づいて操舵補助力の付与に関わる制御を操舵制御装置 3 0 に実行させるべく、主電源側給電経路 L 1 上の第 1 M O S F E T 1 5 1 及び第 2 M O S F E T 1 5 2 を導通状態とする第 1 制御電圧信号 S C 1 を主電源側電圧印加部 1 7 0 に出力する。一方、電源制御部 7 0 は、主電源 5 0 の異常が判定されていない場合、補助電源側給電経路 L 2 上の第 3 M O S F E T 1 6 1 及び第 4 M O S F E T 1 6 2 を遮断状態とする第 1 制御電圧信号 S C 1 を補助電源側電圧印加部 1 8 0 に出力する。また、電源制御部 7 0 は、主電源 5 0 の異常が判定されている場合、補助電源 6 0 からの給電に基づいて操舵補助力の付与に関わる制御を操舵制御装置 3 0 に実行させるべく、補助電源側給電経路 L 2 上の第 3 M O S F E T 1 6 1 及び第 4 M O S F E T 1 6 2 を導通状態とする第 1 制御電圧信号 S C 1 を補助電源側電圧印加部 1 8 0 に出力する。一方、電源制御部 7 0 は、主電源 5 0 の異常が判定されている場合、主電源側給電経路 L 1 上の第 1 M O S F E T 1 5 1 及び第 2 M O S F E T 1 5 2 を遮断状態とする第 1 制御電圧信号 S C 1 を主電源側電圧印加部 1 7 0 に出力する。なお、主電源 5 0 の異常が判定されていない場合に電源制御部 7 0 から出力される第 1 制御電圧信号 S C 1 は、主電源 5 0 の異常が判定されている場合に電源制御部 7 0 から出力される第 1 制御電圧信号 S C 1 と比べて高電位なハイレベル信号である。

【 0 0 3 3 】

主電源側電圧印加部 1 7 0 は、電源制御部 7 0 から主電源側給電経路 L 1 上の第 1 M O S F E T 1 5 1 及び第 2 M O S F E T 1 5 2 を導通状態とする第 1 制御電圧信号 S C 1 が入力された場合、第 1 M O S F E T 1 5 1 のゲート端子及び第 2 M O S F E T 1 5 2 のゲート端子に、ソース端子の電位よりも低電位のゲート電圧 V g 1 を印加する。この場合のゲート電圧 V g 1 は、ゲート端子に対応付けられた P 型半導体層に反転層が形成される程度の電圧値に設定されている。主電源側電圧印加部 1 7 0 は、電源制御部 7 0 から主電源側給電経路 L 1 上の第 1 M O S F E T 1 5 1 及び第 2 M O S F E T 1 5 2 を遮断状態とする第 1 制御電圧信号 S C 1 が入力された場合、第 1 M O S F E T 1 5 1 のゲート端子及び第 2 M O S F E T 1 5 2 のゲート端子に、ソース端子の電位とゲート端子の電位とが同電位となるように、ゲート電圧 V g 1 を印加する。この場合のゲート電圧 V g 1 は、ゲート端子に対応付けられた P 型半導体層に反転層が形成されない程度の電圧値に設定されている。

【 0 0 3 4 】

補助電源側電圧印加部 1 8 0 は、電源制御部 7 0 から補助電源側給電経路 L 2 上の第 3 M O S F E T 1 6 1 及び第 4 M O S F E T 1 6 2 を導通状態とする第 1 制御電圧信号 S C 1 が入力された場合、第 3 M O S F E T 1 6 1 のゲート端子及び第 4 M O S F E T 1 6 2 のゲート端子に、ソース端子の電位よりも高電位のゲート電圧 V g 2 を印加する。この場合のゲート電圧 V g 2 は、ゲート端子に対応付けられた N 型半導体層に反転層が形成される程度の電圧値に設定されている。補助電源側電圧印加部 1 8 0 は、電源制御部 7 0 から補助電源側給電経路 L 2 上の第 3 M O S F E T 1 6 1 及び第 4 M O S F E T 1 6 2 を遮断状態とする第 1 制御電圧信号 S C 1 が入力された場合、第 3 M O S F E T 1 6 1 のゲート端子及び第 4 M O S F E T 1 6 2 のゲート端子に、ソース端子の電位とゲート端子の電位とが同電位となるように、ゲート電圧 V g 2 を印加する。この場合のゲート電圧 V g 2 は、ゲート端子に対応付けられた N 型半導体層に反転層が形成されない程度の電圧値に設定されている。

【 0 0 3 5 】

電源制御部 7 0 は、電圧検出回路 8 0 を通じて、接続点 P 2 における電圧を示す電源電

10

20

30

40

50

圧信号 S_v を検出する。電圧検出回路 80 は、例えば接続点 P2 の電源電圧信号 S_v が示す電圧を分圧抵抗を通じて分圧し、その分圧した分圧電圧を電源制御部 70 に対して出力する。電源制御部 70 は、入力された分圧電圧をデジタル値に変換して、当該デジタル値から電源電圧信号 S_v が示す主電源 50 の電源電圧値 V_v を把握する。電源制御部 70 は、主電源 50 に異常が生じていることを示す異常判定電圧閾値 V_{th} をデジタル値で記憶している。この異常判定電圧閾値 V_{th} は、主電源 50 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を下回ると主電源 50 に異常が生じているといえる程度の値に設定されている。電源制御部 70 は、主電源 50 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況が所定時間継続していない場合、給電対象である操舵制御装置 30 に対して給電する電源を主電源 50 とするべく、ハイレベルの第 1 制御電圧信号 $SC1$ を生成する。一方、電源制御部 70 は、主電源 50 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況が所定時間継続している場合、操舵制御装置 30 に対して給電する電源を補助電源 60 とするべく、ローレベルの第 1 制御電圧信号 $SC1$ を生成する。この所定時間は、ノイズ等によって一時的に主電源 50 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況になったのではないと考えられる程度の時間に設定されている。

10

【0036】

アナログ判定回路 100 は、電源制御部 70 とは別に設けられており、主電源 50 の異常の判定を電源制御部 70 とは別に実行するものである。アナログ判定回路 100 は、主電源 50 の電源電圧値 V_v を示す電源電圧信号 S_v をデジタル値に変換することなく、電源電圧信号 S_v で主電源 50 の異常を判定するとともに、主電源 50 の異常を判定するときに主電源 50 の異常を示すアナログ信号を生成する回路である。

20

【0037】

アナログ判定回路 100 は、比較回路 120 と、分圧回路 130 と、擬似動作回路 140 とを有している。

擬似動作回路 140 は、主電源側給電経路 L1 上の接続点 P1 と接続点 P2 との間の接続点 P3 に接続されている。接続点 P3 における電圧を示す電源電圧信号 S_v は、接続点 P2 における電圧を示す電源電圧信号 S_v と同じである。擬似動作回路 140 は、後述の比較回路 120 に対して出力する電源電圧信号 S_v を擬似的に異常ありとする回路である。擬似動作回路 140 は、分圧抵抗 141 と、分圧抵抗 142 と、第 5 MOSFET 143 と、デジタルトランジスタ 144 とを備えている。

30

【0038】

分圧抵抗 141 は、一端が主電源側給電経路 L1 上の接続点 P3 に接続されているとともに、他端が分圧抵抗 142 に接続されている。分圧抵抗 142 は、一端が分圧抵抗 141 に接続されているとともに、他端がデジタルトランジスタ 144 のコレクタ端子に接続されている。

【0039】

第 5 MOSFET 143 は、P 型半導体層が対応付けられたソース端子と、P 型半導体層が対応付けられたドレイン端子と、N 型半導体層が対応付けられたゲート端子とを有する P チャネル MOSFET である。第 5 MOSFET 143 は、ソース端子が接続点 P3 と分圧抵抗 141 との間の接続点 P4 に接続されているとともに、ドレイン端子が分圧回路 130 に接続されている。第 5 MOSFET 143 のゲート端子は、分圧抵抗 141 と分圧抵抗 142 との間の接続点 P5 に接続されている。第 5 MOSFET 143 は、接続点 P3 と分圧回路 130 との間で、電源電圧信号 S_v に応じた給電が導通される導通状態と、当該給電を遮断する遮断状態とを切り替えている。

40

【0040】

デジタルトランジスタ 144 は、内蔵のバイアス抵抗を有している。デジタルトランジスタ 144 のベース端子は内蔵のバイアス抵抗に接続されていて、当該バイアス抵抗は電源制御部 70 と接続されている。デジタルトランジスタ 144 のエミッタ端子がグランドと接続されているとともに、コレクタ端子が分圧抵抗 142 に接続されている。電源制御部 70 は、車両の始動時のイニシャルチェック中において、アナログ判定回路 100 の動

50

作確認を行う場合、比較回路 120 に入力される電源電圧信号 S_v を擬似的に異常ありとさせるべく、擬似異常信号 S_a をデジタルトランジスタ 144 に対して出力する。

【0041】

デジタルトランジスタ 144 は、電源制御部 70 から擬似異常信号 S_a が入力された場合、コレクタ端子及びエミッタ端子間で電流が導通できないようにするオフ状態になる。これにより、第 5 MOSFET 143 のソース端子とゲート端子とが同電位となり、第 5 MOSFET 143 は遮断状態となる。この場合のゲート電圧は、ゲート端子に対応付けられた P 型半導体層に反転層が形成されない程度の電圧値に設定されている。一方、デジタルトランジスタ 144 は、電源制御部 70 から擬似異常信号 S_a が入力されない場合、コレクタ端子及びエミッタ端子間で電流が導通できるようにするオン状態になる。これにより、第 5 MOSFET 143 のゲート端子に、ソース端子の電位よりも低電位のゲート電圧が印加されて、ソース端子及びドレイン端子間で電流が導通できるようにする導通状態になる。この場合のゲート電圧は、ゲート端子に対応付けられた P 型半導体層に反転層が形成される程度の電圧値に設定されている。

10

【0042】

分圧回路 130 は、分圧抵抗 131 と、分圧抵抗 132 とを有している。分圧抵抗 131 は、一端が第 5 MOSFET 143 のドレイン端子に接続されているとともに、他端が分圧抵抗 132 に接続されている。分圧抵抗 132 は、一端が分圧抵抗 131 に接続されているとともに、他端がグランドに接続されている。分圧抵抗 131 と分圧抵抗 132 との間の接続点 P6 は、比較回路 120 と接続されている。

20

【0043】

比較回路 120 は、コンパレータ 121 と、プルアップ抵抗 122 とを有している。コンパレータ 121 の正側入力端子は、分圧回路 130 における分圧抵抗 131 と分圧抵抗 132 との間の接続点 P6 に接続されている。これにより、コンパレータ 121 の正側入力端子には、分圧回路 130 によって分圧された電源電圧信号 S_v が入力されている。コンパレータ 121 の負側入力端子は、異常判定電圧信号生成部に接続されている。異常判定電圧信号生成部は、主電源 50 に異常が生じていることを示す電圧である異常判定電圧信号 S_{ref} を生成していて、当該異常判定電圧信号 S_{ref} をコンパレータ 121 の負側入力端子に出力している。分圧回路 130 を構成する分圧抵抗 131 の抵抗値及び分圧抵抗 132 の抵抗値は、分圧された電源電圧信号 S_v が異常判定電圧信号 S_{ref} と比較することができるように調整されている。異常判定電圧信号 S_{ref} は、分圧された電源電圧信号 S_v の電圧が異常判定電圧信号 S_{ref} の電圧を下回ると主電源 50 に異常が生じているといえる程度の値に設定されている。コンパレータ 121 の正側電源端子は、異常判定電圧信号 S_{ref} を生成する異常判定電圧信号生成部に接続されている。異常判定電圧信号生成部は、定電圧を生成する回路である。コンパレータ 121 の負側電源端子は、グランドに接続されている。コンパレータ 121 の出力端子は、電源制御部 70 に接続されているとともに、主電源側電圧印加部 170 及び補助電源側電圧印加部 180 に接続されている。異常判定電圧信号 S_{ref} の電圧値は、分圧回路 130 による分圧を考慮してデジタル値に変換した場合、異常判定電圧閾値 V_{th} よりも低電位に設定されている。

30

40

【0044】

プルアップ抵抗 122 は、異常判定電圧信号生成部とコンパレータ 121 の出力端子との間に設けられている。プルアップ抵抗 122 は、コンパレータ 121 の出力端子から出力される第 2 制御電圧信号 $SC2$ を安定させるために設けられている。第 2 制御電圧信号 $SC2$ は、特許請求の範囲で記載した切替信号に対応している。

【0045】

コンパレータ 121 は、正側入力端子から入力された分圧された電源電圧信号 S_v の電圧と、負側入力端子から入力された異常判定電圧信号 S_{ref} の電圧とを比較する。コンパレータ 121 は、分圧された電源電圧信号 S_v の電圧が異常判定電圧信号 S_{ref} の電圧を超えている場合、主電源 50 に異常なしとして、操舵制御装置 30 に対して給電する

50

電源を主電源 50 とするべく、ハイレベルの第 2 制御電圧信号 SC2 を出力端子から出力する。コンパレータ 121 は、分圧された電源電圧信号 Sv の電圧が異常判定電圧信号 Sref の電圧を超えていない場合、主電源 50 に異常ありとして、操舵制御装置 30 に対して給電する電源を補助電源 60 とするべく、ローレベルの第 2 制御電圧信号 SC2 を出力端子から出力する。

【0046】

主電源側電圧印加部 170 は、主電源側給電経路 L1 上の第 1 MOSFET 151 及び第 2 MOSFET 152 を導通状態とする第 2 制御電圧信号 SC2 が比較回路 120 から入力された場合、第 1 MOSFET 151 のゲート端子及び第 2 MOSFET 152 のゲート端子に、ソース端子の電位よりも低電位のゲート電圧 Vg1 を印加する。この場合のゲート電圧 Vg1 は、ゲート端子に対応付けられた P 型半導体層に反転層が形成される程度の電圧値に設定されている。主電源側電圧印加部 170 は、主電源側給電経路 L1 上の第 1 MOSFET 151 及び第 2 MOSFET 152 を遮断状態とする第 2 制御電圧信号 SC2 が比較回路 120 から入力された場合、第 1 MOSFET 151 のゲート端子及び第 2 MOSFET 152 のゲート端子に、ソース端子の電位とゲート端子の電位とが同電位となるように、ゲート電圧 Vg1 を印加する。この場合のゲート電圧 Vg1 は、ゲート端子に対応付けられた P 型半導体層に反転層が形成されない程度の電圧値に設定されている。

10

【0047】

補助電源側電圧印加部 180 は、補助電源側給電経路 L2 上の第 3 MOSFET 161 及び第 4 MOSFET 162 を導通状態とする第 2 制御電圧信号 SC2 が比較回路 120 から入力された場合、第 3 MOSFET 161 のゲート端子及び第 4 MOSFET 162 のゲート端子に、ソース端子の電位よりも高電位のゲート電圧 Vg2 を印加する。この場合のゲート電圧 Vg2 は、ゲート端子に対応付けられた N 型半導体層に反転層が形成される程度の電圧値に設定されている。補助電源側電圧印加部 180 は、補助電源側給電経路 L2 上の第 3 MOSFET 161 及び第 4 MOSFET 162 を遮断状態とする第 2 制御電圧信号 SC2 が比較回路 120 から入力された場合、第 3 MOSFET 161 のゲート端子及び第 4 MOSFET 162 のゲート端子に、ソース端子の電位とゲート端子の電位とが同電位となるように、ゲート電圧 Vg2 を印加する。この場合のゲート電圧 Vg2 は、ゲート端子に対応付けられた N 型半導体層に反転層が形成されない程度の電圧値に設定されている。

20

30

【0048】

本実施形態の作用を説明する。

主電源 50 に異常が発生していない場合、主電源 50 の電源電圧信号 Sv が示す電源電圧値 Vv は異常判定電圧閾値 Vth を超えており、かつ電源電圧信号 Sv の分圧電圧が異常判定電圧信号 Sref の電圧を超えている状況にある。電源制御部 70 は、電圧検出回路 80 を用いて把握された主電源 50 の電源電圧値 Vv が異常判定電圧閾値 Vth を超えていない状況が所定時間継続していないとして、ハイレベルの第 1 制御電圧信号 SC1 を出力する。一方、擬似動作回路 140 は、電源制御部 70 から擬似異常信号 Sa が入力されていないことから、接続点 P3 から入力された電源電圧信号 Sv を第 5 MOSFET 143 のソース端子及びドレイン端子を通じて分圧回路 130 に出力する。分圧回路 130 は、分圧抵抗 131 及び分圧抵抗 132 によって分圧した電源電圧信号 Sv を比較回路 120 に出力する。比較回路 120 は、分圧回路 130 によって分圧した電源電圧信号 Sv の電圧が異常判定電圧信号 Sref の電圧を超えていることから、主電源 50 に異常なしとして、ハイレベルの第 2 制御電圧信号 SC2 を出力端子から出力する。主電源側電圧印加部 170 には、ハイレベルの第 1 制御電圧信号 SC1 及びハイレベルの第 2 制御電圧信号 SC2 が入力されて、第 1 MOSFET 151 のゲート端子及び第 2 MOSFET 152 のゲート端子に、ソース端子の電位よりも低電位のゲート電圧 Vg1 を印加する。補助電源側電圧印加部 180 には、ハイレベルの第 1 制御電圧信号 SC1 及びハイレベルの第 2 制御電圧信号 SC2 が入力されて、第 3 MOSFET 161 のゲート端子及び第 4 MOSFET 162 のゲート端子に、ソース端子の電位よりも高電位のゲート電圧 Vg2 を印加する。

40

50

S F E T 1 6 2 のゲート端子に、ソース端子の電位とゲート端子の電位とが同電位となるように、ゲート電圧 V_{g2} を印加する。これにより、操舵制御装置 3 0 に対して給電する電源を主電源 5 0 に維持している。また、電源制御部 7 0 は、入力されたハイレベルの第 2 制御電圧信号 $S C 2$ 及び自らが生成したハイレベルの第 1 制御電圧信号 $S C 1$ に基づいて、主電源 5 0 に異常なしと把握している。

【 0 0 4 9 】

図 2 及び図 3 に示すように、主電源 5 0 の電源電圧値 V_v が緩やかに低下する場合、電源電圧信号 S_v の分圧電圧が異常判定電圧信号 S_{ref} の電圧を超えている状況にあるものの、主電源 5 0 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況が生じることがある。擬似動作回路 1 4 0 は、電源制御部 7 0 から擬似異常信号 S_a が入力されていないことから、接続点 P 3 から入力された電源電圧信号 S_v を第 5 M O S F E T 1 4 3 のソース端子及びドレイン端子を通じて分圧回路 1 3 0 に出力する。分圧回路 1 3 0 は、分圧抵抗 1 3 1 及び分圧抵抗 1 3 2 によって分圧した電源電圧信号 S_v を比較回路 1 2 0 に出力する。比較回路 1 2 0 は、分圧回路 1 3 0 によって分圧した電源電圧信号 S_v の電圧が異常判定電圧信号 S_{ref} の電圧を超えていることから、主電源 5 0 に異常なしとして、ハイレベルの第 2 制御電圧信号 $S C 2$ を出力端子から出力する。一方、電源制御部 7 0 は、電圧検出回路 8 0 を用いて把握された主電源 5 0 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況が所定時間継続した場合、主電源 5 0 に異常ありとして、ローレベルの第 1 制御電圧信号 $S C 1$ を生成する。主電源側電圧印加部 1 7 0 及び補助電源側電圧印加部 1 8 0 には、ローレベルの第 1 制御電圧信号 $S C 1$ 及びハイレベルの第 2 制御電圧信号 $S C 2$ が入力されている。主電源側電圧印加部 1 7 0 は、ローレベルの第 1 制御電圧信号 $S C 1$ が入力された場合、第 1 M O S F E T 1 5 1 のゲート端子及び第 2 M O S F E T 1 5 2 のゲート端子に、ソース端子の電位とゲート端子の電位とが同電位となるように、ゲート電圧 V_{g1} を印加する。補助電源側電圧印加部 1 8 0 は、ローレベルの第 1 制御電圧信号 $S C 1$ が入力された場合、第 3 M O S F E T 1 6 1 のゲート端子及び第 4 M O S F E T 1 6 2 のゲート端子に、ソース端子の電位よりも高電位のゲート電圧 V_{g2} を印加する。これにより、操舵制御装置 3 0 に対して給電する電源を補助電源 6 0 に切り替えている。また、電源制御部 7 0 は、入力されたハイレベルの第 2 制御電圧信号 $S C 2$ 及び自らが生成したローレベルの第 1 制御電圧信号 $S C 1$ に基づいて、主電源 5 0 に異常ありと把握している。電源制御部 7 0 は、主電源 5 0 の異常の中でも、主電源 5 0 の電源電圧値 V_v が緩やかに低下する主電源 5 0 のオープン故障や主電源 5 0 の経年劣化に起因する異常等が生じていると把握することができる。

【 0 0 5 0 】

図 2 及び図 4 に示すように、主電源 5 0 の電源電圧値 V_v が急激に低下する場合、電源電圧信号 S_v の分圧電圧が異常判定電圧信号 S_{ref} の電圧を超えておらず、かつ主電源 5 0 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況が生じることがある。電源制御部 7 0 は、電圧検出回路 8 0 を通じて検出したアナログ信号である電源電圧信号 S_v を、デジタル値である電源電圧値 V_v に変換してから、当該電源電圧値 V_v で主電源 5 0 の異常を判定している。そして、電源制御部 7 0 は、主電源 5 0 の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況が所定時間継続するまでは、主電源 5 0 に異常なしとして、ハイレベルの第 1 制御電圧信号 $S C 1$ を生成する。一方、擬似動作回路 1 4 0 は、電源制御部 7 0 から擬似異常信号 S_a が入力されていないことから、接続点 P 3 から入力された電源電圧信号 S_v を第 5 M O S F E T 1 4 3 のソース端子及びドレイン端子を通じて分圧回路 1 3 0 に出力する。分圧回路 1 3 0 は、分圧抵抗 1 3 1 及び分圧抵抗 1 3 2 によって分圧した電源電圧信号 S_v を比較回路 1 2 0 に出力する。比較回路 1 2 0 は、分圧回路 1 3 0 によって分圧した電源電圧信号 S_v の電圧が異常判定電圧信号 S_{ref} の電圧を超えていないことから、主電源 5 0 に異常ありとして、ローレベルの第 2 制御電圧信号 $S C 2$ を生成する。

【 0 0 5 1 】

仮に、アナログ判定回路 1 0 0 による主電源 5 0 の異常の判定と、電源制御部 7 0 によ

10

20

30

40

50

る主電源 50 の異常の判定とが同じタイミングで開始されたとする。電源制御部 70 による主電源 50 の異常の判定はアナログ信号からデジタル値に変換する過程を経てから行われることになるのに対し、アナログ判定回路 100 による主電源 50 の異常の判定はアナログ信号からデジタル値に変換する過程を経ることなく行われる。このため、アナログ判定回路 100 による主電源 50 の異常の判定は、アナログ信号からデジタル値に変換する過程を経ない分、電源制御部 70 による主電源 50 の異常の判定よりも迅速に行うことができる。これにより、主電源 50 の電源電圧値 V_v が急激に低下する異常が発生した直後において、アナログ判定回路 100 によりローレベルの第 2 制御電圧信号 $SC2$ が生成される一方、電源制御部 70 によりハイレベルの第 1 制御電圧信号 $SC1$ が生成される状況が生じる。

10

【0052】

主電源側電圧印加部 170 及び補助電源側電圧印加部 180 には、電源制御部 70 からハイレベルの第 1 制御電圧信号 $SC1$ 及びアナログ判定回路 100 からローレベルの第 2 制御電圧信号 $SC2$ が入力される。主電源側電圧印加部 170 は、ローレベルの第 2 制御電圧信号 $SC2$ が入力された場合、第 1 MOSFET 151 のゲート端子及び第 2 MOSFET 152 のゲート端子に、ソース端子の電位とゲート端子の電位とが同電位となるように、ゲート電圧 V_{g1} を印加する。これにより、第 1 MOSFET 151 及び第 2 MOSFET 152 を遮断状態とする。また、補助電源側電圧印加部 180 は、ローレベルの第 2 制御電圧信号 $SC2$ が入力された場合、第 3 MOSFET 161 のゲート端子及び第 4 MOSFET 162 のゲート端子に、ソース端子の電位よりも高電位のゲート電圧 V_{g2} を印加する。これにより、第 3 MOSFET 161 及び第 4 MOSFET 162 を導通状態とする。このように、アナログ判定回路 100 は、主電源 50 の電源電圧値 V_v が急激に低下する異常が発生した場合、操舵制御装置 30 に給電する電源を補助電源 60 に切り替えるためのローレベルの制御電圧信号を迅速に生成することができる。これにより、迅速に電源を切り替えることができる。また、電源制御部 70 は、入力されたローレベルの第 2 制御電圧信号 $SC2$ 及び自らが生成したハイレベルの第 1 制御電圧信号 $SC1$ に基づいて、主電源 50 に異常ありと把握している。電源制御部 70 は、主電源 50 の異常の中でも、主電源 50 の電源電圧値 V_v が急激に低下する主電源 50 のショート故障が生じていると把握することができる。

20

【0053】

図 2 に示すように、電源制御部 70 は、車両の始動時のイニシャルチェック中において、アナログ判定回路 100 の動作確認を行う場合、比較回路 120 に入力される電源電圧信号 S_v を擬似的に異常ありとさせるべく、擬似動作回路 140 に対して擬似異常信号 S_a を出力する。これにより、デジタルトランジスタ 144 がオフ状態となり、第 5 MOSFET 143 は遮断状態となる。第 5 MOSFET 143 が遮断状態となることから、比較回路 120 には分圧された電源電圧信号 S_v が入力されず、ショート故障が発生したときのような電源電圧値 V_v が急激に低下する状況が擬似的に作り出される。比較回路 120 は、正側入力端子に入力される電圧が異常判定電圧信号 S_{ref} の電圧を超えていないことから、主電源 50 に異常ありとして、ローレベルの第 2 制御電圧信号 $SC2$ を生成する。電源制御部 70 は、擬似異常信号 S_a を擬似動作回路 140 に対して出力した結果として、比較回路 120 がローレベルの第 2 制御電圧信号 $SC2$ を生成した場合、アナログ判定回路 100 に異常なしと判定する。一方、電源制御部 70 は、擬似異常信号 S_a を擬似動作回路 140 に対して出力したにもかかわらず、比較回路 120 がローレベルの第 2 制御電圧信号 $SC2$ を生成しない場合、アナログ判定回路 100 に異常ありと判定する。また、アナログ判定回路 100 に異常なしの場合、主電源側電圧印加部 170 及び補助電源側電圧印加部 180 には、ローレベルの第 2 制御電圧信号 $SC2$ が入力される。主電源側電圧印加部 170 及び補助電源側電圧印加部 180 は、ローレベルの第 2 制御電圧信号 $SC2$ に基づいて、操舵制御装置 30 に対して給電する電源を補助電源 60 に切り替えるべく動作を開始する。ただし、電源制御部 70 は、アナログ判定回路 100 に異常なしと判定した場合、補助電源装置 40 をリセットするリセット信号を出力することにより、電

30

40

50

源制御部 70 がアナログ判定回路 100 の動作確認を行う前の状態に戻される。すなわち、操舵制御装置 30 に対して給電する電源は、主電源 50 に戻される。一方、アナログ判定回路 100 に異常ありの場合、主電源側電圧印加部 170 及び補助電源側電圧印加部 180 には、ハイレベルの第 2 制御電圧信号 SC2 が入力される。電源制御部 70 は、アナログ判定回路 100 に異常ありと判定した場合、例えばランプを点灯させること等により当該異常を報知する。

【0054】

本実施形態の効果を説明する。

(1) 電源の切り替えに際しては、アナログ判定回路 100 において主電源 50 の出力状態を示すアナログ信号である電源電圧信号 Sv で主電源 50 の異常を判定するとともに、当該判定結果を示すアナログ信号である第 2 制御電圧信号 SC2 を生成し、電源切替回路 110 において第 2 制御電圧信号 SC2 によって電源を切り替えるという工程を経ればよい。すなわち、アナログ信号としての第 2 制御電圧信号 SC2 を、電源電圧信号 Sv からデジタル値に変換する過程を経ることなく生成できるため、デジタル信号に変換して電源の切り替え判定を行う場合よりも、電源の切り替えに要する工程を簡素にすることができる。このため、主電源 50 から出力される電力の電圧が急激に低下する状況であっても、操舵制御装置 30 に対して給電する電源を主電源 50 から補助電源 60 へより迅速に切り替えることができる。

10

【0055】

(2) 本実施形態では、上記のようにアナログ判定回路 100 の具体的構成を提供している。比較回路 120 を用いることにより、電源電圧信号 Sv をデジタル値に変換する過程を経ることなく、当該電源電圧信号 Sv で第 2 制御電圧信号 SC2 を生成することができる。

20

【0056】

(3) 本実施形態では、上記のように電源切替回路 110 の具体的構成を提供している。比較回路 120 から第 2 制御電圧信号 SC2 が主電源側電圧印加部 170 及び補助電源側電圧印加部 180 に入力されることによって、操舵制御装置 30 に対して給電する電源を主電源 50 から補助電源 60 へ切り替えることができる。

【0057】

(4) 電源制御部 70 は、イニシャルチェック中において、擬似異常信号 Sa を擬似動作回路 140 に対して出力したことに起因して比較回路 120 でローレベルの第 2 制御電圧信号 SC2 が生成されたかどうかに基づいて、アナログ判定回路 100 の異常を検出することができる。これにより、アナログ判定回路 100 の異常の有無に関する情報を把握できるため、アナログ判定回路 100 の異常に対してフェイルセーフ等の処置を施すことが可能となる。イニシャルチェック中においてアナログ判定回路 100 に異常がないことが確認された状態で、その後のアナログ判定回路 100 による電源の切り替えが行われるため、補助電源装置 40 の信頼性を向上させることができる。

30

【0058】

(5) 主電源 50 の異常の判定を、アナログ判定回路 100 だけでなく、電源制御部 70 においても実行できるため、いずれか一方だけの判定を行う場合よりも、形態の異なる異常に対応して電源を切り替えることができるようになる。

40

【0059】

(6) 主電源 50 の電源電圧値 Vv が異常判定電圧信号 Sref の電圧を超えないことから主電源 50 の異常が判定された場合と、主電源 50 の電源電圧値 Vv が異常判定電圧信号 Sref の電圧を超えるものの異常判定電圧閾値 Vth を超えないことから主電源 50 の異常が判定された場合とに場合分けできることから、主電源 50 の異常の形態を把握できるようになる。

【0060】

上記実施形態は次のように変更してもよい。また、以下の他の実施形態は、技術的に矛盾しない範囲において、互いに組み合わせることができる。

50

・第1 MOSFET 151、第2 MOSFET 152、及び第5 MOSFET 143は、NチャネルMOSFETであってもよい。第3 MOSFET 161及び第4 MOSFET 162は、PチャネルMOSFETであってもよい。

【0061】

・擬似動作回路140を用いたアナログ判定回路100の異常の検出は、イニシャルチェック中に限らず、始動スイッチがオンされている期間中に間欠的に実行してもよい。

・異常判定電圧閾値 V_{th} は、異常判定電圧信号 S_{ref} をデジタル値に変換した電圧値と同電位に設定されていてもよいし、低電位に設定されていてもよい。

【0062】

・電源制御部70は、主電源50の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない状況が所定時間継続するか否かに基づいて主電源50の異常を判定したが、所定時間という条件をなくしてもよい。すなわち、電源制御部70は、主電源50の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えていない場合、主電源50の異常ありと判定し、主電源50の電源電圧値 V_v が異常判定電圧閾値 V_{th} を超えている場合、主電源50の異常なしと判定するようにしてもよい。

10

【0063】

・電源制御部70は、アナログ判定回路100により生成される第2制御電圧信号 SC_2 に基づいて、主電源50の異常の形態を把握しなくてもよい。電源制御部70には、アナログ判定回路100により生成される第2制御電圧信号 SC_2 が入力されればよい。

【0064】

20

・電源制御部70は、主電源50の異常の判定を行う機能を有しなくてよい。すなわち、主電源50の異常の判定は、アナログ判定回路100のみで行うようにしてもよい。

・比較回路120の具体的構成、分圧回路130の具体的構成、及び擬似動作回路140の具体的構成は、上記実施形態のものに限られない。例えば、比較回路120のプルアップ抵抗122のように出力を安定化させるための構成を省略してもよい。また、例えば、正側電源端子及び負側電源端子の間を接続線で繋ぐとともに、当該接続線に比較回路120の出力を安定させるためのコンデンサ等の構成を追加してもよい。すなわち、比較回路120の具体的構成、分圧回路130の具体的構成、及び擬似動作回路140の具体的構成は、適宜変更可能である。

【0065】

30

・擬似動作回路140には、接続点P2における電圧を示す電源電圧信号 S_v が入力されてもよい。

・図5に示すように、アナログ判定回路100に擬似動作回路140を設けなくてもよい。この場合、分圧回路130の分圧抵抗131は一端が接続点P3に接続されているとともに、他端が分圧抵抗132に接続されている。また、電源制御部70は、擬似異常信号 S_a を出力する機能を有しなくてよい。

【0066】

・アナログ判定回路100に分圧回路130を設けなくてもよい。この場合、比較回路120のコンパレータ121には、分圧しない電源電圧信号 S_v の電圧に耐えられる程度の耐圧性能が求められる。また、異常判定電圧信号 S_{ref} は、分圧しない電源電圧信号 S_v と比較できるような電圧に設定される。

40

【0067】

・比較回路120は、電源電圧信号 S_v の電圧に基づいて主電源50の異常を判定したが、接続点P3における電流を示す信号に基づいて主電源50の異常を判定してもよい。すなわち、比較回路120は、主電源50の出力状態を示すアナログ信号に基づいて主電源50の異常を判定すればよい。

【0068】

・電源切替回路110は、接続点P1に接続する電源を主電源50と補助電源60とで切り替える機械的なスイッチであってもよい。

・上記実施形態では、補助電源装置40を適用したステアリング装置1は、ステアリン

50

グ軸 1 2 に減速機 2 1 を介してモータ 2 0 が連結された電動パワーステアリング装置として構成したが、モータ 2 0 が減速機 2 1 を介してラック軸 1 4 に連結された電動パワーステアリング装置として構成してもよい。また、補助電源装置 4 0 を適用した電動パワーステアリング装置に限らず、補助電源装置 4 0 は、例えばステアバイワイヤ式のステアリング装置に適用してもよい。

【 0 0 6 9 】

・補助電源装置 4 0 の給電対象は、エアバッグ装置やブレーキ装置等であってもよい。また、無人搬送車や電気自動車等の制御装置であってもよい。

【 符号の説明 】

【 0 0 7 0 】

1 ...ステアリング装置、2 ...操舵機構、1 0 ...ステアリングホイール、2 0 ...モータ、3 0 ...操舵制御装置、3 1 ...操舵制御部、3 2 ...メモリ、4 0 ...補助電源装置、5 0 ...主電源、6 0 ...補助電源、7 0 ...電源制御部、8 0 ...電圧検出回路、1 0 0 ...アナログ判定回路、1 1 0 ...電源切替回路、1 2 0 ...比較回路、1 2 1 ...コンパレータ、1 2 2 ...プルアップ抵抗、1 3 0 ...分圧回路、1 3 1 , 1 3 2 ...分圧抵抗、1 4 0 ...擬似動作回路、1 4 1 , 1 4 2 ...分圧抵抗、1 4 3 ...第 5 M O S F E T、1 4 4 ...デジタルトランジスタ、1 5 0 ...主電源側切替部、1 5 1 ...第 1 M O S F E T、1 5 2 ...第 2 M O S F E T、1 6 0 ...補助電源側切替部、1 6 1 ...第 3 M O S F E T、1 6 2 ...第 4 M O S F E T、1 7 0 ...主電源側電圧印加部、1 8 0 ...補助電源側電圧印加部、L 1 ...主電源側給電経路、L 2 ...補助電源側給電経路、P 1 ~ P 6 ...接続点、S a ...擬似異常信号、S C 1 ...第 1 制御電圧信号、S C 2 ...第 2 制御電圧信号、S r e f ...異常判定電圧信号、S v ...電源電圧信号、V t h ...異常判定電圧閾値、V v ...電源電圧値。

10

20

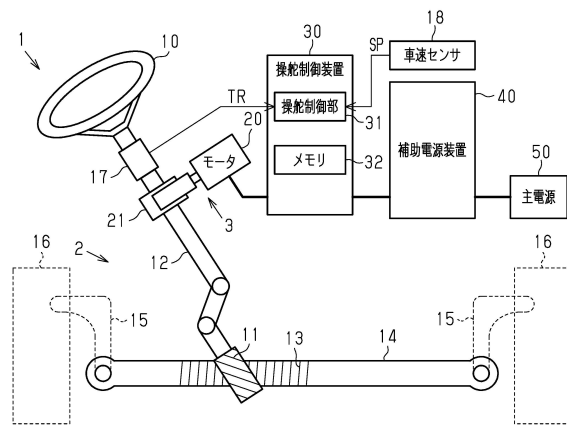
30

40

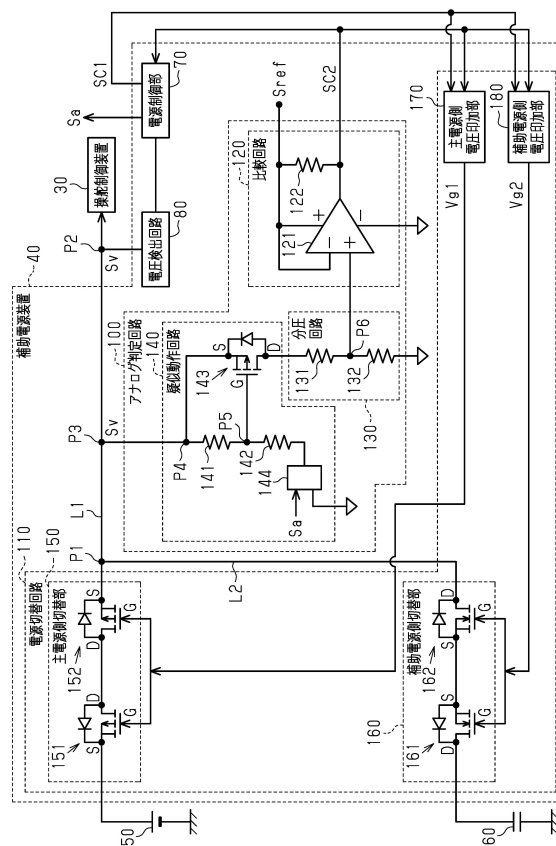
50

【図面】

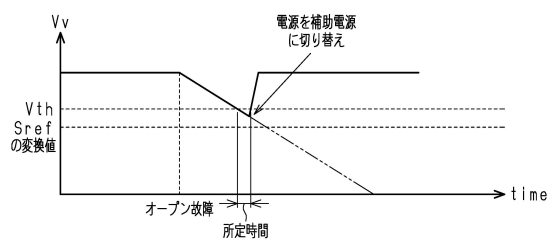
【 図 1 】



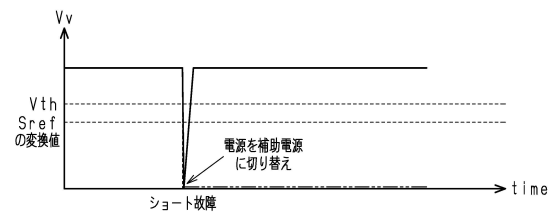
【 図 2 】



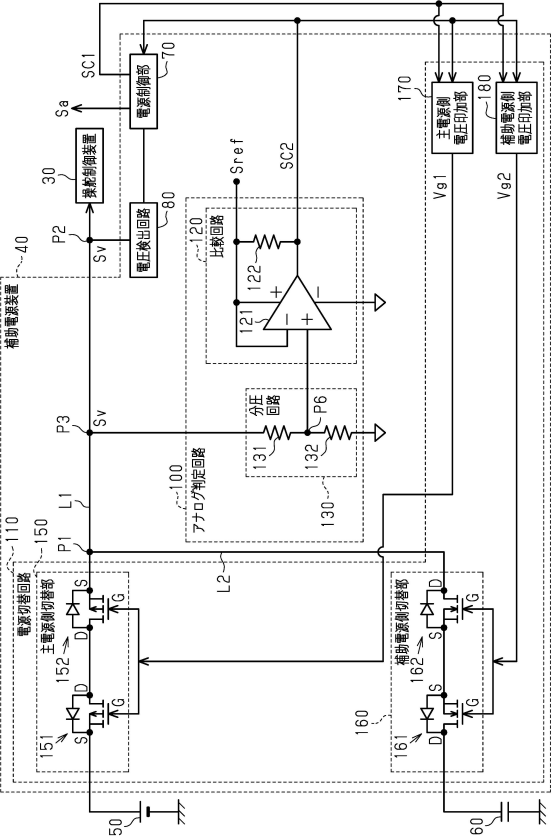
【 図 3 】



【圖 4】



【図 5】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 2 J 1/10 (2006.01) H 0 2 J 1/10
H 0 2 J 1/00 3 0 9 C

動車株式会社内

(72)発明者 幹田 利幸
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72)発明者 半澤 弘明
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

審査官 山本 香奈絵

(56)参考文献 特開 2 0 1 2 - 1 2 5 1 1 3 (J P , A)
特開 2 0 1 7 - 1 7 5 6 9 1 (J P , A)
特開 2 0 0 6 - 2 3 8 6 0 9 (J P , A)
特開平 1 1 - 2 7 5 7 7 7 (J P , A)
特開平 0 4 - 1 5 0 7 3 8 (J P , A)
特開昭 5 4 - 1 6 2 1 5 0 (J P , A)
特開 2 0 0 2 - 3 7 2 5 0 5 (J P , A)
特表 2 0 1 9 - 5 1 1 1 8 7 (J P , A)
特開 2 0 1 6 - 0 5 3 7 8 9 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
H 0 2 J 1 / 0 0
B 6 2 D 5 / 0 4
B 6 2 D 6 / 0 0
G 0 1 R 3 1 / 0 0
H 0 2 J 7 / 0 0
H 0 2 J 1 / 1 0