

SEP 15 2010

發明專利說明書

99年9月15日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96100146

※ 申請日期：96/01/03

※IPC 分類：H01L

21/768

公告本

一、發明名稱：(中文/英文)

半導體裝置及半導體裝置之製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞薩電子股份有限公司

Renesas Electronics Corporation (ルネサスエレクトロニクス株式会社)

代表人：(中文/英文)

赤尾泰 / AKAO Yasushi

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部 1753 番地

1753, Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8668,
Japan

國 籍：(中文/英文)

日本 / Japan

三、發明人：(共 4 人)

姓 名：(中文/英文)

(1) 古澤健志 / Takeshi FURUSAWA

(2) 兒玉大介 / Daisuke KODAMA (児玉大介)

(3) 松本雅弘 / Masahiro MATSUMOTO

(4) 宮崎博史 / Hiroshi MIYAZAKI

國 籍：(中文/英文)

(1)~(4) 日本 / Japan

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006/01/13；2006-5956

2.

3.

4.

5.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明之課題為提供一種半導體裝置等，其係具有在銅合金佈線和通孔之連接面形成著含有氮之障壁金屬膜的構造者，可以抑制銅合金佈線與通孔之間之電阻上升，並可以抑制電阻之偏差。

本發明之解決手段為在本發明之半導體裝置中具備有第一銅合金佈線 3、通孔 4 和第一障壁金屬膜 7。此處，第一銅合金佈線 3 形成在層間絕緣膜 1 內，並在屬於主成份之 Cu 中含有既定之添加元素。通孔 4 形成在層間絕緣膜 2 內，並與第一銅合金佈線 3 之上面電性連接。第一障壁金屬膜 7 係含有氮，並在第一銅合金佈線 3 和通孔 4 之連接部與第一銅合金佈線 3 接觸形成。既定之添加元素係經由與氮反應而形成高電阻部之元素。另外，既定之添加元素之濃度為 0.04 wt% 以下。

六、英文發明摘要：

To provide a semiconductor device having a structure in which a barrier metal film containing nitrogen is formed in a connection surface between a copper alloy wiring and a via, in which the electric resistance between the copper alloy wiring and the via can be prevented from rising, and the electric resistance can be prevented from varying. A semiconductor device according to the present invention comprises a first copper alloy wiring, a via and a first barrier metal film. The first copper alloy wiring is formed in an interlayer insulation film and contains a predetermined additive element in a main component Cu. The via is formed in an interlayer insulation film and electrically connected to the upper surface of the first copper alloy wiring. The first barrier metal film is formed so as to be in contact with the first copper alloy wiring in the connection part between the first copper alloy wiring and the via and contains nitrogen. The predetermined additive element reacts with nitrogen to form a high-resistance part. In addition, the concentration of the predetermined additive element is not more than 0.04 wt%.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- 1 層間絕緣膜
- 2 層間絕緣膜
- 3 銅合金佈線
- 4 通孔
- 5 障壁金屬膜
- 6 障壁金屬膜
- 7 障壁金屬膜
- 8 障壁金屬膜
- 60 高電阻部

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明有關於半導體裝置及半導體裝置之製造方法，特別有關於具有銅合金佈線和與其連接之通孔之半導體裝置及其製造方法。

【先前技術】

在要求高速動作，低消耗電力化之半導體裝置中，為了抑制佈線部之信號延遲和電力消耗，而使用利用了低電阻之銅的多層佈線構造。但是，由於半導體裝置之微細化，使在銅佈線中流動之電流密度增大，相對於電性遷移(Electromigration，以下稱為 EM)之銅佈線的可靠度會成為問題。

EM 是當電流在銅佈線中流動時，被電子流推壓使銅原子移動之現象。在銅佈線中，EM 耐性最會成為問題者係連結上下佈線之層間連接(通孔)的底部和下層之銅佈線間之接觸面。當發生 EM 現象時，銅佈線中之銅原子進行移動，在銅佈線之該接觸面附近形成空洞(void)。另外，該空洞之形成之結果，將在銅佈線和通孔之間產生斷線。

為了防止由於 EM 現象所造成之銅佈線和通孔間之斷線，習知係限制在銅佈線中流動之電流值。另外，採用在屬於主成分之銅中添加有鋁等之添加元素的銅合金佈線。有關於該銅合金佈線之揭示的文獻，有如非專利文獻 1。該銅合金佈線之 EM 耐性將較優於純銅佈線之情況。

在非專利文獻 1 中，所揭示之技術係採用在屬於主成分

之銅中添加作為添加元素之 Al、Sn、Ti 的銅合金佈線，以提高 EM 耐性。另外，關於揭示銅合金佈線之其他之先前技術，有如專利文獻 1 和專利文獻 2。

在此，專利文獻 1 所揭示之構造係在層間絕緣膜形成有銅合金佈線、及與該銅合金佈線之上面連接之通孔，並在該銅合金佈線和該通孔之連接面（亦可以被理解為連接部）形成有包含氮之障壁金屬膜。

另外，對於存在於銅合金佈線（亦包含通孔）和層間絕緣膜之間之障壁金屬膜的構造，亦進行著各種努力。例如作為障壁金屬膜，係採用層合有與層間絕緣膜之接著性良好之 TaN、TiN、WN 等，和與銅之接著性良好之 Ta、Ti、W 等的層合構造膜（專利文獻 3）。

[非專利文獻 1] T. Tonegawa et al (NEC), “Suppression of Bimodal Stress-Induced Voiding Using Highly Diffusive Dopant from Cu-Alloy Seed Layer”, Proceeding of IEEE International Interconnect Technology Conference 2003, pp. 216-218

[專利文獻 1] 日本專利特開 2002-75995 號公報

[專利文獻 2] 日本專利特開平 11-307530 號公報

[專利文獻 3] 日本專利特開 2003-124313 號公報

【發明內容】

（發明所欲解決之問題）

但是，在上述專利文獻 1 所揭示之構造之情況下，利用本發明人等之實驗可以明白將產生以下問題。亦即，可以

明白當在銅合金佈線和通孔之連接面形成包含有氮之障壁金屬膜時，將使銅合金佈線和通孔之間之電阻上升，且該電阻將產生偏差。

因此，本發明之目的在於提供一種半導體裝置，係具有下述構造者：在層間絕緣膜形成有銅合金佈線、及與該銅合金佈線之上面連接之通孔，在該銅合金佈線和該通孔之連接面（亦可以被理解為連接部）形成包含有氮之障壁金屬膜；其可抑制銅合金佈線和通孔之間的電阻上升，並可以抑制該電阻之偏差。另外，亦提供該半導體裝置之製造方法。

（解決問題之手段）

為了達成上述目的，本發明之第一態樣之半導體裝置，係具備有：第一銅合金佈線，係形成在層間絕緣膜內，在屬於主成分之 Cu 中包含既定之添加元素；通孔，係形成在層間絕緣膜內，與上述第一銅合金佈線之上面電性連接；及第一障壁金屬膜，係在上述第一銅合金佈線與上述通孔之連接部形成與上述第一銅合金佈線接觸，並含有氮；上述既定之添加元素之濃度為 0.04 wt% 以下。

另外，第二態樣之半導體裝置，係具備有：第一銅合金佈線，係配置在第一層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；第二層間絕緣膜，係形成在上述第一層間絕緣膜上；與第二銅合金佈線，係配置在上述第二層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；上述第二銅合

金佈線之上述 Al 之濃度，為未滿上述第一銅合金佈線之上述 Al 之濃度。

另外，第三態樣之半導體裝置，係具備有：銅合金佈線，係配置在第一層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；第二層間絕緣膜，係形成在上述第一層間絕緣膜上；及只由 Cu 構成之銅佈線，係配置在上述第二層間絕緣膜內，膜厚大於上述銅合金佈線。

另外，第四態樣之半導體裝置，係具備有：第一雙重金屬鑲嵌構造，係配置在第一層間絕緣膜內，由第一佈線和第一通孔所構成，在屬於主成分之 Cu 中添加有 Al；第二層間絕緣膜，係形成在上述第一層間絕緣膜上；及第二雙重金屬鑲嵌構造，係配置在上述第二層間絕緣膜內，由膜厚大於上述第一佈線之第二佈線和第二通孔所構成，上述第一佈線之上部和上述第二通孔之下面互相連接，只由 Cu 所構成。

另外，第五態樣之半導體裝置，係具備有：第一通孔，係形成在層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；第一銅合金配線，係形成在上述層間絕緣膜內，與上述第一通孔之底部電性連接，在屬於主成分之 Cu 中添加有 Al；第一障壁金屬膜，係在上述層間絕緣膜與上述第一通孔之間，與上述層間絕緣膜接觸形成，並含有氮；及第二障壁金屬膜，係在上述層間絕緣膜與上述第一通孔之間，與上述第一通孔接觸形成，且未含有氮；上述第一障壁金屬膜未形成在上述第一銅合金佈線與上述第一通孔

之連接部；上述第二障壁金屬膜亦形成在上述第一銅合金佈線與上述第一通孔之連接部。

另外，在第六態樣之半導體裝置之製造方法中，係具備：(A) 在第一層間絕緣膜內，形成以銅作為主要成分，並包含有濃度為 0.04 wt% 以下之添加元素的銅合金佈線；(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成使上述銅合金佈線之上面露出之連接孔；(C) 在上述連接孔之底面及側面形成含有氮之第一障壁金屬膜；及(D) 在上述步驟(C)之後，將導電體填充在上述連接孔。

另外，在第七態樣之半導體裝置之製造方法中，係具備：(A) 在第一層間絕緣膜內，配置在屬於主成分之 Cu 中添加有 Al 之第一銅合金佈線；及(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成第二銅合金佈線，該第二銅合金佈線係在屬於主成分之 Cu 中添加有 Al，膜厚大於上述第一銅合金佈線，並具有屬於上述第一銅合金佈線之上述 Al 濃度以下的 Al 濃度。

另外，在第八態樣之半導體裝置之製造方法中，係具備：(A) 在第一層間絕緣膜內，配置在屬於主成分之 Cu 中添加有 Al 之第一銅合金佈線；及(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成膜厚大於上述銅合金佈線、並只由 Cu 所構成之銅佈線。

另外，在第九態樣之半導體裝置之製造方法中，係具備：(A) 在第一層間絕緣膜內，形成第一雙重金屬鑲嵌構

造，其係由第一佈線和第一通孔構成，在屬於主成分之 Cu 中添加有 Al；及(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成僅由 Cu 所構成之第二雙重金屬鑲嵌構造，其係由膜厚大於上述第一佈線之第二佈線與第二通孔所構成，上述第一佈線之上部與上述第二通孔之下面互相連接。

(發明效果)

本發明之第一態樣之半導體裝置，係具備有：第一銅合金佈線，係形成在層間絕緣膜內，在屬於主成分之 Cu 中含有既定之添加元素；通孔，係形成在層間絕緣膜內，並與上述第一銅合金佈線之上面電性連接；及第一障壁金屬膜，係在上述第一銅合金佈線與上述通孔之連接部，與上述第一銅合金佈線接觸形成，並含有氮；上述既定之添加元素之濃度為 0.04 wt% 以下。因此，在第一銅合金佈線和通孔之連接部，可以抑制氮和添加元素之反應。亦即，可以抑制高電阻部之形成。藉此，可以抑制在該連接部之電阻上升，以及該電阻之偏差。

另外，在第二態樣之半導體裝置中，係具備有：第一銅合金佈線，係配置在第一層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；第二層間絕緣膜，係形成在上述第一層間絕緣膜上；及第二銅合金佈線，係配置在上述第二層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；上述第二銅合金佈線之上述 Al 的濃度，為未滿上述第一銅合金佈線之 Al 的濃度。因此，可以使被配置在更上層之第二銅合

金佈線之電阻值，小於被配置在更下層之第一銅合金佈線之電阻值。

另外，在第三態樣之半導體裝置中，係具備有：銅合金佈線，係配置在第一層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；第二層間絕緣膜，係形成在上述第一層間絕緣膜上；及只由 Cu 所構成之銅佈線，係配置在上述第二層間絕緣膜內，且膜厚大於上述銅合金佈線。因此，可以使被配置在更上層之第二銅合金佈線之電阻值，小於被配置在更下層之第一銅合金佈線之電阻值。

另外，在第四態樣之半導體裝置中，係具備有：第一雙重金屬鑲嵌構造，係配置在第一層間絕緣膜內，由第一佈線和第一通孔所構成，在屬於主成分之 Cu 中添加有 Al；第二層間絕緣膜，係形成在上述第一層間絕緣膜上；及第二雙重金屬鑲嵌構造，係配置在上述第二層間絕緣膜內，由膜厚大於上述第一佈線之第二佈線與第二通孔所構成，上述第一佈線之上部和上述第二通孔之下面互相連接，其只由 Cu 所構成。因此，可以使被配置在更上層之第二雙重金屬鑲嵌構造之電阻值，小於被配置在更下層之第一雙重金屬鑲嵌構造之電阻值。

另外，第五態樣之半導體裝置中，係具備有：第一通孔，係形成在層間絕緣膜內，在屬於主成分之 Cu 中添加有 Al；第一銅合金配線，係形成在上述層間絕緣膜內，與上述第一通孔之底部電性連接，在屬於主成分之 Cu 中添加有 Al；第一障壁金屬膜，係在上述層間絕緣膜和上述第

一通孔之間，與上述層間絕緣膜接觸形成，並含有氮；及第二障壁金屬膜，係在上述層間絕緣膜和上述第一通孔之間，與上述第一通孔接觸形成，且未含有氮；上述第一障壁金屬膜未形成在上述第一銅合金佈線和上述第一通孔之連接部；上述第二障壁金屬膜亦形成在上述第一銅合金佈線和上述第一通孔之連接部。因此，在第一銅合金佈線和第一通孔之連接部，可以抑制氮和 Al 之反應。亦即，可以抑制高電阻部之形成。因此，可以抑制該連接部之電阻上升，及該電阻之偏差。

另外，在第六態樣之半導體裝置之製造方法中，係具備下述步驟：(A) 在第一層間絕緣膜內，形成以銅作為主要成分，並包含有濃度為 0.04 wt% 以下之添加元素的銅合金佈線；(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成使上述銅合金佈線之上面露出的連接孔；(C) 在上述連接孔之底面和側面形成含有氮之第一障壁金屬膜；及(D) 在上述步驟(C)之後，將導電體填充在上述連接孔。因此，在銅合金佈線和通孔之連接部，可以抑制氮與添加元素之反應，亦即，可以製造能夠抑制高電阻部之形成之半導體裝置。

另外，在第七態樣之半導體裝置之製造方法中，係具備下述步驟：(A) 在第一層間絕緣膜內，係配置在屬於主成分之 Cu 中添加有 Al 之第一銅合金佈線；和(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成第二銅合金佈線，其係在屬於主成分之 Cu 中添加有 Al，且膜厚

大於上述第一銅合金佈線，具有屬於上述第一銅合金佈線之上述 Al 濃度以下的 Al 濃度。因此，可以提供具備有上層佈線所具有之電阻值小於下層佈線所具有之電阻值的半導體裝置。

另外，在第八態樣之半導體裝置之製造方法中，係具備下述步驟：(A) 在第一層間絕緣膜內，配置在屬於主成分之 Cu 中添加有 Al 之第一銅合金佈線；及(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成膜厚大於上述銅合金佈線、並只由 Cu 所構成之銅佈線。因此，可以提供具備有上層佈線所具有之電阻值小於下層佈線所具有之電阻值的半導體裝置。

另外，在第九態樣之半導體裝置之製造方法中，係具備下述步驟：(A) 在第一層間絕緣膜內，形成第一雙重金屬鑲嵌構造，其係由第一佈線和第一通孔所構成，在屬於主成分之 Cu 中添加有 Al；及(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成只由 Cu 所構成之第二雙重金屬鑲嵌構造，其係由膜厚大於上述第一佈線之第二佈線與第二通孔所構成，上述第一佈線之上部與上述第二通孔之下面互相連接。因此，可以提供具備有上層之雙重金屬鑲嵌構造所具有之電阻值、小於下層之雙重金屬鑲嵌構造所具有之電阻值的半導體裝置。

【實施方式】

本發明者等人對於下述之半導體裝置，進行了調查電氣特性之實驗：在層間絕緣膜形成銅合金佈線和與該銅合金

佈線之上面連接之通孔，在該銅合金佈線和該通孔之連接面(亦可以被理解為連接部)形成含有氮之障壁金屬膜。於此，銅合金佈線係在主成分之 Cu 中添加 Al 等之添加元素而構成。

由該實驗之結果可以明白，該連接部之電阻之上升係由於以下之要因而發生。亦即，可知使添加元素和氮反應而形成之高電阻部為其要因。

另外，由實驗之結果明白，連接部之電阻之偏差係依存於該添加元素濃度。

以下根據表示其實施形態之圖式以具體地說明本發明。
<實施形態 1>

圖 1 表示本實施形態之半導體裝置之構造的擴大剖面圖。如圖 1 所示，該半導體裝置具備有層間絕緣膜 1、2，銅合金佈線 3，通孔 4，障壁金屬膜 5 至 8。

在圖 1 中，於層間絕緣膜 1 之表面內設有銅合金佈線 3。此處，銅合金佈線 3 之主成分為銅(Cu)，在該銅中含有既定之添加元素。該既定之添加元素係利用與氮之反應而形成絕緣膜(以下稱為高電阻部)之元素。作為該既定之添加元素，可舉例如 Al、Si、Ge、Ga、Sn 等。另外，該既定之添加元素之濃度(含有率)，係利用 ICP 發行分光分析法之測定結果所獲得之濃度值在 0.04 wt%以下、0.01 wt%以上。

另外，如圖 1 所示，在層間絕緣膜 2 內形成有通孔 4。此處，通孔 4 之底部係與銅合金佈線 3 之上面電性連接。

另外，如圖 1 所示，在銅合金佈線 3 和層間絕緣膜 1 之間形成有第一障壁金屬膜 5、第二障壁金屬膜 6。另外，在通孔 4 和層間絕緣膜 2 之間形成有第一障壁金屬膜 7、第二障壁金屬膜 8。

第一障壁金屬膜 5、7 係由含有氮之導電膜所構成。另外，第二障壁金屬膜 6、8 係由未含有氮之導電膜所構成。

此處，第一障壁金屬膜 5 形成在層間絕緣膜 1 側（亦即接觸於層間絕緣膜 1），第一障壁金屬膜 7 形成在層間絕緣膜 2 側（亦即接觸於層間絕緣膜 2）。另外，第二障壁金屬膜 6 形成在銅合金佈線 3 側（亦即接觸於銅合金佈線 3），第二障壁金屬膜 8 形成在通孔 4 側（亦即接觸於通孔 4）。另外，在銅合金佈線 3 和通孔 4 之間之連接部，形成有第一障壁金屬膜 7 和第二障壁金屬膜 8。

另外，第一障壁金屬膜 5、7 所含之氮濃度為 10 原子%以上、40 原子%以下。另外，第一障壁金屬膜 5、7 之膜厚（特別是銅合金佈線 3 和通孔 4 之側面的第一障壁金屬膜 5、7 之膜厚）為 1 nm 以上、10 nm 以下。

由圖 1 可以明白，在銅合金佈線 3 之上面和通孔 4 之底部的連接部，形成有第一障壁金屬膜 7。此處，涵蓋該接觸部全面之該第一障壁金屬膜 7 係與銅合金佈線 3 接觸。另外，第一障壁金屬膜 7 含有如上所述之氮。

另外，如圖 1 所示，若著眼於銅合金佈線 3 和通孔 4 之連接部，在銅合金佈線 3 之上面之一部份，形成有高電阻部 60。該高電阻部 60 係藉由使銅合金佈線 3 所含之添加

元素與第一障壁金屬膜 7 所含之氮進行反應而形成。

此處，含氮之第一障壁金屬膜 5、7、27、37 係與層間絕緣膜 1、2、26、36 之接著性良好之膜，例如 TaN、TiN、WN 等。

另外，形成有與銅合金佈線 3、22、23(銅佈線 40)和通孔 4、29(銅通孔 39)之接著性良好之未含有氮之第二障壁金屬膜 6、8、28、38 等。該第二障壁金屬膜 6、8、28、38 等可以採用 Ta、Ti、W 等。

另外，在銅合金佈線 3 和通孔 4 之連接部，該第二障壁金屬膜 8 係與通孔 4 接觸。

其次，說明含有圖 1 所示構造之半導體裝置的製造方法。

另外，在以下之說明中，在稱為銅合金佈線之情況下，各個銅合金佈線係具有與銅合金佈線 3 相同之構造。另外，在稱為第一障壁金屬膜之情況下，各個第一障壁金屬膜係具有與第一障壁金屬膜 5、7 相同之構造。另外，在稱為第二障壁金屬膜之情況下，各個第二障壁金屬膜係具有與第二障壁金屬膜 6、8 相同之構造。

首先，如圖 2 所示，準備形成有包含閘電極 11 之電晶體的半導體基板 10。此處，在半導體基板 10 之表面內形成有元件隔離膜 12。

另外，如圖 2 所示，在半導體基板 10 上形成氧化矽膜(絕緣膜)13。然後，如圖 2 所示，在該氧化矽膜 13 之表面形成接觸電極 14。此處，接觸電極 14 係與形成在半導體基

板 10 之表面內之活性區域(未圖示)電性連接。

其次，如圖 3 所示，在氧化矽膜 13 上依序形成碳氮化矽膜 15 和低介電係數之層間絕緣膜 1。其次，如圖 4 所示，對碳氮化矽膜 15 和層間絕緣膜 1 形成溝圖案 16。此處，該溝圖案 16 係利用光刻技術和乾式蝕刻處理而形成。

其次，在溝圖案 16 之底面和側面，及層間絕緣膜 1 上，形成第一障壁金屬膜 5(圖 5)。此處，第一障壁金屬膜 5 係含有氮之導電膜，例如可以採用氮化鈦。

又，在該第一障壁金屬膜 5 上，形成第二障壁金屬膜 6(圖 5)。此處，第二障壁金屬膜 6 係未含有氮之導電膜，例如可以採用鈦。

其次，如圖 5 所示，以填充溝圖案 16 之方式，在第二障壁金屬膜 6 上形成銅合金 17。此處，於銅合金 17 中含有經由與氮反應而形成絕緣膜(高電阻部 60)之既定之添加元素(在本實施形態中為 Al)。因此，此處說明中，銅合金 17 為以銅作為主成分之 Cu-Al 合金。

Cu-Al 合金之形成方法可依如下之步驟進行。

首先，對於完成至第二障壁金屬膜 6 之形成的半導體裝置，施加濺鍍處理。利用該濺鍍處理，在第二障壁金屬膜 6 上形成成為種膜之 Cu-Al 合金膜。此處，該 Cu-Al 合金膜所含之添加元素(Al)之濃度係高於目標濃度(此係指最終形成之銅合金佈線 3 所含之既定添加元素(Al)之濃度，即 0.04 wt%以下、0.01 wt%以上之濃度)之高濃度。

其次，以該 Cu-Al 合金膜作為種膜，施加電場電鍍處

理。利用該電場電鍍處理，以填充溝圖案 16 之方式形成銅。在該電場電鍍處理後，對形成途中之半導體裝置施加大約 350°C 之退火處理。利用該退火處理使填充在溝圖案 16 之銅成 Cu-Al 合金。另外，利用該退火處理，該 Cu-Al 合金中之添加元素 (Al) 之濃度，將較種膜本身被稀釋化，使該添加元素濃度成為上述目標濃度。

亦即，在 Cu-Al 合金 17 形成後，對該 Cu-Al 合金 17 和第一、第二障壁金屬膜 5、6 施加化學機械研磨 (CMP) 處理。藉此，如圖 6 所示，除去溝圖案 16 外 (亦即，層間絕緣膜 1 上) 之 Cu-Al 合金 17、第二障壁金屬膜 6 和第一障壁金屬膜 5，在層間絕緣膜 1 之表面內配置銅合金佈線 3。

其次，如圖 7 所示，以覆蓋在銅合金佈線 3 之方式，在層間絕緣膜 1 上依序形成碳氮化矽膜 18 和低介電係數之層間絕緣膜 2。其次，如圖 8 所示，對碳氮化矽膜 18 和層間絕緣膜 2，形成連接孔 19 和溝圖案 20。此處，該連接孔 19 和溝圖案 20 係利用光刻技術和乾式蝕刻處理之組合的習知之雙重金屬鑲嵌法而形成。

其次，在溝圖案 20 之底面和側面、連接孔 19 之底面和側面、及層間絕緣膜 2 上，形成第一障壁金屬膜 7 (圖 9)。此處，第一障壁金屬膜 7 係含有氮之導電膜，可以採用例如氮化鈮。另外，利用該第一障壁金屬膜 7 之形成，在與該第一障壁金屬膜 7 接觸之銅合金佈線 3 之上面，形成高電阻部 60。更具體而言，該高電阻部 60 係藉由使添加在銅合金佈線 3 之添加元素 (Al) 和第一障壁金屬膜 7 中所含

之氮進行反應而形成。

又，在該第一障壁金屬膜 7 上，形成第二障壁金屬膜 8(圖 9)。此處，第二障壁金屬膜 8 係未含有氮之導電膜，可以採用例如鈹。

其次，如圖 9 所示，以填充連接孔 19 和溝圖案 20 之方式，在第二障壁金屬膜 8 上形成 Cu-Al 合金等之銅合金 21。該銅合金 21 係與上述之 Cu-Al 合金 17 之形成方法同樣地，經由在既定之種膜形成後，施加電場電鍍處理和退火處理而形成。

再者，在銅合金 21 之形成後，對該銅合金 21 和第一、第二障壁金屬膜 7、8 施加化學機械研磨(CMP)處理。藉此，如圖 10 所示，除去連接孔 19 和溝圖案 20 外(亦即，層間絕緣膜 2 上)之銅合金 21、第二障壁金屬膜 8 和第一障壁金屬膜 7，而在層間絕緣膜 2 之表面內形成銅合金佈線 22 和通孔 4(該通孔 4 可以被理解為 Cu-Al 合金等之銅合金)。

另外，圖 11 表示從上方觀看圖 10 所示之製造途中之半導體裝置的平面圖。此處，存在於更下層之銅合金佈線 3 係以虛線表示其輪廓。

其次，以覆蓋銅合金佈線 22 之方式，在層間絕緣膜 2 上依序形成碳氮化矽膜 25 和低介電係數之層間絕緣膜 26(圖 12)。其次，對碳氮化矽膜 25 和層間絕緣膜 26，形成連接孔(未圖示)和溝圖案(未圖示)。此處，該連接孔和溝圖案係利用光刻技術和乾式蝕刻之組合的習知雙重金

屬鑲嵌法而形成。

其次，以圖 9 所說明之順序，形成第一障壁金屬膜 27、第二障壁金屬膜 28 和 Cu-Al 合金等之銅合金。然後，對該銅合金和第一、第二障壁金屬膜 27、28 施加化學機械研磨(CMP)處理。藉此，如圖 12 所示，在層間絕緣膜 26 之表面內形成銅合金佈線 30 和通孔 29(該通孔 29 可以被理解為 Cu-Al 合金等之銅合金)。

此處，第一障壁金屬膜 27 係含有氮之導電膜，可以採用例如氮化鈮。另外，藉由該第一障壁金屬膜 27 之形成，在與該第一障壁金屬膜 27 接觸之銅合金佈線 22 之上，形成高電阻部 60。亦即，該高電阻部 60 之形成係經由使添加在銅合金佈線 22 之添加元素與第一障壁金屬膜 27 所含之氮素進行反應而形成。

另外，第二障壁金屬膜 28 係未含有氮之導電膜，可採用例如鈮。

其次，以覆蓋銅合金佈線 30 之方式，在層間絕緣膜 26 上依序形成碳氮化矽膜 35 和含有氟之氧化矽膜 36(圖 13)。其次，對碳氮化矽膜 35 和含有氟之氧化矽膜 36，形成連接孔(未圖示)和溝圖案(未圖示)。此處，該連接孔和溝圖案係使用光刻技術和乾式蝕刻處理之組合的習知雙重金屬鑲嵌法而形成。

其次，以使用圖 9 所說明之步驟，形成第一障壁金屬膜 37、第二障壁金屬膜 38 和純銅。然後，對該純銅和第一、第二障壁金屬膜 37、38 施加化學機械研磨(CMP)處理。藉

此，如圖 13 所示，在層間絕緣膜 36 之表面內形成銅佈線 40 及銅通孔 39。此處，銅佈線 40 和銅通孔 39 並非由銅合金所構成，而是由純銅所構成。

另外，第一障壁金屬膜 37 係含有氮之導電膜，可以採用例如氮化鈮。另外，利用該第一障壁金屬膜 37 之形成，在與該第一障壁金屬膜 37 接觸之銅合金佈線 30 之上面，形成高電阻部 60。更具體而言，該高電阻部 60 之形成係經由使銅合金佈線 30 之添加元素與第一障壁金屬膜 37 之氮進行反應而形成。

另外，第二障壁金屬膜 38 係未含有氮之導電膜，可以採用例如鈮。

其次，以覆蓋銅佈線 40 之方式，在層間絕緣膜 36 上依序形成碳氮化矽膜 45 和氧化矽膜 46(圖 13)。其次，對碳氮化矽膜 45 和氧化矽膜 46 形成連接孔(圖中未顯示)。

其次，以填充該連接孔之方式，填充鋁。然後，對形成在氧化矽膜 46 上之鋁進行圖案製作成為既定之圖案，藉此形成取出電極用之鋁襯墊 47(圖 13)。

然後，以覆蓋該鋁襯墊 47 之方式，形成作為保護膜之氮化矽膜 48(圖 13)。此處，該氮化矽膜 48 具有既定之開口部 49，從該開口部 49 之底部使鋁襯墊 47 露出(圖 13)。

如以下所述般使構造變化，在上述製造方法之下，作成複數個圖 13 所示之半導體裝置(亦即，包含圖 1 構造之半導體裝置)。亦即，使銅合金佈線之添加元素之濃度從 0 變化到 0.01 wt%。另外，使通孔之通孔直徑從 100 變化

到 140 nm。又，將對於具有圖 13 之構造、用於測定而變化添加元素濃度和通孔直徑之複數個半導體裝置，以下簡稱為試料。

然後，使用該各個半導體裝置，測定下層之銅合金佈線和通孔之間之電氣特性和銅合金佈線之 EM 耐性（亦即，銅合金佈線 3 之 EM 耐性及該銅合金佈線 3 與通孔 4 之間之電阻特性）。

圖 14 為上述測定結果之一例（ICP 測定結果），其為表示銅合金佈線 3 所含有之添加元素（Al）之濃度，及銅合金佈線 3 與通孔 4 之間之電阻偏差之關係的測定結果。此處，圖 14 之縱軸表示銅合金佈線 3 和通孔 4 之間之電阻偏差（%），橫軸表示銅合金佈線 3 所含有之添加元素（Al）之濃度（wt%）。

另外，添加元素之濃度係使用 SIMS 分析而測定之佈線中心部之濃度。另外，將該添加元素之濃度換算成為重量%。另外，銅合金佈線 3 和通孔 4 之間之電阻偏差，係從測定值使用（最大值-最小值）/（中間值之 2 倍）之式予以導出。此處，「最大值」係指在一個晶圓包含有以同一條件形成之複數個測定對象時，該測定對象之各個測定結果中之最大值。另外，「最小值」係指該複數個測定結果中之最小值。

另外，利用 SIMS 測定和 ICP 發光分光分析法，亦測定添加元素之濃度。以下，ICP 發光分光分析法係表示銅合金佈線 3 之平均的添加元素濃度。

如圖 14 之測定結果之一例(ICP 測定結果)亦可以明白般，在銅合金佈線 3 中之添加元素(A1)之濃度越高，銅合金佈線 3 和通孔 4 之間之電阻偏差越大。另外，雖於圖 14 未顯示，但由實驗之結果可以明白，銅合金佈線 3 之添加元素(A1)之濃度越高，銅合金佈線 3 和通孔 4 之間之電阻將異常上升。

該電阻和該電阻偏差之上升係因為在銅合金佈線 3 和通孔 4 之間形成了包含有氮化鋁之高電阻部 60。

另外，由上述實驗之結果可以明白，若添加元素之濃度在 0.04 wt%(ICP 發光分光分析法)以下時，銅合金佈線 3 和通孔 4 之間之電阻偏差將成為設計上可容許之 50%以下。亦即，若添加元素之濃度為 0.04 wt%(ICP 發光分光分析法)以下時，可以抑制高電阻部 60 之形成。

因此，可以抑制銅合金佈線 3 和通孔 4 之間之電阻偏差。另外，因為可以抑制該高電阻部 60 之形成，所以亦可以抑制通孔 4 和銅合金佈線 3 之間之電阻上升。

另外，由實驗之結果可以明白，與通孔 4 之通孔直徑無關地(更具體者而言為稍微相關地)，若添加元素之濃度為 0.04 wt%(ICP 發光分光分析法)以下時，將具有上述效果。

另外可以明白，若添加元素之濃度為 0.03 wt%(ICP 發光分光分析法)以下時，銅合金佈線 3 和通孔 4 之間之電阻偏差，將不依存於通孔 4 之通孔直徑(更具體而言為稍微相關地)，成為更佳之 30%以下。

另外，本發明人等由上述實驗之結果，判斷若銅合金佈

線 3 所含之添加元素之濃度為 0.01 wt%(ICP 發光分光分析法)以上，則可獲得高 EM 耐性。

另外，判斷若添加元素之濃度未滿 0.01 wt%(ICP 發光分光分析法)，該銅合金佈線 3 之 EM 壽命將與由純銅構成之銅佈線的 EM 壽命幾乎不變。

例如，對通孔 4 之通孔直徑為 100 nm 之試料進行 EM 試驗，結果，若銅合金佈線 3 所含之添加元素之濃度為 0.01 wt%(ICP 發光分光分析法)，該銅合金佈線 3 之 EM 壽命將成為由純銅構成之銅佈線之 EM 壽命的 2 倍以上。

另外，例如對通孔 4 之通孔直徑為 100 nm 之試料進行 EM 試驗，結果，若銅合金佈線 3 所含之添加元素之濃度為 0.04 wt%(ICP 發光分光分析法)，該銅合金佈線 3 之 EM 壽命將成為純銅構成之銅佈線之 EM 壽命的 10 倍以上。

另外，例如對通孔 4 之通孔直徑為 100 nm 之試料進行 EM 試驗，結果，若銅合金佈線 3 所含之添加元素之濃度為 0.05 wt%(ICP 發光分光分析法)，該銅合金佈線 3 之 EM 壽命將成為與由純銅構成之銅佈線之 EM 壽命幾乎相同。

另外，在上述各個文獻等中，雖揭示了銅合金佈線之 EM 耐性優於純銅佈線，但是對於所需要之最低限度之上述添加元素濃度則未提及。

另外，上述添加元素為 Al。但是，在添加元素為 Si、Ge、Ga、Sn 等之情況下亦可以獲得與上述同樣之效果(抑制電阻之上升和偏差，及提高 EM 耐性)。但是，當考慮到

銅合金佈線 3 本身之電阻時，最適合使用電阻值不會更小之 Al。

另外，說明了使用 TaN 作為第一障壁金屬膜 5 之情況。但是，在第一障壁金屬膜 5 為 TaSiN、TiN、WN 等之情況亦可以獲得與上述者同樣之效果（抑制電阻之上升和偏差，及提高 EM 耐性）。但是，當考慮到防止銅等之擴散的障壁性時，最適合使用 TaN、TaSiN。

另外，如圖 13 所示，進一步具備有銅合金佈線 22（可被理解為第二銅合金佈線），其被設在銅合金佈線 3（可被理解為第一銅合金佈線）之上層（層間絕緣膜 2 內），並與通孔 4 之上面電性連接，銅合金佈線 3、銅合金佈線 22 和通孔 4 係相同之物質構成。

經由採用該構造，即使在電子從銅合金佈線 3 經由通孔 4 流向銅合金佈線 22 之情況下，亦可以提高該銅合金佈線 22 之 EM 耐性。

另外，第一障壁金屬膜 5、7 所含之氮之濃度為 10 原子%以上。因此，可以維持第一障壁金屬膜 5、7 之障壁性。另外，第一障壁金屬膜 5、7 所含之氮濃度為 40 原子%以下。因此，可以防止第一障壁金屬膜 5、7 之高電阻化。

另外，第一障壁金屬膜 5、7 之膜厚（特別是銅合金佈線 3 和通孔 4 之側面之第一障壁金屬膜 5、7 之膜厚）為 1 nm 以上。因此，可以維持第一障壁金屬膜 5、7 之障壁特性。另外，第一障壁金屬膜 5、7 之膜厚（特別是銅合金佈線 3 和通孔 4 之側面之第一障壁金屬膜 5、7 之膜厚）為 10 nm

以下。因此，利用銅合金佈線 3 和通孔 4 之銅合金體積之減小，可以抑制該銅合金佈線 3 和通孔 4 之電阻值之上升。

<實施形態 2>

本發明人等使用上述實施形態 1 所記載之各個試料，調查銅合金佈線之膜厚和 EM 耐性之關係。結果如以下所述般，判斷為從 EM 壽命之觀點來看，因為銅合金佈線之膜厚越薄，電流密度變越高，所以最好使添加元素之濃度成為高濃度以提高 EM 耐性。

在上述各個試料(如實施形態 1 所說明般，為具有圖 13 之構造的複數個半導體裝置，並使添加元素濃度和通孔直徑變化者)中，調查銅合金佈線 3 和通孔 4 之構造中的 EM 耐性(EM 壽命)，和銅合金佈線 22 與通孔 29 之構造中的 EM 耐性(EM 壽命)，並予以比較。

此處，通孔 4、29 之通孔直徑均為 100 nm。另外，銅合金佈線 3 之膜厚為銅合金佈線 22 之膜厚之 60%(亦即，銅合金佈線 3 之膜厚比銅合金佈線 22 之膜厚薄)。另外，銅合金佈線 3 之添加元素濃度以 ICP 測定計為 0.03 wt% 或 0.04 wt%。另外，銅合金佈線 22、30 之添加元素濃度為 0.02 wt%(ICP 測定)。

該實驗之結果，係當銅合金佈線 3 中之添加元素濃度為 0.03 wt%之情況時，銅合金佈線 3 和通孔 4 之構造中之 EM 壽命為銅合金佈線 22 和通孔 29 之構造中的 EM 壽命之 0.5 倍。

另外，當銅合金佈線 3 之添加元素濃度為 0.04 wt%之

情況時，銅合金佈線 3 和通孔 4 之構造中的 EM 壽命，將與銅合金佈線 22 和通孔 29 之構造中的 EM 壽命大致同等。

如以上般，為了補償由於銅合金佈線之膜厚變薄而連帶使 EM 壽命降低的情形，需要使銅合金佈線中之添加元素濃度成為高濃度。另外，在相同之添加元素濃度之下，因為銅合金佈線之膜厚越薄、EM 壽命越短，所以在銅合金佈線和通孔之連接部即使形成相同體積之空隙，若銅合金佈線較薄，則容易造成該連接部之斷線。

另外，從以下所示之降低電阻值之觀點來看，最好可以從上述構造被理解之方式(例如若著眼於圖 13)，使銅合金佈線 3(可以理解為第一銅合金佈線)和設在該銅合金佈線 3 上方之銅合金佈線 22(可以被理解為該第二銅合金佈線。此處，該第二銅合金佈線之膜厚大於第一銅合金佈線之膜厚)，最好可以滿足以下之關係。

亦即，最好是銅合金佈線 22 之添加元素濃度在銅合金佈線 3 之添加元素濃度以下。隨著該添加元素之限制，依照該限制可以抑制膜厚較厚之銅合金佈線 22 之電阻值上升。另外，銅合金佈線 22 更佳係不以合金、而以純銅予以構成。

< 實施形態 3 >

圖 15 係表示本實施形態之半導體裝置之構造的擴大剖面圖。由圖 1 和圖 15 之比較可以明白，本實施形態之半導體裝置和實施形態 1 之半導體裝置，除了以下點之外，其他均相同。

亦即，如圖 15 所示，在本實施形態之半導體裝置中，在銅合金佈線 3 和通孔 4 之連接部，第一障壁金屬膜 7 被除去。因此，在該連接部，通孔 4 只經由第二障壁金屬膜 8 與銅合金佈線 3 電性連接。

此處，第一障壁金屬膜 7 係如實施形態 1 所說明般，為含有氮之導電膜。另外，第二障壁金屬膜 8 為未含有氮之導電膜。

另外，從後面所述之製造步驟可以明白，在本實施形態之半導體裝置中，在該連接部附近之銅合金佈線 3 係形成有高電阻部 60。另外，從後面所述之製造步驟可以明白，該連接部附近之銅合金佈線 3 可具有一部份凹陷。

另外，從圖 15 可以明白，在層間絕緣膜 2 和通孔 4 之間形成有第一障壁金屬膜 7。因此，若著眼在圖 15 之圓圈記號部份時，該第一障壁金屬膜 7 之端部將與銅合金佈線 3 之上面連接。

其他之構造係與實施形態 1 之半導體裝置之構造相同。因此，在此處省略其他構造之說明。

其次說明包含有圖 15 所示構造(亦即，在銅合金佈線 3 和通孔 4 之連接部未形成有第一障壁金屬膜 7，該銅合金佈線 3 之上面，與形成在通孔 4 之側面之第一障壁金屬膜 7 之端部連接，和在該連接部只形成第二障壁金屬膜 8 之構造)之半導體裝置的製造方法。

首先，實施該實施形態 1 所說明之圖 1 至圖 8 之步驟。

其次，在溝圖案 20 之底面和側面、連接孔 19 之底面和

側面、及層間絕緣膜 2 上，形成第一障壁金屬膜 7(圖 16)。

此處，第一障壁金屬膜 7 係含有氮之導電膜，可以採用例如氮化鈮。另外，利用該第一障壁金屬膜 7 之形成，在與該第一障壁金屬膜 7 接觸之銅合金佈線 3 上面，形成高電阻部 60。該高電阻部 60 之形成係藉由使添加在銅合金佈線 3 之添加元素(Al)和第一障壁金屬膜 7 所含之氮進行反應而形成。

其次，在進行第一障壁金屬膜 7 之形成的處理室內，施加使用了氬離子(Ar^+)之濺鍍蝕刻處理。

藉此，如圖 17 所示，除去層間絕緣膜 2 上、溝圖案 20 之底部上、和連接孔 19 之底部上之第一障壁金屬膜 7。另外，通常在圖 16 之步驟中形成在相當於最表面之層間絕緣膜 2 上之第一障壁金屬膜 7，當與形成在溝圖案 16 等內者比較時，其膜厚較厚。因此，層間絕緣膜 2 上之第一障壁金屬膜 7 可稍微殘留。

因此，第一障壁金屬膜 7 只殘留在溝圖案 20 之側面部和連接孔 19 之側面部(圖 17)。另外，如上所述，在層間絕緣膜 2 上亦可殘留第一障壁金屬膜 7。

在圖 17 中，著眼在存在於連接孔 19 下方之銅合金佈線 3 之上面。如此，該銅合金佈線 3 之上面將與形成在該接觸孔 19 之側面的第一障壁金屬膜 7 之端部連接。該連接部份以外之形成有高電阻部 60 之該銅合金佈線 3 之上面，將從連接孔 19 之底部露出。

另外，有時亦利用該濺鍍蝕刻處理，如圖 17 所示，蝕

刻存在於連接孔 19 下方之銅合金佈線 3 之上面的一部份，和存在於溝圖案 20 下方之層間絕緣膜 2 之一部份。

另外，當利用該濺鍍蝕刻處理除去第一障壁金屬膜 7 時，氮被釋出到處理室內。因此，由於該釋出氮之影響，在從連接孔 19 之底部露出之銅合金佈線 3 之上面部份，將稍微進行高電阻部 60 之形成。

再者，在除去第一障壁金屬膜 7 之一部份後，如圖 18 所示，在層間絕緣膜 2 之上方、溝圖案 20 之側面部和底面部、和連接孔 19 之側面部和底面部，形成第二障壁金屬膜 8。

因此，從圖 18 可以明白，在溝圖案 20 之底面部，和連接孔 19 之底面部只形成有第二障壁金屬膜 8。另外一方面，在層間絕緣膜 2 之上面、溝圖案 20 之側面部和連接孔 19 之側面部，形成有第一障壁金屬膜 7 和第二障壁金屬膜 8(另外，亦形成有接觸於層間絕緣膜 2 之第一障壁金屬膜 7，在該第一障壁金屬膜 7 上形成有第二障壁金屬膜 8)。

此處，第二障壁金屬膜 8 係未含有氮之導電膜，可以採用例如鈹。

其次，如圖 19 所示，以填充連接孔 19 和溝圖案 20 之方式，在第二障壁金屬膜 8 上形成銅合金 21。此處，該銅合金 21 係與實施形態 1 同樣地，使用含有 Al 作為既定添加元素之 Cu-Al 合金。另外該銅合金 21 係如實施形態 1 所說明般，在既定之種膜之形成後，經由施加電解電鍍

處理和退火處理而形成。

再者，在銅合金 21 形成後，對該銅合金 21、第二障壁金屬膜 8 和第一障壁金屬膜 7 施加化學機械研磨(CMP)處理。藉此，如圖 20 所示，除去連接孔 19 和溝圖案 20 外(亦即，層間絕緣膜 2 上)之銅合金 21、第二障壁金屬膜 8 和第一障壁金屬膜 7，在層間絕緣膜 2 之表面內形成銅合金佈線 22 和通孔 4。另外，從上述步驟亦可以明白，通孔 4 係由 Cu-Al 合金等之銅合金所構成。

另外，其以後之步驟至形成鋁襯墊 47 及屬於保護膜之氮化矽膜 48 之步驟，係與使用圖 12、13 所說明之步驟相同(參照實施形態 1 之對應部份)。因此，省略其以後之步驟說明。

本發明人等進行了比較本實施形態之半導體裝置之效果和實施形態 1 之半導體裝置之效果的實驗。準備如下所示者作為實驗用之試料。

準備銅合金佈線 3 之添加元素濃度為 0.04 wt%(ICP 測定)，銅合金佈線 22 之添加元素濃度為 0.03 wt%(ICP 測定)，並如圖 13 所示之構造的半導體裝置(實施形態 1 之半導體裝置，以下稱為試料 A)。另外，準備銅合金佈線 3 之添加元素濃度為 0.04 wt%(ICP 測定)，銅合金佈線 22 之添加元素濃度為 0.03 wt%(ICP 測定)，並具有如圖 20 所示之構造的半導體裝置(本實施形態之半導體裝置，以下稱為試料 B)。

實驗之結果係在試料 A，在銅合金佈線 3 和通孔 4 之連

接部之電阻偏差為 50%，與此相對地，在試料 B 可以減低至 40%。

另外，試料 B 之銅合金佈線 3 和通孔 4 之連接部之平均電阻為試料 A 者之 60%。此係因為在試料 A 之連接部形成有第一障壁金屬膜 7、第二障壁金屬膜 8，相對於此，在試料 B 只形成有第二障壁金屬膜 8。亦即，因為在試料 B 其障壁金屬膜全體之膜厚較薄。

在本實施形態之半導體裝置中，由上述之步驟可以明白，銅合金佈線 3 之上面和第一障壁金屬膜 7 會有接觸之機會。另外，在第一障壁金屬膜 7 之除去時，將使該銅合金佈線 3 之上面曝露於包含有氮之氣體環境。另外，在成品中，第一障壁金屬膜 7 之一部份和該銅合金佈線 3 之上面，將進行接觸面積較小之接觸。但是，在本實施形態中，亦將銅合金佈線 3 之添加元素濃度限定在實施形態 1 所示之範圍。

因此，在本實施形態之半導體裝置中，亦與實施形態 1 同樣地，具有使銅合金佈線 3 和通孔 4 之連接部中的電阻減低，及抑制該電阻偏差之效果。

另外，從本實施形態所記載之實驗結果可以明白，經由採用本實施形態之半導體裝置，相較於實施形態 1 之半導體裝置，將可使銅合金佈線和通孔之連接部之電阻減低，並抑制該電阻之偏差。

另外，在實施形態 1 之半導體裝置中，銅合金佈線 3 之上面和第一障壁金屬膜 7 之接觸面積較大。但是，實施形

態 1 之半導體裝置中，相較於本實施形態，可以達成無需第一障壁金屬膜 7 之除去步驟之部份的製造步驟簡化。

另外一方面，如上所述，本實施形態之半導體裝置，係較實施形態 1 之半導體裝置進行稍微增加製造步驟。但是，相較於實施形態 1 之情況，可使銅合金佈線 3 之上面和第一障壁金屬膜 7 之接觸面積變小(在本實施形態中，如上所述般形成在層間絕緣膜 2 和通孔 4 之側面之間的第一障壁金屬膜 7 之端部，係與銅合金佈線 3 之上面為稍微接觸之程度)。

因此，因為可以抑制高電阻部 60 之形成，所以在銅合金佈線 3 和通孔 4 之連接部中的電阻可以更進一步減低，而且可以更進一步地抑制該電阻之偏差。

另外，在圖 15 之構造中，由銅合金(Cu-Al 合金)構成之通孔 4，係在形成由該 Cu-Al 合金所構成之種膜後，經由施加電鍍處理而形成。因此，通常在較通孔 4 之內部之外周部將有 Al 濃度變高之傾向。

若第一障壁金屬膜 7 和第二障壁金屬膜 8 均未形成在銅合金佈線 3 和由銅合金(Cu-Al 合金)構成之通孔 4 的連接部，則第一障壁金屬膜 7 所含之氮、與通孔 4 之外周部附近所含之 Al 將變得容易發生反應。亦即，會促進高電阻部 60 之形成。

但是，在本實施形態中，如圖 15 所示，第一障壁金屬膜 7 並未形成在銅合金佈線 3 和銅合金(Cu-Al 合金)構成之通孔 4 之連接部。另外，第二障壁金屬膜 8 形成在上述

銅合金佈線 3 和上述通孔 4 之連接部(又，在該連接部之第一障壁金屬膜 7 被除去之構造係稱為擊穿(punch through)構造)。

因此，第二障壁金屬膜 8 具有作為障壁之功能，可以抑制第一障壁金屬膜 7 所含有之氮和通孔 4 之外周部附近所含有之 Al 發生反應。因此，經由採用本實施形態之半導體裝置，可以更進一步地抑制銅合金佈線 3 和通孔 4 之連接部中的高電阻部 60 之形成。

另外，如圖 21 所示，上述擊穿構造亦可以利用上層之通孔和下層之通孔予以連續形成。

說明圖 21 所示之構造時，在層間絕緣膜 80 內形成有第一通孔 81、第一銅合金佈線 82、第二通孔 83、和第二銅合金佈線 84。

此處，第一通孔 81、第一銅合金佈線 82、第二通孔 83、和第二銅合金佈線 84 係在屬於主成分之銅(Cu)中添加有 Al 者。另外，第一銅合金佈線 82 係與第一通孔 81 之底部電性連接。另外，第二通孔 83 係與第一銅合金佈線 82 之底部電性連接。另外，第二銅合金佈線 84 係與第二通孔 83 之底部電性連接。

另外，如圖 21 所示，含有氮之第一障壁金屬膜 85 係形成在層間絕緣膜 80、與第一通孔 81 之側面和第二通孔 83 之側面之間。另外，第一障壁金屬膜 85 亦形成在層間絕緣膜 80 和第一銅合金佈線 82、84 之間。

此處，第一障壁金屬膜 85 係與層間絕緣膜 80 接觸，不

形成在第一銅合金佈線 82 和第一通孔 81 之連接部，且不形成在第二銅合金佈線 84 和第二通孔 83 之連接部。

另外，未含有氮之第二障壁金屬膜 86 係形成在層間絕緣膜 80、與第一通孔 81 之側面和第二通孔 83 之側面之間。另外，第二障壁金屬膜 86 亦形成在層間絕緣膜 80 和第一銅合金佈線 82、84 之間。

此處，第二障壁金屬膜 86 係與第一通孔 81 和第二通孔 83 接觸，形成在第一銅合金佈線 82 和第一通孔 81 之連接部，亦形成在第二銅合金佈線 84 和第二通孔 83 之連接部。

即使在該擊穿構造為連續之情況下，亦可以具有本實施形態所記載之效果。

<實施形態 4>

其次說明含有圖 15 所示構造(亦即，在銅合金佈線 3 和通孔 4 之連接部未形成有第一障壁金屬膜 7，該銅合金佈線 3 之上面係與形成在通孔 4 之側面之第一障壁金屬膜 7 之端部連接，又，在該連接部只形成有第二障壁金屬膜 8 的構造)之半導體裝置的其他製造方法。

首先，實施該實施形態 1 所說明之圖 1 至圖 8 之步驟。

其次，在溝圖案 20 之底面和側面、連接孔 19 之底面和側面、及層間絕緣膜 2 上，形成第一障壁金屬膜 7(圖 22)。

此處，第一障壁金屬膜 7 係含有氮之導電膜，可以採用例如氮化鈮。另外，利用該第一障壁金屬膜 7 之形成，在與該第一障壁金屬膜 7 接觸之銅合金佈線 3 上面，形成高

電阻部 60。該高電阻部 60 之形成係經由使添加在銅合金佈線 3 之添加元素 (Al) 和第一障壁金屬膜 7 所含之氮進行反應而形成。

其次，在該第一障壁金屬膜 7 上形成第二障壁金屬膜 8 (圖 22)。此處，第二障壁金屬膜 8 係未含有氮之導電膜，可以採用例如鈦。

其次，在進行過障壁金屬膜 7、8 之形成的處理室內，施加使用氬離子 (Ar^+) 之濺鍍處理 (圖 23)。

藉此，如圖 23 所示，去除溝圖案 20 之底部上和連接孔 19 之底部上之障壁金屬膜 7、8。另外，通常在圖 22 之步驟中形成在相當於最表面之層間絕緣膜 2 上的障壁金屬膜 7、8，將較形成在溝圖案 20 或接觸孔 19 內者之膜厚較厚。因此，可殘留層間絕緣膜 2 上之第一障壁金屬膜 7。

因此，障壁金屬膜 7、8 只殘留在溝圖案 20 之側面部和連接孔 19 之側面部 (圖 23)。另外，如上所述般，在層間絕緣膜 2 上可殘留第一障壁金屬膜 7。

在圖 23 中，係著眼在銅合金佈線 3 之上面。如此，該銅合金佈線 3 之上面將與形成在該連接孔 19 之側面的第一障壁金屬膜 7 之端部連接。另外，該銅合金佈線 3 之上面之一部份，將從連接孔 19 之底部露出。

另外，有時利用該濺鍍蝕刻處理，如圖 23 所示，蝕刻存在於連接孔 19 下方之銅合金佈線 3 之上面之一部份、和存在於溝圖案 20 之下方之層間絕緣膜 2 之一部份。

另外，第一障壁金屬膜 7 在被第二障壁金屬膜 8 所覆蓋

之狀態下，被施加上述濺鍍蝕刻處理。因此，可以抑制釋出到處理室內之氮的量。因此，在從連接孔 19 之底部露出之銅合金佈線 3 之部份，可以抑制高電阻部 60 之形成。

再者，在上述濺鍍蝕刻處理後，其次如圖 24 所示，在障壁金屬膜 7、8 上和連接孔 19 之底部，形成第三障壁金屬膜 50。此處，該第三障壁金屬膜 50 係未含有氮之導電膜，可以採用例如鈦。

其次，如圖 25 所示，以填充連接孔 19 和溝圖案 20 之方式，在第三障壁金屬膜 50 上形成銅合金 21。此處，該銅合金 21 可以採用在屬於主成分之銅(Cu)中含有作為既定添加元素之 Al 的 Cu-Al 合金等。另外該銅合金 21 之形成係在既定之種膜形成後，經由施加電解電鍍處理和退火處理而形成。

再者，在銅合金 21 之形成後，對該銅合金 21 和障壁金屬膜 7、50 施加化學機械研磨(CMP)處理。藉此，如圖 26 所示，去除連接孔 19 和溝圖案 20 外(亦即，層間絕緣膜 2 上)之銅合金 21、和障壁金屬膜 7、50，在層間絕緣膜 2 之表面內形成銅合金佈線 22 和通孔 4。由上述構造可以明白，通孔 4 係由 Cu-Al 合金等之銅合金所構成。

另外，其次以下之步驟至形成鋁襯墊 47 及屬於保護膜之氮化矽膜 48 的步驟，係與使用圖 12、13 所說明之步驟相同(參照實施形態 1 之對應部份)。因此，省略其以後之步驟的說明。

本發明人等進行比較本實施形態之半導體裝置之效果

和實施形態 1 之半導體裝置之效果的實驗。準備下面所述者作為實驗用之試料。

準備銅合金佈線 3 之添加元素濃度為 0.04 wt%(ICP 測定)，銅合金佈線 22 之添加元素濃度為 0.03%(ICP 測定)，並如圖 13 所示之構造的半導體裝置(實施形態 1 之半導體裝置，以下稱為試料 A)。另外，準備銅合金佈線 3 之添加元素濃度為 0.04 wt%(ICP 測定)，銅合金佈線 22 之添加元素濃度為 0.03%(ICP 測定)，並具有如圖 26 所示構造的半導體裝置(本實施形態之半導體裝置，以下稱為試料 C)。

實驗之結果，於試料 A，銅合金佈線 3 和通孔 4 之連接部之電阻偏差為 50%，相對於此，在試料 C 可以減低至 20%。

試料 C 之該電阻偏差之抑制效果優於上述試料 B。此係如上述般，第一障壁金屬膜 7 在被第二障壁金屬膜 8 所覆蓋之狀態下，被施加上述濺鍍蝕刻處理(圖 23)。因此，可以抑制釋出至處理室之氮的量。因此，在從連接孔 19 之底部露出之銅合金佈線 3 之部份，可以抑制高電阻部 60 之形成。

另外，在試料 C 中，銅合金佈線 3 和通孔 4 之連接部之平均電阻，為試料 A 者之 60%。此係因為在試料 A 之連接部形成有第一障壁金屬膜 7 和第二障壁金屬膜 8，而相對地，在試料 C 只形成有第二障壁金屬膜 8。亦即，在試料 C 其障壁金屬膜全體之膜厚較薄。

如上述，經由採用本實施形態之半導體裝置，相較於實

施形態 1 之半導體裝置，可以使銅合金佈線和通孔之連接部中的電阻減低，並可以抑制該電阻之偏差。

另外，在本實施形態之半導體裝置中，係形成有第三障壁金屬膜 50。因此，可以防止銅等從銅合金佈線 22 之底部朝向層間絕緣膜 2 擴散。

在本實施形態之半導體裝置中，由上述步驟可以明白，銅合金佈線 3 之上面和第一障壁金屬膜 7 將有接觸之機會。另外，在完成品中，第一障壁金屬膜 7 之一部份（亦即，形成在層間絕緣膜 2 和通孔 4 之側面之間的障壁金屬膜 7 之端部）和該銅合金佈線 3 之上面，將為接觸面積較小者之接觸。但是，在本實施形態中，亦將銅合金佈線 3 之添加元素濃度限定在實施形態 1 所示之範圍內。

因此，在本實施形態之半導體裝置中，亦與實施形態 1 同樣地，具有可以減低銅合金佈線 3 和通孔 4 之連接部之電阻，並抑制該電阻偏差之效果。

另外，從本實施形態記載之實驗結果亦可以明白，經由採用本實施形態之半導體裝置，相較於實施形態 1 之半導體裝置，可以減低銅合金佈線和通孔之連接部之電阻，並可以抑制該電阻之偏差。

另外，在實施形態 3 之半導體裝置中，相較於本實施形態之情況，不需第三障壁金屬膜 50 之部份而減少步驟數。但是，在去除第一障壁金屬膜 7 時，銅合金佈線 3 之上面曝露於含有氮之氣體環境，容易發生高電阻部 60 之形成。

另外一方面，如上所述，本實施形態之半導體裝置因為形成有第三障壁金屬膜 50，所以製造步驟將稍有增加。但是，如上述般，在上述濺鍍蝕刻處理(圖 23)時，可以抑制釋出到處理室內之氮的量。

因此，在從連接孔 19 之底部露出之銅合金佈線 3 之部份，可以抑制高電阻部 60 之形成。因此，可以更進一步地減低銅合金佈線 3 和通孔 4 之連接部的電阻，並可以更進一步地抑制該電阻偏差。

另外，在本實施形態中，亦為第一障壁金屬膜 7 不形成在銅合金佈線 3 和由銅合金(Cu-Al 合金)所構成之通孔 4 的連接部。另外，第二障壁金屬膜 8 形成在上述銅合金佈線 3 和上述通孔 4 之連接部(另外，將在該連接部中第一障壁金屬膜 7 被除去之構造稱為擊穿構造)。

因此，第二障壁金屬膜 8 具有作為障壁之功能，可以抑制第一障壁金屬膜 7 所含之氮、和通孔 4 之外周附近所含之 Al 發生反應。因此，經由採用本實施形態之半導體裝置，可以更進一步地抑制銅合金佈線 3 和通孔 4 之連接部的高電阻部 60 之形成。

另外，如實施形態 3 所說明般，本實施形態之上述擊穿構造亦可以上層之通孔和下層之通孔連續形成(圖 27)。

說明圖 27 所示之構造，在層間絕緣膜 80 內形成有第一通孔 81、第一銅合金佈線 82、第二通孔 83、和第二銅合金佈線 84。

此處，第一通孔 81、第一銅合金佈線 82、第二通孔 83、

和第二銅合金佈線 84 係在屬於主成分之銅(Cu)中添加有 Al 者。另外，第一銅合金佈線 82 係與第一通孔 81 之底部電性連接。另外，第二通孔 83 係與第一銅合金佈線 82 之底部電性連接。另外，第二銅合金佈線 84 係與第二通孔 83 之底部電性連接。

另外，如圖 27 所示，在第一通孔 81 和第二通孔 83 之側面，從層間絕緣膜 80 朝向通孔內部，依序層合有第一障壁金屬膜 85、第二障壁金屬膜 86 和第三障壁金屬膜 50。此處，第一障壁金屬膜 85 係含有氮之障壁金屬膜。另外，第二障壁金屬膜 86 和第三障壁金屬膜 50 係未含有氮之障壁金屬膜。

另外，如圖 27 所示，在第一銅合金佈線 82 之側面，從層間絕緣膜 80 朝向佈線之內部，依序層合有第一障壁金屬膜 85、第二障壁金屬膜 86 和第三障壁金屬膜 50。另外，在第一銅合金佈線 82 之底部只形成有第三障壁金屬膜 50。

另外，如圖 27 所示，在第一通孔 81 和第一銅合金佈線 82 之連接部，只形成有第三障壁金屬膜 50。另外，在第二通孔 83 和第二銅合金佈線 84 之連接部，只形成有第三障壁金屬膜 60。亦即，在各個通孔 81、83 和各個銅合金佈線 82、84 之連接部，未形成含有氮之第一障壁金屬膜 85。

在使該擊穿構造為連續之情況下，當然亦具有本實施形態所記載之效果。

另外，在本發明之半導體裝置中(例如，若著眼在圖 13)，層間絕緣膜 1、2、26、36 可以使用 SiOC 膜，亦可以使用 FSG(SiOF)膜等之比介電係數不同之膜。藉由使用此等膜作為層間絕緣膜 1、2、26、36，可以達成寄生電容之減低。又，可達成使 SiOC 膜較 FSG 膜更加減低寄生電容。

又，若著眼在本發明之半導體裝置之構造(例如，若著眼在圖 13)，係含有第一雙重金屬鑲嵌構造和第二雙重金屬鑲嵌構造。

此處，第一雙重金屬鑲嵌構造被配置在層間絕緣膜 26 內，由膜厚比銅佈線 40 薄之銅合金佈線 30(可以被理解為第一佈線)、和以銅合金所形成之通孔 29(可以被理解為第一通孔)所構成。另外在第一雙重金屬鑲嵌構造中，銅通孔 39 之底部和銅合金佈線 30 之上面係互相連接。此處，第一雙重金屬鑲嵌構造之形成係在屬於主成分之 Cu 中添加作為添加元素之 Al 而形成。

另外，第二雙重金屬鑲嵌構造被配置在層間絕緣膜 36 內，由膜厚比銅合金佈線 30 厚之銅佈線 40(可以被理解為第二佈線)和銅通孔 39(可以被理解為第二通孔)所構成，並由純銅所形成。

藉由具備有該第一雙重金屬鑲嵌構造和第二雙重金屬鑲嵌構造，具有該構造之半導體裝置可以使第二雙重金屬鑲嵌構造之電阻值低於第一雙重金屬鑲嵌構造之電阻值。藉此，可以使設在更上層之膜厚更厚之銅佈線 40，

設置成較存在於更下層之銅合金佈線 30 為涵蓋更長之距離。

另外，在上述第一、第二雙重金屬鑲嵌構造中，係使存在於更上層之銅通孔 39 之直徑，大於存在於更下層之通孔 29 之直徑。藉此，可以使第二雙重金屬鑲嵌構造之電阻更加小於第一雙重金屬鑲嵌構造之電阻。

另外，在上述第一、第二雙重金屬鑲嵌構造中，在銅通孔 39 之底部和銅合金佈線 30 之上面之間的連接部，係如圖 13 所示，至少形成含有氮之第一障壁金屬膜 37。因此，在該連接部之銅合金佈線 30 之上面，將形成高電阻部 60。

但是，因為銅合金佈線 39 所含之 Al 之濃度為 0.04 wt%(ICP 發光分光分析法)以下，所以可以抑制高電阻部 60 之形成。另外，因為該 Al 之濃度為 0.01 wt%(ICP 發光分光分析法)以上，所以可以提高銅合金佈線 39 之 EM 耐性。

另外，在上述第一、第二雙重金屬鑲嵌構造中(例如，若著眼在圖 13)，在第二雙重金屬鑲嵌構造和層間絕緣膜 36 之間，以與層間絕緣膜 36 接觸之方式，形成含有氮之第一障壁金屬膜 37。另外，在第二雙重金屬鑲嵌構造和層間絕緣膜 36 之間，以使銅佈線 40 和銅通孔 39 互相接觸之方式，形成未含有氮之第二障壁金屬膜 38。

在該構造中，含有氮之第一障壁金屬膜 37 之與層間絕緣膜 36 之密著性係優於第二障壁金屬膜 38，未含有氮之第二障壁金屬膜 38 之與銅(Cu)之密著性係優於第一障壁

金屬膜 37。

【圖式簡單說明】

圖 1 為表示實施形態 1 之半導體裝置之主要部份構造的擴大剖面圖。

圖 2 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 3 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 4 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 5 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 6 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 7 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 8 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 9 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 10 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 11 為表示從上面看製造途中之半導體裝置時之樣子的平面圖。

圖 12 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 13 為說明實施形態 1 之半導體裝置之製造方法的步驟剖面圖。

圖 14 表示測定添加元素之濃度與電阻偏差之關係的實驗結果。

圖 15 為表示實施形態 3 之半導體裝置之主要部份構造的擴大剖面圖。

圖 16 為說明實施形態 3 之半導體裝置之製造方法的步驟剖面圖。

圖 17 為說明實施形態 3 之半導體裝置之製造方法的步驟剖面圖。

圖 18 為說明實施形態 3 之半導體裝置之製造方法的步驟剖面圖。

圖 19 為說明實施形態 3 之半導體裝置之製造方法的步驟剖面圖。

圖 20 為說明實施形態 3 之半導體裝置之製造方法的步驟剖面圖。

圖 21 為表示實施形態 3 之構造係涵括連續包含下層-上層之樣子的剖面圖。

圖 22 為說明實施形態 4 之半導體裝置之製造方法的步驟剖面圖。

圖 23 為說明實施形態 4 之半導體裝置之製造方法的步驟剖面圖。

圖 24 為說明實施形態 4 之半導體裝置之製造方法的步驟剖面圖。

圖 25 為說明實施形態 4 之半導體裝置之製造方法的步驟剖面圖。

圖 26 為說明實施形態 4 之半導體裝置之製造方法的步驟剖面圖。

圖 27 為表示實施形態 4 之構造係涵括連續包含下層-上層之樣子的剖面圖。

【主要元件符號說明】

1、2	層間絕緣膜
3、22、30	銅合金佈線
4、29	通孔
5、7	第一障壁金屬膜(含有氮之障壁金屬膜)
6、8	第二障壁金屬膜(未含有氮之障壁金屬膜)
10	半導體基板
13、36、46	氧化矽膜
14	接觸電極
15、18、35、45	碳氮化矽膜
16、20	溝圖案
17、21	銅合金
19	連接孔
23	銅合金佈線
26、36	層間絕緣膜
27、37	第一障壁金屬膜

28、38	第二障壁金屬膜
39	銅通孔
40	銅佈線
47	鋁襯墊
48	氮化矽膜
49	開口部
50	第三障壁金屬膜(未含有氮之障壁金屬膜)
60	高電阻部
80	層間絕緣膜
81	第一通孔
82	第一銅合金佈線
83	第二通孔
84	第二銅合金佈線
85	第一障壁金屬膜
86	第二障壁金屬膜

十、申請專利範圍：

1. 一種半導體裝置，其特徵在於具備有：

第一銅合金佈線，係形成在層間絕緣膜內，並在作為主成分之 Cu 中含有既定之添加元素；

通孔，係形成在上述層間絕緣膜內，與上述第一銅合金佈線之上表面電性連接；與

第一障壁金屬膜，係在上述第一銅合金佈線與上述通孔之連接部中與上述第一銅合金佈線接觸而形成，並含有氮；

上述既定之添加元素為 Al、Ge、Ga、Sn 之任一種；

上述既定之添加元素之濃度為 0.01wt% 以上且 0.04 wt% 以下。

2. 如申請專利範圍第 1 項之半導體裝置，其中，上述第一障壁金屬膜之材質為 TaN、TaSiN、TiN、WN 之任一種。

3. 如申請專利範圍第 1 項之半導體裝置，其中，上述層間絕緣膜係 SiOC 膜。

4. 如申請專利範圍第 1 項之半導體裝置，其中，

進一步具備第二銅合金佈線，係在上述層間絕緣膜內被配置在較上述第一銅合金佈線之上層，並與上述通孔之上表面電性連接；

上述第一銅合金佈線、上述第二銅合金佈線和上述通孔係在作為主成分之 Cu 中含有既定之添加元素。

5. 如申請專利範圍第 1 項之半導體裝置，其中，進一步具備有：

第一障壁金屬膜，係在上述層間絕緣膜和上述通孔之間，接觸於上述層間絕緣膜；與

第二障壁金屬膜，係在上述層間絕緣膜和上述通孔之間，接觸於上述通孔且未含有氮。

6. 如申請專利範圍第 5 項之半導體裝置，其中，

進一步具備有佈線，係在上述層間絕緣膜內被配設於較上述第一銅合金佈線之上層，並與上述通孔之上表面電性連接；

上述第一障壁金屬膜係在上述層間絕緣膜與上述佈線之間，以接觸於上述層間絕緣膜之方式而形成；

上述第二障壁金屬膜係在上述層間絕緣膜與上述佈線之間，以接觸於上述佈線之方式而形成。

7. 如申請專利範圍第 1 項之半導體裝置，其中，上述第一障壁金屬中所含之氮的濃度為 10 原子%以上、40 原子%以下。

8. 如申請專利範圍第 5 或 6 項之半導體裝置，其中，上述第一障壁金屬膜之膜厚為 1 nm 以上、10 nm 以下。

9. 一種半導體裝置，其特徵在於具備有：

第一銅合金佈線，係配置在第一層間絕緣膜內，並在作為主成分之 Cu 中添加了既定之添加元素；

第二層間絕緣膜，係形成在上述第一層間絕緣膜上；與

第二銅合金佈線，係配置在上述第二層間絕緣膜內，並在作為主成分之 Cu 中添加了上述既定之添加元素；

上述第二銅合金佈線之上述既定之添加元素的濃度係

未滿上述第一銅合金佈線之上述既定之添加元素的濃度；
上述第二銅合金佈線係形成於上述第一銅合金佈線上；
上述既定之添加元素為 Al、Ge、Ga、Sn 之任一種。

10. 如申請專利範圍第 9 項之半導體裝置，其中，上述第二銅合金佈線之膜厚係大於上述第一銅合金佈線之膜厚。

11. 如申請專利範圍第 9 項之半導體裝置，其中，上述第一層間絕緣膜及上述第二層間絕緣膜係介電常數不同。

12. 一種半導體裝置，其特徵在於具備有：

銅合金佈線，係配置在第一層間絕緣膜內，並在作為主成分之 Cu 中添加了既定之添加元素；

第二層間絕緣膜，係形成在上述第一層間絕緣膜上；與銅佈線，係被配置在上述第二層間絕緣膜內，膜厚大於上述銅合金佈線，且僅由 Cu 所形成。

13. 一種半導體裝置，其特徵在於具備有：

第一雙重金屬鑲嵌構造，係配置在第一層間絕緣膜內，由第一佈線和第一通孔所構成，在作為主成分之 Cu 中添加了既定之添加元素而成；

第二層間絕緣膜，係形成在上述第一層間絕緣膜上；與

第二雙重金屬鑲嵌構造，係僅由 Cu 所形成，配置在上述第二層間絕緣膜內，由膜厚大於上述第一佈線之第二佈線和第二通孔所構成，上述第一佈線之上部和上述第二通孔之下面互相連接。

14. 如申請專利範圍第 13 項之半導體裝置，其中，上述

既定之添加元素為 Al、Si、Ge、Ga 或 Sn 中之一種；

上述第二通孔之直徑大於上述第一通孔之直徑。

15. 如申請專利範圍第 13 項之半導體裝置，其中，

進一步具備有第一障壁金屬膜，係包含有氮，在上述第二通孔之底部與上述第一佈線之上表面之連接部，與上述第一佈線接觸形成；

上述第一佈線所含之上述既定之添加元素之濃度為 0.01 wt% 以上且 0.04 wt% 以下。

16. 如申請專利範圍第 15 項之半導體裝置，其中，

上述第一障壁金屬膜係在上述第二雙重金屬鑲嵌構造與上述第二層間絕緣膜之間，亦形成為與上述第二層間絕緣膜接觸；

進一步具備有未含有氮之第二障壁金屬膜，其係在上述第二雙重金屬鑲嵌構造與上述第二層間絕緣膜之間，形成為與上述第二雙重金屬鑲嵌構造接觸。

17. 如申請專利範圍第 11 項之半導體裝置，其中，上述第一層間絕緣膜及上述第二層間絕緣膜係分別含有 SiOC 膜和 FSG 膜之任一種。

18. 一種半導體裝置，其特徵在於具備有：

第一通孔，係形成在層間絕緣膜內，並在作為主成分之 Cu 中添加了既定之添加元素；

第一銅合金佈線，係形成在上述層間絕緣膜內，與上述第一通孔之底部電性連接，並在作為主成分之 Cu 中添加了上述既定之添加元素；

第二銅合金佈線，係形成在上述層間絕緣膜內，與上述第一通孔之上部電性連接，並在作為主成分之 Cu 中添加了上述既定之添加元素；

第一溝，係形成在上述層間絕緣膜內，並以使上述第一銅合金佈線埋覆上述第一溝之方式所形成；

第一通孔洞，係形成在上述層間絕緣膜內，並以使上述第一通孔埋覆上述第一通孔洞之方式所形成；

第二溝，係形成在上述層間絕緣膜內，並以使上述第二銅合金佈線埋覆上述第二溝之方式所形成；

第一障壁金屬膜，係沿著上述第一通孔洞之內壁表面及上述第二溝之側壁而形成，藉上述層間絕緣膜與上述第一通孔洞之內壁表面及上述第二溝之側壁所連接且含有氮；與

第二障壁金屬膜，係沿著上述第一通孔洞之下側及上述第一通孔洞之內壁表面及上述第二溝之底面及上述第二溝之側壁而形成，與上述第一通孔及上述第二銅合金佈線連接，並藉上述層間絕緣膜與上述第二溝之底面所連接；

上述第二障壁金屬膜之氮濃度係低於上述第一障壁金屬膜之氮濃度；

上述第一障壁金屬膜及上述既定之添加元素與氮的既定化合物，係由上述第一通孔與上述第一銅合金佈線間之連接部所去除；

上述第二障壁金屬膜亦形成於上述第一銅合金佈線與上述第一通孔間之連接部。

19. 如申請專利範圍第 18 項之半導體裝置，其中，進一步具備有：

在上述第二溝之側壁部與上述第一通孔洞之內壁部中，在上述第二障壁金屬膜與上述第一障壁金屬膜之間進一步形成第三障壁金屬膜；

上述層間絕緣膜係具有複數之絕緣膜；

上述第三障壁金屬膜之氮濃度係小於上述第一障壁金屬膜之氮濃度。

20. 一種半導體裝置之製造方法，其特徵在於，具備有下述步驟：

(A) 在第一層間絕緣膜內，形成以銅作為主要成分，並含有濃度為 0.01 wt% 以上且 0.04 wt% 以下之添加元素的銅合金佈線；

(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成使上述銅合金佈線之上面露出之連接孔；

(C) 在上述連接孔之底面和側面形成含有氮之第一障壁金屬膜；與

(D) 在上述步驟(C)之後，將導電體填充在上述連接孔。

21. 如申請專利範圍第 20 項之半導體裝置之製造方法，其中，進一步具備下述步驟：

(E) 去除形成在上述連接孔之底部之第一障壁金屬膜及上述銅合金佈線之一部份；與

(F) 在上述步驟(E)之後，在上述連接孔之底部和側面部形成未含有氮之第二障壁金屬膜。

22. 如申請專利範圍第 20 項之半導體裝置之製造方法，其中，進一步具備下述步驟：

(K) 在上述第一障壁金屬膜上，形成未含有氮之第二障壁金屬膜；

(L) 去除形成在上述連接孔之底部之上述第一障壁金屬膜、上述第二障壁金屬膜及上述銅合金佈線之一部份；與

(M) 在上述步驟(L)之後，在上述連接孔之底部和側面部形成未含有氮之第三障壁金屬膜。

23. 一種半導體裝置之製造方法，其特徵在於，具備下述步驟：

(A) 在第一層間絕緣膜內，配置在作為主成分之 Cu 中添加了既定之添加元素之第一銅合金佈線；與

(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成第二銅合金佈線，其係在作為主成分之 Cu 中添加了上述既定之添加元素，膜厚大於上述第一銅合金佈線，且具有屬於上述第一銅合金佈線之上述既定之添加元素之濃度以下的上述既定之添加元素濃度；

上述第一銅合金佈線係形成於上述第二銅合金佈線的下側。

24. 一種半導體裝置之製造方法，其特徵在於，具備下述之步驟：

(A) 在第一層間絕緣膜內，配置在作為主成分之 Cu 中添加了既定之添加元素之銅合金佈線；與

(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成膜厚大於上述銅合金佈線，且未含有上述既定之添加元素之銅佈線。

25. 一種半導體裝置之製造方法，其特徵在於，具備下述之步驟：

(A) 在第一層間絕緣膜內，形成第一雙重金屬鑲嵌構造，其係由第一佈線和第一通孔所構成，在作為主成分之Cu中添加了既定之添加元素；和

(B) 在形成於上述第一層間絕緣膜上之第二層間絕緣膜內，形成由未含有上述既定之添加元素之銅佈線所構成之第二雙重金屬鑲嵌構造，其係由膜厚大於上述第一佈線之第二佈線與第二通孔所構成，且上述第一佈線之上部與上述第二通孔之下面為互相連接。

26. 如申請專利範圍第9項之半導體裝置，其中，進一步具備：

通孔，係形成於上述第二層間絕緣膜內，並電性連接於上述第二銅合金佈線之底部與上述第一銅合金佈線之上表面；與

第一障壁金屬膜，係形成於上述通孔與上述第一銅合金佈線之間，連接於上述第一銅合金佈線，並含有氮；

上述第一銅合金佈線之上述既定之添加元素濃度為0.01 wt%以上且0.04 wt%以下。

27. 如申請專利範圍第26項之半導體裝置，其中，上述既定之添加元素為Al、Si、Ge或Sn之任一種。

28. 如申請專利範圍第 26 項之半導體裝置，其中，上述第一障壁金屬膜之材料為 TaN、TaSiN、TiN 或 WN 之任一種。

29. 如申請專利範圍第 26 項之半導體裝置，其中，上述第一層間絕緣膜為 SiOC。

30. 如申請專利範圍第 26 項之半導體裝置，其中，上述第一銅合金佈線、上述第二銅合金佈線和上述通孔係分別在作為主成分之銅中含有上述既定之添加元素。

31. 如申請專利範圍第 26 項之半導體裝置，其中，進一步具有在上述通孔與上述第二層間絕緣膜之間接觸於上述通孔的第二障壁金屬膜；

上述第一障壁金屬膜係在上述通孔與上述第二層間絕緣膜之間與上述第二層間絕緣膜接觸；

上述第二障壁金屬膜之氮濃度係低於上述第一障壁金屬膜之氮濃度。

32. 如申請專利範圍第 31 項之半導體裝置，其中，上述第一障壁金屬膜係形成於上述第二層間絕緣膜與上述第二銅合金佈線之間，並與上述第二層間絕緣膜接觸；

上述第二障壁金屬膜係形成於上述第二層間絕緣膜與上述第二銅合金佈線之間，並與上述第二銅合金佈線接觸。

33. 如申請專利範圍第 26 項之半導體裝置，其中，上述第一障壁金屬膜內所含之氮濃度為 10atom% 以上且 40atom% 以下。

34. 如申請專利範圍第 31 或 32 項之半導體裝置，其中，上述第一障壁金屬膜之膜厚為 1nm 以上且 10nm 以下。

35. 如申請專利範圍第 23 項之半導體裝置之製造方法，其中，進一步具備下述步驟：

(C) 在上述第二層間絕緣膜內，形成使上述第一銅合金佈線之上面露出之連接孔；與

(D) 在上述連接孔之底部之側面形成含有氮之第一障壁金屬膜。

36. 如申請專利範圍第 35 項之半導體裝置之製造方法，其中，進一步具備下述步驟：

(E) 去除形成在上述連接孔之底部之上述第一障壁金屬膜及上述連接孔之下的上述第一銅合金佈線之一部份；與

(F) 在上述步驟(E)之後，在上述連接孔之下和上述連接孔之側面形成第二障壁金屬膜；

上述第二障壁金屬膜之氮濃度係低於上述第一障壁金屬膜之氮濃度。

37. 如申請專利範圍第 35 項之半導體裝置之製造方法，其中，進一步具備下述步驟：

(K) 在上述第一障壁金屬膜上，形成第二障壁金屬膜；

(L) 去除形成在上述連接孔之底部之上述第一及第二障壁金屬膜、及上述連接孔之下之上述第一銅合金佈線之一部份；與

(M) 在上述步驟(L)之後，在上述連接孔之下及上述連

接孔之側面形成第三障壁金屬膜；

上述第二障壁金屬膜之氮濃度及上述第三障壁金屬膜之氮濃度係分別低於上述第一障壁金屬膜之氮濃度。

十一、圖式：

圖 1

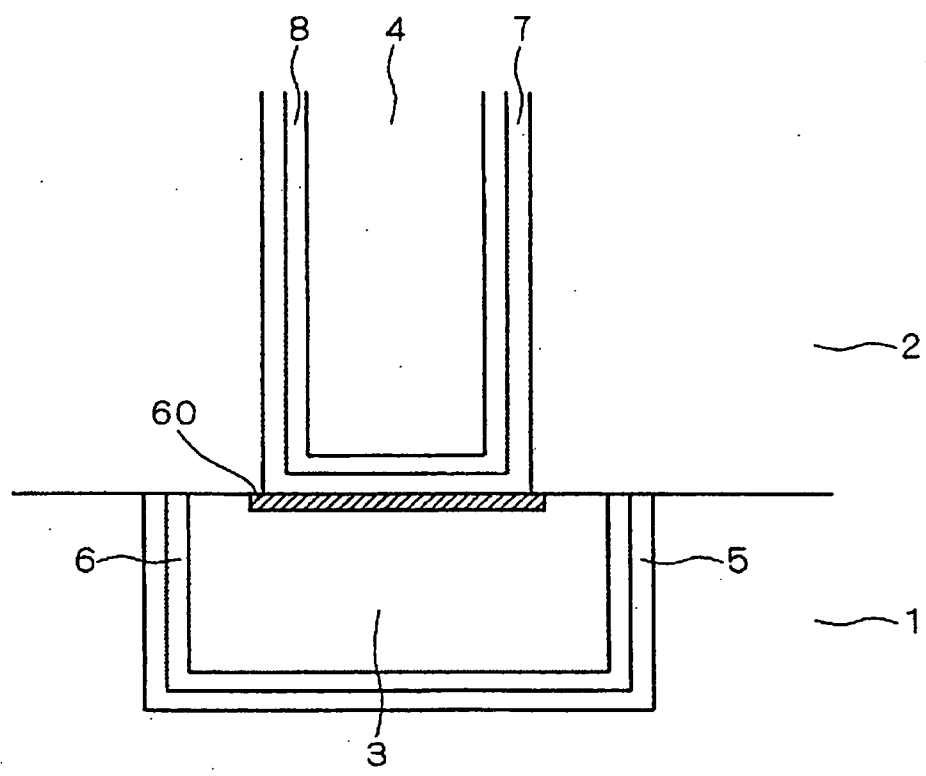


圖 2

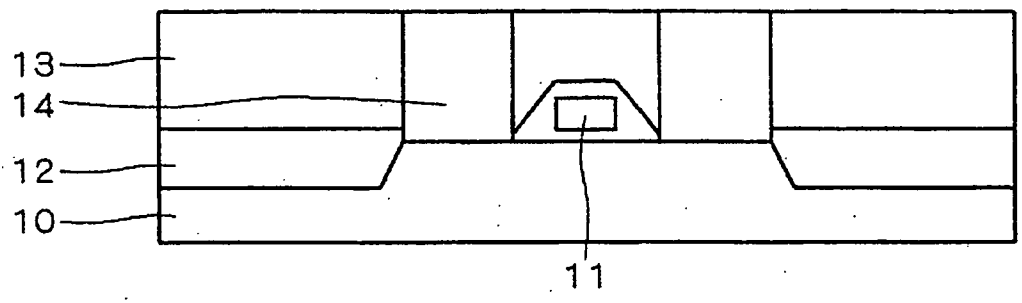


圖 3

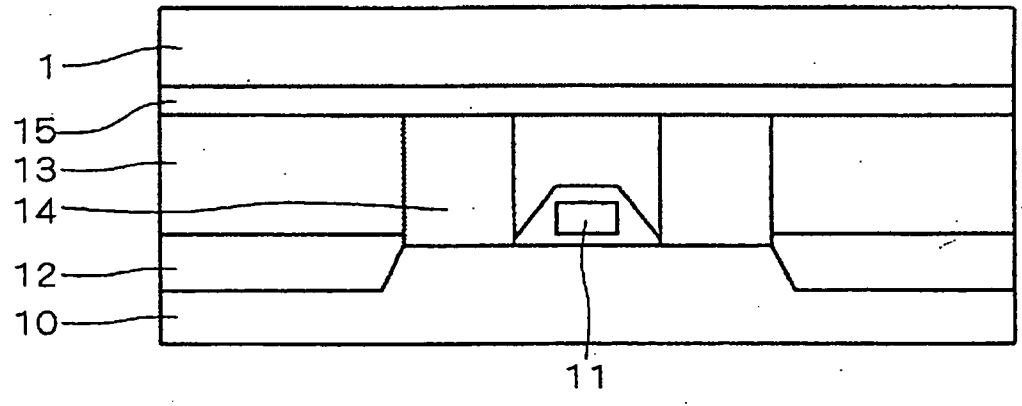


圖 4

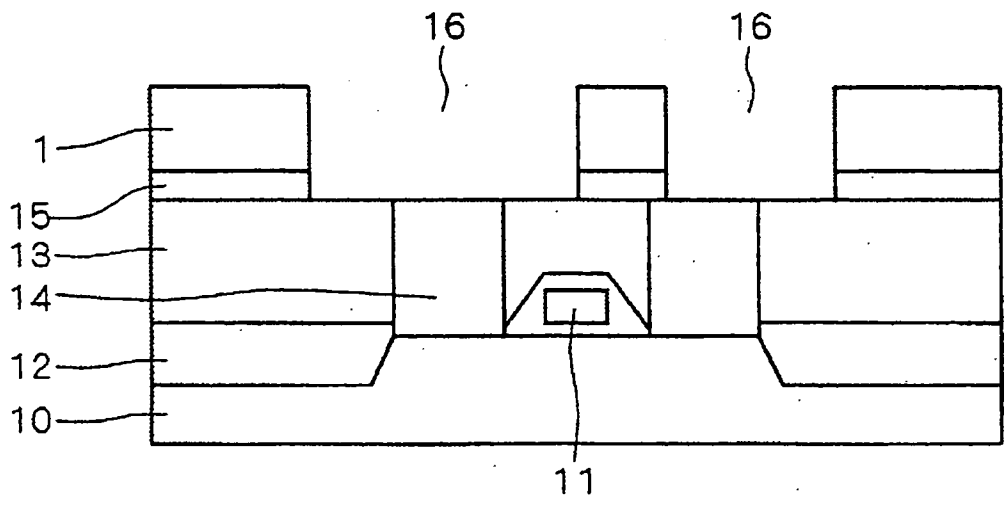


圖 5

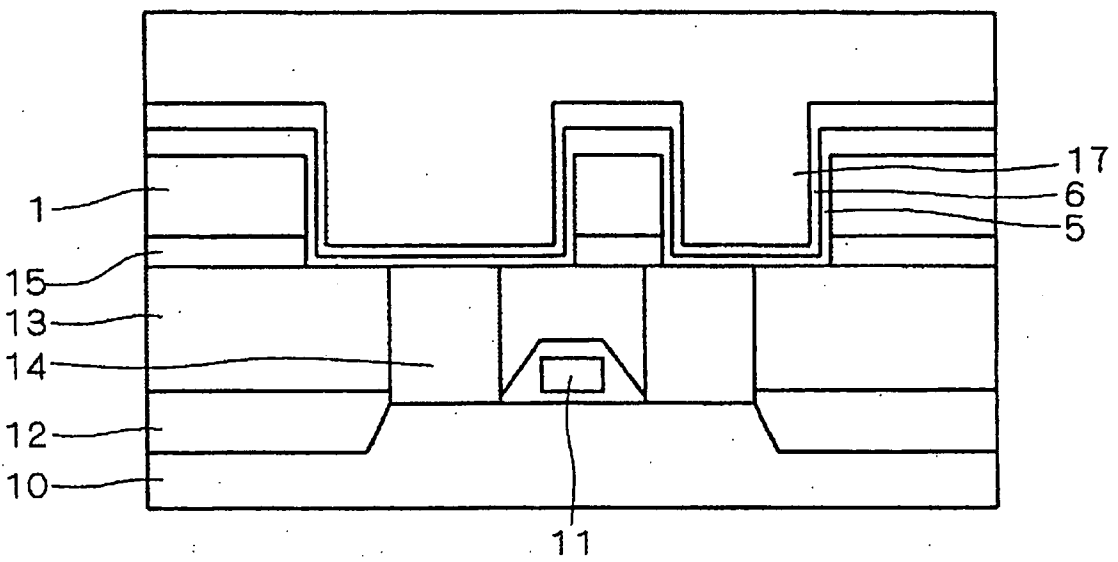


圖 6

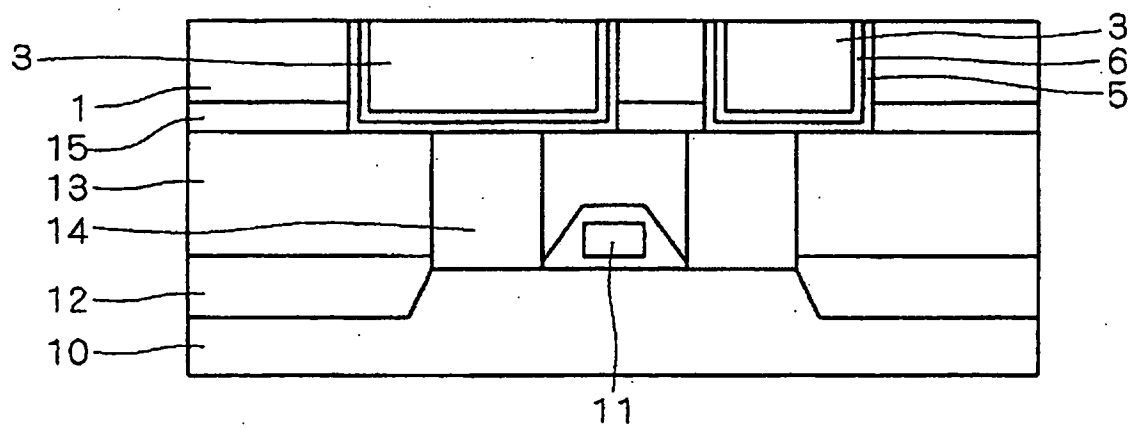


圖 7

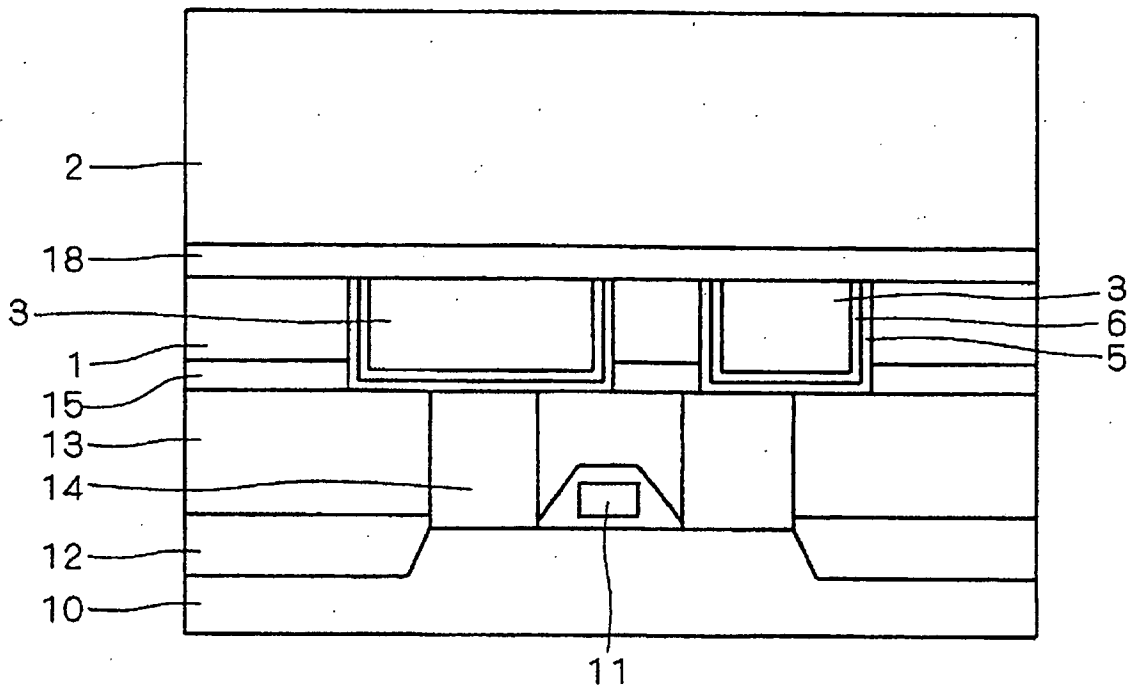


圖 8

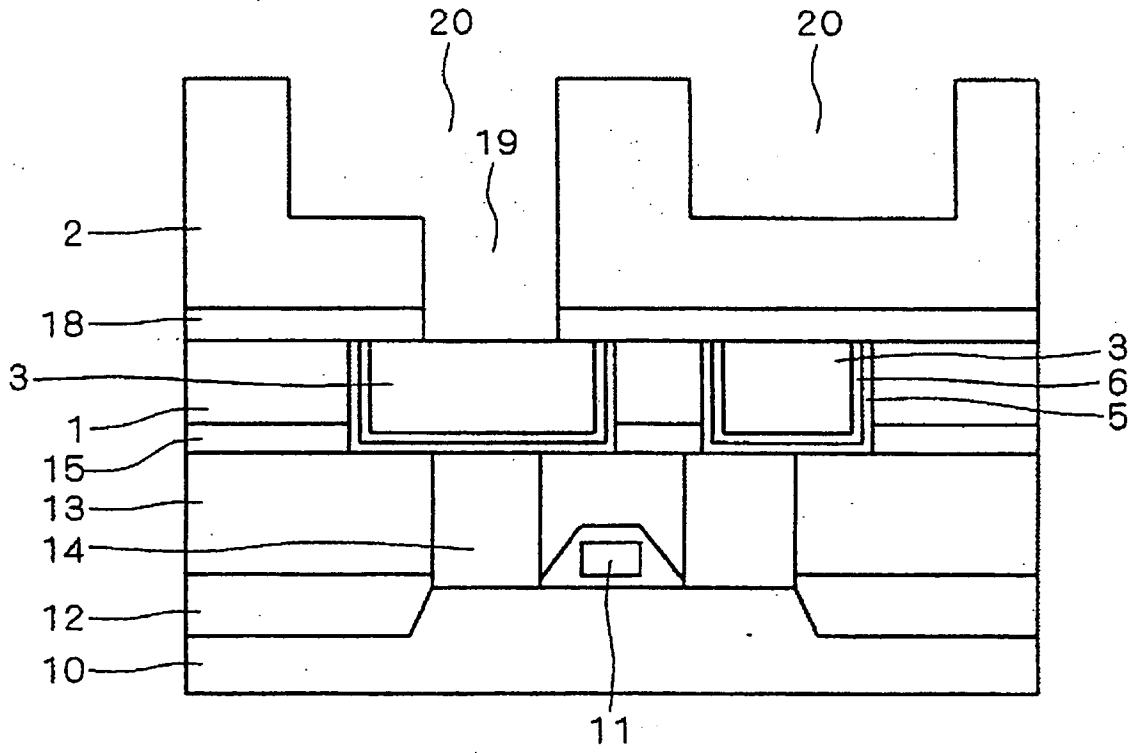


圖 9

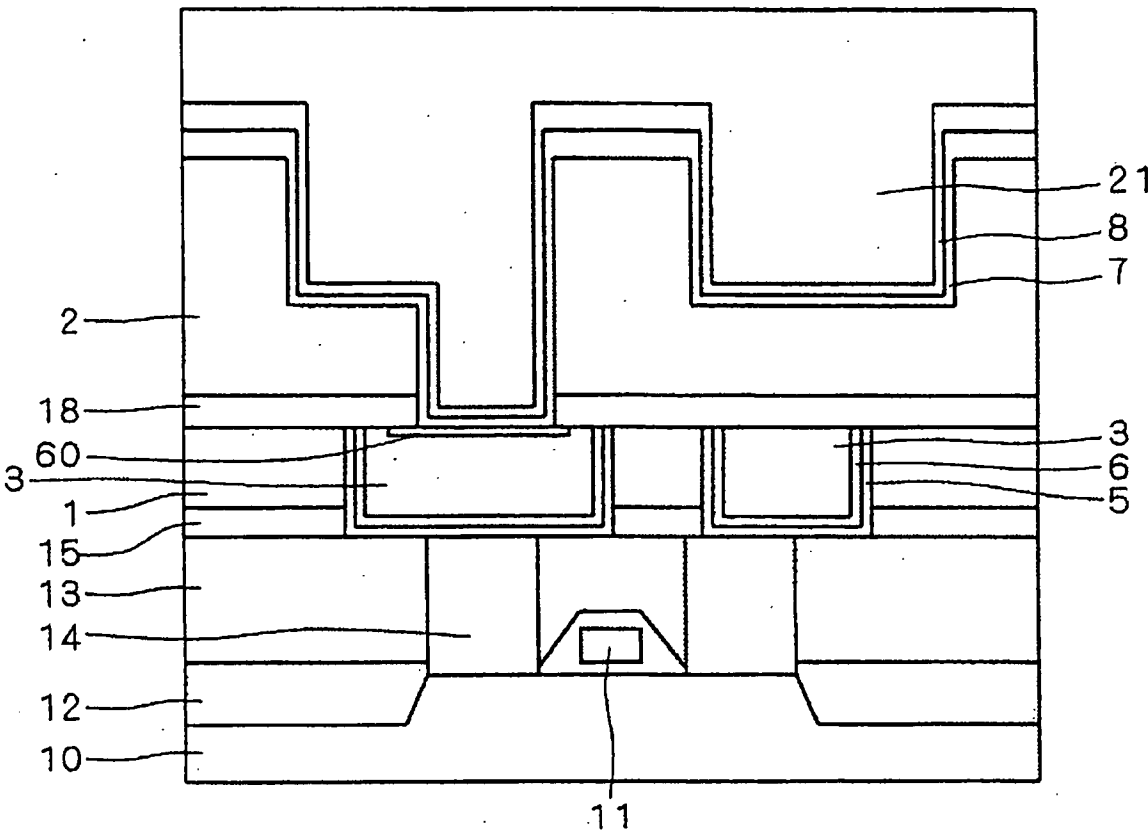


圖 10

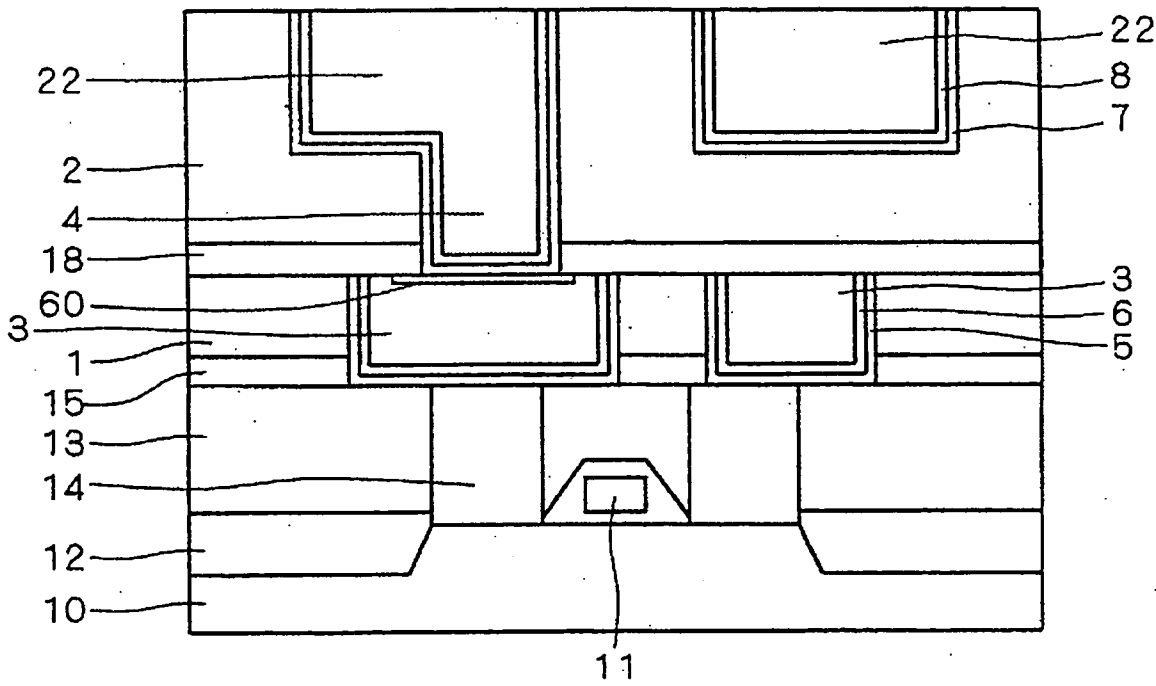


圖 11

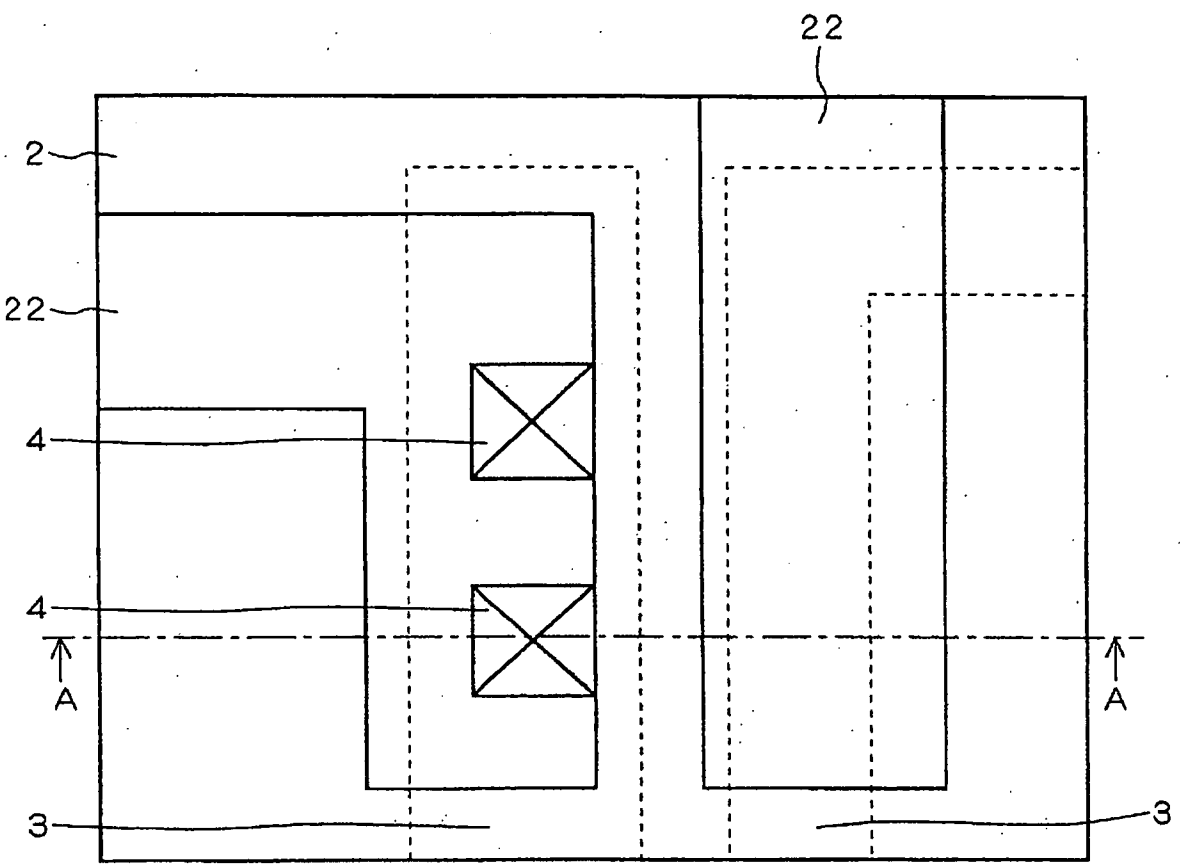


圖 12

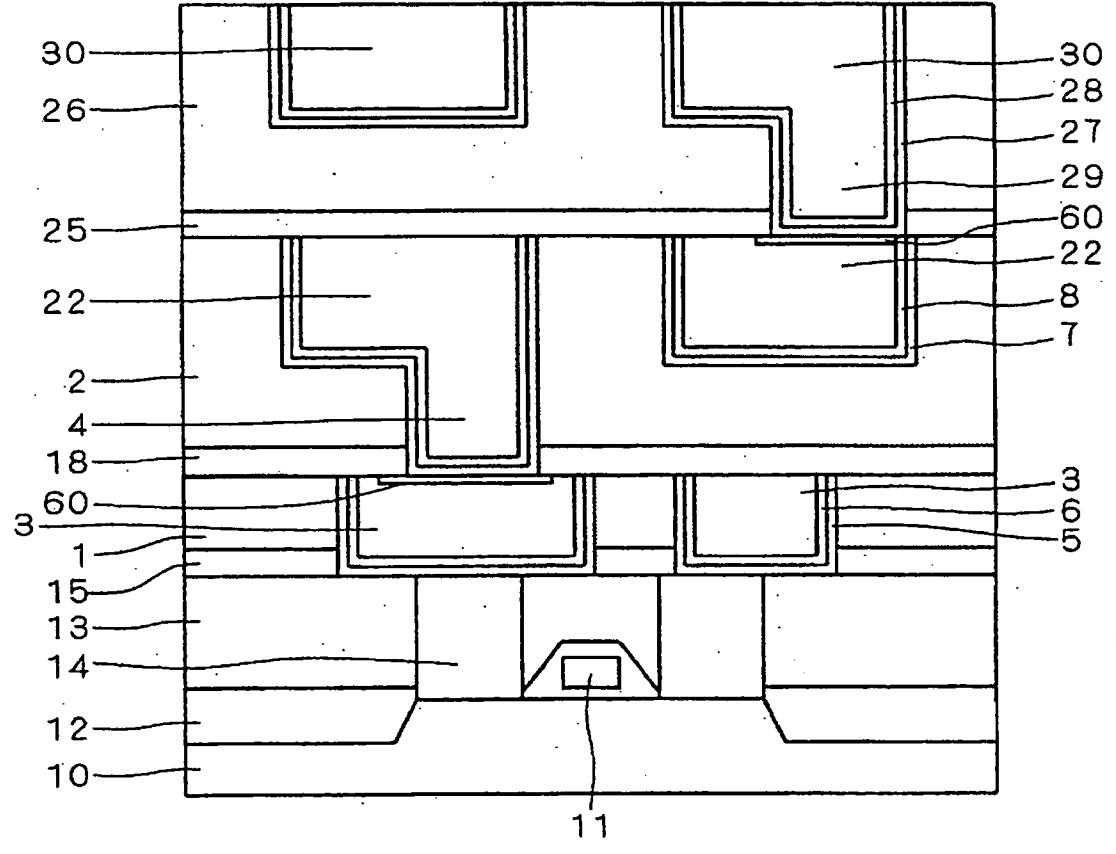


圖 13

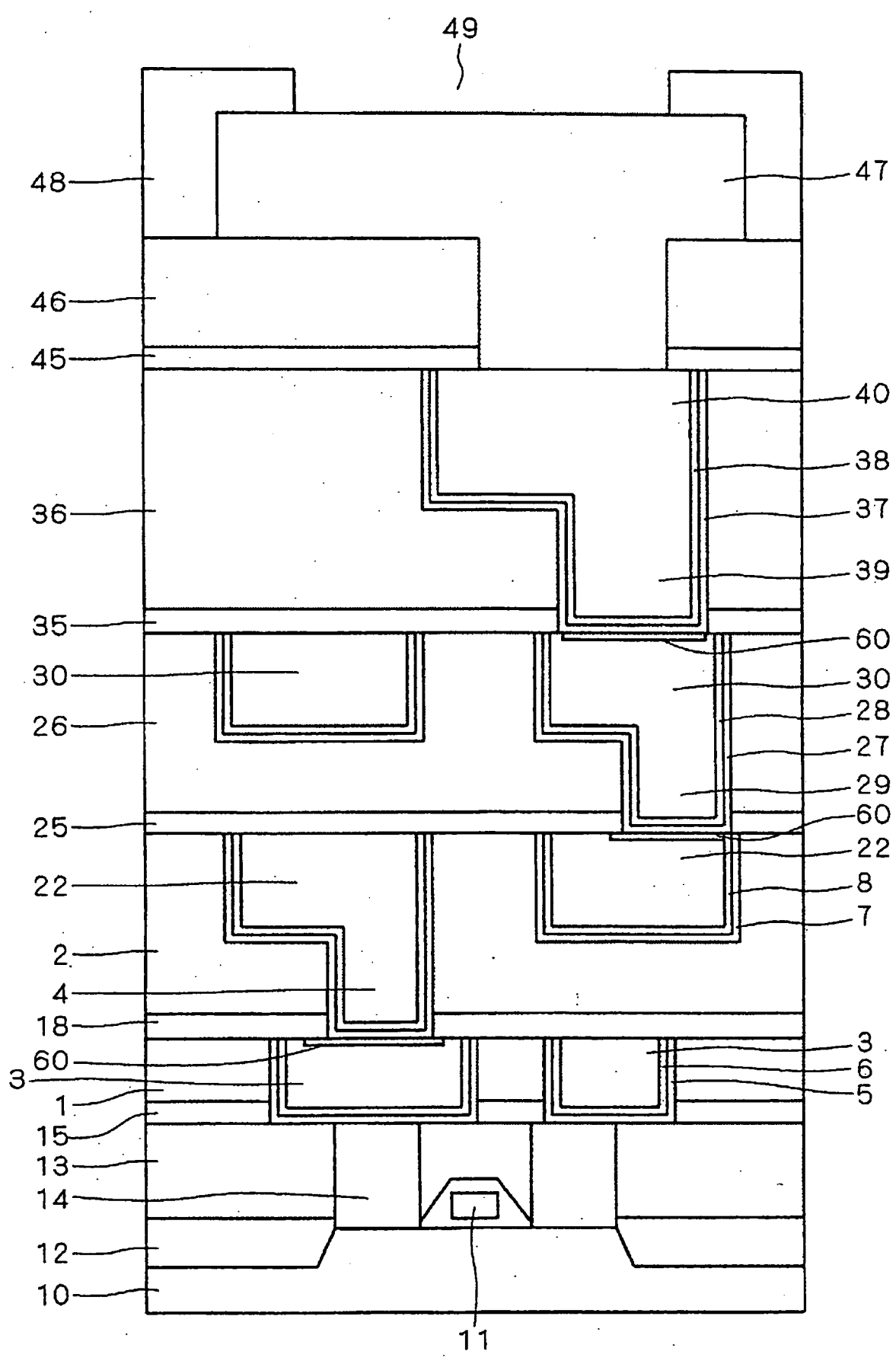


圖 14

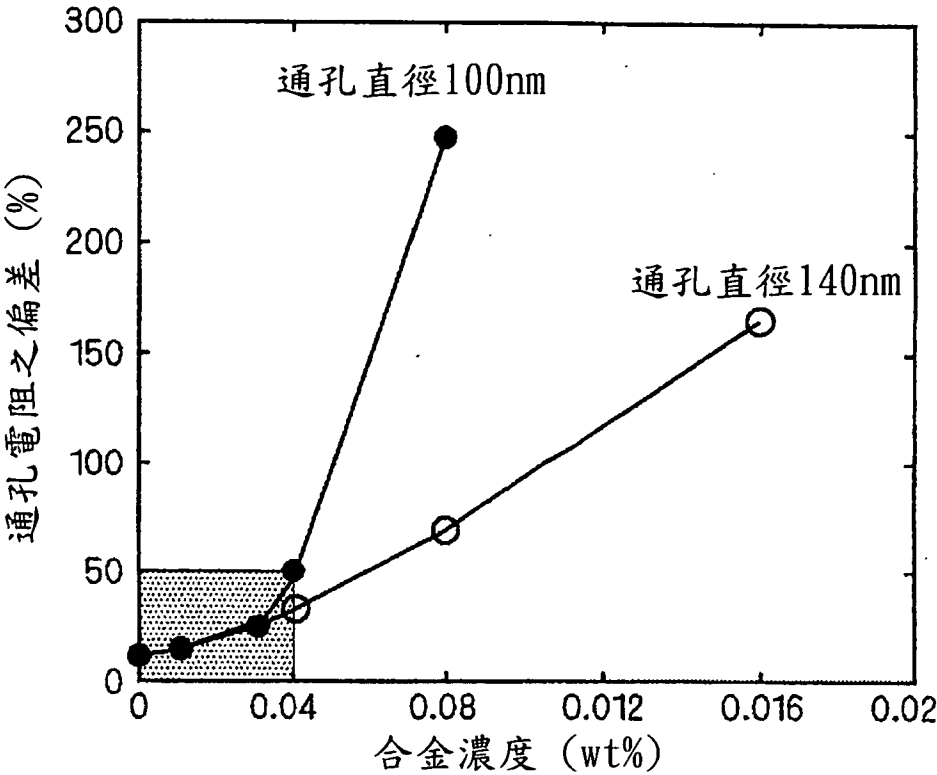


圖 15

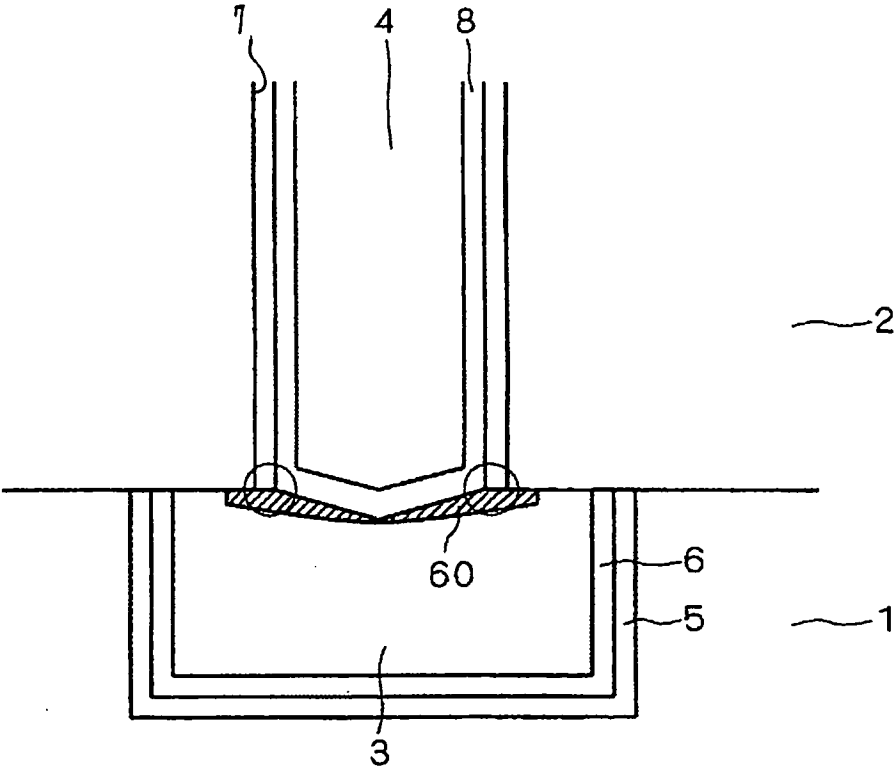
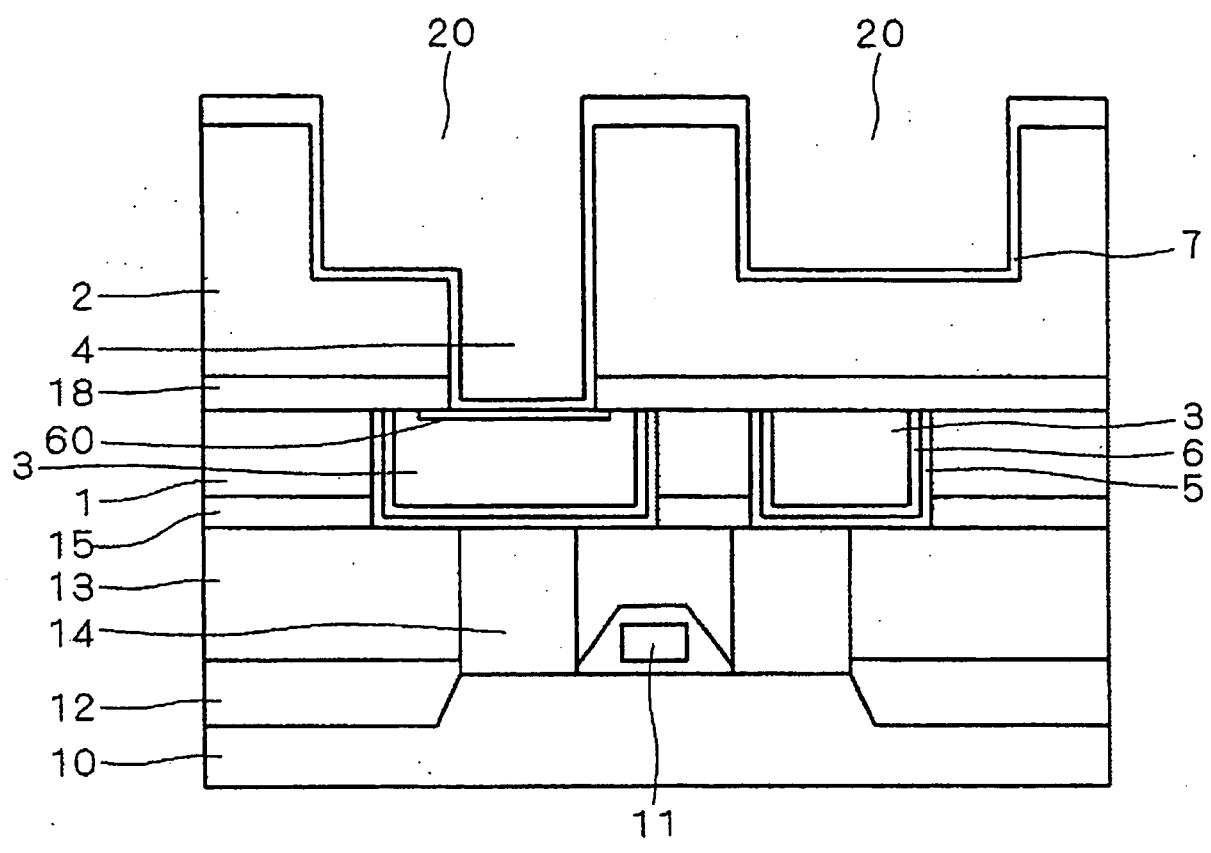


圖 16



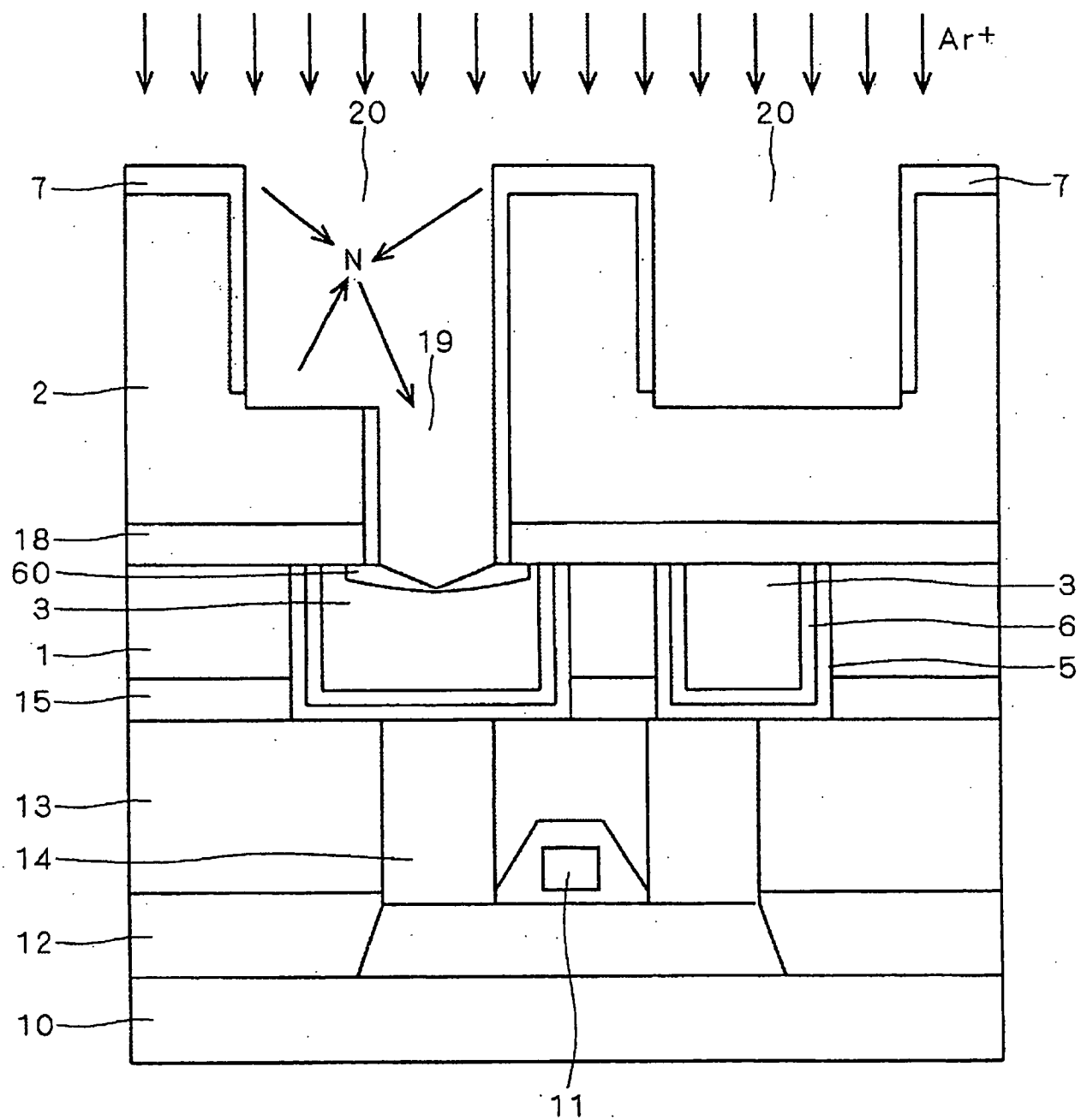


圖 18

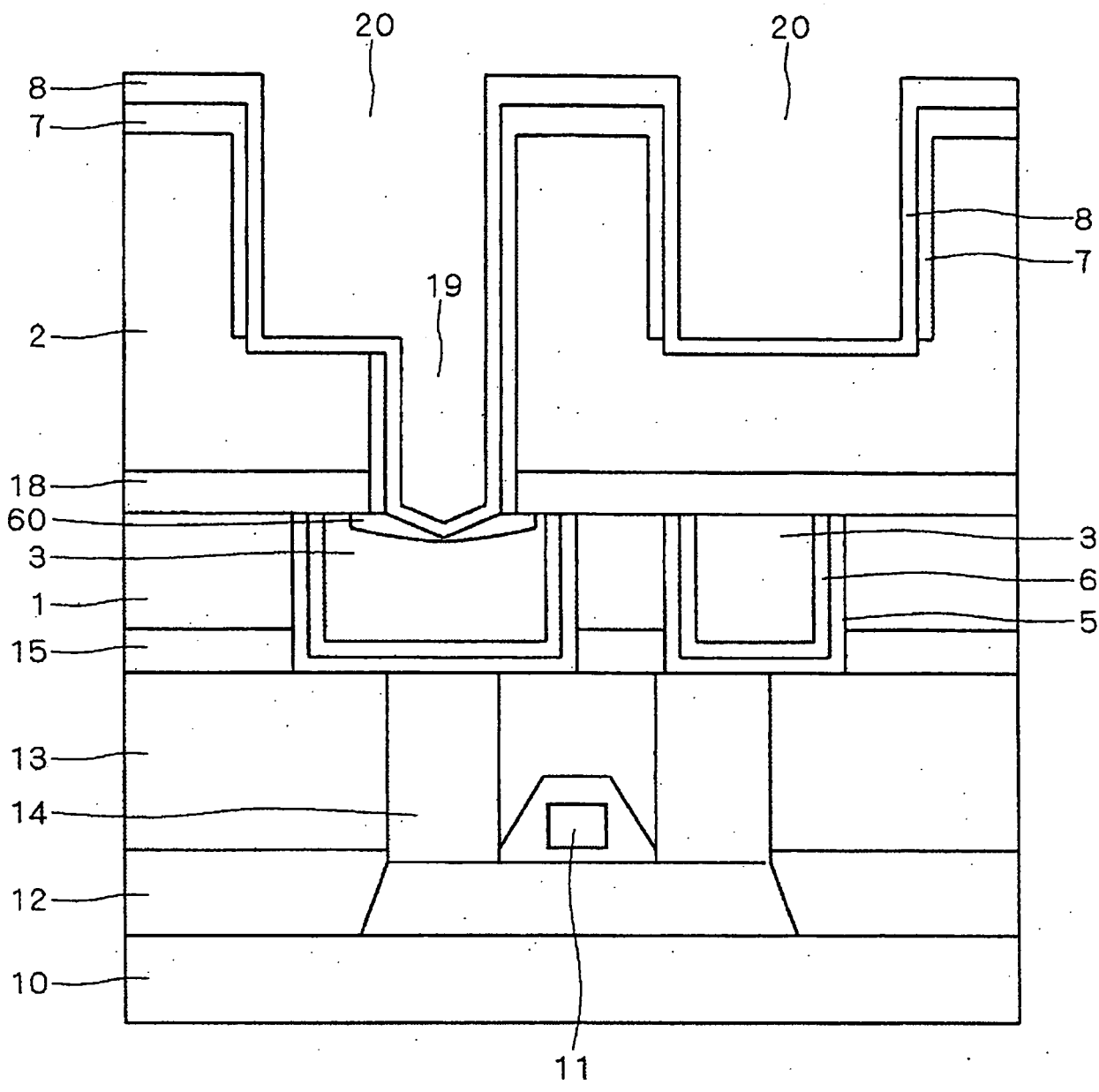


圖 19

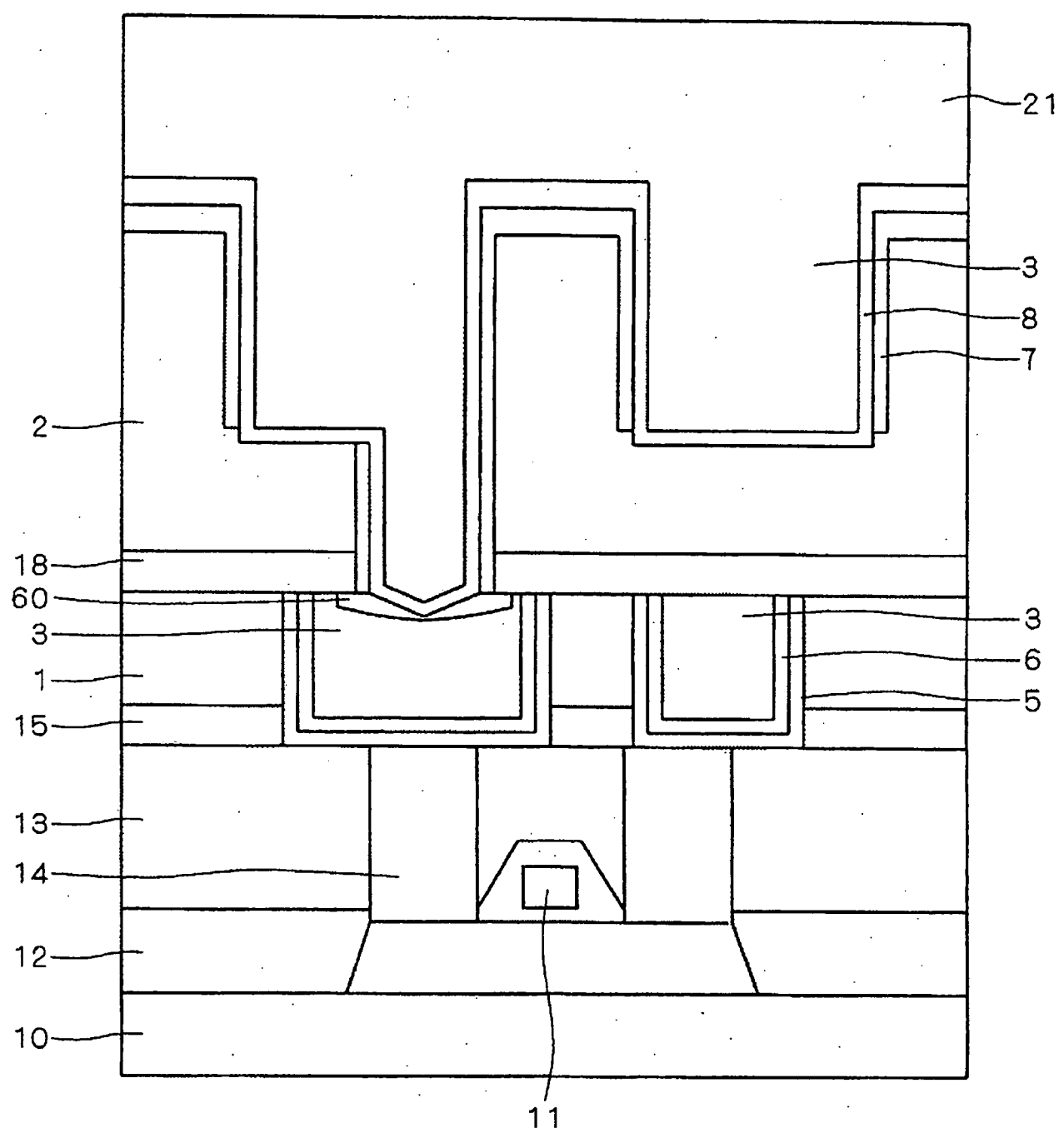


圖 20

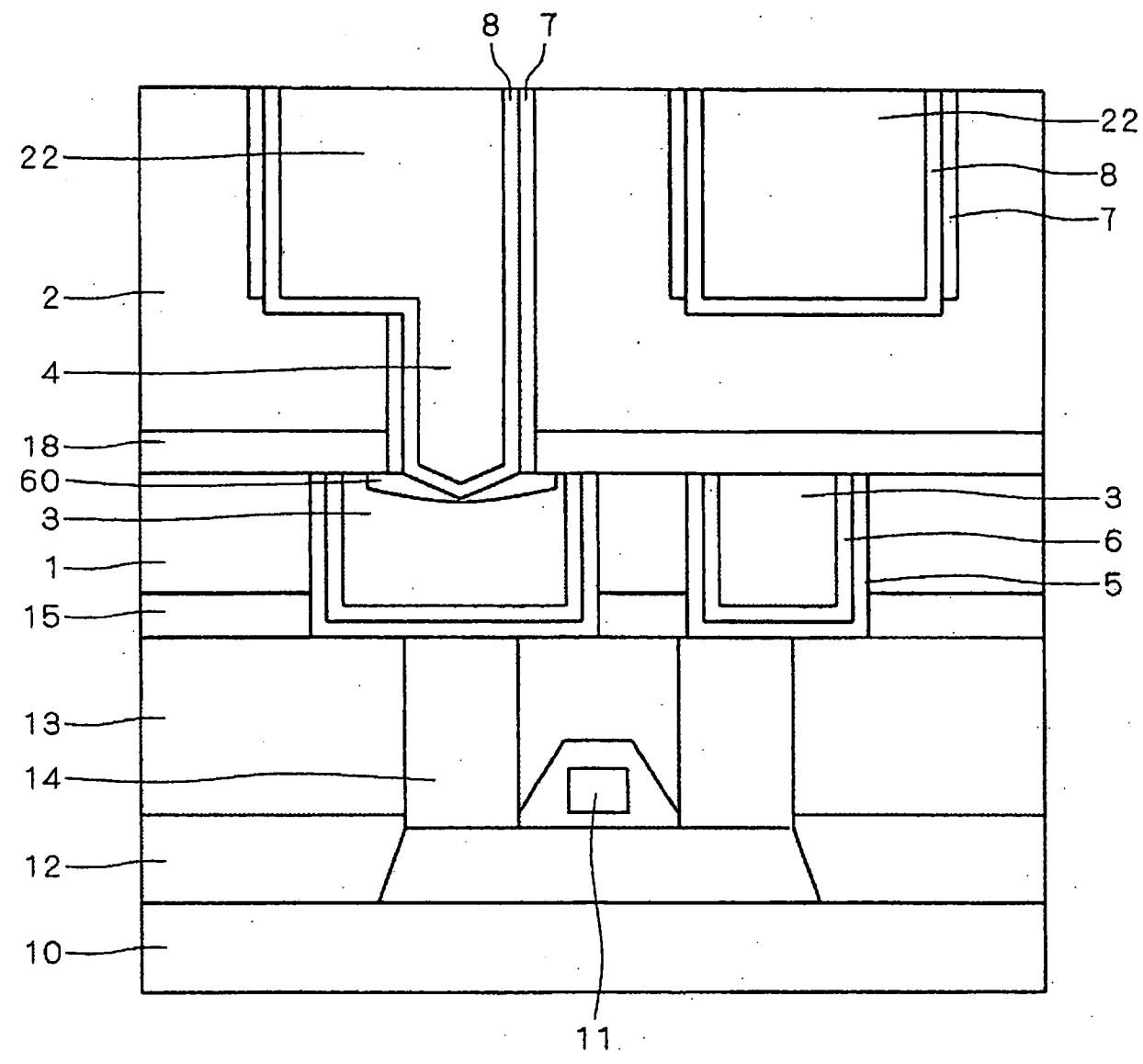


圖 21

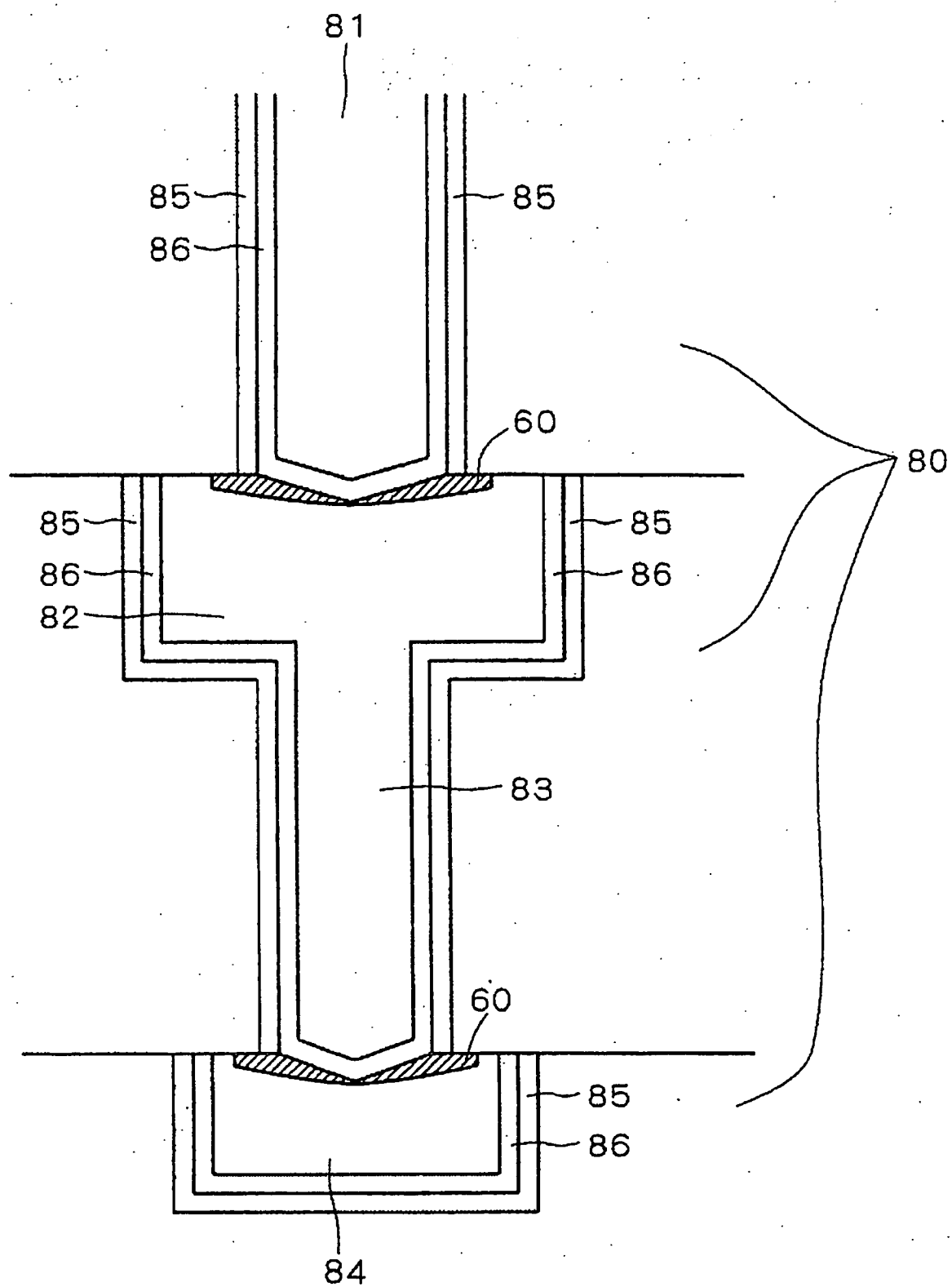


圖 22

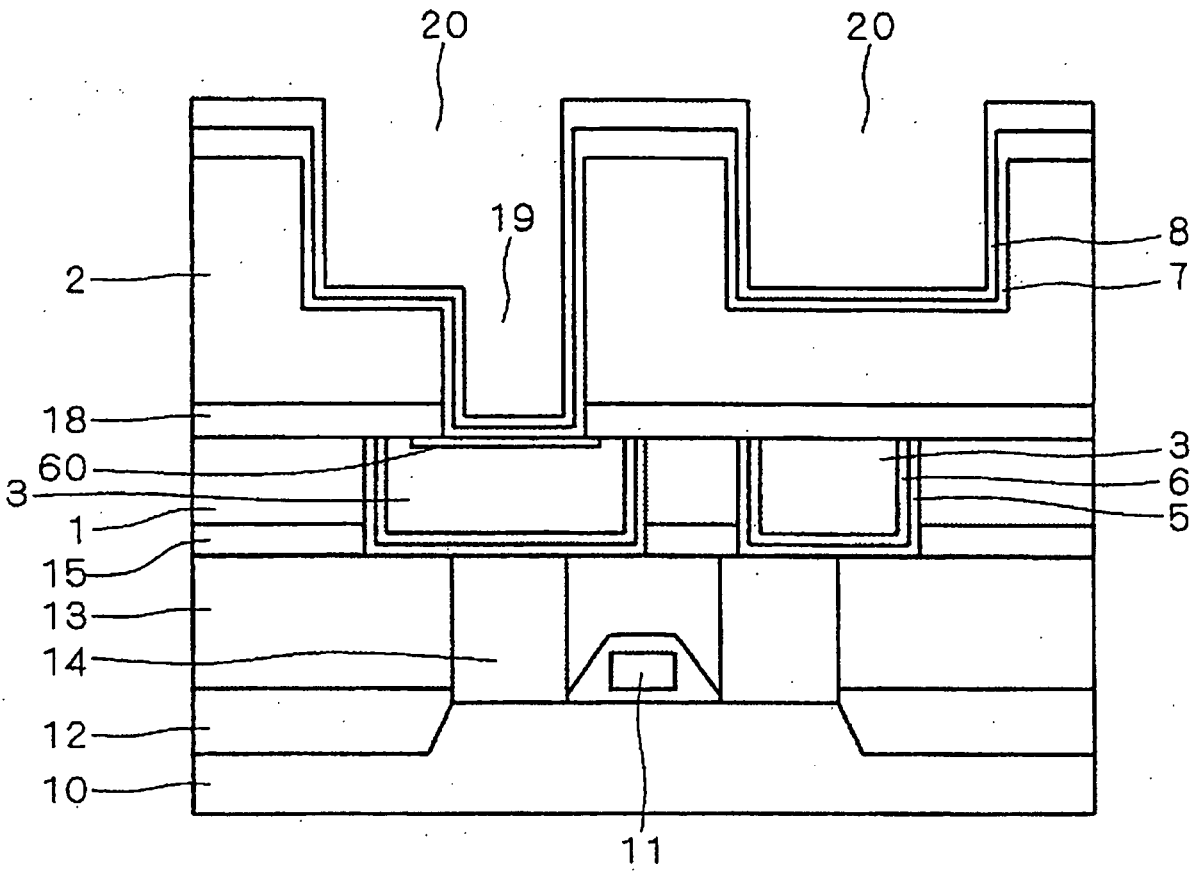


圖 23

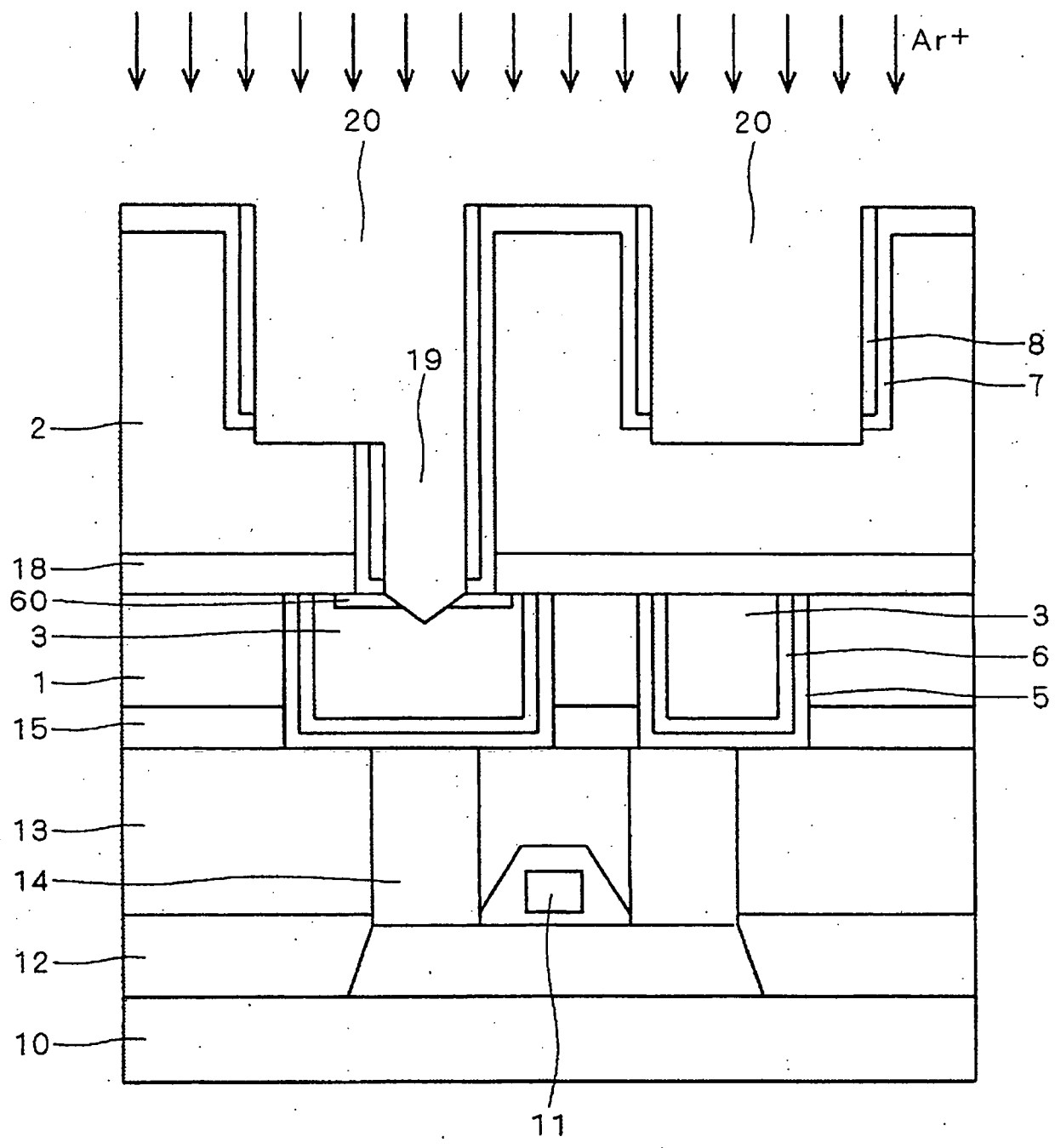


圖 24

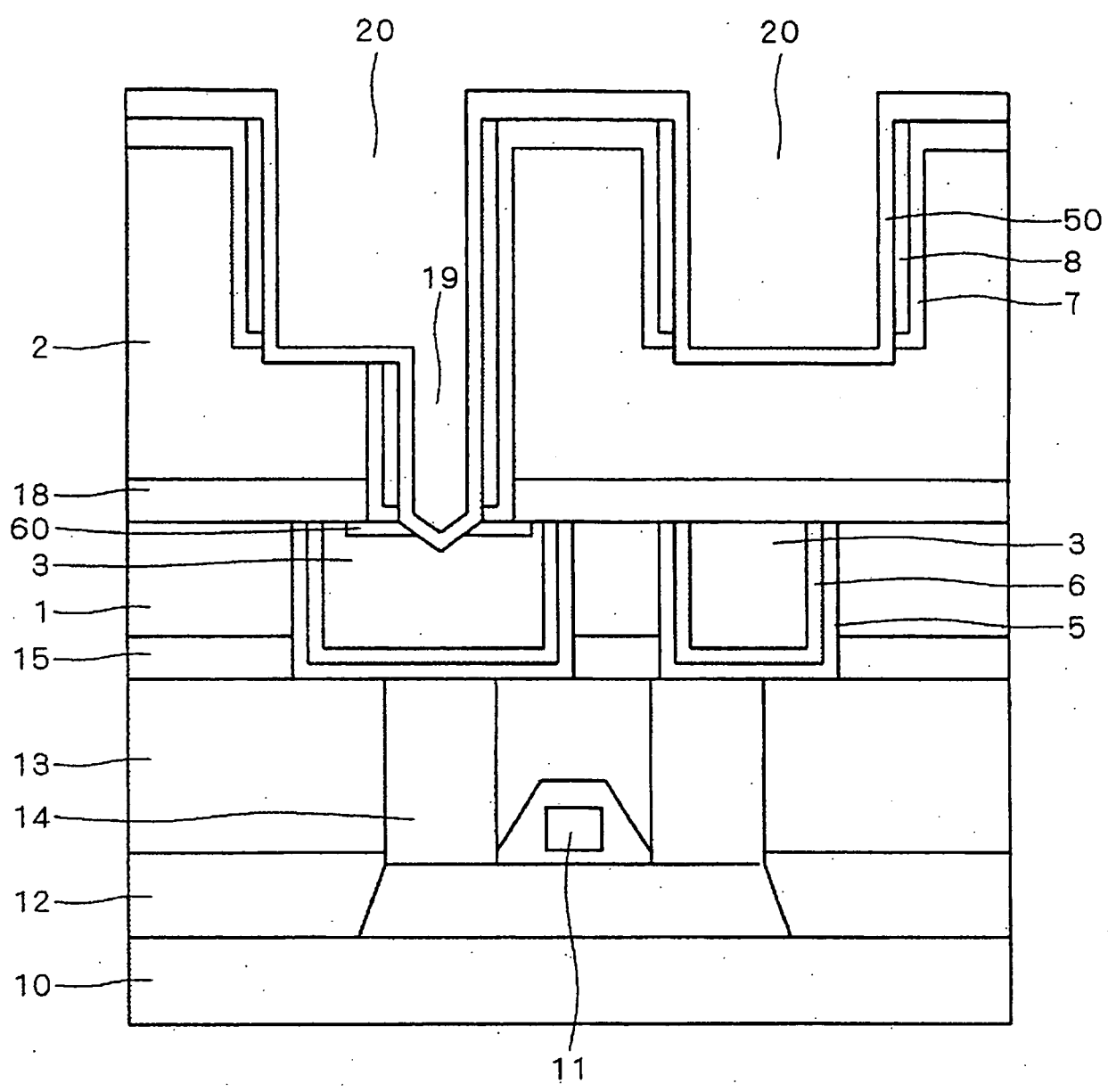


圖 25

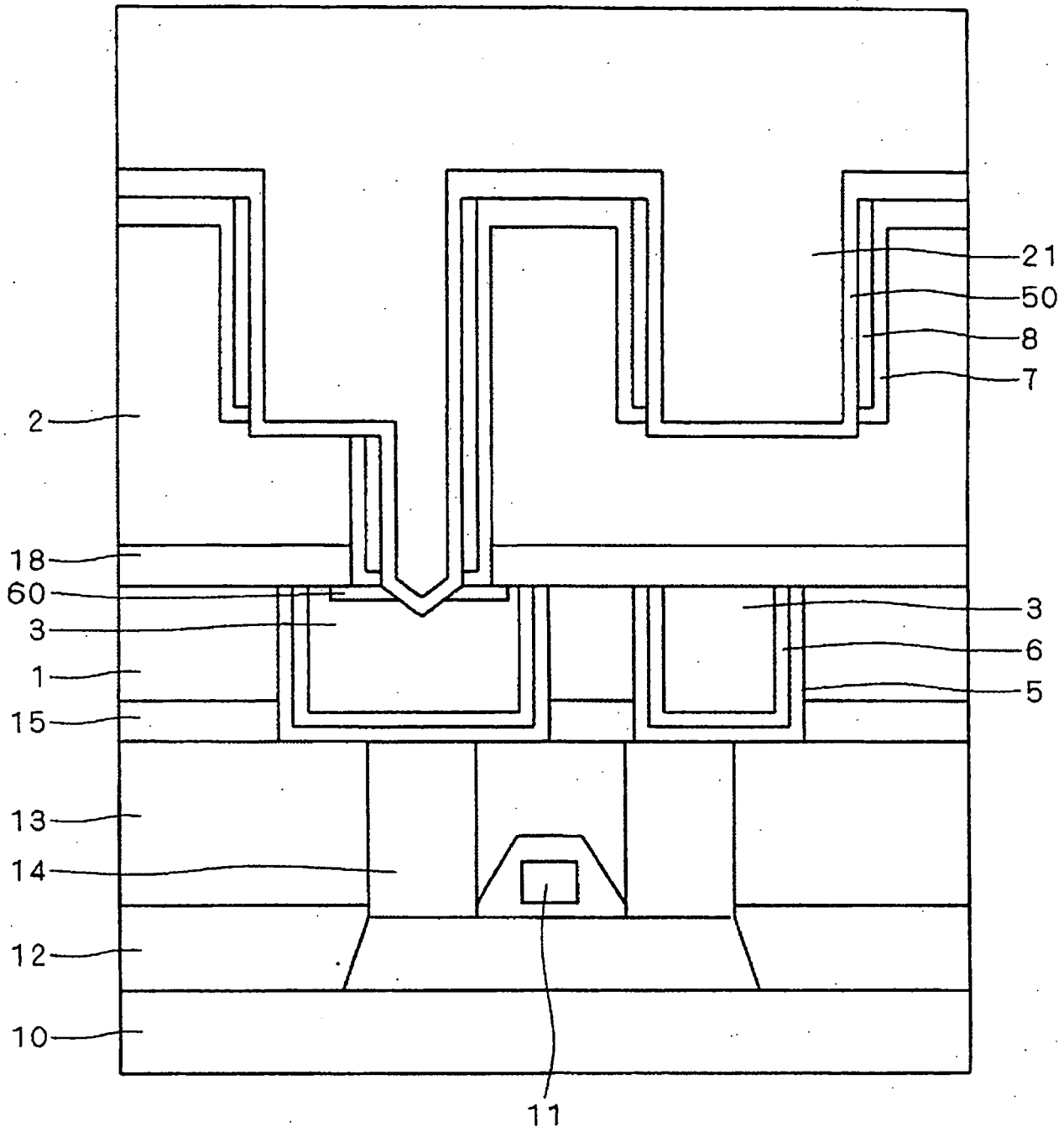


圖 26

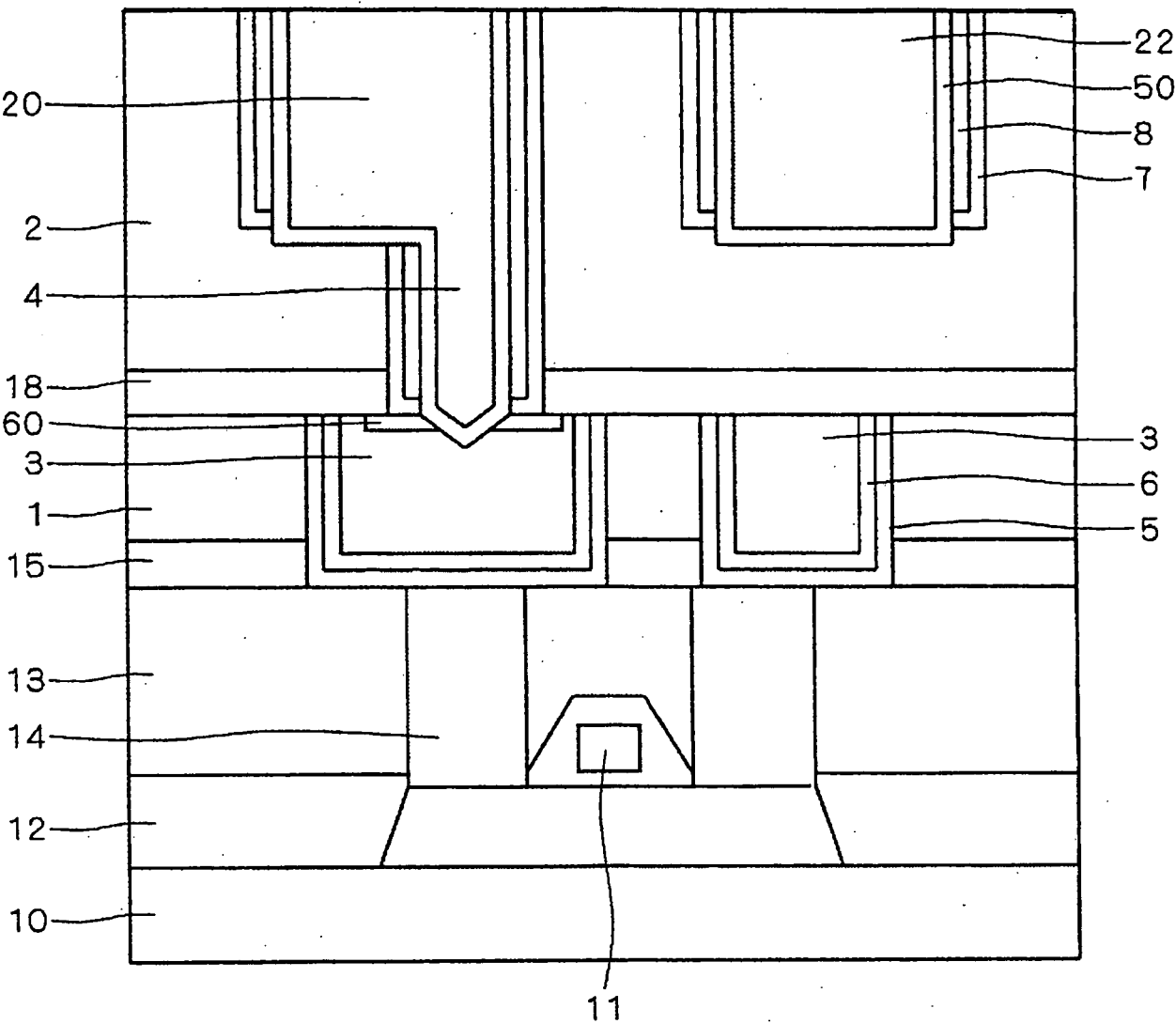


圖 27

