



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월17일
 (11) 등록번호 10-0813552
 (24) 등록일자 2008년03월07일

(51) Int. Cl.
 G11C 8/08 (2006.01) G11C 7/12 (2006.01)
 G11C 7/06 (2006.01)
 (21) 출원번호 10-2006-0132541
 (22) 출원일자 2006년12월22일
 심사청구일자 2006년12월22일
 (56) 선행기술조사문헌
 JP10283781 A
 KR1019970067357 A
 KR1020030075579 A
 KR1020060088679 A

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 최원준
 서울 노원구 상계10동 주공아파트 905동 1403호
 이정우
 서울 관악구 봉천1동 해바라기아파트 2동 202호
 (뒷면에 계속)
 (74) 대리인
 김성남

전체 청구항 수 : 총 12 항

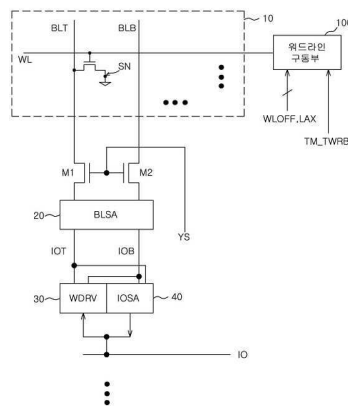
심사관 : 이승한

(54) 반도체 메모리 장치 및 그 워드라인 구동회로

(57) 요약

본 발명은 비트라인과 워드라인이 행렬형태로 형성된 메모리 셀 블록; 로우 어드레스에 상응하는 워드라인을 적어도 하나의 제어신호에 따라 조정된 시간만큼 활성화시키는 워드라인 구동부; 상기 메모리 셀 블록에서 출력된 데이터를 감지 및 증폭하여 출력하는 센스앰프; 및 컬럼 어드레스에 상응하는 컬럼 선택신호에 따라 상기 비트라인과 상기 센스앰프의 신호패스를 연결하는 스위칭부를 구비한다.

대표도 - 도4



(72) 발명자

문형욱

서울 중랑구 신내2동 화성아파트 801동 207호

송근수

경기 의정부시 녹양동 146-15 청구아파트 101동
1207호

특허청구의 범위

청구항 1

비트라인과 워드라인이 행렬형태로 형성된 메모리 셀 블록;

로우 어드레스에 상응하는 워드라인을 적어도 하나의 제어신호에 따라 조정된 시간만큼 활성화시키는 워드라인 구동부;

상기 메모리 셀 블록에서 출력된 데이터를 감지 및 증폭하여 출력하는 센스앰프; 및

컬럼 어드레스에 상응하는 컬럼 선택신호에 따라 상기 비트라인과 상기 센스앰프의 신호패스를 연결하는 스위칭부를 구비하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 제어신호는

액티브 명령과 프리차지 명령에 따라 발생되어 상기 워드라인을 활성화시키기 위한 제 1 제어신호, 및

상기 워드라인의 활성화시간을 조정하기 위한 제 2 제어신호를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 제 2 제어신호는 테스트 모드 신호인 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 1 항에 있어서,

상기 워드라인 구동부는

상기 적어도 하나의 제어신호에 따라 워드라인의 활성화 타이밍과 비활성화 타이밍을 결정하는 타이밍 제어부, 및

상기 타이밍 제어부의 출력에 따라 상기 워드라인을 구동하는 워드라인 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 타이밍 제어부는

제 1 제어신호에 따라 상기 워드라인의 활성화 타이밍을 결정하고 제 2 제어신호에 따라 제 1 지연시간 또는 제 2 지연시간 후 상기 워드라인의 비활성화를 결정하도록 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 지연시간에 비해 제 2 지연시간이 작은 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제 4 항에 있어서,

상기 타이밍 제어부는

제 1 제어신호를 입력받는 제 1 지연부,

상기 제 1 지연부의 출력과 제 2 제어신호를 입력받는 제 1 논리소자,
 상기 제 1 지연부의 출력과 상기 제 2 제어신호를 입력받는 제 2 논리소자,
 상기 제 2 논리소자의 출력을 입력받는 제 2 지연부,
 상기 제 1 논리소자의 출력과 상기 제 2 지연부의 출력을 입력받는 제 3 논리소자, 및
 상기 제 1 제어신호와 상기 제 3 논리소자의 출력을 입력받는 제 4 논리소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제 4 항에 있어서,
 상기 타이밍 제어부의 출력을 입력받아 상기 워드라인 드라이버를 동작시킬 수 있는 전압 레벨로 변환하여 출력하는 레벨 시프터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

워드라인 제어신호와 로우 어드레스에 응답하여 상기 로우 어드레스에 해당하는 워드라인을 인에이블시키는 워드라인 드라이버; 및
 상기 워드라인 제어신호의 인에이블 타이밍을 조절하는 타이밍 제어부를 구비하는 반도체 메모리 장치의 워드라인 구동회로.

청구항 10

제 9 항에 있어서,
 상기 타이밍 제어부는
 상기 워드라인 제어신호의 인에이블 타이밍을 테스트 모드 신호에 응답하여 서로 다른 시간만큼 지연시키도록 구성됨을 특징으로 하는 반도체 메모리 장치의 워드라인 구동회로.

청구항 11

제 9 항에 있어서,
 상기 타이밍 제어부는
 워드라인 제어신호를 입력받는 제 1 지연부,
 상기 제 1 지연부의 출력과 상기 테스트 모드 신호를 입력받는 제 1 논리소자,
 상기 제 1 지연부의 출력과 상기 테스트 모드 신호를 입력받는 제 2 논리소자,
 상기 제 2 논리소자의 출력을 입력받는 제 2 지연부,
 상기 제 1 논리소자의 출력과 상기 제 2 지연부의 출력을 입력받는 제 3 논리소자, 및
 상기 워드라인 제어신호와 상기 제 3 논리소자의 출력을 입력받는 제 4 논리소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 워드라인 구동회로.

청구항 12

제 9 항에 있어서,
 상기 타이밍 제어부의 출력을 입력받아 상기 워드라인 드라이버를 동작시킬 수 있는 전압 레벨로 변환하여 출력하는 레벨 시프터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 워드라인 구동회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 워드라인 구동시간을 조정할 수 있도록 한 반도체 메모리 장치 및 그 워드라인 구동회로에 관한 것이다.
- <13> 종래의 반도체 메모리 장치는 도 1에 도시된 바와 같이, 비트라인(BLT, BLB)과 워드라인(WL)이 행렬형태로 형성되고, 상기 비트라인(BLT, BLB)과 워드라인(WL)에 연결된 트랜지스터와 커패시터로 이루어진 셀(Cell) 들이 형성된 메모리 셀 블록(10); 상기 비트라인(BLT, BLB) 및 입출력 신호라인(IOT, IOB)의 데이터를 센싱 및 증폭하기 위한 비트라인 센스앰프(BLSA)(20); 상기 비트라인(BLT, BLB)과 상기 비트라인 센스앰프(20)를 연결시키기 위한 스위칭 트랜지스터(M1, M2), 반도체 메모리 장치 외부에서 데이터 입출력 버스(IO)를 통해 전송된 데이터를 입출력 신호라인(IOT, IOB)을 통해 상기 비트라인 센스앰프(20)로 전송하기 위한 라이트 드라이버(WDRV)(30); 메모리 셀 블록(10)로부터 상기 비트라인 센스앰프(20)를 통해 출력된 데이터를 데이터 입출력 버스(IO)로 전송하기 위한 아이오 센스앰프(IOSA)(40); 및 워드라인 제어신호(WLOFF)와 어드레스(LAX)에 따라 상기 워드라인(WL)을 구동하기 위한 워드라인 구동부(50)를 구비한다.
- <14> 상기 워드라인 구동부(50)는 도 2에 도시된 바와 같이, 상기 워드라인 제어신호(WLOFF)를 입력받는 지연부(51), 상기 워드라인 제어신호(WLOFF)와 상기 지연부(51)의 출력을 입력받는 낸드 게이트(ND1), 상기 낸드 게이트(ND1)의 출력을 입력받는 레벨 시프터(52), 상기 레벨 시프터(52)의 출력과 어드레스(LAX)에 따라 워드라인(WL)을 드라이빙하는 워드라인 드라이버(53)를 구비한다.
- <15> 이와 같이 구성된 종래의 기술에 따른 반도체 메모리 장치의 동작을 설명하면 다음과 같다.
- <16> 리드 또는 라이트 명령을 수행하기 위한 액티브 명령에 따라 발생된 상기 워드라인 제어신호(WLOFF)가 로우 레벨로 되면 도 2의 낸드 게이트(ND1)가 하이 레벨 신호를 출력한다.
- <17> 상기 도 2의 레벨 시프터(52)는 상기 낸드 게이트(ND1)에서 출력된 VDD 레벨의 하이 레벨 신호를 워드라인 구동이 가능한 VPP 레벨로 변환한 신호(WLOFFB_d)를 출력한다. 상기 VDD는 반도체 메모리 장치 외부에서 공급되는 전압 레벨이고, 상기 VPP는 상기 VDD를 반도체 메모리 장치 내부에서 펌핑하여 상기 VDD에 비해 높게 만든 전압 레벨이다.
- <18> 상기 도 2의 워드라인 드라이버(53)는 상기 신호(WLOFFB_d)가 하이 레벨이고 디코딩된 로우 어드레스(LAX)가 활성화되면 워드라인(WL)을 활성화시킨다.
- <19> 리드 동작의 경우, 상기 워드라인(WL)이 활성화된 상태에서 컬럼 어드레스에 해당하는 컬럼 선택신호(YS)가 활성화되면, 도 1의 라이트 드라이버(30)가 데이터 입출력 버스(IO)에 실린 데이터를 입출력 신호라인(IOT, IOB)으로 드라이빙한다. 상기 비트라인 센스앰프(20)는 상기 입출력 신호라인(IOT, IOB)에 실린 데이터를 감지 및 증폭하여 비트라인 쌍(BLT, BLB)을 통해 메모리 셀 블록(10)의 해당 셀에 기록한다.
- <20> 한편, 라이트 동작의 경우, 상기 워드라인(WL)이 활성화된 상태에서 컬럼 어드레스에 해당하는 컬럼 선택신호(YS)가 활성화되면, 도 1의 비트라인 센스앰프(20)가 비트라인 쌍(BLT, BLB)에 실린 셀 데이터를 감지 증폭하여 입출력 신호라인(IOT, IOB)으로 출력한다. 상기 아이오 센스앰프(40)는 상기 입출력 신호라인(IOT, IOB)에 실린 데이터를 감지 증폭하여 데이터 입출력 버스(IO)로 출력한다.
- <21> 한편, 상기 컬럼 선택신호(YS)가 비활성화된 후 프리차지 명령이 입력되면, 상기 워드라인 제어신호(WLOFF)가 하이 레벨로 된다.
- <22> 상기 도 2의 낸드 게이트(ND1)는 상기 워드라인 제어신호(WLOFF)가 하이 레벨로 되면 상기 지연부(51)에 설정된 지연시간 후에 로우 레벨 신호를 출력한다.
- <23> 상기 도 2의 레벨 시프터(52)는 상기 낸드 게이트(ND1)에서 출력된 로우 레벨 신호를 입력받아 로우 레벨 신호(WLOFFB_d)를 출력한다.
- <24> 상기 도 2의 워드라인 드라이버(53)는 상기 신호(WLOFFB_d)가 로우 레벨로 되면 워드라인(WL)을 비활성화시킨다.
- <25> 상기 도 2의 지연부(51)에 설정된 지연시간은 프리차지 명령 입력후 바로 워드라인을 비활성화시키지 않고 활성화 상태를 유지시키는 워드라인 오프 마진(Word Line off Margin)에 해당하는 시간이다. 상기 워드라인 활성화

시간은 액티브 명령 입력부터 프리차지 명령이 입력되는 시간과 상기 워드라인 오프 마진에 해당하는 시간을 합한 시간이다. 상기 워드라인 오프 마진은 반도체 메모리 장치의 메모리 셀 블록(10) 내부의 셀과 센스앰프에서 데이터 리드 및 라이트 동작을 완료하는데 필요한 시간을 감안하여 이루어지는 시뮬레이션에 의해 정해진다.

- <26> 결국, 워드라인은 액티브 명령에 따라 활성화되고 프리차지 명령이 입력된 후 상기 지연부(51)의 지연시간 이후에 비활성화된다.
- <27> 도 2에 도시된 바와 같이, 종래의 기술에 따른 반도체 메모리 장치는 워드라인 오프 마진이 시뮬레이션 등을 통해 고정된 값으로 정해지는데, 워드라인 오프 마진이 부족한 경우 비트라인 쌍(BLT, BLB)은 V_{CORE}와 V_{SS}로 정상적으로 전압 레벨이 변화하는데 반하여 비트라인 쌍(BLT, BLB)에 비해 상대적으로 느리게 반응하는 도 1의 셀의 스트로지 노드(Storage Node: SN)는 전압 레벨이 V_{CORE}까지 완전하게 올라가지 못한 상태에서 워드라인(WL)이 비활성화된다.
- <28> 상기 셀의 스트로지 노드(SN)의 전압 레벨이 V_{CORE}까지 완전하게 올라가지 못하는 이유는 소자 특성 차이 또는 PVT(Process/Voltage/Temperature) 변동 등이 원인이 될 수 있다. 이와 같은 이유로 워드라인 활성화시간이 부족한 경우 셀에 기록되는 데이터 또는 셀에서 읽어낸 데이터의 레벨이 불완전하여 데이터 리드 및 라이트 오류를 유발할 수 있는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <29> 본 발명은 리드 및 라이트 동작이 정확하고 안정적으로 이루어질 수 있도록 한 반도체 메모리 장치 및 그 워드라인 구동회로를 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <30> 본 발명에 따른 반도체 메모리 장치는 비트라인과 워드라인이 행렬형태로 형성되고, 상기 비트라인과 워드라인에 연결된 트랜지스터와 커패시터로 이루어진 셀 등이 형성된 메모리 셀 블록; 로우 어드레스에 상응하는 워드라인을 적어도 하나의 제어신호에 따라 조정된 시간만큼 활성화시키는 워드라인 구동부; 상기 메모리 셀 블록에서 출력된 데이터를 감지 및 증폭하여 출력하는 센스앰프; 및 컬럼 어드레스에 상응하는 컬럼 선택신호에 따라 상기 비트라인과 상기 센스앰프의 신호패스를 연결하는 스위칭부를 구비함을 특징으로 한다.
- <31> 본 발명에 따른 반도체 메모리 장치의 워드라인 구동회로는 워드라인 제어신호와 로우 어드레스에 응답하여 상기 로우 어드레스에 해당하는 워드라인을 인에이블시키는 워드라인 드라이버; 및 상기 워드라인 제어신호의 인에이블 타이밍을 조절하는 타이밍 제어부를 구비함을 특징으로 한다.
- <32> 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 메모리 장치 및 그 워드라인 구동회로의 바람직한 실시예를 설명하면 다음과 같다.
- <33> 본 발명에 따른 반도체 메모리 장치는 도 4에 도시된 바와 같이, 비트라인(BLT, BLB)과 워드라인(WL)이 행렬형태로 형성되고, 상기 비트라인(BLT, BLB)과 워드라인(WL)에 연결된 트랜지스터와 커패시터로 이루어진 셀(Ce11) 등이 형성된 메모리 셀 블록(10); 상기 비트라인(BLT, BLB) 및 입출력 신호라인(IOT, IOB)의 데이터를 센싱 및 증폭하기 위한 비트라인 센스앰프(BLSA)(20); 상기 비트라인(BLT, BLB)과 상기 비트라인 센스앰프(20)의 신호패스를 연결시키기 위한 스위칭 트랜지스터(M1, M2), 반도체 메모리 장치 외부에서 데이터 입출력 버스(IO)를 통해 전송된 데이터를 입출력 신호라인(IOT, IOB)을 통해 상기 비트라인 센스앰프(20)로 전송하기 위한 라이트 드라이버(WDRV)(30); 메모리 셀 블록(10)으로부터 상기 비트라인 센스앰프(20)를 통해 출력된 데이터를 데이터 입출력 버스(IO)로 전송하기 위한 아이오 센스앰프(IOSA)(40); 및 로우 어드레스(LAX)에 해당하는 워드라인(WL)을 워드라인 제어신호(WLOFF)와 테스트 모드 신호(TM_TWRB)에 따라 조정된 시간만큼 활성화시키는 워드라인 구동부(100)를 구비한다.
- <34> 상기 워드라인 제어신호(WLOFF)는 액티브 명령과 프리차지 명령에 따라 레벨이 변한다. 상기 액티브 명령이 입력되면 로우 레벨로 되어 워드라인(WL)의 활성화를 명령하고, 상기 프리차지 명령이 입력되면 하이 레벨로 되어 워드라인(WL)의 비활성화를 명령한다.
- <35> 상기 테스트 모드 신호(TM_TWRB)는 상기 워드라인 활성화 시간을 조정하는 신호이다.
- <36> 상기 워드라인 구동부(100)는 도 5에 도시된 바와 같이, 상기 워드라인 제어신호(WLOFF)와 상기 테스트 모드 신호(TM_TWRB)에 따라 워드라인의 활성화 타이밍과 비활성화 타이밍을 결정하는 타이밍 제어부(110), 및 상기 타이밍 제어부(110)의 출력의 전압 레벨(V_{DD} ~ V_{SS})을 워드라인을 구동할 수 있는 전압 레벨(V_{PP} ~ V_{SS})로 변환하

여 출력하는 레벨 시프터(120), 및 상기 레벨 시프터(120)의 출력에 따라 상기 워드라인(WL)을 구동하는 워드라인 드라이버(130)를 구비한다.

- <37> 상기 타이밍 제어부(110)는 워드라인 제어신호(WLOFF)를 입력받는 제 1 지연부(111), 상기 제 1 지연부(111)의 출력과 테스트 모드 신호(TM_TWRB)를 입력받는 제 1 낸드 게이트(ND11), 상기 테스트 모드 신호(TM_TWRB)를 입력받는 인버터(IV11), 상기 제 1 지연부(111)의 출력과 상기 인버터(IV11)의 출력을 입력받는 제 2 낸드 게이트(ND12), 상기 제 2 낸드 게이트(ND12)의 출력을 입력받는 제 2 지연부(112), 상기 제 1 낸드 게이트(ND11)의 출력과 상기 제 2 지연부(112)의 출력을 입력받는 제 3 낸드 게이트(ND13), 및 상기 워드라인 제어신호(WLOFF)와 상기 제 3 낸드 게이트(ND13)의 출력을 입력받는 제 4 낸드 게이트(ND14)를 구비한다.
- <38> 이와 같이 구성된 본 발명에 따른 반도체 메모리 장치의 동작을 설명하면 다음과 같다.
- <39> 본 발명에 따른 반도체 메모리 장치는 테스트 모드 신호(TM_TWRB)가 비활성화된 경우 워드라인 구동부(100)에서 워드라인 제어신호(WLOFF)를 제 1 지연부(111)의 지연시간 만큼 지연시킨 후 워드라인(WL)을 비활성화시키도록 구성되며, 상기 테스트 모드 신호(TM_TWRB)가 활성화된 경우 워드라인 구동부(100)에서 워드라인 제어신호(WLOFF)를 제 1 지연부(111) 및 제 2 지연부(112)의 지연시간 만큼 지연시킨 후 워드라인(WL)을 비활성화시키도록 구성된다. 본 발명은 기설정된 지연시간 만큼만 워드라인 제어신호(WLOFF)를 지연시키고 테스트 모드를 통해 기설정된 지연시간 보다 많은 시간이 지연되도록 하여 반도체 메모리 장치의 동작상태를 테스트하고 그에 맞도록 상기 워드라인 제어신호(WLOFF)의 지연시간을 정할 수 있도록 한 것이다. 상기 테스트 모드 신호(TM_TWRB)는 테스트 모드가 진행되는 동안 활성화 레벨(예를 들어, 로우 레벨)을 유지하고, 노멀 모드에서는 비활성화 레벨(예를 들어, 하이 레벨)을 유지한다. 따라서 상기 워드라인 제어신호(WLOFF)가 제 1 지연부(111) 및 제 2 지연부(112)를 경유하여 출력되도록 하기 위해서는 상기 테스트 모드 신호(TM_TWRB)가 노멀 동작시에도 로우 레벨을 유지해야 하므로 상기 테스트 모드 신호(TM_TWRB) 단자에 접지단(VSS)을 연결시키는 방식을 사용할 수 있다. 물론 테스트 모드 신호(TM_TWRB)의 활성화 레벨이 하이 레벨이라면 테스트 모드 신호(TM_TWRB) 단자에 전원 레벨(VDD)을 연결시키면 된다.
- <40> 이하, 상기 테스트 모드 신호(TM_TWRB)가 하이 레벨로 비활성화된 경우의 동작을 설명하면 다음과 같다.
- <41> 상기 워드라인 제어신호(WLOFF)가 로우 레벨로 되면 도 5의 워드라인 구동부(100)의 타이밍 제어부(110)는 테스트 모드 신호(TM_TWRB)에 따른 제 1 지연부(111) 및 제 2 지연부(112)의 지연 없이 제 4 낸드 게이트(ND14)를 통해 하이 레벨 신호를 출력한다.
- <42> 상기 도 5의 레벨 시프터(120)는 상기 제 4 낸드 게이트(ND14)에서 출력된 VDD 레벨의 하이 레벨 신호를 워드라인 구동이 가능한 VPP 레벨로 변환한 신호(WLOFFB_d)를 출력한다.
- <43> 상기 도 5의 워드라인 드라이버(130)는 상기 신호(WLOFFB_d)가 하이 레벨이고 로우 어드레스(LAX)가 활성화되면 워드라인(WL)을 활성화시킨다.
- <44> 리드 동작의 경우, 상기 워드라인(WL)이 활성화된 상태에서 컬럼 어드레스에 해당하는 컬럼 선택신호(YS)가 활성화되면, 라이트 드라이버(30)가 데이터 입출력 버스(IO)에 실린 데이터를 입출력 신호라인(IOT, IOB)으로 드라이빙한다. 상기 비트라인 센스앰프(20)는 상기 입출력 신호라인(IOT, IOB)에 실린 데이터를 감지 및 증폭하여 비트라인 쌍(BLT, BLB)을 통해 메모리 셀 블록(10)의 해당 셀에 기록한다.
- <45> 한편, 라이트 동작의 경우, 상기 워드라인(WL)이 활성화된 상태에서 컬럼 어드레스에 해당하는 컬럼 선택신호(YS)가 활성화되면, 비트라인 센스앰프(20)가 비트라인 쌍(BLT, BLB)에 실린 셀 데이터를 감지 증폭하여 입출력 신호라인(IOT, IOB)으로 출력한다. 상기 아이오 센스앰프(40)는 상기 입출력 신호라인(IOT, IOB)에 실린 데이터를 감지 증폭하여 데이터 입출력 버스(IO)로 출력한다.
- <46> 상기 컬럼 선택신호(YS)가 비활성화된 후 프리차지 명령이 입력되면, 상기 워드라인 제어신호(WLOFF)가 하이 레벨로 된다.
- <47> 상기 워드라인 제어신호(WLOFF)가 하이 레벨이고 상기 테스트 모드 신호(TM_TWRB)가 하이 레벨이므로, 도 5의 워드라인 구동부(100)의 타이밍 제어부(110)는 제 1 지연부(111)의 지연시간 후 제 1 낸드 게이트(ND11)가 로우 레벨 신호를 출력하고, 제 3 낸드 게이트(ND13)가 하이 레벨 신호를 출력하므로 제 4 낸드 게이트(ND14)가 로우 레벨 신호를 출력한다. 즉, 워드라인 제어신호(WLOFF)가 제 1 지연부(111)의 지연시간 만큼 지연된 후 반전되어 출력된다.
- <48> 상기 레벨 시프터(120)는 상기 제 4 낸드 게이트(ND14)에서 출력된 로우 레벨 신호를 입력받아 로우 레벨 신호

(WLOFFB_d)를 출력한다.

- <49> 상기 워드라인 드라이버(130)는 상기 신호(WLOFFB_d)가 로우 레벨로 되면 워드라인(WL)을 비활성화시킨다.
- <50> 이하, 상기 테스트 모드 신호(TM_TWRB)가 로우 레벨로 활성화된 경우의 동작을 설명하면 다음과 같다.
- <51> 상기 워드라인 제어신호(WLOFF)가 로우 레벨로 되면 상기 테스트 모드 신호(TM_TWRB)가 하이 레벨로 비활성화된 경우와 동일한 방식으로 워드라인(WL) 활성화 및 리드 또는 라이트 동작이 이루어진다.
- <52> 상기 컬럼 선택신호(YS)가 비활성화된 후 프리차지 명령이 입력되면, 상기 워드라인 제어신호(WLOFF)가 하이 레벨로 된다.
- <53> 상기 워드라인 제어신호(WLOFF)가 하이 레벨로 되고 상기 테스트 모드 신호(TM_TWRB)가 로우 레벨이므로, 도 5의 워드라인 구동부(100)의 타이밍 제어부(110)는 제 1 지연부(111)의 지연시간이 경과한 후 제 2 낸드 게이트(ND12)가 로우 레벨 신호를 출력하고, 제 2 지연부(112)의 지연시간이 경과한 후 제 3 낸드 게이트(ND13)가 하이 레벨 신호를 출력하므로 제 4 낸드 게이트(ND14)가 로우 레벨 신호를 출력한다. 즉, 워드라인 제어신호(WLOFF)가 제 1 지연부(111) 및 제 2 지연부(112)의 지연시간 만큼 지연된 후 반전되어 출력된다.
- <54> 상기 레벨 시프터(120)는 상기 제 4 낸드 게이트(ND14)에서 출력된 로우 레벨 신호를 입력받아 로우 레벨 신호(WLOFFB_d)를 출력한다.
- <55> 상기 워드라인 드라이버(130)는 상기 신호(WLOFFB_d)가 로우 레벨로 되면 워드라인(WL)을 비활성화시킨다.
- <56> 상술한 본 발명에 따르면, 상기 테스트 모드 신호(TM_TWRB)가 비활성화된 상태에서는 워드라인(WL)을 비활성화시키기 위한 워드라인 제어신호(WLOFF)가 제 1 지연부(111)에 해당하는 지연시간 만큼 지연된 후 출력되어 워드라인(WL)의 비활성화가 이루어진다. 한편, 상기 테스트 모드 신호(TM_TWRB)가 활성화된 상태에서는 워드라인(WL)을 비활성화시키기 위한 워드라인 제어신호(WLOFF)가 제 1 지연부(111) 및 제 2 지연부(112)에 해당하는 지연시간 만큼 지연된 후 출력되어 워드라인(WL)의 비활성화가 이루어진다.
- <57> 도 6에 도시된 바와 같이, 종래의 기술에 따른 반도체 메모리 장치는 점선으로 표시된 부분과 같이 워드라인 오프 마진이 부족하므로 도 1의 셀의 스트로지 노드(SN)는 전압 레벨이 V_{CORE}까지 완전하게 올라가지 못한 상태에서 워드라인(WL)이 비활성화되었다. 그러나 본 발명에 따른 반도체 메모리 장치는 실선으로 표시된 부분과 같이 워드라인 오프 마진을 증가시킬 수 있으므로 도 1의 셀의 스트로지 노드(SN)의 전압 레벨이 V_{CORE}까지 완전하게 올라가는 것을 볼 수 있다.
- <58> 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

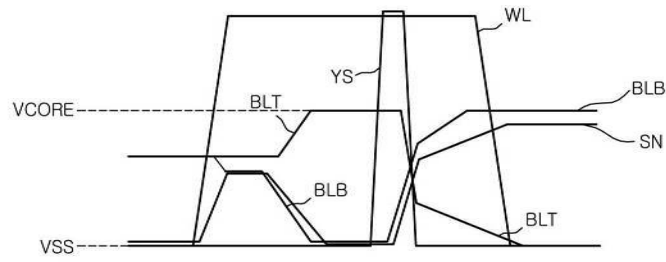
발명의 효과

- <59> 본 발명에 따른 반도체 메모리 장치 및 그 워드라인 구동회로는 워드라인 활성화시간을 조정하여 최적화시킬 수 있으므로 리드 및 라이트 동작이 정확하고 안정적으로 이루어져 반도체 메모리 장치의 성능을 향상시킬 수 있다.

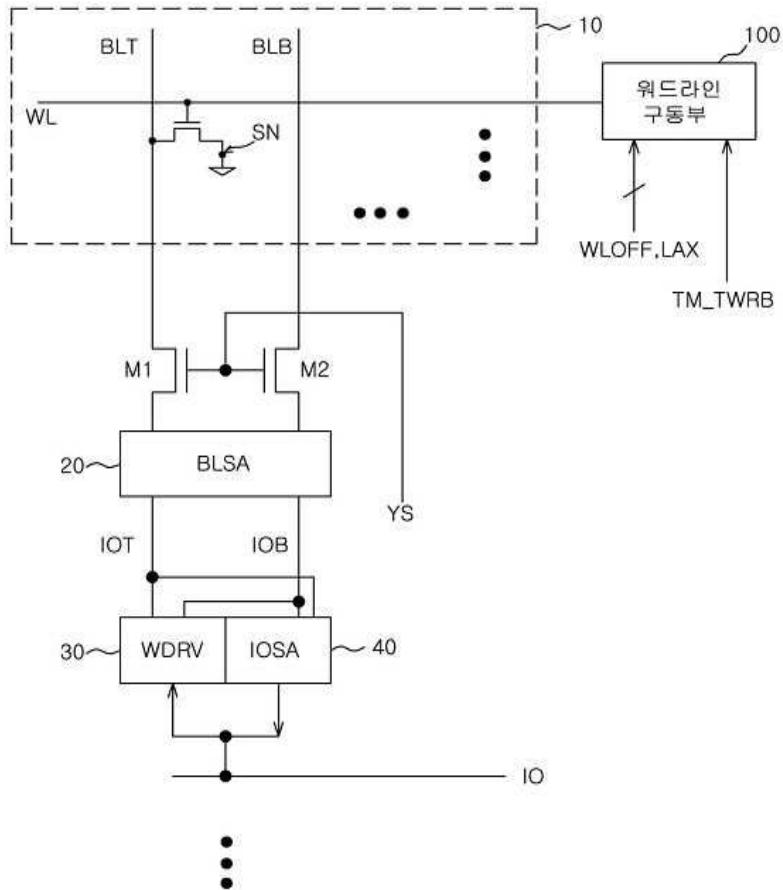
도면의 간단한 설명

- <1> 도 1은 종래의 기술에 따른 반도체 메모리 장치의 블록도,
- <2> 도 2는 도 1의 워드라인 구동부의 회로도,
- <3> 도 3은 종래의 기술에 따른 반도체 메모리 장치의 출력 파형도
- <4> 도 4는 본 발명에 따른 반도체 메모리 장치의 블록도,
- <5> 도 5는 도 4의 워드라인 구동부의 회로도,
- <6> 도 6은 본 발명에 따른 반도체 메모리 장치의 출력 파형도이다.

도면3



도면4



도면6

