

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2009-0053036 (43) 공개일자 2009년05월27일
(51) Int. Cl. <i>H01L 21/8247</i> (2006.01) <i>H01L 27/115</i> (2006.01)	(71) 출원인 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1	(72) 발명자 양인권 경기 이천시 부발읍 아미3리 현대3차아파트 301동 1002호
(21) 출원번호 10-2007-0119660 (22) 출원일자 2007년11월22일 심사청구일자 없음	(74) 대리인 신영무	

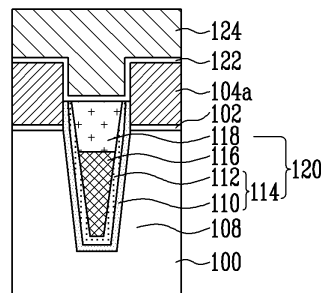
전체 청구항 수 : 총 24 항

(54) 플래시 메모리 소자의 제조 방법

(57) 요약

본 발명은 플래시 메모리 소자의 제조 방법에 관한 것으로, 활성 영역에는 터널 절연막, 제1 도전막 및 소자 분리 마스크의 적층막이 형성되고, 소자 분리 영역에는 트렌치가 형성된 반도체 기판이 제공되는 단계; 상기 트렌치의 일부가 채워지도록 상기 적층막 및 상기 트렌치의 표면을 따라 제1 및 제2 절연막 적층 구조의 라이너 절연막을 형성하는 단계; 제1 어닐링 공정을 실시하여 상기 제2 절연막을 치밀화시키는 단계; 상기 트렌치가 채워지도록 치밀화된 상기 제2 절연막 상에 상기 치밀화된 제2 절연막보다 식각 선택비가 높은 제3 절연막을 형성하는 단계; 상기 소자 분리 마스크가 노출되는 시점까지 상기 제1 절연막, 상기 치밀화된 제2 절연막, 상기 제3 절연막을 식각하여 평탄화하는 단계; 상기 제3 절연막이 상기 반도체 기판의 상부 표면보다 낮아지도록 상기 제3 절연막 식각 공정을 실시하는 단계; 및 상기 트렌치가 채워지도록 잔류된 상기 제3 절연막 상에 제4 절연막을 형성하는 단계를 포함한다.

대표도 - 도1i



특허청구의 범위

청구항 1

활성 영역에는 터널 절연막, 제1 도전막 및 소자 분리 마스크의 적층막이 형성되고, 소자 분리 영역에는 트렌치가 형성된 반도체 기판이 제공되는 단계;

상기 트렌치의 일부가 채워지도록 상기 적층막 및 상기 트렌치의 표면을 따라 제1 및 제2 절연막 적층 구조의 라이너 절연막을 형성하는 단계;

제1 어닐링 공정을 실시하여 상기 제2 절연막을 치밀화시키는 단계;

상기 트렌치가 채워지도록 치밀화된 상기 제2 절연막 상에 상기 치밀화된 제2 절연막보다 식각 선택비가 높은 제3 절연막을 형성하는 단계;

상기 소자 분리 마스크가 노출되는 시점까지 상기 제1 절연막, 상기 치밀화된 제2 절연막, 상기 제3 절연막을 식각하여 평탄화하는 단계;

상기 제3 절연막이 상기 반도체 기판의 상부 표면보다 낮아지도록 상기 제3 절연막 식각 공정을 실시하는 단계; 및

상기 트렌치가 채워지도록 잔류된 상기 제3 절연막 상에 제4 절연막을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제1 절연막과 상기 제2 절연막은 식각 선택비가 다른 플래시 메모리 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제3 절연막은 상기 제1 절연막보다 식각 선택비가 높은 플래시 메모리 소자의 제조 방법.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 제1 절연막은 HDP(High Density Plasma) 산화막으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 HDP 산화막은 증착 전 가열 시 Ar 및 He 가스를 사용하는 플래시 메모리 소자의 제조 방법.

청구항 6

제 2 항에 있어서,

상기 제2 절연막은 HARP(High Aspect Ratio Process) 절연막, 고온산화막(High Temperature Oxide; HTO) 및 SOD(Spin On Dielectric) 절연막 중 어느 하나로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 HARP 절연막은 O_3 -TEOS막으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 SOD 절연막은 PSZ(polysilazane)막으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 PSZ막은 스핀 코팅 방식으로 PSZ 케미컬을 도포한 후 큐어링(curing) 공정을 실시하여 형성되는 플래시 메모리 소자의 제조 방법.

청구항 10

제 1 항에 있어서,

상기 제1 어닐링 공정은 O_2 또는 N_2 가스 분위기에서 실시되는 플래시 메모리 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제1 어닐링 공정은 로딩 온도(loading temperature)와 처리 온도(treatment temperature)가 150 내지 450 $^{\circ}C$ 의 온도에서 실시되는 플래시 메모리 소자의 제조 방법.

청구항 12

제 1 항에 있어서,

상기 제1 어닐링 공정에 의해 상기 제2 절연막에 비해 상기 치밀화된 제2 절연막의 식각 비가 40 내지 60% 감소되는 플래시 메모리 소자의 제조 방법.

청구항 13

제 1 항에 있어서,

상기 제3 절연막은 PSZ막으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 PSZ막은 스핀 코팅 방식으로 PSZ 케미컬을 도포한 후 큐어링 공정을 실시하여 형성되는 플래시 메모리 소자의 제조 방법.

청구항 15

제 1 항에 있어서,

상기 제3 절연막은 습식 에치백(wet etchback) 공정을 이용한 식각에 의해 상기 반도체 기판의 상부 표면보다 낮아지는 플래시 메모리 소자의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 습식 에치백 공정은 $HF(H_2O:HF=50:1$ 내지 $100:1)$ 용액 및 $SC-1(NH_4OH:H_2O_2:H_2O=1:4:20)$ 용액을 이용하여 실시되는 플래시 메모리 소자의 제조 방법.

청구항 17

제 15 항에 있어서,

상기 습식 에치백 공정은 상기 제3 절연막이 상기 반도체 기판의 상부 표면으로부터 200 내지 400Å 두께만큼 낮아지도록 실시되는 플래시 메모리 소자의 제조 방법.

청구항 18

제 1 항에 있어서, 상기 제3 절연막이 상기 반도체 기판의 상부 표면보다 낮아지도록 상기 제3 절연막 식각 공정을 실시하는 단계에 있어서,

상기 제1 절연막 및 상기 치밀화된 제2 절연막이 상기 제1 도전막의 측벽을 보호하는 플래시 메모리 소자의 제조 방법.

청구항 19

제 1 항에 있어서,

상기 제4 절연막 형성 전, 제2 어닐링 공정을 실시하여 잔류된 상기 제3 절연막을 치밀화시키는 단계를 더 포함하는 플래시 메모리 소자의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 제2 어닐링 공정은 850 내지 1000℃의 온도에서 실시되는 플래시 메모리 소자의 제조 방법.

청구항 21

제 1 항에 있어서,

상기 제4 절연막은 HDP 산화막으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 22

제 1 항에 있어서, 상기 제4 절연막 형성 후,

상기 소자 분리 마스크의 소자 분리용 질화막이 노출되는 시점까지 상기 제4 절연막을 식각하여 평탄화하는 단계;

잔류된 상기 소자 분리 마스크를 제거하는 단계;

상기 제4 절연막을 식각하여 유효 산화막 높이를 조절하는 단계; 및

상기 제4 절연막 및 상기 제1 도전막 상에 유전체막 및 제2 도전막을 형성하는 단계를 더 포함하는 플래시 메모리 소자의 제조 방법.

청구항 23

제 22 항에 있어서,

상기 잔류된 소자 분리 마스크는 인산(H_3PO_4) 용액 및 BOE(Buffered Oxide Etchant)를 순차적으로 사용하는 식각 공정에 의해 제거되는 플래시 메모리 소자의 제조 방법.

청구항 24

제 22 항에 있어서,

상기 유효 산화막 높이(Effective Field oxide Height; EFH) 조절 시 HF를 포함한 용액을 사용하는 플래시 메모리 소자의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 플래시 메모리 소자의 제조 방법에 관한 것으로, 플로팅 게이트용 도전막의 두께 상향과 식각 비 차이를 이용한 손실 개선으로 플로팅 게이트의 면적 증대를 통해 셀의 커플링 비(Coupling Ratio)를 향상시킬 수

있는 플래시 메모리 소자의 제조 방법에 관한 것이다.

배경 기술

- <2> 반도체 소자의 고집적화에 따라 소자 분리막 형성 공정이 더욱더 어려워지고 있다. 이에 따라, 반도체 기관에 트렌치를 형성한 후 이를 매립하는 STI(Shallow Trench Isolation) 방법을 이용하여 소자 분리막을 형성하고 있다. 한편, STI 방법에도 여러 가지 방법이 있는데 그 중에서 반도체 기관 상에 적층된 터널 절연막, 폴리실리콘막 및 하드 마스크막을 순차적으로 식각하여 트렌치를 형성하고, 트렌치가 매립되도록 전체 구조 상에 산화막을 형성하는 방법이 예컨대 NAND형 플래시 메모리 소자에 적용되고 있다. 그러나, 고집적화된 소자의 경우, 트렌치의 입구 폭에 비해 트렌치 깊이가 깊기 때문에 큰 종횡비(Aspect Ratio)로 인해 기존에 사용하였던 고밀도 플라즈마(High Density Plasma; HDP) 산화막으로는 보이드(void) 없이 트렌치를 완전히 갭 필(gap-fill)하여 소자 분리막을 형성하기가 더욱더 어려워지고 있다. 이러한 문제를 해결하기 위해 보이드(void) 없이 트렌치를 갭 필하기 위해 사용되는 물질에 대한 연구가 활발히 진행되고 있다.
- <3> 상기 문제를 해결하기 위한 방법 중에 SOD(Spin on Dielectric) 물질 중 하나인 PSZ(polysilazane)를 이용하여 트렌치를 완전히 갭 필하는 방법이 있다. PSZ 물질은 점도가 낮아 물처럼 흐르는 성질을 가지기 때문에 트렌치를 완전히 갭 필 할 수 있다. 그러나, PSZ 물질은 내부에 불순물과 수분이 많이 함유되어 있어 터널 절연막과 인접하게 형성될 경우 터널 절연막이 열화된다. 따라서, 트렌치 표면에 HDP 산화막을 라이너(liner) 형태로 형성하여 터널 절연막이 PSZ 물질 내부에 함유되어 있는 불순물로 인해 오염되는 것을 방지한다.
- <4> 최근에는 프로그램 속도(program speed) 개선이 요구됨에 따라 셀 커플링 비(Coupling Ratio)를 증가시키기 위해 플로팅 게이트의 두께를 상향시키고 있다. 그러나, 플로팅 게이트의 두께 상향 시 종횡비가 증가되어 후속한 갭 필 마진 확보 및 식각 선택비를 확보할 목적으로 진행되는 PSZ 습식 에치백(wet etchback) 공정 시 식각해야 할 목표(target) 두께가 증가되므로 PSZ막 하부의 HDP 산화막이 모두 손실(loss)되고, 이로 인해 플로팅 게이트용 도전막이 노출되어 어택(attack)을 받게 된다. 플로팅 게이트용 도전막의 손실은 후속 HDP 증착 공정과 유효 산화막 높이(Effective Field oxide Height; EFH) 조절을 위한 습식 에치백 공정 시 다시 노출되어 심화되고, 이는 후속한 게이트 식각 공정 시 터널 절연막에 어택을 발생시켜 소자를 열화시킴에 따라 소자의 신뢰성을 저하시킨다. 또한, 플로팅 게이트의 면적이 줄어들어 플로팅 게이트와 컨트롤 게이트 간 커플링 비(coupling ratio)가 감소하며, 이는 오히려 프로그램 속도(Program Speed)를 저하시키는 결과를 가져온다.

발명의 내용

해결 하고자하는 과제

- <5> 본 발명은 트렌치 갭 필 물질보다 식각 선택비가 낮은 물질로 이중 구조의 라이너 절연막을 형성하여 후속한 습식 식각 공정 시 플로팅 게이트용 도전막의 측면에 라이너 절연막을 잔류시켜 플로팅 게이트용 도전막이 손실되는 것을 최소화함으로써, 플로팅 게이트용 도전막의 두께 상향과 식각 비 차이를 이용한 손실 개선으로 플로팅 게이트의 면적 증대를 통해 셀의 커플링 비(Coupling Ratio)를 향상시킬 수 있는 플래시 메모리 소자의 제조 방법을 제공함에 있다.

과제 해결수단

- <6> 본 발명의 일 실시예에 따른 플래시 메모리 소자의 제조 방법은, 활성 영역에는 터널 절연막, 제1 도전막 및 소자 분리 마스크의 적층막이 형성되고, 소자 분리 영역에는 트렌치가 형성된 반도체 기관이 제공되는 단계, 트렌치의 일부가 채워지도록 적층막 및 트렌치의 표면을 따라 제1 및 제2 절연막 적층 구조의 라이너 절연막을 형성하는 단계, 제1 어닐링 공정을 실시하여 제2 절연막을 치밀화시키는 단계, 트렌치가 채워지도록 치밀화된 제2 절연막 상에 치밀화된 제2 절연막보다 식각 선택비가 높은 제3 절연막을 형성하는 단계, 소자 분리 마스크가 노출되는 시점까지 제1 절연막, 치밀화된 제2 절연막, 제3 절연막을 식각하여 평탄화하는 단계; 제3 절연막이 반도체 기관의 상부 표면보다 낮아지도록 제3 절연막 식각 공정을 실시하는 단계, 및 트렌치가 채워지도록 잔류된 제3 절연막 상에 제4 절연막을 형성하는 단계를 포함한다.
- <7> 상기에서, 제1 절연막과 제2 절연막은 식각 선택비가 다르다. 제3 절연막은 제1 절연막보다 식각 선택비가 높다. 제1 절연막은 HDP(High Density Plasma) 산화막으로 형성된다. HDP 산화막은 증착 전 가열 시 Ar 및 He 가스를 사용한다.
- <8> 제2 절연막은 HARP(High Aspect Ratio Process) 절연막, 고온산화막(High Temperature Oxide; HTO) 및

SOD(Spin On Dielectric) 절연막 중 어느 하나로 형성된다. HARP 절연막은 O_3 -TEOS(Tetra Ethyl Ortho Silicate)막으로 형성된다. SOD 절연막은 PSZ(polysilazane)막으로 형성되며, 이때 PSZ막은 스핀 코팅 방식으로 PSZ 케미컬을 도포한 후 큐어링(curing) 공정을 실시하여 형성된다.

- <9> 제1 어닐링 공정은 O_2 또는 N_2 가스 분위기에서 로딩 온도(loading temperature)와 처리 온도(treatment temperature)를 150 내지 450℃의 온도로 하여 실시된다. 제1 어닐링 공정에 의해 제2 절연막에 비해 치밀화된 제2 절연막의 식각 비가 40 내지 60% 감소된다.
- <10> 제3 절연막은 PSZ막으로 형성되며, 이때 PSZ막은 스핀 코팅 방식으로 PSZ 케미컬을 도포한 후 큐어링 공정을 실시하여 형성된다.
- <11> 제3 절연막은 습식 에치백(wet etchback) 공정을 이용한 식각에 의해 반도체 기판의 상부 표면보다 낮아진다. 습식 에치백 공정은 $HF(H_2O:HF=50:1$ 내지 $100:1)$ 용액 및 $SC-1(NH_4OH:H_2O_2:H_2O=1:4:20)$ 용액을 이용하여 실시된다. 습식 에치백 공정은 상기 제3 절연막이 반도체 기판의 상부 표면으로부터 200 내지 400Å 두께만큼 낮아지도록 실시된다. 제3 절연막이 반도체 기판의 상부 표면보다 낮아지도록 제3 절연막 식각 공정을 실시하는 단계에 있어서, 제1 절연막 및 치밀화된 제2 절연막이 제1 도전막의 측벽을 보호한다.
- <12> 제4 절연막 형성 전, 제2 어닐링 공정을 실시하여 잔류된 제3 절연막을 치밀화시키는 단계를 더 포함한다. 제2 어닐링 공정은 850 내지 1000℃의 온도에서 실시된다. 제4 절연막은 HDP 산화막으로 형성된다.
- <13> 제4 절연막 형성 후, 소자 분리 마스크의 소자 분리용 질화막이 노출되는 시점까지 제4 절연막을 식각하여 평탄화하는 단계, 잔류된 소자 분리 마스크를 제거하는 단계, 제4 절연막을 식각하여 유효 산화막 높이를 조절하는 단계, 및 제4 절연막 및 제1 도전막 상에 유전체막 및 제2 도전막을 형성하는 단계를 더 포함한다. 잔류된 소자 분리 마스크는 인산(H_3PO_4) 용액 및 BOE(Buffered Oxide Etchant)를 순차적으로 사용하는 식각 공정으로 제거된다. 유효 산화막 높이(Effective Field oxide Height; EFH) 조절 시 HF를 포함한 용액을 사용한다.

효 과

- <14> 본 발명은 다음과 같은 효과가 있다.
- <15> 첫째, 플로팅 게이트 두께 상향 시, 트렌치 갭 필 물질보다 식각 선택비가 낮은 물질로 플로팅 게이트용 도전막의 측벽에 이중 구조의 라이너 절연막을 형성하여 후속한 갭 필 마진 확보 및 식각 선택비 확보 등을 위한 습식 식각 공정 시 플로팅 게이트용 도전막의 측벽에 라이너 절연막을 잔류시켜 플로팅 게이트용 도전막이 손실되는 것을 최소화함으로써, 플로팅 게이트용 도전막의 두께 상향과 식각 비 차이를 이용한 손실 개선으로 플로팅 게이트의 면적 증대를 통해 셀의 커플링 비(Coupling Ratio)를 향상시켜 프로그램/소거 속도를 향상시킬 수 있다.
- <16> 둘째, 플로팅 게이트용 도전막의 프로파일 변형으로 기인되는 보이드(void)를 개선하고, 터널 절연막의 어택(attack)을 방지하여 열화 특성을 개선하여 소자의 신뢰성을 향상시킬 수 있다.
- <17> 셋째, 단순한 공정 변경을 통해 플로팅 게이트용 도전막의 손실을 최소화하여 플로팅 게이트의 두께를 증가시킬 수 있는 공정을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

- <18> 이하, 첨부된 도면들을 참조하여 본 발명의 일 실시예를 보다 상세히 설명한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예로 인해 한정되어지는 것으로 해석되어져서는 안되며, 당업계에서 보편적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다.
- <19> 도 1a 내지 도 1i는 본 발명의 일 실시예에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도들이다.
- <20> 도 1a를 참조하면, 반도체 기판(100) 상에 터널 절연막(102), 제1 도전막(104) 및 소자 분리 마스크(106)를 순차적으로 형성한다. 터널 절연막(102)은 실리콘 산화막(SiO_2)으로 형성할 수 있으며, 이 경우 산화(oxidation) 공정으로 형성할 수 있다. 제1 도전막(104)은 플래시 메모리 소자의 플로팅 게이트(Floating Gate)로 사용하기 위한 것으로, 터널 절연막(102)의 계면에서 인(P)의 농도를 조절하기 위해 인도프트 폴리실리콘(doped polysilicon)막과 도프트 폴리실리콘(doped polysilicon)막의 적층 구조로 형성할 수 있다.

- <21> 이때, 제1 도전막(104)은 기존의 목표(target) 플로팅 게이트의 두께보다 두께가 상향되도록 도프트 폴리실리콘막의 두께를 상향시켜 형성하며, 언도프트 폴리실리콘막 대 도프트 폴리실리콘막의 두께 비율을 1:3 내지 1:5로 형성하여 APC(Abnormal Programming Cell) 또는 사이클링(cycling) 등의 전기적인 특성을 개선한다. 예를들어, 언도프트 폴리실리콘막은 50 내지 250Å의 두께로 형성하고, 도프트 폴리실리콘막은 500 내지 800Å의 두께로 형성할 수 있다.
- <22> 소자 분리 마스크(106)는 후속한 트렌치 형성 시 식각 마스크로 사용하고, 제1 도전막(104)의 손실(loss)을 방지하기 위한 것으로, 버퍼 산화막(미도시), 소자 분리용 질화막 및 하드 마스크막의 적층 구조로 형성할 수 있다.
- <23> 이어서, 소자 분리 영역의 소자 분리 마스크(106), 제1 도전막(104), 터널 절연막(102) 및 반도체 기판(100)의 일부를 식각하여 트렌치(108)를 형성한다. 보다 구체적으로 설명하면 다음과 같다. 소자 분리 마스크(106) 상에 포토레지스트(미도시)를 도포하고 노광 및 현상 공정을 실시하여 소자 분리 영역의 소자 분리 마스크(106)를 노출시키는 포토레지스트 패턴(미도시)을 형성한다. 이어서, 포토레지스트 패턴을 이용한 식각 공정으로 소자 분리 마스크(106)의 소자 분리 영역을 식각한다. 이후, 포토레지스트 패턴을 제거한다. 계속해서, 소자 분리 마스크(106)를 이용한 식각 공정으로 제1 도전막(104) 및 터널 절연막(102)을 식각한다. 이로써, 소자 분리 영역의 반도체 기판(100)이 노출된다. 소자 분리 마스크(106), 제1 도전막(104) 및 터널 절연막(102)을 식각하는 과정에서 소자 분리 마스크(106)의 하드 마스크막도 일정 두께만큼 식각된다. 이어서, 노출된 소자 분리 영역의 반도체 기판(100)을 일정 깊이 식각한다. 이로써, 소자 분리 영역에 트렌치(108)가 형성된다. 이렇게, 트렌치(108)는 반도체 기판(100)에 ASA-STI(Advanced Self Align-Shallow Trench Isolation) 공정을 실시하여 형성하는 것이 바람직하다.
- <24> 이어서, 트렌치(108)의 일부가 채워지도록 트렌치(108)를 포함한 소자 분리 마스크(106) 상에 절연 물질을 증착하여 제1 절연막(110)을 형성한다. 제1 절연막(110)은 후속한 갭 필 마진(gap-fill margin) 확보 및 식각 선택비를 확보할 목적으로 진행되는 습식 식각(wet etch) 공정 시 제1 도전막(104)의 측벽이 노출되지 않도록 형성하는 것으로, 물질 간 식각 비(etch rate) 차이를 이용하기 위하여 트렌치 갭 필 물질보다 낮은 식각 선택비를 갖는 물질을 이용하여 라이너(liner) 형태로 형성한다. 그리고, 제1 절연막(110)은 PSZ 물질 내부에 함유되어 있는 불순물로 인해 터널 절연막(102)이 열화되는 특성을 방지하기 위하여 신뢰성이 검증된 물질을 이용하여 형성해야 한다.
- <25> 본 발명의 일 실시예에 따르면, 트렌치 갭 필 특성이 우수한 PSZ(polysilazane)막으로 갭 필을 실시하므로, 제1 절연막(110)은 PSZ막에 비해 6~10배 정도의 낮은 식각 선택비를 갖는 고밀도 플라즈마(High Density Plasma; HDP) 방식을 이용한 HDP 산화막으로 형성함이 바람직하다.
- <26> 이때, 제1 절연막(110) 증착 공정은 증착 과정에서 제1 도전막(104)이 산화되어 제1 도전막(104)의 면적이 감소되는 것을 방지하기 위하여, 증착 전 가열(heating) 시 O₂, Ar 및 He 가스를 사용하던 기존과는 달리 Ar 및 He 가스만을 사용하여 실시한다.
- <27> 도 1b를 참조하면, 트렌치(108)의 일부가 채워지도록 제1 절연막(110) 상에 절연 물질을 증착하여 제2 절연막(112)을 형성한다. 제2 절연막(112)은 후속한 갭 필 마진 확보 및 식각 선택비를 확보할 목적으로 진행되는 습식 식각 공정 시 제1 절연막(110)의 측벽 손실을 최소화하기 위한 것으로, 트렌치(108) 갭 필 특성이 우수한 HARP(High Aspect Ratio Process) 절연막, 고온산화막(High Temperature Oxide; HTO) 또는 SOD(Spin On Dielectric) 절연막 등을 이용하여 라이너 형태로 형성할 수 있다.
- <28> 이때, HARP(High Aspect Ratio Process) 절연막은 바람직하게는 O₃-TEOS(Tetra Ethyl Ortho Silicate)로 이루어진 HARP 절연막으로 형성한다. 이러한 HARP 절연막은 HARP 공정을 이용하여 형성하며, 이 경우 HARP 공정은 500 내지 600℃의 온도 및 500 내지 700Torr의 압력에서 1000 내지 3000mgm의 TEOS 및 5000 내지 20000sccm의 O₃를 반응 소스로 이용하여 실시할 수 있다.
- <29> 또한, SOD 절연막은 PSZ(polysilazane)막으로 형성할 수 있다. 이 경우, PSZ막은 스핀 코팅(spin coating) 방식으로 PSZ 케미컬을 도포한 후 큐어링(curing) 공정을 실시하여 형성한다. 큐어링 공정은 도포된 PSZ막이 불순물 및 수분을 많이 포함하고 있기 때문에 이를 제거하기 위해 O₂ 및 H₂O 가스 분위기에서 350 내지 500℃의 온도로 실시한다. 큐어링 완료 후, Si, H 및 N으로 이루어진 PSZ 물질에서 N이 탈착되고, H가 치환되어 SiO_x막으로 이루어진 고형화된 PSZ막이 형성된다. 이러한 PSZ막은 식각액에 매우 취약한 특성을 가진다.

- <30> 이어서, 제2 절연막(112)의 막질을 치밀화시켜 후속한 갭 필 마진 확보 및 식각 선택비를 확보할 목적으로 진행하는 습식 식각 공정 시 식각 선택비를 낮추기 위해 어닐링 공정을 실시한다. 이때, 어닐링 공정은 O_2 또는 N_2 가스 분위기에서 스마일링(smiling) 현상과 활성 영역의 휨 현상이 발생하지 않도록 로딩 온도(loading temperature)와 처리 온도(treatment temperature)를 150 내지 450℃의 온도로 하여 실시한다. 어닐링 공정에 의해 치밀화된 제2 절연막(112)은 어닐링 공정을 실시하기 전에 비해 식각 비가 40 내지 60% 감소된다.
- <31> 한편, PSZ막을 큐어링 하기 전에 PSZ막의 탈수 축합과 수축에 의한 크랙(crack)을 방지하기 위해 베이킹(Baking) 공정을 더 포함할 수도 있다. 베이킹 공정은 제1, 제2 및 제3 베이킹 공정을 순차적으로 실시할 수 있으며, 이 경우 각각 O_2 , N_2 및 Air 분위기에서 100 내지 200℃의 온도로 1 내지 10분 동안 실시한다.
- <32> 이로써, 제1 도전막(104)의 측벽에 제1 절연막(110) 및 제2 절연막(112)의 적층막으로 이루어지는 이중 구조의 라이너 절연막(114)이 형성되며, 제2 절연막(112)은 치밀한 박막으로 형성된다.
- <33> 이렇듯, HDP 산화막으로 이루어진 제1 절연막(110)과 어닐링 공정에 의해 치밀화된 제2 절연막(112)을 포함하여 구성된 라이너 절연막(114)은 후속한 갭 필 마진 확보 및 식각 선택비를 확보할 목적으로 진행되는 습식 식각 공정 시 라이너 절연막(114)과 후속한 트렌치(108) 갭 필 물질 간 식각 비 차에 의해 제1 도전막(104)의 측벽에 라이너 절연막(114)을 잔류시켜 제1 도전막(104)이 손실되는 것을 최소화할 수 있다.
- <34> 도 1c를 참조하면, 트렌치(108)가 채워지도록 치밀화된 제2 절연막(112) 상에 제3 절연막(116)을 형성한다. 제3 절연막(116)은 트렌치 갭 필 특성이 우수한 SOD 절연막으로 형성하며, 바람직하게 PSZ막으로 형성할 수 있다.
- <35> 이때, PSZ막은 스핀 코팅 방식으로 PSZ 케미컬을 도포한 후 큐어링 공정을 실시하여 형성한다. 큐어링 공정은 도포된 PSZ막 내부의 불순물 및 수분을 제거하기 위해 O_2 및 H_2O 가스 분위기에서 350 내지 500℃의 온도로 실시한다. 큐어링 완료 후 Si, H 및 N으로 이루어진 PSZ 물질에서 N이 탈착되고 H가 치환되어 SiO_x 막으로 이루어진 고형화된 PSZ막이 형성된다.
- <36> 이렇듯, 유동성 물질인 PSZ막을 이용할 경우 트렌치(108)의 저면을 채우기가 용이하므로 보이드(void) 없이 제3 절연막(116)을 형성하여 트렌치(108)를 갭 필 할 수 있다. 그러나, 이러한 PSZ막은 식각액에 매우 취약한 특성을 가지므로 제1 절연막(110) 및 치밀화된 제2 절연막(112)보다 식각 선택비가 높다.
- <37> 도 1d를 참조하면, 소자 분리 마스크(106)의 상부가 노출되는 시점까지 식각 공정을 실시한다. 여기서, 식각 공정은 평탄화 식각 공정, 예를들어 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 공정으로 실시할 수 있다. 이로써, 소자 분리 영역의 트렌치(108) 내부에만 제1, 제2 및 제3 절연막(110, 112, 116)이 잔류된다.
- <38> 도 1e를 참조하면, 후속한 트렌치(108) 갭 필 마진 확보 및 식각 선택비를 확보할 목적으로 제3 절연막(116) 식각 공정을 실시한다. 이는 PSZ막이 트렌치(108) 갭 필 특성은 우수하지만 신뢰성이 검증되지 않아 트렌치(108) 저면에만 일부를 잔류시켜 후속한 트렌치(108) 갭 필 마진을 확보하기 위함이다.
- <39> 이를 위하여, 식각 공정은 습식 식각 공정, 바람직하게 습식 에치백(wet etchback) 공정으로 실시할 수 있으며, HF(H_2O :HF=50:1 내지 100:1) 용액 및 SC-1(NH_4OH : H_2O_2 : H_2O =1:4:20) 용액을 이용하여 실시한다. 이때, 식각 공정은 제3 절연막(116)이 반도체 기판(100)의 상부 표면으로부터 200 내지 400Å만큼 낮아지도록 실시한다.
- <40> 일반적으로, HF 용액 및 SC-1 용액에 대한 식각 비는 열 산화막(Thermal Oxide)을 1이라고 할 때, HDP 산화막은 2, HARP 절연막은 3~4, PSZ막은 8~9이다. 따라서, 식각 공정 시 PSZ막으로 형성된 제3 절연막(116)은 치밀화된 제2 절연막(112)이나 제1 절연막(110)보다 빠르게 식각되어 반도체 기판(100)의 상부 표면으로부터 낮게 잔류된다. 반면, 식각 과정에서 제1 및 제2 절연막(110, 112)의 측벽 일부가 함께 식각되나 식각 비 차에 의해 일부는 제1 도전막(104)의 측벽에 잔류된다. 특히, 식각 비가 더 낮고, 식각액에 노출되는 시간이 짧은 제1 절연막(110)이 제2 절연막(112)보다는 두껍게 제1 도전막(104)의 측벽에 잔류하게 된다. 이로 인해 제3 절연막(116)의 식각 과정에서 제1 도전막(104)의 측벽이 노출되는 것을 방지하여 식각액에 의한 어택(attack)으로 인해 제1 도전막(104)이 손실(loss)되는 것을 최소화할 수 있다. 이렇게, 제1 도전막(104)의 손실이 개선될 경우 제1 도전막(104)의 두께 상향에 의한 면적 증대가 가능하여 이후에 형성될 플로팅 게이트와 컨트롤 게이트 간 접촉 면적을 증가시켜 셀 커플링 비(coupling ratio)를 개선할 수 있다.
- <41> 또한, 제1 도전막(104)의 손실이 방지될 경우 후속한 게이트 식각 공정 시 터널 절연막(102)의 어택을 방지하여 열화 특성을 개선하여 소자의 신뢰성을 향상시킬 수 있다.
- <42> 이어서, 후속한 유효 산화막 높이(Effective Field oxide Height; EFH) 조절을 위한 습식 식각 공정 시 잔류된

제3 절연막(116)에 대한 식각 선택비를 낮추기 위해 어닐링 공정을 더 실시한다. 이 경우, 어닐링 공정은 850 내지 1000℃의 온도에서 실시할 수 있다. 어닐링 공정에 의해 제3 절연막(116)의 막질이 치밀화되어 식각 선택비를 낮출 수 있어 후속한 EFH 조절을 위한 습식 식각 공정 시 식각액이 제3 절연막(116)으로 침투되어 제3 절연막(116)이 주저앉는 현상을 방지할 수 있다. 또한, 상부막에 보이드(void)가 발생하더라도 제3 절연막(116)으로 전사되는 것을 방지할 수 있다.

<43> 도 1f를 참조하면, 트렌치(108)가 채워지도록 잔류된 제3 절연막(116) 상에 제4 절연막(118)을 형성한다. 여기서, 제4 절연막(118)은 HDP막으로 형성할 수 있다. 제4 절연막(118) 증착 시 트렌치(108) 하부에 잔류된 제3 절연막(116)으로 인해 중형비가 감소됨에 따라 겹 필 마진을 확보하여 보이드 없이 신뢰성이 우수한 제4 절연막(118)을 형성할 수 있다.

<44> 도 1g를 참조하면, 소자 분리 마스크(106)의 소자 분리용 질화막이 노출되는 시점까지 식각 공정을 실시한다. 여기서, 식각 공정은 평탄화 식각 공정, 예를 들어 CMP 공정으로 실시할 수 있다. 이로써, 소자 분리 영역의 트렌치(108) 내부에만 제1 내지 제4 절연막(110, 112, 116, 118)이 잔류되어 제1 내지 제4 절연막(110, 112, 116, 118)을 포함하는 소자 분리막(120)이 형성된다.

<45> 도 1h를 참조하면, 잔류된 소자 분리 마스크(106)를 제거한다. 잔류된 소자 분리 마스크(106)의 제거는 인산(H_3PO_4) 용액 및 BOE(Buffered Oxide Etchant)를 순차적으로 사용하는 식각 공정으로 실시하며, 이로써 잔류된 소자 분리 마스크(106)의 소자 분리용 질화막과 버퍼 산화막이 순차적으로 제거되어 제1 도전막(104)의 표면과 소자 분리막(120)의 상부 측벽이 노출된다.

<46> 이어서, 유효 산화막 높이(Effective Field oxide Height; EFH)를 조절하기 위한 식각 공정을 실시한다. 이때, 식각 공정은 HF를 포함한 용액을 사용하여 소자 분리막(120)의 상부를 일정 두께만큼 식각한다. 이로 인해 제1 도전막(104)의 상부 측벽이 노출된다. 그러나, 제3 절연막(116) 식각 후 도 1e에서와 같이 제1 도전막(104)의 측벽에 일부 제1 및 제2 절연막(110, 112)이 잔류됨에 따라 유효 산화막 높이를 조절하는 과정에서 식각액에 제1 도전막(104)이 노출되는 시간을 짧게 하여 제1 도전막(104)의 손실을 개선할 수 있다. 이때, 소자 분리막(120)은 사이클링(cycling) 특성을 고려하여 활성 영역의 반도체 기관(100)의 상부 표면보다 높게 잔류되도록 하는 것이 바람직하다.

<47> 한편, 유효 산화막 높이를 조절한 후 잔류된 소자 분리 마스크(106) 제거 공정을 실시할 수도 있다.

<48> 도 1i를 참조하면, 제1 도전막(104) 및 소자 분리막(120) 상에 유전체막(122) 및 제2 도전막(미도시)을 순차적으로 형성한다. 유전체막(122)은 산화막, 질화막 및 산화막(Oxide-Nitride-Oxide; ONO)의 적층 구조로 형성하거나 혹은 유전 상수가 3.9 이상인 고유전 물질로 형성할 수 있다. 제2 도전막은 플래시 메모리 소자의 컨트롤 게이트(Control Gate)로 사용하기 위한 것으로, 폴리실리콘막, 금속층 및 이들의 적층막으로 형성할 수 있다.

<49> 이후, 통상적인 식각 공정으로 제2 도전막, 유전체막(122) 및 제1 도전막(104)을 패터닝하여, 제1 도전막(104)으로 이루어지는 플로팅 게이트(104a), 제2 도전막으로 이루어지는 컨트롤 게이트(124)를 형성한다. 이때, 터널 절연막(102), 플로팅 게이트(104a), 유전체막(122) 및 컨트롤 게이트(124)의 적층 구조를 갖는 게이트 패터닝이 형성된다.

<50> 상기한 바와 같이, 본 발명의 일 실시예에 따르면 플로팅 게이트(104a)의 두께를 상향시키더라도 제1 도전막(104)의 측벽에 제3 절연막(116)보다 식각 선택비가 낮은 이중 구조의 라이너 절연막(114)을 형성함으로써, 후속한 습식 식각 공정 시 식각 비 차에 의해 라이너 절연막(116)을 제1 도전막(104)의 측벽에 잔류시켜 제1 도전막(104)의 손실을 최소화할 수 있다. 따라서, 플로팅 게이트(104a)의 두께를 상향 및 제1 도전막(104)의 손실 개선으로 플로팅 게이트(104a)의 면적을 증대시킬 수 있고, 이를 통해 플로팅 게이트(104a)와 컨트롤 게이트(124) 간 마주보는 면적을 넓혀 셀의 커플링 비(coupling ratio)를 향상시켜 프로그램/소거 속도를 향상시킬 수 있다. 또한, 플로팅 게이트용 제1 도전막(104)의 손실을 최소화하여 게이트 식각 시 터널 절연막(102)의 어택을 방지하여 열화 특성을 개선함으로써 소자의 신뢰성을 향상시킬 수 있다.

<51> 더욱이, 이중 라이너 절연막을 이용하는 단순한 공정 변경을 통해 플로팅 게이트용 제1 도전막(104)의 손실을 최소화하여 플로팅 게이트(104a)의 두께를 증가시킬 수 있는 공정을 확보할 수 있다.

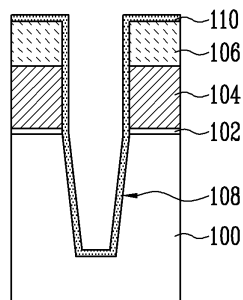
<52> 본 발명은 상기에서 서술한 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 상기의 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 따라서, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

도면의 간단한 설명

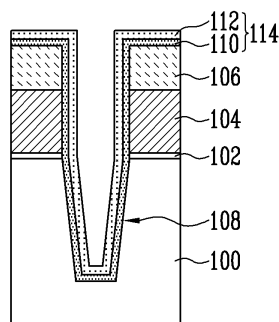
- <53> 도 1a 내지 도 1i는 본 발명의 일 실시예에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도들이다.
- <54> <도면의 주요부분에 대한 부호의 설명>
- <55> 100 : 반도체 기판 102 : 터널 절연막
- <56> 104 : 제1 도전막 104a : 플로팅 게이트
- <57> 106 : 소자 분리 마스크 108 : 트렌치
- <58> 110 : 제1 절연막 112 : 제2 절연막
- <59> 114 : 라이너 절연막 116 : 제3 절연막
- <60> 118 : 제4 절연막 120 : 소자 분리막
- <61> 122 : 유전체막 124 : 컨트롤 게이트

도면

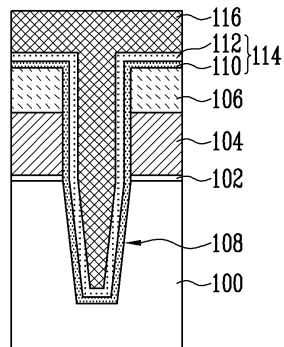
도면1a



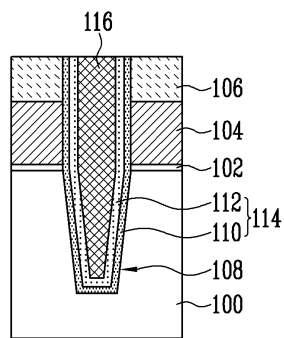
도면1b



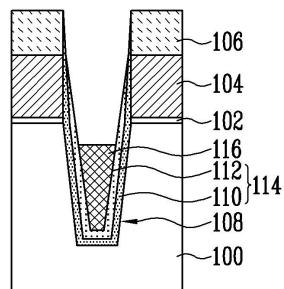
도면1c



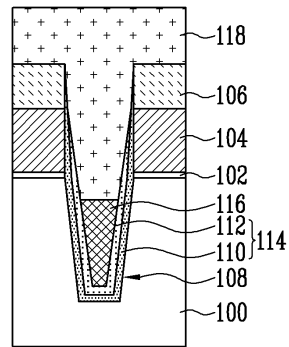
도면1d



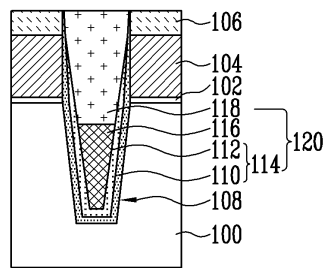
도면1e



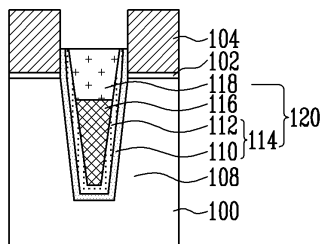
도면1f



도면1g



도면1h



도면1i

