

POPIS VYNÁLEZU K PATENTU

251055
(11) (B2)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

[22] Přihlášeno 29 09 76
[21] (PV 6293-76)
[32] [31] [33] Právo přednosti od 29 09 75
(PC 3364) Austrálie
[40] Zveřejněno 18 09 86
[35] Vydáno 15 08 88

[51] Int. Cl.⁴
G 06 F 11/10

[72]
Autor vynálezu

PEHRSON JENS ERLAND, SOLLENTUNA, ROOS STURE GÖSTA,
BERGSHAMRA, VALASTRO BARTOLO, SKÄRHOLMEN (Švédsko)

[73]
Majitel patentu

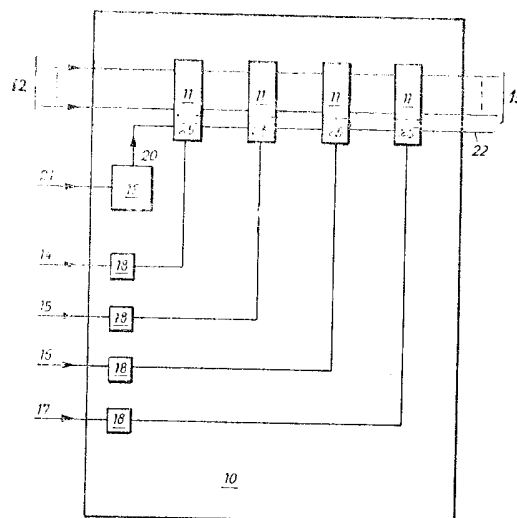
TELEFONAKTIEBOLAGET L M ERICSON, STOCKHOLM (Švédsko)

(54) Zapojení pro kontrolu hodinových signálů v číslicovém informačním systému

1

2

Řešení se týká zapojení pro kontrolu hodinových signálů v číslicovém datovém systému, obsahujícím posuvné registry, spojené se zdrojem posouvacích hodinových signálů. Jeho podstata spočívá v tom, že jednotlivé posuvné registry jsou propojeny s kontrolními klopnými obvody (25), které jsou svými prvními vstupy a výstupy spojeny v řetězec, přičemž první vstup prvního kontrolního klopného obvodu (25) řetězce je připojen k výstupu (20) generátoru kontrolního bitu, výstup (22) posledního kontrolního klopného obvodu (25) řetězce je připojen k řídicímu obvodu (24) a druhé vstupy kontrolních klopných obvodů (25) jsou propojeny se zdroji (18) posouvacích hodinových signálů pro posuvné registry (11), přičemž výstup řídicího obvodu (24) je propojen se vstupem generátoru (19) kontrolního bitu.



obr. 1

Vynález se týká zapojení pro kontrolu hodinových signálů v číslicovém informačním systému, který sestává z posuvných registrů s uloženými údaji, přičemž posuvné registry jsou spojeny se zdrojem posouvacích hodinových signálů.

V číslicových systémech jako jsou například přepínače číslicových údajů se vyskytují určité těžkosti, vyplývající z rozdělení časových impulsů v systému. Například údaje, které jsou přiváděny přes posuvný registr systému vykazují paritní bit, který je provází. Paritní kontrolní obvody mezi registry indikují spolehlivě chyby v hardwaru za předpokladu, že tyto chyby mají paritní charakter. Paritní kontrolní obvody nebudou však indikovat selhání taktovacích, to znamená hodinových ústrojí, které přivádějí signály různým registrům; to znamená, jestliže některý hodinový signál zanikne, pak již nebudou nijaká nová data procházet registry, resp. registrem, který byl řízen chybným hodinovým signálem. Toto však nevede k paritním chybám, neboť stará data zůstávají v registru, vykazují správnou paritu.

Pro kontrolu tohoto druhu chyb existuje již řada možností a způsobů, které budou v dalším popsány i s jejich nedostatky.

Běžně prováděný test spočívá v přezkoušení vybudovaného spojení, který se provádí v číslicových obvodech pro přenášení dat. Přezkoušení se provádí na začátku vybudovaného spojení a spočívá ve vyslání zvláštního vzorkovacího signálu nebo vzorkovacího data s nesprávnou paritou spojovacími obvody. Na výstupu příslušného spojovacího ústrojí se provádí přezkoušení v tom směru, aby se zjistilo, že očekávané vzorkovací testovací slovo bylo přijato po prolití vybudovaným spojením s porušenou paritou. Chyba, zjištěná při přezkoušování ve vybudovaném spojení, normálně znamená, že dráha, vedoucí spojovacími ústrojími, není správně vybudována.

Větší počet chyb, včetně hodinových chyb, může vést k indikaci chyby při přezkoušení vybudovaného spojení.

Tento způsob testování vykazuje následující nedostatky.

Předně, je obtížné, udat druh chyby a místo vzniku chyby.

Dále, uplyne poměrně dlouhá doba, nežli je chyba indikována, neboť frekvence přenosu vybudovaného spojení je závislá na provozu. Přirozeně, že tento test by se také mohl provést rychlostí, nezávislou na provozním zatížení, což by však mohlo vést k přetížení ústrojí pro zpracování dat, resp. procesorů.

Dále je znám způsob testování pomocí tzv. kontrolního přenosového vyzvánění. Tento systém kontroly taktování spočívá v tom, že každému výstupu vyrovnávací paměti hodinových signálů jsou na každé destičce s tištěnými obvody přiřazeny v rámci číslicového systému, monostabilní obvody.

Jinými slovy to znamená, že každý z hodinových signálů, který se přivede registru na jedné destičce prostřednictvím vyrovnávací paměti, se přivádí rovněž monostabilnímu obvodu. Monostabilní obvod pracuje tak, že hodinové signály, které nepřijme během pevně stanovené doby, jej vrátí do jeho stabilního stavu a generují chybový signál. Tyto rozpoznávací signály jsou pak indikovány zcela běžně místním procesorem. Tím se dostane rychlá indikace typu chyby a místa jejího výskytu. Tento systém je ve své práci potud uspokojivý, že je schopen dostatečně rychle diagnostikovat taktovací chybu a přesné místo jejího výskytu. Jeho nedostatek pak spočívá v tom, že vyžaduje neúměrně velké množství logických obvodů, aby se mohla realizovat skutečně účinná testování, přičemž však vyrovnávací paměti uvnitř posuvných registrů nejsou testovány.

Další známý způsob testování je tak zvaná nepřímá kontrola paritou. Tento způsob pro kontrolu taktovacích chyb spočívá v tom, že obvodové prvky jsou uspořádány tak, že je zajištěno, že jakákoliv taktovací chyba vede k vytvoření paritních chyb. Obvykle sestává posuvný registr z více než jednoho integrovaného obvodu, například ze dvou hexagonálních integrovaných D-klopných obvodů pro vytvoření 11 bitového posuvného registru. Toto uspořádání spočívá v tom, že těmto oběma integrovaným obvodům jsou přiváděny hodinové signály odděleně z vyrovnávacích pamětí. V případě selhání jedné vyrovnávací paměti hodinových signálů se pak vyskytnou paritní chyby, neboť při ovládání obou polovin posuvného registru se nová data nepřenesou v jedné polovině, zatímco ve druhé dojde k jejich přenosu. Paritní signály jsou snímány zcela běžně místním procesorem, takže se dostane rychlá indikace chyby.

Nevýhody tohoto zapojení spočívají v tom, že není přímo indikována taktovací chyba a že se musí provést další analýza, aby se stanovil druh chyby. Další nevýhoda spočívá ve velkém počtu nutných taktovacích vyrovnávacích pamětí, aby se mohly posuvnému registru přivést dva nezávislé hodinové signály.

Úkolem vynálezu tudíž je, vytvořit zapojení pro kontrolu hodinových signálů v číslicovém informačním systému, kterým se umožní uspokojivá indikace chyb jednoduchými prostředky při současném odstranění nedostatků známých shora uvedených řešení.

Tento úkol se řeší zapojením pro kontrolu hodinových signálů v číslicovém informačním systému, který sestává z posuvných registrů s uloženými údaji, přičemž posuvné registry jsou spojeny se zdrojem posouvacích hodinových signálů, podle vynálezu tím, že jednotlivé posuvné registry jsou propojeny s kontrolními klopnými ob-

vody, které jsou svými prvními vstupy a výstupy spojeny v řetězec, přičemž první vstup prvního kontrolního klopného obvodu řetězce je připojen k výstupu generátoru kontrolního bitu, výstup posledního kontrolního klopného obvodu řetězce je připojen k řídicímu obvodu a druhé vstupy kontrolních klopných obvodů jsou propojeny se zdroji posouvacích hodinových signálů pro posuvné registry, přičemž výstup řídicího obvodu je propojen se vstupem generátoru kontrolního bitu.

Dalším význakem vynálezu je, že řídicí obvod je připojen k jednotlivým bodům řetězce kontrolních klopných obvodů.

Rozvinutí vynálezu spočívá rovněž v tom, že kontrolní klopné obvody jsou tvořeny prázdnými místy v posuvných registrech.

Posledním význakem vynálezu pak je, že kontrolní klopné obvody tvoří jednotky oddělené konstrukčně od posuvných registrů.

Vynález bude v dalším textu blíže objasněn na příkladech provedení, znázorněných na připojených výkresech.

Na obr. 1 jsou schematicky znázorněny hlavní části destičky s plošnými spoji číslíkového systému, ve kterém je vynález realizován.

Na obr. 2 je schematicky znázorněno několik destiček s plošnými spoji podle obr. 1, které vytvářejí blok.

Na obr. 1 znázorněná destička 13 s plošnými spoji obsahuje několik posuvných registrů 11, jejichž údaje jsou přiváděny vstupními vedeními 12 a odváděny výstupními vedeními 13. Pro každý posuvný registr 11 je na příslušných hodinových vstupech 14 až 17 přiváděn oddělený hodinový signál. Každý hodinový signál je přiváděn příslušnému posuvnému registru 11 přes zdroj 18 posouvacích hodinových signálů.

Běžné registry, které jsou použity jako posuvné registry 11, nevykazují přesný počet bitů, kterými mohou být posouvány, takže mají určitou bitovou rezervu. Tato skutečnost se využívá u tohoto vynálezu, přičemž se však musí vzít v úvahu, že bitová rezerva nemusí být v každém případě k dispozici. V některých případech může být nutné, vybavit posuvné registry 11 redundací, aby se mohl vybavit zvláštní bit pro realizaci vynálezu. Je přirozeně možné, realizovat vynález pomocí klopného obvodu, který je uspořádán odděleně od posuvného registru a řídí se kontrolním hodinovým signálem.

Konkrétní provedení vynálezu sestává v podstatě z generátoru 19 kontrolního bitu uspořádaného na destičce 10, takže na výstupu 20 je generován hodinový kontrolní bit. Generátor 19 kontrolního bitu je řízen řídicími signály, přiváděnými na vstup 21 z neznázorněného místního řídicího obvodu, tvořeného například procesorem. Hodinový kontrolní bit na výstupu 20 je vhodný pro spojení se všemi posuvnými registry, jak je to znázorněno na výkresu a může se

objevit na výstupu 22 na výstupní straně destičky 10. Každý posuvný registr obsahuje kontrolní klopný obvod 25, který může být tvořen jedním stupněm posuvného registrů a jehož jednomu vstupu je přiváděn kontrolní bit. Při příjmu signálu z vedení hodinových signálů, spojeného s posuvným registrem, se kontrolní klopný obvod 25 překlopí a vyšle kontrolní bit následujícímu posuvnému registru. Takto probíhá plynule celým řetězcem posuvných registrů.

V obr. 2 je znázorněn blok 23 číslíkového systému s několika destičkami 10 s plošnými spoji. Blok 23 je řízen místním řídicím obvodem 24, tvořeným například procesorem. První destička 10 má přiřazený, jak bylo již dříve uvedeno, generátor 19 kontrolního bitu. Na výstupu 22 destičky 10, která je první v řetězci, se objevující hodinový kontrolní bit se přivádí druhé destičce 10, kde se spojí se všemi posuvnými registry, které byly popsány při vysvětlování obr. 1. Podobným způsobem se hodinový kontrolní bit přivede sériově všem ostatním destičkám 10 v bloku 23 a výstupní signál poslední destičky 10 se přivede zpět místnímu řídicímu obvodu 24, tvořenému procesorem.

Funkce zapojení spočívá v tom, že místní řídicí obvod 24 řídí generátor 19 kontrolního bitu tak, že se nevyskytne chyba v taktování, postupuje tento bit první destičkou 10 a všemi dalšími platiny, resp. destičkami 10 v bloku 23. Místní řídicí obvod 24, který má dostatek času k dispozici, aby hodinový kontrolní bit prošel celým blokem, prozkoumá potom tento bit na výstupu posledního stupně posuvného obvodu poslední destičky 10. Jestliže bit je tvořen logickou jednotkou, pak řídicí obvod konstatuje, že všechny fáze taktování jsou v pořádku. Místní řídicí obvod 24 nastaví potom generátor 19 kontrolního bitu na nulu a prozkoumá, zdali tato nula prošla správným způsobem blok 23 číslíkového systému. Tento postup se průběžně opakuje. Jestliže hodinový kontrolní bit projde blokem 23, resp. když hodinový kontrolní bit prochází blokem 23, může řídicí obvod stav bitu na výstupu každé destičky 10 bloku 23 prozkoumat, takže je možná lokalizace chyby na každé platině 10, resp. destičce 10. Tuto lokalizaci na destičce 10 je třeba považovat za dostačující. Je však zřejmé, že je možná širší lokalizace, která umožňuje nalezení určité fáze taktu na určité destičce 10. Je třeba vzít i v úvahu, že se kontroluje normální tok dat, procházející posuvnými registry 11, obvyklým způsobem, například paritní kontrolou, nezávisle na shora popsaném způsobu kontroly taktovacího, resp. hodinového signálu.

Přednost způsobu kontroly podle vynálezu ve srovnání se shora uvedeným způsobem spočívá v tom, že se dostanou podstatné úspory na vynaložených konstrukčních prv-

cích, to je na hardwaru. To je způsobeno tím, že u posuvného registru jsou často jedno i vícebitové rezervy, které se mohou použít k posouvání hodinového kontrolního bitu. Při použití testování tak zvaného kontrolního přenosového vyzvánění by se musel použít monostabilní klopný obvod, přesto, že jsou v posuvných registrech k dispozici rezervní bity. Dále by bylo třeba, provádět na výstupech monostabilních klopných obvodů součtovou funkci, aby vytvořil hlavní rozpoznávací znak chyby, takže se zabránil individuálnímu snímání každého chybového znaku, jestliže se nevyskytne chyba v taktování. Tato logická součtová funkce je při použití vynálezu automaticky k dispozici, aniž by byly potřebné nějaké přídavné logické obvody.

Vynálezem je dále interně kontrolován i zdroj posouvacích hodinových signálů. Přirozeně, že se vyskytnou i případy, kdy posuvný registr nevykazuje rezervní bit, nebo kde kontrolováný hodinový signál se nepoužívá pro posouvání v posuvném registru. V těchto případech se musí použít přídavné klopné bistabilní obvody, aby se hodinový kontrolní bit těmito fázemi mohl postupně posouvat.

Zásadní přednost vynálezu se srovnání se známým stavem techniky spočívá v tom, že je možná velmi rychlá indikace a přesná lokalizace taktovacích chyb, bez toho, že by bylo na některých místech systému zapotřebí tolik přídavných logických obvodů, jak by bylo nutné u známých řešení tohoto problému.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro kontrolu hodinových signálů v číslicovém informačním systému, který sestává z posuvných registrů s uloženými daty, přičemž posuvné registry jsou spojeny se zdrojem posouvacích hodinových signálů, vyznačující se tím, že jednotlivé posuvné registry (11) jsou propojeny s kontrolními klopnými obvody (25), které jsou svými prvními vstupy a výstupy spojeny v řetězec, přičemž první vstup prvního kontrolního klopného obvodu (25) řetězce je připojen k výstupu (20) generátoru (19) kontrolního bitu, výstup (22) posledního kontrolního klopného obvodu (25) řetězce je připojen k řídicímu obvodu (24) a druhé vstupy kontrolních klopných obvodů (25) jsou propojeny se zdroji (18) posouvacích

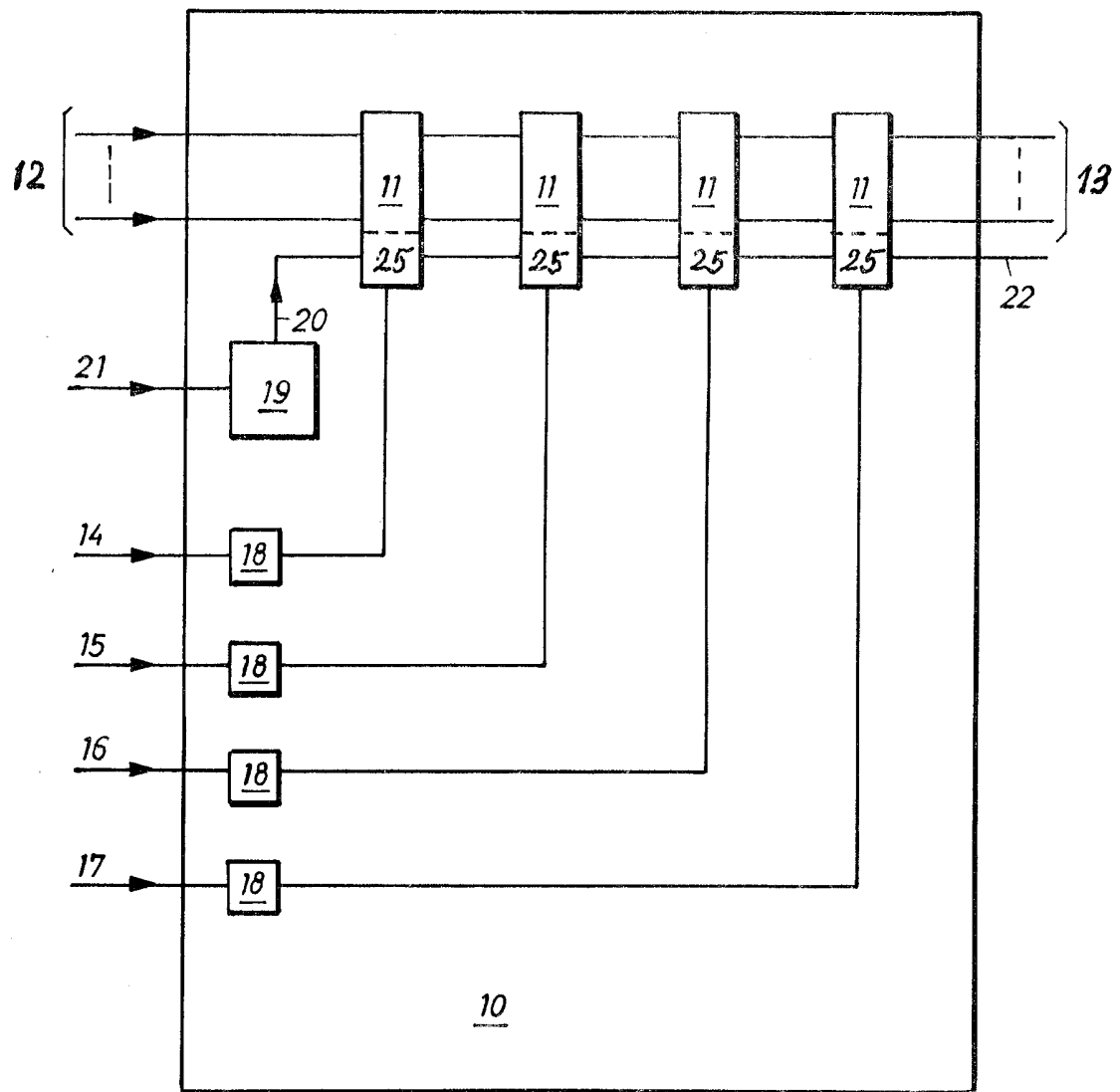
hodinových signálů pro posuvné registry (11), přičemž výstup řídicího obvodu (24) je propojen se vstupem generátoru (19) kontrolního bitu.

2. Zapojení podle bodu 1, vyznačující se tím, že řídicí obvod (24) je připojen k jednotlivým bodům řetězce kontrolních klopných obvodů (25).

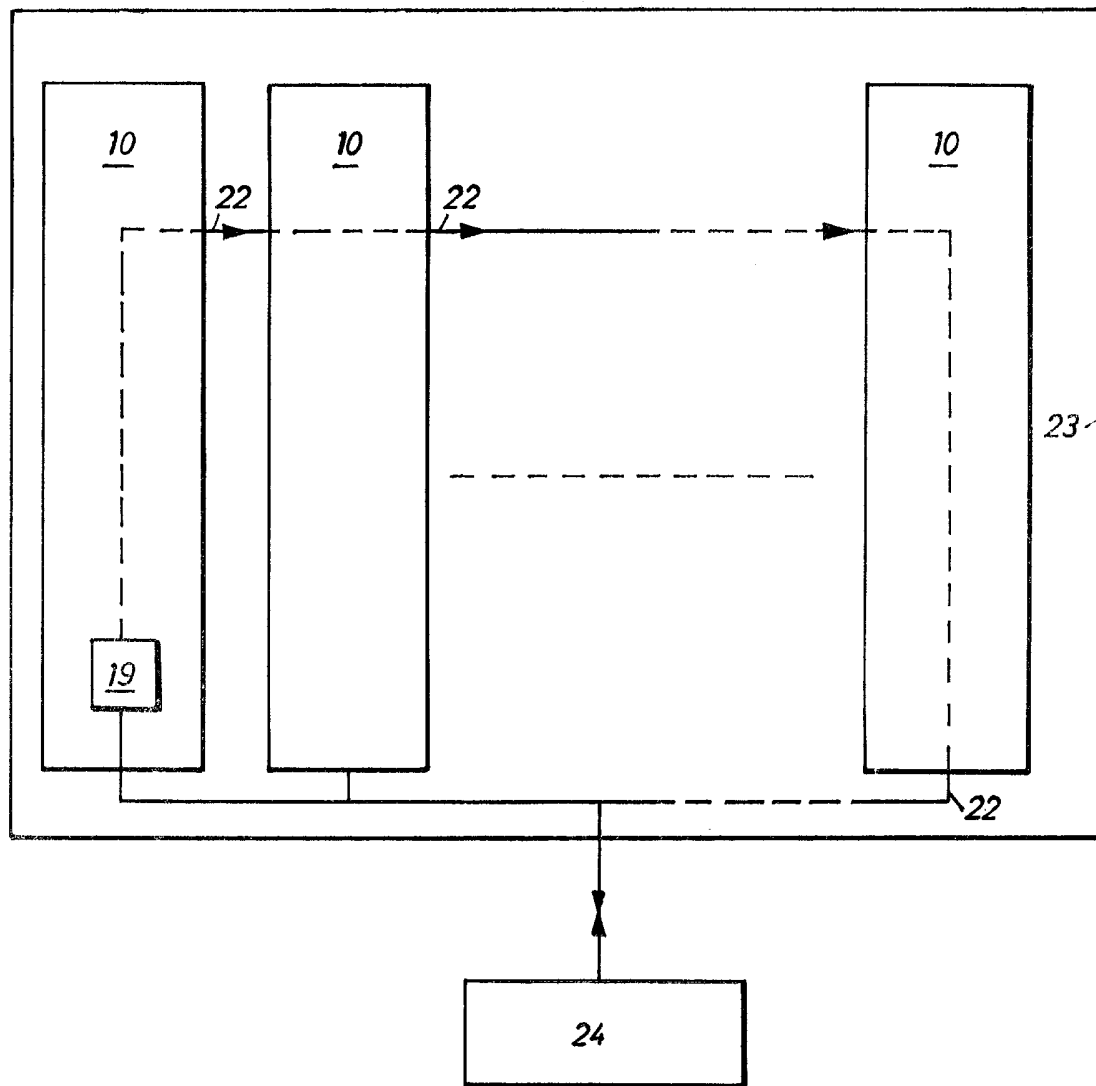
3. Zapojení podle bodu 1, vyznačující se tím, že kontrolní klopné obvody (25) jsou tvořeny prázdnými místy v posuvných registrech (11).

4. Zapojení podle bodu 1, vyznačující se tím, že kontrolní klopné obvody (25) tvoří jednotky oddělené konstrukčně od posuvných registrů.

2 listy výkresů



Obr. 1



Obr. 2