

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3975014号
(P3975014)

(45) 発行日 平成19年9月12日(2007.9.12)

(24) 登録日 平成19年6月22日(2007.6.22)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

C 2 3 F 4/00 (2006.01)

C 2 3 F 4/00

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 C

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 S

請求項の数 5 (全 20 頁) 最終頁に続く

(21) 出願番号 特願平10-331711
 (22) 出願日 平成10年11月20日(1998.11.20)
 (65) 公開番号 特開2000-155335(P2000-155335A)
 (43) 公開日 平成12年6月6日(2000.6.6)
 審査請求日 平成16年12月7日(2004.12.7)

(73) 特許権者 595059056
 株式会社アドバンスト・ディスプレイ
 熊本県菊池郡西合志町御代志997番地
 (74) 代理人 100073759
 弁理士 大岩 増雄
 (72) 発明者 藪下 宏二
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 (72) 発明者 野海 茂昭
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内

審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、

上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、

上記走査電極、走査電極配線および走査電極配線端子上に絶縁膜を形成する工程と、

上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、

上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、

10

上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、

上記パッシベーション膜上に感光性を有する透明樹脂を塗布し、露光、現像処理により上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を有する層間絶縁膜を形成する工程と、

上記層間絶縁膜をマスクとして、上記コンタクトホールおよび開口部により露出した上記パッシベーション膜および絶縁膜をドライエッチング法によりエッチングする工程と、

上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、

20

一回のエッチング処理によりパターンングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、

上記ドライエッチング法によるエッチングは、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理を行なった後、 O_2 ガスによるアッシング処理を施し、その後更に $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理を行なうことを特徴とする液晶表示装置の製造方法。

【請求項2】

少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、

上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、

上記走査電極、走査電極配線および走査電極配線端子上に絶縁膜を形成する工程と、

上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、

上記走査電極配線端子および第一の電極配線端子が形成される実装領域の上記絶縁膜を除去する工程と、

上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、

上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、

上記パッシベーション膜上に感光性を有する透明樹脂を塗布し、露光、現像処理により上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を有する層間絶縁膜を形成する工程と、

上記層間絶縁膜をマスクとして、上記コンタクトホールおよび開口部により露出した上記パッシベーション膜をドライエッチング法によりエッチングする工程と、

上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、一回のエッチング処理によりパターンングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、

上記ドライエッチング法によるエッチングは、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理を行なった後、 O_2 ガスによるアッシング処理を施し、その後更に $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理を行なうことを特徴とする液晶表示装置の製造方法。

【請求項3】

アッシング処理後に行なわれる $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理は、アッシング処理前に行なわれる $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理より短時間で行う、あるいは O_2 ガスの流量比率を高くする、あるいはパワーを小さくする、あるいは上記処理条件の少なくともいずれか二条件を組み合わせで行なうことを特徴とする請求項1または請求項2記載の液晶表示装置の製造方法。

【請求項4】

少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、

上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、

上記走査電極、走査電極配線および走査電極配線端子上に絶縁膜を形成する工程と、
 上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、
上記絶縁膜を除去する工程と、

上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、

上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、

上記パッシベーション膜上に感光性を有する透明樹脂を塗布し、露光、現像処理により上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を有する層間絶縁膜を形成する工程と、

フォトリソストを塗布し、上記層間絶縁膜と同一形状にパターニングしてレジストを形成する工程と、

上記レジストをマスクとして、上記コンタクトホールおよび開口部により露出した上記パッシベーション膜および絶縁膜をドライエッチング法によりエッチングした後、上記レジストを除去する工程と、

上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、一回のエッチング処理によりパターニングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、上記エッチング処理は、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによる一回目のエッチング処理を行なった後、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによる二回目のエッチング処理を O_2 ガスの流量比率を一回目より高くして行なうことを特徴とする液晶表示装置の製造方法。

【請求項5】

少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、

上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、

上記走査電極、走査電極配線および走査電極配線端子上に絶縁膜を形成する工程と、

上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、

上記絶縁膜を除去する工程と、

上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、

上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、

上記パッシベーション膜上に感光性を有しない透明樹脂を塗布し、層間絶縁膜を形成する工程と、

レジストを形成し、上記層間絶縁膜、パッシベーション膜および絶縁膜をドライエッチング法によりエッチングして、上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を形成した後、レジストを除去する工程と、

上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、一回のエッチング処理によりパターニングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、上記エッチング処理は、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによる一回目のエッチング処理を行なった後、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによる二回目のエッチング処理を O_2 ガスの流量比率を一回目より高くして行なうことを特徴とする液晶表示装置の製造方法。

10

20

30

40

50

スによる二回目のエッチング処理を〇。ガスの流量比率を一回目より高くして行なうことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、スイッチング素子として薄膜トランジスタ（以下、TFTと称する）を搭載したアクティブマトリクス型の液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】

液晶表示装置は、その駆動方法として、高表示品質の観点からTFTをスイッチング素子として用いたアクティブマトリクス型のTFTアレイが主として用いられている。 10

また、液晶表示装置の低消費電力化のためには、液晶表示パネルの画素部の有効表示面積を大きくすること、すなわち画素の開口率を向上させることが有効であり、従来、高開口率の液晶表示パネルを得るために有効なTFTアレイとして、走査電極、信号電極および半導体層からなるTFTを形成した後に、これらを覆うように透明樹脂からなる層間絶縁膜を設け、最上層に画素電極を形成する構造が、例えば特許第2521752号公報、特許第2598420号公報および特開平4-163528号公報等に関示されている。

【0003】

画素電極が最上層に形成された構造を有する高開口率TFTアレイの製造方法としては、まずガラス基板等の透明絶縁性基板上にゲート電極配線およびゲート電極、ゲート絶縁膜、半導体層、ソース電極配線およびソース・ドレイン電極を順次形成してTFTを形成する。次にTFTを保護するために窒化シリコン膜からなるパッシベーション膜を成膜する。 20

次に透明樹脂からなる層間絶縁膜を形成し、パッシベーション膜および層間絶縁膜にコンタクトホールを形成する。最後に層間絶縁膜上に画素電極を形成し、TFTアレイを形成する。なお、画素電極はパッシベーション膜および層間絶縁膜に形成されたコンタクトホールを介してドレイン電極と電気的に接続される。また、上記のTFTアレイが形成されたTFTアレイ基板における表示領域の外側には、各電極配線を外部基板と電気的に接続するための端子が形成されている。

このような構造を有するTFTアレイでは、ゲート電極配線やソース電極配線上に画素電極をオーバーラップさせることが可能であり、画素の開口率を向上させることができる。 30

【0004】

しかし、TFTアレイ基板の表示領域の外側の端子が形成された実装領域には層間絶縁膜が形成されていないため、次に示すような問題が生じている。

層間絶縁膜上への画素電極の形成工程において、層間絶縁膜上に画素電極を構成するITO膜を成膜後、エッチング処理時に、層間絶縁膜上と層間絶縁膜が除去された実装領域となる透明絶縁性基板上とでは、ITO膜のエッチング速度が大きく異なり、層間絶縁膜上のITO膜の方が透明絶縁性基板上のITO膜より約5倍以上エッチング速度が速いため、層間絶縁膜上のITO膜と透明絶縁性基板上のITO膜を一括でエッチングすることができない。すなわち、画素電極形成時に、層間絶縁膜上のITO膜のエッチングにエッチング時間を合わせると、透明絶縁性基板上のITO膜は完全にエッチングされず、残存したITO膜により端子間に短絡を生じさせる。 40

【0005】

従来、この端子間の短絡を防止するために、まず、表示領域となる層間絶縁膜上のITO膜のエッチングに合わせたエッチング時間で一回目のエッチング処理を行い、次に、層間絶縁膜上のITOパターンを写真製版工程により形成したレジストで保護した後、実装領域となる透明絶縁性基板上のITO膜のエッチングに合わせたエッチング時間で二回目のエッチング処理を行い、画素電極を形成していた。

また、特開平9-90397号公報では、実装領域の端子間に層間絶縁膜を残存させるこ 50

とにより、端子間の短絡を防止できると共に一回のエッチング処理によりITO膜をエッチングする方法が開示されている。

【0006】

【発明が解決しようとする課題】

従来の高開口率TFTアレイを実現するための液晶表示装置は以上のように構成されており、TFTアレイ基板の表示領域の外側に設けられた外部基板と各電極配線との電氣的接続のための実装領域には層間絶縁膜が形成されていないため、層間絶縁膜上の画素電極形成工程においては、二回の写真製版工程および二回のエッチング処理工程が必要であり、製造工程が煩雑となり、スループットの低下およびコストアップを生じさせるなどの問題があった。

10

また、端子間に層間絶縁膜を残存させる方法では、端子と外部基板との接続時に、層間絶縁膜による凹凸が接続抵抗を増加させるという問題があった。

【0007】

一般に、上記の構造を有するTFTアレイにおける画素電極とTFTのドレイン電極との電氣的接続は、層間絶縁膜に形成されたコンタクトホールを介してなされているが、画素電極とドレイン電極との接続抵抗低減のために、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスを用いたドライエッチング法によるコンタクトホール形成後、 O_2 ガスによりアッシング処理を行い、コンタクトホール内の残さ物を除去している。

しかし、この O_2 ガスによるアッシング処理により、層間絶縁膜の表面もエッチングされて、層間絶縁膜の表面に凹凸が形成される。この層間絶縁膜の表面状態が、層間絶縁膜上に成膜されるITO膜のエッチング性に影響を及ぼしているという知見が得られた。

20

【0008】

例えば、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、またはフッ素系ガス+ O_2 ガスを用いたエッチング処理後では、層間絶縁膜の表面は平滑であり、この状態の層間絶縁膜上にITO膜を成膜した場合、層間絶縁膜上のITO膜と透明絶縁性基板上のITO膜のエッチング速度はほぼ同じとなり、一回のエッチング処理によりITO膜をパターンニングすることができる。実際に、透明絶縁性基板上のITO膜の最適エッチング時間でエッチング処理を行った場合、層間絶縁膜上のITOパターンのサイドエッチ量は片側 $1\mu m$ 以下であり、良好なITOパターンが得られる。

30

しかし、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、またはフッ素系ガス+ O_2 ガスを用いたエッチング処理後に O_2 ガスによりアッシング処理を行うと、層間絶縁膜表面に凹凸が生じ、この状態の層間絶縁膜上にITO膜を成膜した場合、層間絶縁膜上のITO膜の方が透明絶縁性基板上のITO膜より約5倍以上エッチング速度が速くなり、一回のエッチング処理によりITO膜をパターンニングすることができない。実際に、透明絶縁性基板上のITO膜の最適エッチング時間でエッチング処理を行った場合、層間絶縁膜上のITOパターンのサイドエッチ量は片側 $3\mu m$ 以上となり、ITOパターンは極端なテーパ形状となる。

【0009】

以上のように、画素電極とドレイン電極との接続抵抗低減のために、 O_2 ガスによるアッシング処理を行った場合、層間絶縁膜上のITO膜と透明絶縁性基板上のITO膜を一回のエッチング処理工程でパターンニングすることができず、また、 O_2 ガスによるアッシング処理を行わない場合、層間絶縁膜上のITO膜と透明絶縁性基板上のITO膜を一回のエッチング処理工程でパターンニングすることができるが、画素電極とドレイン電極の接続抵抗が上昇するという問題があった。

40

【0010】

この発明は、上記のような問題点を解消するためになされたもので、画素電極とドレイン電極の接続抵抗を低くかつ安定化できると共に、画素電極形成時に、実装領域の端子間に短絡を生じさせることなく、ITO膜を一回のエッチング処理工程でパターンニングすることのできる液晶表示装置の製造方法を提供することを目的とする。

50

【 0 0 1 1 】

【課題を解決するための手段】

この発明に係わる液晶表示装置の製造方法は、少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、上記走査電極、走査電極配線および走査電極配線端子上に絶縁膜を形成する工程と、上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、上記パッシベーション膜上に感光性を有する透明樹脂を塗布し、露光、現像処理により上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を有する層間絶縁膜を形成する工程と、上記層間絶縁膜をマスクとして、上記コンタクトホールおよび開口部により露出した上記パッシベーション膜および絶縁膜をドライエッチング法によりエッチングする工程と、上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、一回のエッチング処理によりパターンニングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、上記ドライエッチング法によるエッチングは、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行なった後、 O_2 ガスによるアッシング処理を施し、その後更に $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行なうものである。

【 0 0 1 2 】

また、少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、上記走査電極、走査電極配線および走査電極配線端子上に絶縁膜を形成する工程と、上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、上記走査電極配線端子および第一の電極配線端子が形成される実装領域の上記絶縁膜を除去する工程と、上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、上記パッシベーション膜上に感光性を有する透明樹脂を塗布し、露光、現像処理により上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を有する層間絶縁膜を形成する工程と、上記層間絶縁膜をマスクとして、上記コンタクトホールおよび開口部により露出した上記パッシベーション膜をドライエッチング法によりエッチングする工程と、上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、一回のエッチング処理によりパターンニングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、上記ドライエッチング法によるエッチングは、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行なった後、 O_2 ガスによるアッシング処理を施し、その後更に $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行なうものである。

【 0 0 1 5 】

また、アッシング処理後に行なわれる $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理は、アッシング処理前に行なわれる CF_4

10

20

30

40

50

+ O₂、または S F₆ + O₂、または他のフッ素系ガス + O₂ ガスによるエッチング処理より短時間で行なう、あるいは O₂ ガスの流量比率を高くする、あるいはパワーを小さくする、あるいは上記処理条件の少なくともいずれか二条件を組み合わせで行なうものである。

更にまた、少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、上記走査電極、走査電極配線および走査電極配線端子に絶縁膜を形成する工程と、上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、上記絶縁膜を除去する工程と、上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、上記パッシベーション膜上に感光性を有する透明樹脂を塗布し、露光、現像処理により上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を有する層間絶縁膜を形成する工程と、フォトリソを塗布し、上記層間絶縁膜と同一形状にパターニングしてレジストを形成する工程と、上記レジストをマスクとして、上記コンタクトホールおよび開口部により露出した上記パッシベーション膜および絶縁膜をドライエッチング法によりエッチングした後、上記レジストを除去する工程と、上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、一回のエッチング処理によりパターニングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、上記エッチング処理は、C F₄ + O₂、または S F₆ + O₂、または他のフッ素系ガス + O₂ ガスによる一回目のエッチング処理を行なった後、C F₄ + O₂、または S F₆ + O₂、または他のフッ素系ガス + O₂ ガスによる二回目のエッチング処理を O₂ ガスの流量比率を一回目より高くして行なうものである。

【 0 0 1 6 】

また、少なくともいずれか一方には電極が形成されている二枚の透明絶縁性基板を対向させて接着すると共に、上記二枚の透明絶縁性基板の間に液晶材料を挟持してなる液晶表示装置の製造方法において、上記二枚の透明絶縁性基板の一方に走査電極、走査電極配線および走査電極配線端子を形成する工程と、上記走査電極、走査電極配線および走査電極配線端子に絶縁膜を形成する工程と、上記走査電極上に上記絶縁膜を介して半導体層を形成する工程と、上記絶縁膜を除去する工程と、上記半導体層上に第一の電極、第一の電極配線、第一の電極配線端子および第二の電極を形成する工程と、上記第一の電極、第一の電極配線、第一の電極配線端子および第二の電極上にパッシベーション膜を形成する工程と、上記パッシベーション膜上に感光性を有しない透明樹脂を塗布し、層間絶縁膜を形成する工程と、レジストを形成し、上記層間絶縁膜、パッシベーション膜および絶縁膜をドライエッチング法によりエッチングして、上記第二の電極上にコンタクトホール、および上記走査電極配線端子と第一の電極配線端子が形成された実装領域に開口部を形成した後、レジストを除去する工程と、上記層間絶縁膜上と上記コンタクトホール内、および上記開口部により露出した上記透明絶縁性基板上と上記走査電極配線端子、第一の電極配線端子上に透明導電膜を成膜し、一回のエッチング処理によりパターニングして、上記第二の電極と上記コンタクトホールを介して電氣的に接続された画素電極、および上記走査電極配線端子と第一の電極配線端子上に透明導電膜パターンを形成する工程を含み、上記エッチング処理は、C F₄ + O₂、または S F₆ + O₂、または他のフッ素系ガス + O₂ ガスによる一回目のエッチング処理を行なった後、C F₄ + O₂、または S F₆ + O₂、または他のフッ素系ガス + O₂ ガスによる二回目のエッチング処理を O₂ ガスの流量比率を一回目より高くして行なうものである。

【 0 0 1 7 】

【発明の実施の形態】**実施の形態 1 .**

以下、この発明の一実施の形態である液晶表示装置の製造方法を図について説明する。図 1 は本発明の実施の形態 1 によるスイッチング素子として T F T を搭載した液晶表示装置の T F T アレイ基板を示す断面図、図 2 は図 1 に示す T F T アレイ基板の周辺部の概略平面図、図 3 は図 1 の T F T アレイ基板の製造工程途中の状態を示す断面図である。

図において、1 はガラス基板等の透明絶縁性基板、2 は透明絶縁性基板 1 上に形成された走査電極（本実施の形態ではゲート電極）、2 a は走査電極 2 を有する走査電極配線（本実施の形態ではゲート電極配線）、2 b は走査電極配線 2 a から延長して形成された走査電極配線端子（本実施の形態ではゲート端子）、3 は透明絶縁性基板 1 上に形成された共通電極、4 はゲート電極 2、ゲート電極配線 2 a および共通配線 3 上に形成されたゲート絶縁膜、5 はゲート絶縁膜 4 を介してゲート電極 2 上に形成された半導体層、6 は半導体層 5 上に形成されたコンタクト層、7、8 はコンタクト層 6 上に形成された第一の電極と第二の電極（本実施の形態ではソース電極とドレイン電極）、7 a は第一の電極 7 を有する第一の電極配線（本実施の形態ではソース電極配線）、7 b は第一の電極配線 7 a から延長して形成された第一の電極配線端子（本実施の形態ではソース端子）、9 はチャンネル部、10 はパッシベーション膜、11 はパッシベーション膜 10 上に形成された層間絶縁膜、12 はパッシベーション膜 10 および層間絶縁膜 11 に形成されたコンタクトホール、13 は層間絶縁膜 11 上に形成された画素電極で、パッシベーション膜 10 および層間絶縁膜 11 に形成されたコンタクトホール 12 を介してドレイン電極 8 と電気的に接続される。13 a は画素電極 13 と同時に形成された端子 2 b、7 b 上の I T O 膜、14 は端子 2 b、7 b が配設された実装領域で、実装領域 14 ではゲート絶縁膜 4、パッシベーション膜 10 および層間絶縁膜 11 は除去され、端子 2 b、7 b 間には透明絶縁性基板 1 が露出している。

【0018】

次に本実施の形態による液晶表示装置の T F T アレイ基板の製造工程について説明する。まず、透明絶縁性基板 1 の表面にスパッタ法等を用いて C r を成膜し、写真製版法によるレジストの形成およびウェットエッチング法によりパターニングを行い、ゲート電極 2、ゲート電極配線 2 a、ゲート端子 2 b および共通配線 3 を形成する。

次に、プラズマ C V D 法を用いてゲート絶縁膜 4 を構成する窒化シリコン膜、アモルファスシリコン膜、不純物がドーブされた低抵抗アモルファスシリコン膜を順次成膜した後、写真製版法によるレジストの形成およびドライエッチング法によりパターニングを行い、半導体層 5 およびコンタクト層 6 を形成する。

次に、スパッタ法を用いて C r を成膜し、写真製版法によるレジストの形成およびウェットエッチング法によりパターニングを行い、ソース電極 7、ソース電極配線 7 a、ソース端子 7 b およびドレイン電極 8 を形成後、ソース電極 7 とドレイン電極 8 に覆われていない部分の低抵抗アモルファスシリコン膜（コンタクト層 6）をドライエッチング法を用いてエッチングし、チャンネル部 9 を形成して T F T を形成する。

【0019】

次に、T F T を保護するために、パッシベーション膜 10 となる窒化シリコンをプラズマ C V D 法を用いて成膜する。

次に、T F T および電極配線による段差を吸収して表面が平坦化されるように、感光性を有するアクリル系透明樹脂をスピンコート法等を用いて塗布し、露光、現像処理を施してコンタクトホールを形成後、ブリーチング露光、焼成を行い層間絶縁膜 11 を形成する。このとき、図 2 に示すように、ゲート電極配線 2 a またはソース電極配線 7 a を外部基板（図示せず）と電気的に接続するためのゲート端子 2 b およびソース端子 7 b が配設された実装領域 14 においては、各端子 2 b、7 b 上および各端子 2 b、7 b 間に層間絶縁膜 11 が存在しないよう除去されている。各端子 2 b、7 b 間の層間絶縁膜 11 を除去するのは、層間絶縁膜 11 の凹凸により各端子 2 b、7 b と外部基板との接続抵抗が増加するのを防止するためである。

10

20

30

40

50

次に、ドライエッチング法を用い、層間絶縁膜 11 をマスクとして、層間絶縁膜 11 に形成されたコンタクトホールにより露出したパッシベーション膜 10 をエッチングしてコンタクトホール 12 の形成、および実装領域 14 におけるパッシベーション膜 10 とゲート絶縁膜 4 のエッチングを行う。このとき、実装領域 14 では、各端子 2b、7b 間に透明絶縁性基板 1 が露出する。

【0020】

図 3 は、層間絶縁膜 11 をマスクとしたパッシベーション膜 10 およびゲート絶縁膜 4 のドライエッチング法によるエッチング工程を示している。パッシベーション膜 10 およびゲート絶縁膜 4 のドライエッチング条件は、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによりパッシベーション膜 10 およびゲート絶縁膜 4 を構成する窒化シリコンをエッチングした後、次工程で形成される画素電極 13 とドレイン電極 8 との接続抵抗低減のため、 O_2 ガスによるアッシング処理を行い、コンタクトホール 12 底部のドレイン電極 8 上の残さ物を除去する。このとき、層間絶縁膜 11 の表面にも、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理および O_2 ガスによるアッシング処理が施されるため、層間絶縁膜 11 の表面に凹凸が形成される。

次に、 O_2 ガスのアッシング処理により形成された層間絶縁膜 11 表面の凹凸低減を目的として、再度 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行う。

【0021】

なお、二回目の $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理は、コンタクトホール 12 内での層間絶縁膜 11 への残さ物の再付着を防止するために、一回目のエッチング時間より短時間で二回目のエッチング処理を行なう。または、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスの O_2 ガスの流量比率を高くして二回目のエッチング処理を行なう。または、一回目のエッチング処理よりパワーを小さくして二回目のエッチング処理を行なう。または、前記の短時間処理、 O_2 の流量比率アップおよびパワーダウンの少なくともいずれか二条件を組み合わせることでエッチング処理を行なう。

【0022】

次に、スパッタ法を用いて ITO を成膜し、写真製版法によるレジストの形成およびエッチングにより層間絶縁膜 11 上に画素電極 13 および各端子 2b、7b 上に ITO 膜 13a を形成する。このとき、画素電極 13 はコンタクトホール 12 を介してドレイン電極 8 と電気的に接続される。

なお、ITO 膜のエッチングは、前工程において、 O_2 ガスのアッシング処理後に再度 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を施して、層間絶縁膜 11 表面の凹凸を低減することにより、層間絶縁膜 11 上の ITO 膜と、実装領域 14 における各端子 2b、7b 間の透明絶縁性基板 1 上の ITO 膜のエッチング速度はほぼ同じとなり、一回のエッチング処理により画素電極 13 と実装領域 14 の ITO 膜 13a を同時にパターニングできる。

【0023】

以上の工程により形成された TFT アレイ基板と、他の透明絶縁性基板上に対向電極等が形成された対向基板の表面に配向膜を形成後対向させ、この間に液晶材料を注入することにより液晶表示素子を構成する。

【0024】

なお、画素電極 13 を構成する ITO 膜のエッチングにおいては、透明絶縁性基板 1 上の ITO 膜の最適エッチング時間でエッチング処理を行った場合、層間絶縁膜 11 上の ITO パターン（画素電極 13）のサイドエッチ量は片側 $1\mu m$ 以下であり、良好な形状を有するパターンが得られた。

また、画素電極 13 とドレイン電極 8 との接続抵抗は $35\mu m$ で数百以下であった。

【0025】

この発明によれば、層間絶縁膜 11 上に形成された画素電極 13 とドレイン電極 8 を接続するためのコンタクトホール 12 の形成工程において、層間絶縁膜 11 をマスクとしての、パッシベーション膜 10 およびゲート絶縁膜 4 の $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理、およびコンタクトホール 12 内の残さ物除去を目的とした O_2 ガスによるアッシング処理後に、再度 $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を施すことにより、 O_2 ガスのアッシング処理により形成された層間絶縁膜 11 表面の凹凸を低減でき、コンタクトホール 12 を介して画素電極 13 とドレイン電極 8 との接続抵抗を低減できると共に、画素電極 13 形成時に、層間絶縁膜 11 上の ITO 膜と、実装領域 14 における各端子 2b、7b 間の透明絶縁性基板 1 上の ITO 膜を一回のエッチング処理によりパターニングできる。

10

【0026】

実施の形態 2 .

実施の形態 1 では、層間絶縁膜 11 をマスクとしたパッシベーション膜 10 およびゲート絶縁膜 4 のエッチング処理を、まず $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるパッシベーション膜 10 およびゲート絶縁膜 4 のエッチング処理、次にコンタクトホール 12 底部の残さ物除去を目的とした O_2 ガスによるアッシング処理、次に層間絶縁膜 11 表面の凹凸低減を目的とした二回目の $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理により行ったが、まず $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによりパッシベーション膜 10 およびゲート絶縁膜 4 のエッチング処理を行い、次に O_2 ガスの流量比率を高くして二回目の $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行うことにより、コンタクトホール 12 底部の残さ物を除去してコンタクトホール 12 を介しての画素電極 13 とドレイン電極 8 との接続抵抗を低減できると共に、 O_2 ガスによるアッシング処理に比べて層間絶縁膜 11 表面の凹凸を低減でき、画素電極 13 形成時に、層間絶縁膜 11 上の ITO 膜と、実装領域 14 における各端子 2b、7b 間の透明絶縁性基板 1 上の ITO 膜のエッチング性を改善できる。

20

【0027】

実施の形態 3 .

図 4 はこの発明の実施の形態 3 による液晶表示装置の TFT アレイ基板の製造工程途中の状態を示す断面図である。図において、15 は層間絶縁膜 11 上に形成されたレジストである。なお、図 3 と同一部分については同符号を付し説明を省略する。

30

【0028】

次に、本実施の形態による液晶表示装置の TFT アレイ基板の製造工程について説明する。

実施の形態 1 と同様の方法により、透明絶縁性基板 1 上にゲート電極 2、ゲート電極配線（図示せず）、ゲート端子 2b、共通電極 3、ゲート絶縁膜 4、半導体層 5、コンタクト層 6、ソース電極 7、ドレイン電極 8、ソース電極配線（図示せず）、ソース端子（図示せず）、チャンネル部 9 およびパッシベーション膜 10 を順次形成する。

次に、感光性を有するアクリル系透明樹脂をスピンコート法等を用いて塗布し、露光、現像処理を施してコンタクトホールを形成後、ブリーチング露光、焼成を行い層間絶縁膜 11 を形成する。このとき、図 2 に示すように、ゲート電極配線 2a またはソース電極配線 7a を外部基板（図示せず）と電気的に接続するためのゲート端子 2b およびソース端子 7b が配設された実装領域 14 においては、各端子 2b、7b 上および各端子 2b、7b 間に層間絶縁膜 11 が存在しないよう除去されている。

40

【0029】

次に、層間絶縁膜 11 上にフォトリソを塗布し、前記のアクリル系透明樹脂を露光する際に用いたマスクを用いてフォトリソを露光後、現像処理を施して、層間絶縁膜 11 と同じパターンのレジスト 15 を形成する。

次に、レジスト 15 をマスクとして、ドライエッチング法によりパッシベーション膜 10

50

をエッチングしてコンタクトホール 12 の形成、および実装領域 14 におけるパッシベーション膜 10 とゲート絶縁膜 4 のエッチングを行う。

パッシベーション膜 10 およびゲート絶縁膜 4 のドライエッチング条件は、 $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによりパッシベーション膜 10 およびゲート絶縁膜 4 を構成する窒化シリコンをエッチングした後、コンタクトホール 12 底部の残さ物を除去し、次工程で形成される画素電極とドレイン電極 8 との接続抵抗低減を目的として、 O_2 ガスによるアッシング処理を行う。その後、レジスト 15 を除去する。なお、 O_2 ガスによるアッシング処理時には、層間絶縁膜 11 の表面はレジスト 15 で保護されているため、層間絶縁膜 11 の表面に凹凸は形成されない。

【0030】

その後、実施の形態 1 と同様の方法により画素電極および各端子 2b、7b 上に ITO 膜を形成し、TFT アレイ基板を形成する。

なお、パッシベーション膜 10 およびゲート絶縁膜 4 のドライエッチング処理を、まず、 $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスにより窒化シリコンをエッチングした後、コンタクトホール 12 底部の残さ物除去を目的として、 O_2 ガスの流量比率を高くした $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行うことによって、同様の効果が得られる。

【0031】

本実施の形態によれば、コンタクトホール 12 底部の残さ物除去を目的とした O_2 ガスのアッシング処理、あるいは O_2 ガスの流量比率を高くした $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を、層間絶縁膜 11 の表面をレジスト 15 で保護した状態で行うことにより、層間絶縁膜 11 の表面には凹凸は形成されず、コンタクトホール 12 を介しての画素電極とドレイン電極 8 との接続抵抗を低減できると共に、画素電極形成時に、層間絶縁膜 11 上の ITO 膜と、実装領域 14 における各端子 2b、7b 間の透明絶縁性基板 1 上の ITO 膜のエッチング速度はほぼ同じとなり、一回のエッチング処理により画素電極と実装領域 14 の ITO 膜をパターンニングできる。

【0032】

実施の形態 4 .

図 5 はこの発明の実施の形態 4 による液晶表示装置の TFT アレイ基板の製造工程途中の状態を示す断面図である。なお、図中の符号は図 4 と同じであるので説明を省略する。

【0033】

次に、本実施の形態による液晶表示装置の TFT アレイ基板の製造工程について説明する。

実施の形態 1 と同様の方法により、透明絶縁性基板 1 上にゲート電極 2、ゲート電極配線（図示せず）、ゲート端子 2b、共通電極 3、ゲート絶縁膜 4、半導体層 5、コンタクト層 6、ソース電極 7、ドレイン電極 8、ソース電極配線（図示せず）、ソース端子（図示せず）、チャンネル部 9 およびパッシベーション膜 10 を順次形成する。

次に、感光性を有しないアクリル系透明樹脂をスピンコート法等を用いて塗布し、焼成を行い層間絶縁膜 11 を形成する。

次に、層間絶縁膜 11 上にフォトリソを塗布し、露光、現像処理を施して、所定の位置に開口パターンを有するレジスト 15 を形成する。

【0034】

次に、レジスト 15 をマスクとして、ドライエッチング法により層間絶縁膜 11 とパッシベーション膜 10 をエッチングしてコンタクトホール 12 の形成、および実装領域 14 における層間絶縁膜 11、パッシベーション膜 10 およびゲート絶縁膜 4 のエッチングを行う。

層間絶縁膜 11、パッシベーション膜 10 およびゲート絶縁膜 4 のドライエッチング条件は、 $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスにより層間絶縁膜 11、およびパッシベーション膜 10 とゲート絶縁膜 4 を構成する窒化シリコンを

10

20

30

40

50

エッチングした後、コンタクトホール 12 底部の残さ物を除去し、次工程で形成される画素電極とドレイン電極 8 との接続抵抗低減を目的として、 O_2 ガスによるアッシング処理を行う。その後、レジスト 15 を除去する。なお、 O_2 ガスによるアッシング処理時には、層間絶縁膜 11 の表面はレジスト 15 で保護されているため、層間絶縁膜 11 の表面に凹凸は形成されない。

その後、実施の形態 1 と同様の方法により画素電極およびゲート端子 2b、ソース端子上に ITO 膜を形成し、TFT アレイ基板を形成する。

【0035】

なお、層間絶縁膜 11、パッシベーション膜 10 およびゲート絶縁膜 4 のドライエッチング処理を、まず、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスにより層間絶縁膜 11 および窒化シリコンをエッチングした後、コンタクトホール 12 底部の残さ物除去を目的として、 O_2 ガスの流量比率を高くした $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行うことによって、同様の効果が得られる。

【0036】

本実施の形態によれば、層間絶縁膜 11 を安価な感光性を有しないアクリル系透明樹脂を用いて構成し、層間絶縁膜 11 のパターニングは、層間絶縁膜 11 表面の保護の目的で形成されるレジスト 15 をマスクとして、パッシベーション膜 10 のエッチングと一括して行うことができるため、材料コストを低減できると共に、製造工程数を増やすことなく実施の形態 3 と同様の効果が得られる。

【0037】

実施の形態 5 .

実施の形態 1、2、3 および 4 では、実装領域 14 におけるゲート端子 2b 上のゲート絶縁膜 4 は、層間絶縁膜 11 を形成後、層間絶縁膜 11 もしくはレジスト 15 をマスクとしてエッチングしたが、半導体層 5 およびコンタクト層 6 の形成後にゲート端子 2b 上のゲート絶縁膜 4 をエッチング除去する構造および製造工程による液晶表示装置に適用することによっても同様の効果が得られる。

【0038】

図 6 はこの発明の実施の形態 5 による液晶表示装置の TFT アレイ基板を示す断面図、図 7 は図 6 の TFT アレイ基板の製造工程途中の状態を示す断面図である。なお、図中の符号は図 3 と同じであるので説明を省略する。

次に、本実施の形態による液晶表示装置の TFT アレイ基板の製造工程について説明する。

実施の形態 1 と同様の方法により、透明絶縁性基板 1 上にゲート電極 2、ゲート電極配線（図示せず）、ゲート端子 2b、共通電極 3、ゲート絶縁膜 4、半導体層 5 およびコンタクト層 6 を順次形成する。

次に、写真製版法により所定の位置に開口パターンを有するレジストを形成後、ドライエッチング法により実装領域 14 のゲート絶縁膜 4 をエッチングする。

次に、スパッタ法を用いて Cr を成膜し、写真製版法によるレジストの形成およびウェットエッチング法によりパターニングを行い、ソース電極 7、ソース電極配線（図示せず）、ソース端子（図示せず）、ドレイン電極 8 およびゲート端子 2b 上に Cr 膜 7c を形成後、ソース電極 7 とドレイン電極 8 に覆われていない部分の低抵抗アモルファスシリコン膜（コンタクト層 6）をドライエッチング法を用いてエッチングし、チャンネル部 9 を形成して TFT を形成する。

【0039】

次に、TFT を保護するために、パッシベーション膜 10 となる窒化シリコンをプラズマ CVD 法を用いて成膜する。

次に、TFT および電極配線による段差を吸収して表面が平坦化されるように、感光性を有するアクリル系透明樹脂をスピンコート法等を用いて塗布し、露光、現像処理を施してコンタクトホールを形成後、ブリーチング露光、焼成を行い層間絶縁膜 11 を形成する。

このとき、図 2 に示すように、ゲート電極配線 2 a またはソース電極配線 7 a を外部基板（図示せず）と電氣的に接続するためのゲート端子 2 b およびソース端子 7 b が配設された実装領域 1 4 においては、各端子 2 b、7 b 上および各端子 2 b、7 b 間に層間絶縁膜 1 1 が存在しないよう除去されている。

次に、ドライエッチング法を用い、層間絶縁膜 1 1 をマスクとして、層間絶縁膜 1 1 に形成されたコンタクトホールにより露出したパッシベーション膜 1 0 をエッチングしてコンタクトホール 1 2 の形成、および実装領域 1 4 におけるパッシベーション膜 1 0 のエッチングを行う。このとき、実装領域 1 4 では、各端子 2 b、7 b 間に透明絶縁性基板 1 が露出する。

【 0 0 4 0 】

図 7 は、層間絶縁膜 1 1 をマスクとしたパッシベーション膜 1 0 のドライエッチング法によるエッチング工程を示している。パッシベーション膜 1 0 のドライエッチング条件は、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによりパッシベーション膜 1 0 を構成する窒化シリコンをエッチングした後、次工程で形成される画素電極 1 3 とドレイン電極 8 との接続抵抗低減のため、 O_2 ガスによるアッシング処理を行い、コンタクトホール 1 2 底部のドレイン電極 8 上の残さ物を除去する。このとき、層間絶縁膜 1 1 の表面にも、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理および O_2 ガスによるアッシング処理が施されるため、層間絶縁膜 1 1 の表面に凹凸が形成される。

次に、 O_2 ガスのアッシング処理により形成された層間絶縁膜 1 1 表面の凹凸低減を目的として、再度 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行う。

【 0 0 4 1 】

なお、二回目の $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理は、コンタクトホール 1 2 内での層間絶縁膜 1 1 への残さ物の再付着を防止するために、一回目のエッチング時間より短時間で二回目のエッチング処理を行なう。または、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスの O_2 ガスの流量比率を高くして二回目のエッチング処理を行なう。または、一回目のエッチング処理よりパワーを小さくして二回目のエッチング処理を行なう。または、前記の短時間処理、 O_2 の流量比率アップおよびパワーダウンの少なくともいずれか二条件を組み合わせることでエッチング処理を行なう。

【 0 0 4 2 】

次に、スパッタ法を用いて ITO を成膜し、写真製版法によるレジストの形成およびエッチングにより層間絶縁膜 1 1 上に画素電極 1 3 および各端子 2 b、7 b 上に ITO 膜 1 3 a を形成する。このとき、画素電極 1 3 はコンタクトホール 1 2 を介してドレイン電極 8 と電氣的に接続される。

なお、ITO 膜のエッチングは、前工程において、 O_2 ガスのアッシング処理後に再度 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を施して、層間絶縁膜 1 1 表面の凹凸を低減することにより、層間絶縁膜 1 1 上の ITO 膜と、実装領域 1 4 における各端子 2 b、7 b 間の透明絶縁性基板 1 上の ITO 膜のエッチング速度はほぼ同じとなり、一回のエッチング処理により画素電極 1 3 と実装領域 1 4 の ITO 膜 1 3 a を同時にパターンニングできる。

【 0 0 4 3 】

以上の工程により形成された TFT アレイ基板と、他の透明絶縁性基板上に対向電極等が形成された対向基板の表面に配向膜を形成後対向させ、この間に液晶材料を注入することにより液晶表示素子を構成する。

【 0 0 4 4 】

なお、画素電極 1 3 を構成する ITO 膜のエッチングにおいては、透明絶縁性基板 1 上の ITO 膜の最適エッチング時間でエッチング処理を行った場合、層間絶縁膜 1 1 上の ITO パターン（画素電極 1 3）のサイドエッチ量は片側 $1 \mu m$ 以下であり、良好な形状を有

10

20

30

40

50

するパターンが得られた。

また、画素電極 13 とドレイン電極 8 との接続抵抗は $35\ \mu\text{m}$ で数百以下であった。

【0045】

本実施の形態によれば、*（質問参照）

【0046】

実施の形態 6 .

実施の形態 5 では、層間絶縁膜 11 をマスクとしたパッシベーション膜 10 のエッチング処理を、まず $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるパッシベーション膜 10 およびゲート絶縁膜 4 のエッチング処理、次にコンタクトホール 12 底部の残さ物除去を目的とした O_2 ガスによるアッシング処理、次に層間絶縁膜 11 表面の凹凸低減を目的とした二回目の $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理により行ったが、まず $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによりパッシベーション膜 10 のエッチング処理を行い、次に O_2 ガスの流量比率を高くして二回目の $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行うことにより、コンタクトホール 12 底部の残さ物を除去してコンタクトホール 12 を介しての画素電極 13 とドレイン電極 8 との接続抵抗を低減できると共に、 O_2 ガスによるアッシング処理に比べて層間絶縁膜 11 表面の凹凸を低減でき、画素電極 13 形成時に、層間絶縁膜 11 上の ITO 膜と、実装領域 14 における各端子 2b、7b 間の透明絶縁性基板 1 上の ITO 膜のエッチング性を改善できる。

【0047】

実施の形態 7 .

図 8 はこの発明の実施の形態 7 による液晶表示装置の TFT アレイ基板の製造工程途中の状態を示す断面図である。図中の符号は図 4 と同じであるので説明を省略する。

【0048】

次に、本実施の形態による液晶表示装置の TFT アレイ基板の製造工程について説明する。

実施の形態 5 と同様の方法により、透明絶縁性基板 1 上にゲート電極 2、ゲート電極配線（図示せず）、ゲート端子 2b、共通電極 3、ゲート絶縁膜 4、半導体層 5、コンタクト層 6、ソース電極 7、ドレイン電極 8、ソース電極配線（図示せず）、ソース端子（図示せず）、チャンネル部 9 およびパッシベーション膜 10 を順次形成する。

次に、感光性を有するアクリル系透明樹脂をスピンコート法等を用いて塗布し、露光、現像処理を施してコンタクトホールを形成後、ブリーチング露光、焼成を行い層間絶縁膜 11 を形成する。このとき、図 2 に示すように、ゲート電極配線 2a またはソース電極配線 7a を外部基板（図示せず）と電気的に接続するためのゲート端子 2b およびソース端子 7b が配設された実装領域 14 においては、各端子 2b、7b 上および各端子 2b、7b 間に層間絶縁膜 11 が存在しないよう除去されている。

【0049】

次に、層間絶縁膜 11 上にフォトリソを塗布し、前記のアクリル系透明樹脂を露光する際に用いたマスクを用いてフォトリソを露光後、現像処理を施して、層間絶縁膜 11 と同じパターンのレジスト 15 を形成する。

次に、レジスト 15 をマスクとして、ドライエッチング法によりパッシベーション膜 10 をエッチングしてコンタクトホール 12 の形成、および実装領域 14 におけるパッシベーション膜 10 のエッチングを行う。

パッシベーション膜 10 のドライエッチング条件は、 $\text{CF}_4 + \text{O}_2$ 、または $\text{SF}_6 + \text{O}_2$ 、または他のフッ素系ガス + O_2 ガスによりパッシベーション膜 10 を構成する窒化シリコンをエッチングした後、コンタクトホール 12 底部の残さ物を除去し、次工程で形成される画素電極とドレイン電極 8 との接続抵抗低減を目的として、 O_2 ガスによるアッシング処理を行う。その後、レジスト 15 を除去する。なお、 O_2 ガスによるアッシング処理時には、層間絶縁膜 11 の表面はレジスト 15 で保護されているため、層間絶縁膜 11 の

表面に凹凸は形成されない。

【0050】

その後、実施の形態5と同様の方法により画素電極および各端子2b、7b上にITO膜を形成し、TFTアレイ基板を形成する。

なお、パッシベーション膜10およびゲート絶縁膜4のドライエッチング処理を、まず、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスにより窒化シリコンをエッチングした後、コンタクトホール12底部の残さ物除去を目的として、 O_2 ガスの流量比率を高くした $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理を行うことによって、同様の効果が得られる。

【0051】

本実施の形態によれば、コンタクトホール12底部の残さ物除去を目的とした O_2 ガスのアッシング処理、あるいは O_2 ガスの流量比率を高くした $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスによるエッチング処理を、層間絶縁膜11の表面をレジスト15で保護した状態で行うことにより、層間絶縁膜11の表面には凹凸は形成されず、コンタクトホール12を介しての画素電極とドレイン電極8との接続抵抗を低減できると共に、画素電極形成時に、層間絶縁膜11上のITO膜と、実装領域14における各端子2b、7b間の透明絶縁性基板1上のITO膜のエッチング速度はほぼ同じとなり、一回のエッチング処理により画素電極と実装領域のITO膜13aをパターンニングできる。

【0052】

実施の形態8.

図9はこの発明の実施の形態8による液晶表示装置のTFTアレイ基板の製造工程途中の状態を示す断面図である。なお、図中の符号は図4と同じであるので説明を省略する。

【0053】

次に、本実施の形態による液晶表示装置のTFTアレイ基板の製造工程について説明する。

実施の形態5と同様の方法により、透明絶縁性基板1上にゲート電極2、ゲート電極配線(図示せず)、ゲート端子2b、共通電極3、ゲート絶縁膜4、半導体層5、コンタクト層6、ソース電極7、ドレイン電極8、ソース電極配線(図示せず)、ソース端子(図示せず)、チャンネル部9およびパッシベーション膜10を順次形成する。

次に、感光性を有しないアクリル系透明樹脂をスピンコート法等を用いて塗布し、焼成を行い層間絶縁膜11を形成する。

次に、層間絶縁膜11上にフォトリソを塗布し、露光、現像処理を施して、所定の位置に開口パターンを有するレジスト15を形成する。

【0054】

次に、レジスト15をマスクとして、ドライエッチング法により層間絶縁膜11とパッシベーション膜10をエッチングしてコンタクトホール12の形成、および実装領域14における層間絶縁膜11およびパッシベーション膜10のエッチングを行う。

層間絶縁膜11およびパッシベーション膜10のドライエッチング条件は、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスにより層間絶縁膜11、およびパッシベーション膜10を構成する窒化シリコンをエッチングした後、コンタクトホール12底部の残さ物を除去し、次工程で形成される画素電極とドレイン電極8との接続抵抗低減を目的として、 O_2 ガスによるアッシング処理を行う。その後、レジスト15を除去する。なお、 O_2 ガスによるアッシング処理時には、層間絶縁膜11の表面はレジスト15で保護されているため、層間絶縁膜11の表面に凹凸は形成されない。

その後、実施の形態5と同様の方法により画素電極およびゲート端子2b、ソース端子上にITO膜を形成し、TFTアレイ基板を形成する。

【0055】

なお、層間絶縁膜11およびパッシベーション膜10のドライエッチング処理を、まず、 $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス+ O_2 ガスにより層間絶縁

10

20

30

40

50

膜 1 1 および窒化シリコンをエッチングした後、コンタクトホール 1 2 底部の残さ物除去を目的として、 O_2 ガスの流量比率を高くした $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行うことによって、同様の効果が得られる。

【0056】

本実施の形態によれば、層間絶縁膜 1 1 を安価な感光性を有しないアクリル系透明樹脂を用いて構成し、層間絶縁膜 1 1 のパターンニングは、層間絶縁膜 1 1 表面の保護の目的で形成されるレジスト 1 5 をマスクとして、パッシベーション膜 1 0 のエッチングと一括して行うことができるため、材料コストを低減できると共に、製造工程数を増やすことなく実施の形態 7 と同様の効果が得られる。

10

【0057】

実施の形態 9 .

実施の形態 1 から実施の形態 8 では、実装領域 1 4 において、各端子 2 b、7 b 間に層間絶縁膜 1 1 が存在しないように層間絶縁膜 1 1 を除去したが、表示領域の外側の層間絶縁膜 1 1 をすべて除去する構造としてもよい。

【0058】

また、実施の形態 1 から実施の形態 8 では、パッシベーション膜 1 0 を有する構造としたが、パッシベーション膜 1 0 を有せず、TFT 上に直接層間絶縁膜 1 1 が形成される構造としてもよく、パッシベーション膜を有しない場合は、実施の形態 5 から実施の形態 7 における TFT アレイ基板の製造方法においては、層間絶縁膜 1 1 あるいはレジスト 1 5 をマスクとしたパッシベーション膜 1 0 のエッチング工程が不要となるため、コンタクトホール 1 2 底部の残さ物除去を目的とした O_2 ガスのアッシング処理、あるいは O_2 ガスの流量比率を高くした $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスによるエッチング処理を行うだけでよい。

20

【0059】

また、実施の形態 1 から実施の形態 8 では、層間絶縁膜 1 1 を構成する材料としては、アクリル系以外の透明樹脂を用いてもよい。

また、実施の形態 1 から実施の形態 8 では、コンタクトホール 1 2 形成工程において、ドライエッチング処理に使用する $CF_4 + O_2$ 、または $SF_6 + O_2$ 、または他のフッ素系ガス + O_2 ガスに、面内均一性改善を目的として Ar あるいは He 等を添加して用いてもよい。

30

また、実施の形態 1 から実施の形態 8 では、半導体層 5 としてアモルファスシリコンを用いたが、多結晶シリコンを用い画素最上層構造のデバイスに適用してもよい。

【0060】

【発明の効果】

以上のように、この発明によれば、電極配線および TFT 上に透明樹脂からなる層間絶縁膜を形成してその表面を平坦化し、最上層に画素電極を形成した構造を有することにより開口率の向上を実現する液晶表示装置の製造方法において、層間絶縁膜上に形成された画素電極とドレイン電極を電氣的に接続するコンタクトホール形成のためのドライエッチング条件を最適化して、コンタクトホール底部の残さ物除去を確実に行うと共に、コンタクトホール形成後画素電極を構成する ITO 膜の成膜時には、層間絶縁膜表面に凹凸がない状態とすることにより、画素電極とドレイン電極の接続抵抗を低減できると共に、画素電極形成時に、層間絶縁膜上の ITO 膜と実装領域の端子間に露出した透明絶縁性基板上の ITO 膜を、一回のエッチング処理工程で、端子間に短絡のないかつ良好な形状にパターンニングすることができ、高性能かつ高開口率の液晶表示装置を低コストで製造することができる。

40

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による液晶表示装置の TFT アレイ基板を示す断面図である。

【図 2】 この発明の実施の形態 1 による液晶表示装置の TFT アレイ基板の周辺部の概

50

略平面図である。

【図 3】 この発明の実施の形態 1 による液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。

【図 4】 この発明の実施の形態 3 による液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。

【図 5】 この発明の実施の形態 4 による液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。

【図 6】 この発明の実施の形態 5 による液晶表示装置の T F T アレイ基板を示す断面図である。

【図 7】 この発明の実施の形態 5 による液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。 10

【図 8】 この発明の実施の形態 7 による液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。

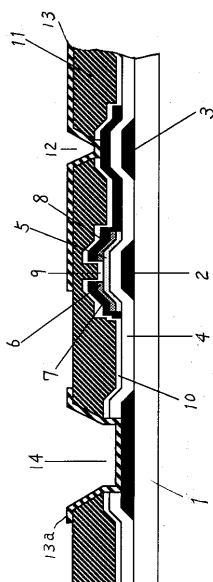
【図 9】 この発明の実施の形態 8 による液晶表示装置の T F T アレイ基板の製造工程を示す断面図である。

【符号の説明】

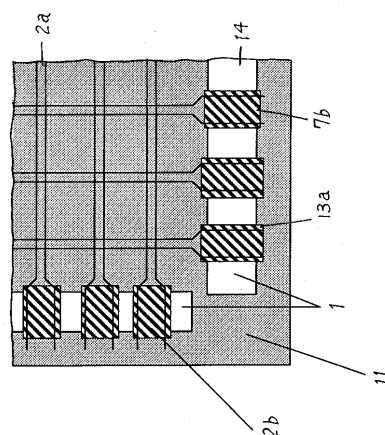
- 1 透明絶縁性基板、2 ゲート電極、2 a ゲート電極配線、
 2 b ゲート端子、3 共通電極、4 ゲート絶縁膜、5 半導体層、
 6 コンタクト層、7 ソース電極、7 a ソース電極配線、
 7 b ソース端子、8 ドレイン電極、9 チャネル部、
 10 パッシベーション膜、11 層間絶縁膜、12 コンタクトホール、
 13 画素電極、13 a I T O 膜、14 実装領域、15 レジスト。

20

【図 1】



【図 2】



フロントページの続き

(51) Int.Cl.

F I

H 0 1 L 29/78 6 2 7 Z

(56) 参考文献 特開平 0 6 - 2 4 2 4 3 3 (J P , A)
特開平 0 8 - 0 1 5 7 3 1 (J P , A)
特開平 1 0 - 2 2 1 7 1 2 (J P , A)
特開平 1 0 - 2 6 8 3 5 3 (J P , A)
特開平 0 4 - 3 2 4 6 8 3 (J P , A)
特開平 1 0 - 2 3 2 4 0 9 (J P , A)
特開平 7 - 1 9 1 3 4 7 (J P , A)
特開平 9 - 9 0 3 7 3 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G02F 1/1368

G02F 1/1343