

申請日期: 87.10.2	案號: 87116508
類別: H03H 9/38	

(以上各欄由本局填註)

發明專利說明書 465181

一、發明名稱	中文	同步延遲電路裝置
	英文	
二、發明人	姓名 (中文)	1. 南 公一郎
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內
三、申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人姓名 (中文)	1. 金子 尚志
	代表人姓名 (英文)	1.



4 6 5 1 8 1

本案已向

國(地區)申請專利

日本 JP

申請日期

案號

主張優先權

1997/10/06 特願平9-272289

有

有關微生物已寄存於

寄存日期

寄存號碼



五、發明說明 (1)

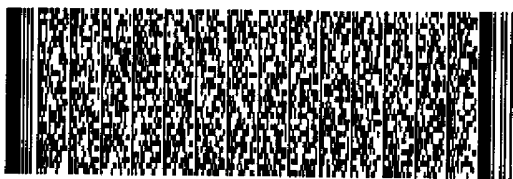
【發明所屬技術領域】

本發明係關於同步延遲電路裝置，其包含主要以半導體積體電路構成之同步延遲電路，且具有控制時計信號之延遲時間的功能。

【習知技術】

在以往於短時間的同步時間內除去時計脈衝相位差的同步延遲電路，由於電路構成之單純及消耗電流較少等原因，已被採用於高速時計同步電路。與此相關連之習知技術，可列舉者有下列之文獻等。亦即例如日本特開平8-237091號公報所揭示之延遲電路裝置，或1996 Symp. on VLSI Circ. pp. 112-113, pp. 192-193., Proc. of IEEE 1992 CICC 25.2., IEICE TRANS. ELECTRON., VOL. E79-C No. 6 JUNE 1996 pp. 798-807所記載者等。

圖7為顯示依習用例之同步延遲電路裝置的基本構成之電路圖。此一同步延遲電路裝置係由下列部分所構成：輸入緩衝器3，輸入時計周期 t_{CK} 之外部時計脈衝CLK1，經第1之延遲時間 $td1$ 再輸出之；時計驅動器4，經第2之延遲時間 $td2$ 而輸出內部時計脈衝CLK2；虛設延遲電路5，具有等於輸入緩衝器3之第1之延遲時間 $td1$ 和時計驅動器4之第2之延遲時間 $td2$ 之合計的延遲時間 $td1+td2$ ；第1延遲電路列1，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路5之輸出開始經一定之期



五、發明說明 (2)

間的時間差；與第2延遲電路列2，由具有一定延遲時間的一定數目之延遲電路所構成，並將所測定的時間予以再現，而向時計驅動器4輸出。

於此，為使延遲電路列1、2與輸入緩衝器3及時計驅動器4之延遲時間 td_1 、 td_2 相等，虛設延遲電路5係由採用與輸入緩衝器3及時計驅動器4完全相同電路之虛設輸入緩衝器5a與虛設時計驅動器5b所構成。

延遲電路列1、2係分別由具有相等之既定延遲時間的一定數目之延遲電路之列所構成，其功能為以延遲電路列1測定一定之期間，且以延遲電路列將所測定的時間予以再現。此一功能之實現方式，係在欲測定之期間中令信號在延遲電路列1中通過，再使該信號通過具有和其已通過的延遲電路數(延遲元件數)相同延遲電路數之延遲電路列2。

如此，於令信號通過延遲電路列1，且能使該信號通過具有和延遲電路列1的延遲元件數相同延遲元件數之延遲電路列2之場合，用以決定延遲電路列2之長度的方式可分為選擇端部或選擇通路整體兩種類。而應用此一手法的同步延遲電路裝置亦有兩類。各自分為兩種類，總共可分為四類。

亦即，若依延遲電路列1與延遲電路列2的方向區分，可分類為：如圖8(習用例2)及圖9(習用例3)所示之電路構成般，延遲電路列1與延遲電路列2的方向相反，欲決定延遲電路列2的電路元件數，係由在延遲電路列2的輸入端側



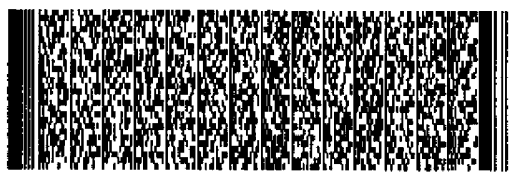
五、發明說明 (3)

之長度決定之；及如圖10(習用例4)及圖11(習用例5)所示之電路構成般，延遲電路列1與延遲電路列2的方向彼此相同，欲決定延遲電路列2的電路元件數，係由在延遲電路列2的輸出端側之長度決定之。

又，關於為決定延遲電路列2之長度而選擇端部或選擇通路整體的分類，圖8(習用例2)與圖11(習用例5)所示者為該當於選擇端部的情形，而圖9(習用例3)與圖10(習用例4)所示者為該當於選擇通路整體的情形。又，圖10(習用例4)的情形，係在延遲電路列1、2之間，配備有由對應於延遲電路列數之數目的門鎖電路所構成之門鎖電路列6，在延遲電路列2的輸出側配備有多重化裝置(MUX)7。又，圖8係相當於日本特開平8-137091號公報所記載的方式。而圖9所示者，係相當於在 IEICE TRANS. ELECTRON., VOL. E79-C、No. 6 JUNE 1996 pp. 798-807所記載的習知技術。又，圖10所示者，係相當於在1996 Symp. on VLSI Circ. pp. 192-193.)所記載的習知技術。圖11所示者，係相當於在1996 Symp. on VLSI Circ. pp. 112-113及在Proc. of IEEE 1992 CICC 25.2所記載的習知技術。

【發明所欲解決之問題】

於前述同步延遲電路之場合，因為脈衝或脈衝緣部在兩個延遲電路列(第1延遲電路列、第2延遲電路列)的穿過速度為一定，故若在低頻率使用，視外部時計脈衝之周



五、發明說明 (4)

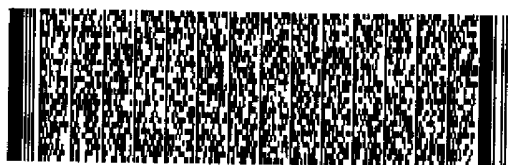
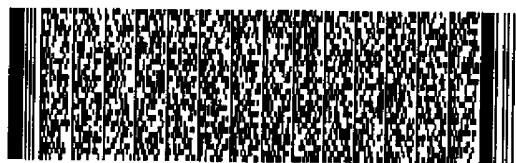
期，有時脈衝或脈衝緣部會溢出第1延遲電路列而無法正常動作。

為因應此一問題，若預先將第1延遲電路列及第2延遲電路列的分別予以加長以使延遲時間加長固可解決之，但在另一方面，於第1延遲電路列及第2延遲電路列所須之延遲電路列的數目亦增多，造成延遲電路列的面積增到，占有率亦變大，故無可避免的招致電路整體規模加大，為其問題點。

本發明係為解決此等問題點而提出者，其技術性課題在於提供能正確地動作以確保適當之延遲時間，且能以小規模構成的一同步延遲電路裝置。

【用以解決課題之方式】

為達成前述目的，依本發明之步延遲電路裝置，具有：輸入緩衝器，輸入外部時計脈衝，經第1延遲時間而予輸出；時計驅動器，輸入內部時計脈衝，經第2延遲時間而予輸出；虛設延遲電路，具有等於前述第1延遲時間與第2延遲時間之總和的延遲時間；第1延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路之輸出開始經一定之期間的時間差；與第2延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，並將所測定的時間予以再現，而向時計驅動器輸出；於此一同步延遲電路裝置中，更備有：裝置狀態測定機構，用以將顯示所測定的裝置狀態之結果的裝置狀態



五、發明說明 (5)

測定信號予以輸出；及延遲時間控制機構，用以依該裝置狀態測定信號控制第1延遲電路列及第2延遲電路列之脈衝或脈衝緣部的前進速度，而控制該一定之延遲時間。

【發明之實施形態】

以下列舉數個實施例，參照附圖以詳細說明本發明之同步延遲電路裝置。

圖1為顯示本發明之同步延遲電路裝置之基本構成的電路圖。此一同步延遲電路裝置，亦與習用裝置同樣備有：輸入緩衝器3，輸入時計周期 t_{CK} 之外部時計脈衝CLK1，經第1之延遲時間 $td1$ 再輸出之；時計驅動器4，經第2之延遲時間 $td2$ 而輸出內部時計脈衝CLK2；虛設延遲電路5，具有等於輸入緩衝器3之第1之延遲時間 $td1$ 和時計驅動器4之第2之延遲時間 $td2$ 之合計的延遲時間 $td1+td2$ ；第1延遲電路列1，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路5之輸出開始經一定之期間的時間差；與第2延遲電路列2，由具有一定延遲時間的一定數目之延遲電路所構成，並將所測定的時間予以再現，而向時計驅動器4輸出。除此之外，另具有：裝置狀態測定機構，用以將顯示所測定的裝置狀態之結果的裝置狀態測定信號予以輸出（於此為用以將顯示外部時計脈衝CLK1之頻率之測定結果的頻率測定信號予以輸出的頻率測定電路10）；及延遲時間控制電路11，用以藉由依該裝置狀態測定信號（於此為頻率測定信號）以控制第1延遲電路

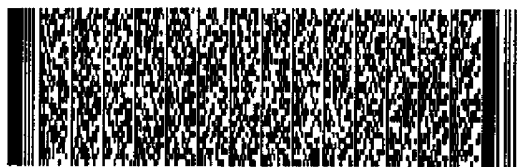


五、發明說明 (6)

列1及第2延遲電路列2之脈衝或脈衝緣部的前進速度，而控制一定之延遲時間。於此，為使延遲電路列1、2與輸入緩衝器3及時計驅動器4之延遲時間 t_{d1} 、 t_{d2} 相等，虛設延遲電路5係由採用與輸入緩衝器3及時計驅動器4完全相同電路之虛設輸入緩衝器5a與虛設時計驅動器5b所構成。

亦即，此處之延遲電路列1、2，係可藉由來自外部之控制信號而改變脈衝或脈衝緣部的前進速度者，連接於延遲時間控制電路11。關於裝置狀態測定機構，除前述頻率測定電路10以外，另有：電壓測定機構，用以將表示所使用之電源電壓之測定結果的電壓值測定信號予以輸出作為裝置狀態測定信號；及不均一測定機構，用以將表示晶片裝置之不均一之測定結果的不均一狀態測定信號予以輸出作為裝置狀態測定信號。此等測定機構可個別或組合其來併用之。

於圖1所示之同步延遲電路裝置之場合，一旦將時計周期 t_{CK} 之外部時計脈衝CLK1輸入，脈衝或脈衝緣部即穿過輸入緩衝器3、虛設延遲電路5及延遲電路列1。其後，一旦次一時計脈衝被輸入至虛設延遲電路5，正穿過延遲電路列1之脈衝或脈衝緣部即被傳送至延遲電路列2。於習用裝置，當延遲電路列1之延遲時間較 $t_{CK}-(t_{d1}+t_{d2})$ 為小時，雖因為正穿過延遲電路列1之脈衝或脈衝緣部不被傳送至延遲電路列2而不動作；然而，於此因依照藉由頻率測定電路10對外部時計脈衝CLK1的頻率測定之結果所得之頻率測定信號，由延遲時間控制電路11控制延遲電路列



五、發明說明 (7)

1、2之整體的延遲時間，故動作為可能。例如，在 $t_{CK}-(t_{d1}+t_{d2})$ 較延遲電路列1之延遲時間為大之場合，延遲時間控制電路11使延遲電路列1、2整體的延遲時間較 $t_{CK}-(t_{d1}+t_{d2})$ 為大，而令動作成為可能。

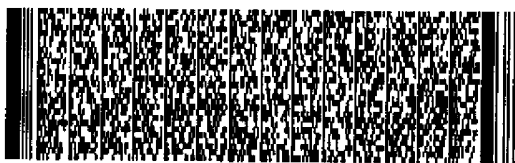
因此，於此一同步延遲電路裝置，藉由測定頻率而控制延遲電路列中的脈衝或脈衝緣部的前進速度，即使對於頻率較慢的時計脈衝亦可令其正常動作。

以下，藉由幾個實施例，說明本發明之同步延遲電路裝置的具體構成。

〔實施例1〕

圖2為顯示本發明之實施例1之同步延遲電路裝置的基本構成的電路圖。此一同步延遲電路裝置，在延遲電路列1、2間配設有由對應於延遲電路數之數目的門鎖電路所構成的門鎖電路列6，且在輸入緩衝器3的輸入側，插設有選擇器12，採用環形振盪器13、計數器14作為外部時計脈衝CLK1的頻率測定機構。延遲電路列1、2藉由數位信號而能控制脈衝或脈衝緣部的前進速度為可變，選擇器12係為了在外部時計脈衝CLK1的頻率測定期間中不使脈衝或脈衝緣部輸入至延遲電路列1、2中而使用者。

於此一同步延遲電路裝置中，外部時計脈衝CLK1一旦被輸入，即經由選擇器12被傳送至環形振盪器13，僅於其周期中令環形振盪器13振盪。以計數器14計數如此而得到的振盪時計次數，藉此方式而以數位值感測得到外部時計



五、發明說明 (8)

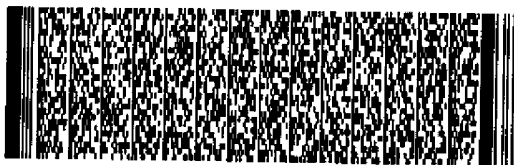
脈衝CLK1之頻率，如此而能獲得頻率測定信號。其後，藉由圖示省略之延遲時間控制電路11，依頻率測定信號所顯示之頻率控制延遲電路列1、2的脈衝或脈衝緣部的前進速度，將延遲電路列1、2整體的延遲時間控制成較

$t_{CK} - (t_{d1} + t_{d2})$ 為大。又，若切換選擇器12將外部時計脈衝CLK1輸入至輸入緩衝器3側，則可施行通常的同步延遲動作而正常地動作。

〔實施例2〕

圖3為顯示本發明實施例2之同步延遲電路裝置的基本構成的電路圖。此一同步延遲電路裝置，在延遲電路列1、2間配設有由對應於延遲電路數之數目的門鎖電路所構成的門鎖電路列6，且在輸入緩衝器3的輸入側，插設有選擇器12，採用頻率測定電路10作為外部時計脈衝CLK1的頻率測定機構。在頻率測定電路10連接以電壓源8，作為控制前進速度的延遲時間控制機構。於此，延遲電路列1、2亦藉由數位信號而能控制脈衝或脈衝緣部的前進速度為可變，選擇器12係為了在外部時計脈衝CLK1的頻率測定期間中不使脈衝或脈衝緣部輸入至延遲電路列1、2中而使用者。

於此一同步延遲電路裝置中，外部時計脈衝CLK1一旦被輸入，即經由選擇器12被傳送至頻率測定電路10，將僅於其周期中令其振盪而得到之外部時計脈衝CLK1之脈衝緣部的次數加以計數，以數位值感測得到外部時計脈衝CLK1



五、發明說明 (9)

之頻率，如此而能獲得頻率測定信號。其後，藉由電壓源8，依頻率測定信號所顯示之頻率控制延遲電路列1、2的脈衝或脈衝緣部的前進速度，將延遲電路列1、2整體的延遲時間控制成較 $t_{CK} - (t_{d1} + t_{d2})$ 為大。又，若切換選擇器12將外部時計脈衝CLK1輸入至輸入緩衝器3側，則可施行通常的同步延遲動作而正常地動作。

〔實施例3〕

圖4為顯示本發明實施例3之同步延遲電路裝置的基本構成的電路圖。此一同步延遲電路裝置，在延遲電路列1、2間配設有由對應於延遲電路數之數目的門鎖電路所構成的門鎖電路列6，且採用脈衝緣部感測電路9作為外部時計脈衝CLK1的頻率測定機構。在脈衝緣部感測電路9連接以延遲時間控制電路11。於此，延遲電路列1、2亦藉由數位信號而能控制脈衝或脈衝緣部的前進速度為可變。

相對於在先前之實施例1或實施例2之裝置中，於將脈衝或脈衝緣部輸入至延遲電路列1、2前，先測定外部時計脈衝CLK1之頻率的構成，於實施例3之同步延遲電路裝置之場合，係一開始即將脈衝或脈衝緣部輸入至延遲電路列1，感測該脈衝或脈衝緣部是否由延遲電路列1溢出，而控制延遲電路列1、2整體的延遲時間。

於此一同步延遲電路裝置中，由最初的周期開始，即將脈衝或脈衝緣部輸入至延遲電路列1，在次一脈衝或脈衝緣部到來之前持續穿過延遲電路列1。在連接於延遲電



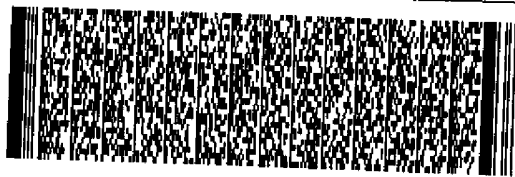
五、發明說明 (10)

路列1的最終段之脈衝緣部感測電路9感測得脈衝緣部之場合，達於最終段之脈衝或脈衝緣部並不被傳送至延遲電路列2而不正常動作，但來自脈衝緣部感測電路9之信號被傳送至延遲時間控制電路11，令延遲電路列1、2整體的延遲時間較 $t_{CK} - (t_{d1} + t_{d2})$ 為大，而自次一周期開始正常動作。

〔實施例4〕

圖5為顯示本發明實施例4之同步延遲電路裝置的基本構成的電路圖。於此一同步延遲電路裝置，須使用作為未圖示之裝置狀態測定機構者有：頻率測定機構，將表示測定外部時計脈衝CLK1之頻率的測定結果之頻率測定信號予以輸出；及電壓測定機構，將表示測定所使用之電源電壓的測定結果之電壓值測定信號予以輸出。另外，並利用延遲時間控制電路11'，其具有輸入頻率測定信號、電壓值測定信號用之外部輸入端子 T_{IN} ，依頻率測定信號、電壓值測定信號以施行脈衝或脈衝緣部的前進速度之控制。於此，延遲電路列1、2亦藉由數位信號而能控制脈衝或脈衝緣部的前進速度為可變。

先前之實施例1至實施例3之裝置，係為了解決在外部時計脈衝CLK1的頻率較低， $t_{CK} - (t_{d1} + t_{d2})$ 較延遲電路列1的延遲時間為大之場合無法正常動作的問題。但本實施例4之同步延遲電路裝置的情形與實施例1至實施例3不同，其目的係解決在對於複數之電源電壓使用的場合無法



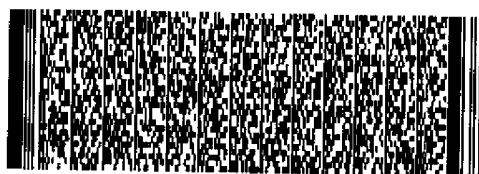
五、發明說明 (11)

正常動作的問題。亦即，於此一同步延遲電路裝置的場合，延遲電路列1、2之整體的延遲時間係依存於電源電壓，其特色為若電源電壓較高則延遲時間即減小，又若電源電壓較低則延遲時間即增大，在電源電壓較高時，若延遲電路列1、2之整體的延遲時間較 $t_{CK}-(t_{d1}+t_{d2})$ 為小即無法正常動作，故利用延遲時間控制電路11'依預先使用之電源電壓與使用之頻率以控制延遲電路列1、2之整體的延遲時間。

於此一同步延遲電路裝置中，因為由外部輸入端子 T_{IN} 輸入頻率測定信號及壓值測定信號的延遲時間控制電路11'，係依頻率測定信號及壓值測定信號而施行在延遲電路列1、2中的脈衝或脈衝緣部的前進速度之控制，故控制延遲電路列1、2之整體的延遲時間俾即令於相異的電源電壓亦可依所使用的頻率而正常動作，對於複數之頻率及電源電壓亦可正常動作。

〔實施例5〕

圖6為顯示本發明實施例5之同步延遲電路裝置的基本構成的電路圖。於此一同步延遲電路裝置，使用作為裝置狀態測定機構者為一不均一測定機構，用以將表示晶片裝置之不均一之測定結果的不均一狀態測定信號予以輸出。此一不均一測定機構藉由來自外部的輸入信號作為不均一狀態測定信號，將熔絲切斷，而控制在延遲電路列1、2中的脈衝或脈衝緣部之前進速度，包含設於延遲電路列1的



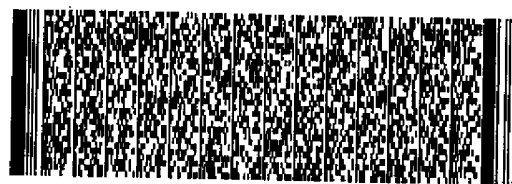
五、發明說明 (12)

兩個外部輸出端子 T_{OUT1} ， T_{OUT2} ，此兩個外部輸出端子用以輸出對於表示電路列整體的延遲時間之測定結果的晶片製程之不均一加以評價的製程不均一信號。

此處之不均一測定電路，係於延遲電路列1、2分別介由MOS電晶體連接於延遲時間控制用之電容器 $C1$ 、 $C2$ 、 $C3$ ，藉由來自外部端子的輸入信號，將熔絲 $H1$ 、 $H2$ 、 $H3$ 切斷，而控制電荷的充放電量，使延遲電路列1、2整體的延遲時間得以控制。亦即，於此一同步延遲電路裝置場合，對於因製程之不均一致使MOS電晶體具低臨限值，造成脈衝或脈衝緣部的前進速度加快，致於延遲電路列1由於脈衝或脈衝緣部溢出而造成誤動作的晶片，藉由將熔絲 $H1$ 、 $H2$ 、 $H3$ 切斷使延遲電路列1、2整體的延遲時間增加，即可抑制之。

此一同步延遲電路裝置之目的係為：在搭載於裝置整體的晶片中，若因製程之不均一致產生P型MOS電晶體或N型MOS電晶體具低臨限值者，即藉由加快在延遲電路列1、2之脈衝或脈衝緣部的前進速度，而使其外部時計脈衝 $CLK1$ 的周期較諸其他晶片相對地加大，藉以使不良品之晶片成為良品。

具體言之，係輸入頻率較通常使用時充分低的外部時計脈衝 $CLK1$ ，以外部測試器測定來自受到製程不均一信號之影響的外部輸出端子 T_{OUT1} ， T_{OUT2} 之脈衝或脈衝緣部的前進速度，而篩選良品或不良品。對於不良品，視其程度，藉由將熔絲 $H1$ 、 $H2$ 、 $H3$ 切斷而控制在延遲電路列1、2中之脈



五、發明說明 (13)

衝或脈衝緣部的前進速度，即可能使其成為良品。

又，關於電容器C1、C2、C3的大小，例如若令其為1:2:4，則可作8階段之控制。同樣地，若準備四種類之電容器C1、C2、C3，可作16階段之控制。

【發明之效果】

如以上說明者，依本發明之同步延遲電路裝置，視外部時計脈衝之頻率之測定、所使用之電源電壓之測定、晶片之裝置不均一之測定等所獲得之裝置狀態的結果，而控制延遲電路列整體的延遲時間，故在低頻率下使用時，亦能防止時計脈衝或時計脈衝緣部溢出初段(第1)之延遲電路列，其結果，乃能正確地動作而確保適當之延遲時間，並能以小規模構成之。

【圖式之簡單說明】

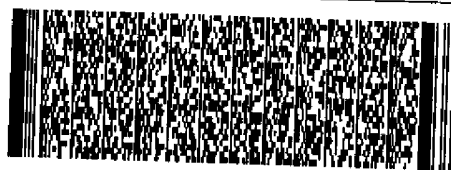
圖1為顯示本發明的同步延遲電路裝置之基本構成的電路圖。

圖2為顯示本發明的實施例1之同步延遲電路裝置之基本構成的電路圖。

圖3為顯示本發明的實施例2之同步延遲電路裝置之基本構成的電路圖。

圖4為顯示本發明的實施例3之同步延遲電路裝置之基本構成的電路圖。

圖5為顯示本發明的實施例4之同步延遲電路裝置之基



五、發明說明 (14)

本構成的電路圖。

圖6為顯示本發明的實施例5之同步延遲電路裝置之基本構成的電路圖。

圖7為顯示習用例1之同步延遲電路之基本構成的電路圖。

圖8為顯示習用例2之同步延遲電路之基本構成的電路圖。

圖9為顯示習用例3之同步延遲電路之基本構成的電路圖。

圖10為顯示習用例4之同步延遲電路之基本構成的電路圖。

圖11為顯示習用例5之同步延遲電路之基本構成的電路圖。

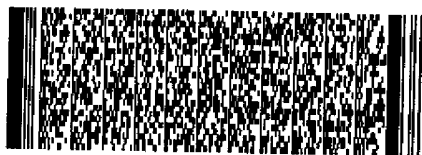
【符號之說明】

- 1, 2~延遲電路列
- 3~輸入緩衝器
- 4~時計驅動器
- 5~虛設延遲電路
- 5a~虛設輸入緩衝器
- 5b~虛設時計驅動器
- 6~門鎖電路列
- 7~多重化裝置
- 8~電壓源



五、發明說明 (15)

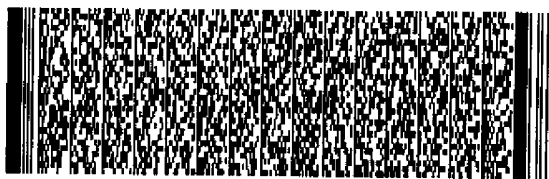
- 9~脈衝緣部感測電路
- 10~頻率測定電路
- 11, 11'~延遲時間控制電路
- 12~選擇器
- 13~環形振盪器
- 14~計數器
- CLK1~外部時計脈衝
- CLK2~內部時計脈衝
- C1、C2、C3~電容器
- H1、H2、H3~熔絲
- T_{IN} ~外部輸入端子 T_{IN}
- T_{OUT1} , T_{OUT2} ~外部輸出端子



四、中文發明摘要 (發明之名稱：同步延遲電路裝置)

一種可正確動作而確保適當之延遲時間 並以小規模構成之同步延遲電路裝置。此同步延遲電路裝置，與習用裝置同樣備有：輸入緩衝器3；時計驅動器4；虛設延遲電路5；延遲電路列1、2，由具有一定延遲時間的一定數目之延遲電路所構成用。除此之外，另具有：頻率測定電路10，將顯示測定外部時計脈衝CLK1之頻率之結果的頻率測定信號輸出；及延遲時間控制電路11，藉由依頻率測定信號以控制延遲電路列1、2之脈衝或脈衝緣部的前進速度，而控制一定之延遲時間。利用延遲時間控制電路11控制取決於外部時計脈衝CLK1之頻率測定結果的一定之延遲時間，而防止使用低頻率時時計脈衝或脈衝緣部溢出延遲電路列1。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種步延遲電路裝置，具有：

輸入緩衝器，具有第1延遲時間並接收外部時計脈衝；

虛設延遲電路，接收來自該輸入緩衝器之輸出信號，具有等於該第1延遲時間與第2延遲時間之總和的延遲時間；

第1延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路之輸出開始經一定之期間的時間差；

第2延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，用以再現所測定之時間差，並輸出此再現時間差；

時計驅動器，接收該再現時間差，具有該第2延遲時間及輸出內部時計脈衝；

延遲時間控制機構，用以於該第1延遲電路列及該第2延遲電路列中控制脈衝或脈衝緣部的前進速度，藉以控制該第1延遲電路列及該第2延遲電路列之整體預定延遲時間；及

裝置狀態測定機構，與該延遲時間控制機構相連結，用以將顯示所測定的裝置狀態之結果的裝置狀態測定信號予以輸出，該延遲時間控制機構對應該裝置狀態測定信號而控制該前進速度。

2. 如申請專利範圍第1項之同步延遲電路裝置，其中，該裝置狀態測定機構包含一頻率測定機構，將表示測定該外部時計脈衝之頻率的測定結果之頻率測定信號予以

六、申請專利範圍

輸出作為該裝置狀態測定信號，而該延遲時間控制機構依該頻率測定信號而控制該整體預定延遲時間。

3. 如申請專利範圍第1項之同步延遲電路裝置，其中，該裝置狀態測定機構包含一電壓測定機構，將表示測定所使用之電源電壓的測定結果之電壓值測定信號予以輸出，而該延遲時間控制機構依該電壓值測定信號而控制該整體預定延遲時間。

4. 如申請專利範圍第1項之同步延遲電路裝置，其中，該裝置狀態測定機構包含一不均一測定機構，用以將與該同步延遲電路裝置相連接之晶片裝置內之不均一狀態測定信號予以輸出，而該延遲時間控制機構依該不均一狀態測定信號而控制該整體預定延遲時間。

5. 如申請專利範圍第4項之同步延遲電路裝置，其中，該第1延遲電路列及第2延遲電路列構成整體延遲電路列，且該第1延遲電路列具有2個外部輸出端，且各該第1延遲電路列及第2延遲電路列係藉由依據該不均一狀態測定信號而以一外部控制信號選擇性地切斷熔絲，以調整該整體延遲電路列之延遲時間。

6. 如申請專利範圍第1項之同步延遲電路裝置，其中，該裝置狀態測定機構包含：一頻率測定機構，將表示測定該外部時計脈衝之頻率的測定結果之頻率測定信號予以輸出；及一電壓測定機構，將表示測定所使用之電源電壓的測定結果之電壓值測定信號予以輸出，而該延遲時間控制機構依該頻率測定信號及該電壓值測定信號控制該整體預定延遲時間。

六、申請專利範圍

專利範圍

7. 一種步延遲電路裝置，具有：

輸入緩衝器，具有第1延遲時間並接收外部時計脈衝；

虛設延遲電路，接收來自該輸入緩衝器之輸出信號，具有等於該第1延遲時間與第2延遲時間之總和的延遲時間；

第1延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路之輸出開始經一定之期間的時間差；

第2延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，用以再現所測定之時間差，並輸出此再現時間差；

時計驅動器，接收該再現時間差，具有該第2延遲時間及輸出內部時計脈衝；及

延遲時間控制器，用以於該第1延遲電路列及該第2延遲電路列中控制脈衝或脈衝緣部的前進速度。

8. 如申請專利範圍第7項之同步延遲電路裝置，其中，更包含：延遲時間控制器，用以於該第1延遲電路列及該第2延遲電路列中控制脈衝或脈衝緣部的前進速度，其中該延遲時間控制器控制整體預定延遲時間。

9. 如申請專利範圍第8項之同步延遲電路裝置，其中，更包含：一裝置狀態測定單元，與該延遲時間控制器相連結，用以將顯示所測定的裝置狀態之結果的裝置狀態測定信號予以輸出，而該延遲時間控制器對應該裝置狀態測定信號而控制該前進速度。



六、申請專利範圍

10. 如申請專利範圍第9項之同步延遲電路裝置，其中，該裝置狀態測定單元包含：一頻率測定單元，將表示測定該外部時計脈衝之頻率的測定結果之頻率測定信號予以輸出作為該裝置狀態測定信號，而該延遲時間控制器依該頻率測定信號而控制該整體預定延遲時間。

11. 如申請專利範圍第9項之同步延遲電路裝置，其中，該裝置狀態測定單元包含一電壓測定裝置，將表示測定所使用之電源電壓的測定結果之電壓值測定信號予以輸出，而該延遲時間控制器依該電壓值測定信號而控制該整體預定延遲時間。

12. 如申請專利範圍第9項之同步延遲電路裝置，其中，該裝置狀態測定單元包含：一不均一測定裝置，用以將與該同步延遲電路裝置相連接之晶片裝置內之不均一狀態測定信號予以輸出，而該延遲時間控制器，依該不均一狀態測定信號而控制該整體預定延遲時間。

13. 如申請專利範圍第12項之同步延遲電路裝置，其中，該第1延遲電路列及第2延遲電路列構成整體延遲電路列，且該第1延遲電路列具有2個外部輸出端，且各該第1延遲電路列及第2延遲電路列係藉由依據該不均一狀態測定信號而以一外部控制信號選擇性地切斷熔絲，以調整該整體延遲電路列之延遲時間。

14. 如申請專利範圍第9項之同步延遲電路裝置，其中，該裝置狀態測定單元包含：一頻率測定單元，將表示測定該外部時計脈衝之頻率的測定結果之頻率測定信號予以輸出作為該裝置狀態測定信號；一電壓測定單元，將表

六、申請專利範圍

示測定所使用之電源電壓的測定結果之電壓值測定信號予以輸出，而該延遲時間控制器依該頻率測定信號及該電壓值測定信號而控制該整體預定延遲時間。

15. 如申請專利範圍第9項之同步延遲電路裝置，其中，該延遲時間控制器藉由調整供應至一電壓值控制變數電容器之電壓值，而控制整體預定延遲時間。

16. 如申請專利範圍第9項之同步延遲電路裝置，其中，該第1延遲電路列及第2延遲電路介著一串聯電路而連接至接地端，該串聯電路包含：一電容器，與一電晶體相連接；一切換單元，連接至一含熔絲之設定電路，

其特徵為：該切換單元由來自一外部端之控制信號所啟動，用以選擇性地增加各該第1延遲電路列及第2延遲電路列之一延遲時間。

17. 一種延遲電路裝置，具有：

虛設延遲電路；

第1延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路之輸出開始經一定之期間的時間差；

第2延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，用以再現該一定之期間之測定時間差，並輸出此再現時間差；

延遲時間控制器，用以於該第1延遲電路列及該第2延遲電路列中控制脈衝或脈衝緣部的前進速度，藉以控制該第1延遲電路列及該第2延遲電路列之整體預定延遲時間；及裝置狀態測定單元，與該延遲時間控制器相連結，用以將

六、申請專利範圍

顯示所測定的裝置狀態之結果的裝置狀態測定信號予以輸出，而該延遲時間控制器對應該裝置狀態測定信號而控制該前進速度。1. 一種步延遲電路裝置，具有：

輸入緩衝器，具有第1延遲時間並接收外部時計脈衝；

虛設延遲電路，接收來自該輸入緩衝器之輸出信號，具有等於該第1延遲時間與第2延遲時間之總和的延遲時間；

第1延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路之輸出開始經一定之期間的時間差；

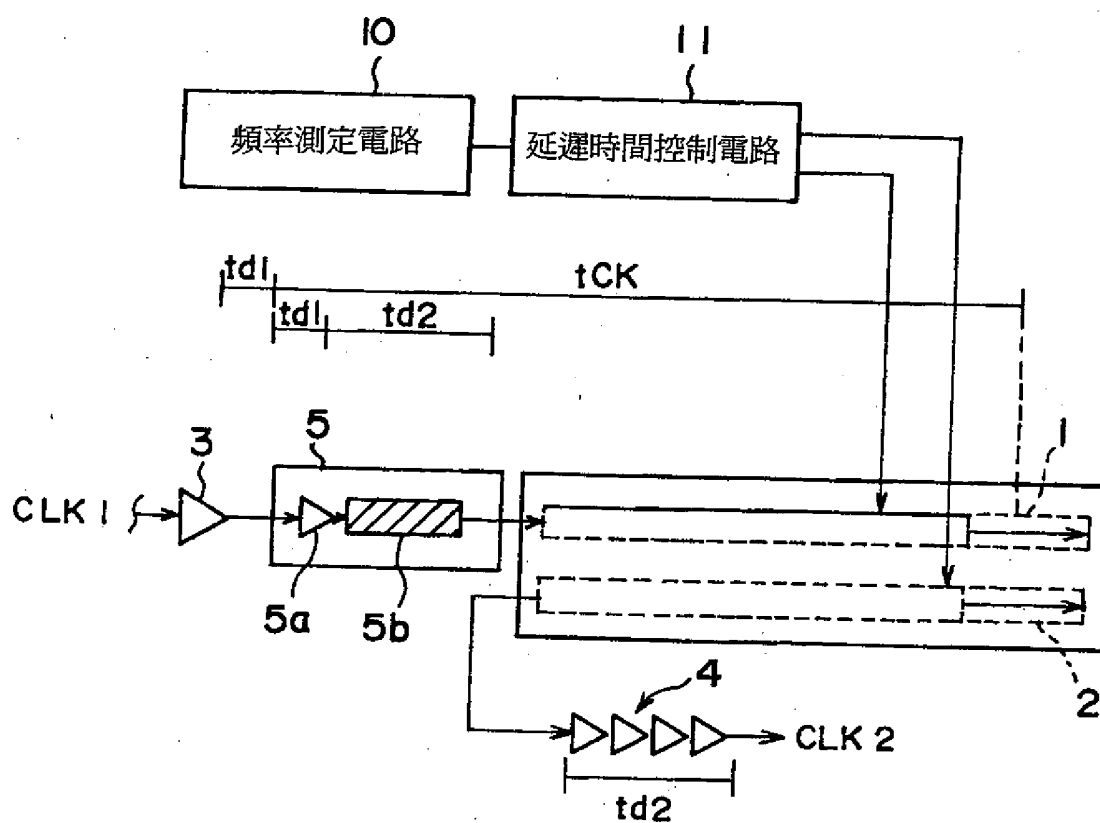
第2延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，用以再現所測定之時間差，並輸出此再現時間差；

時計驅動器，接收該再現時間差，具有該第2延遲時間及輸出內部時計脈衝；

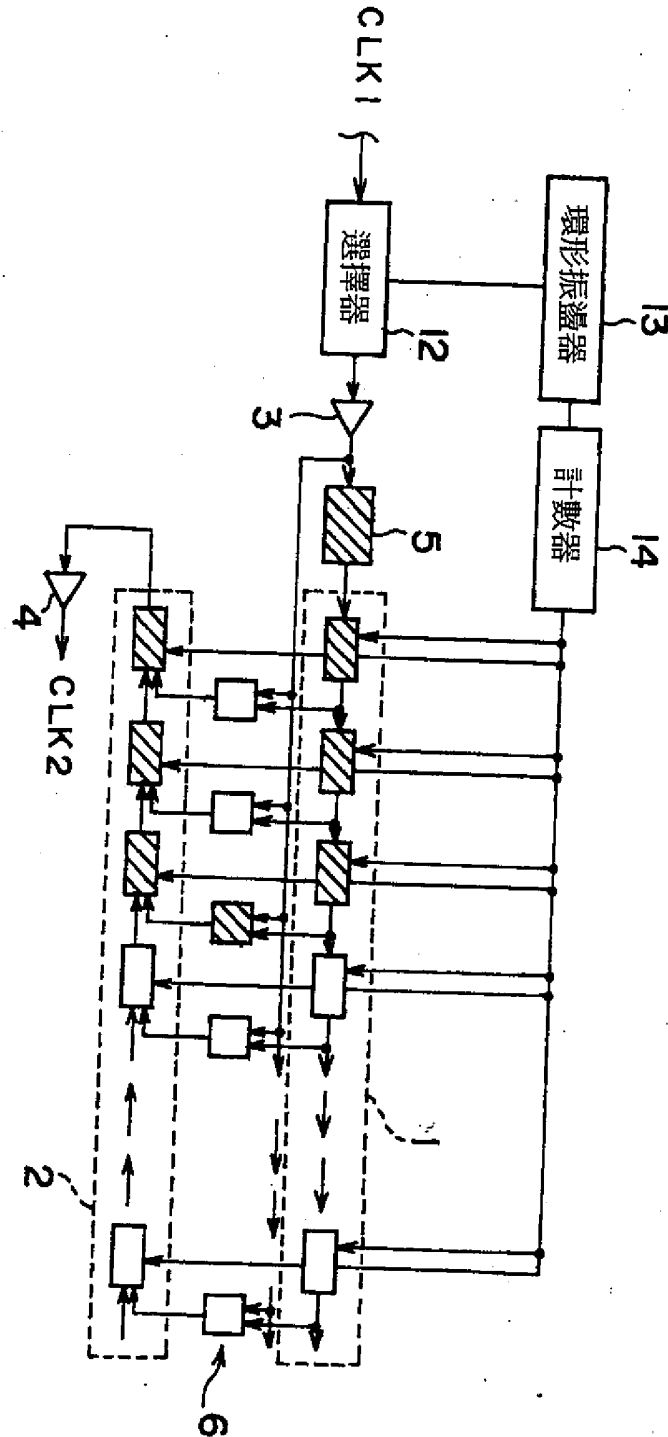
延遲時間控制機構，用以於該第1延遲電路列及該第2延遲電路列中控制脈衝或脈衝緣部的前進速度，藉以控制該第1延遲電路列及該第2延遲電路列之整體預定延遲時間；及

裝置狀態測定機構，與該延遲時間控制機構相連結，用以將顯示所測定的裝置狀態之結果的裝置狀態測定信號予以輸出，該延遲時間控制機構對應該裝置狀態測定信號而控制該前進速度。

圖式

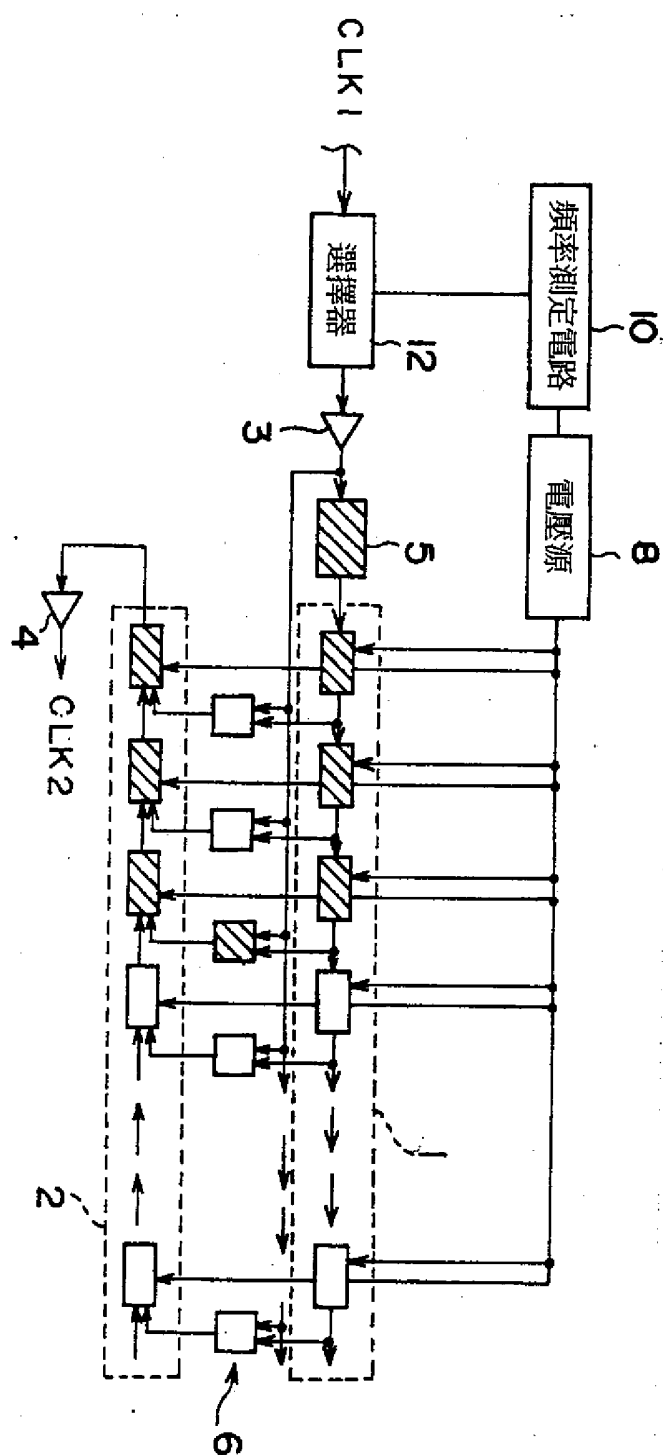


圖式

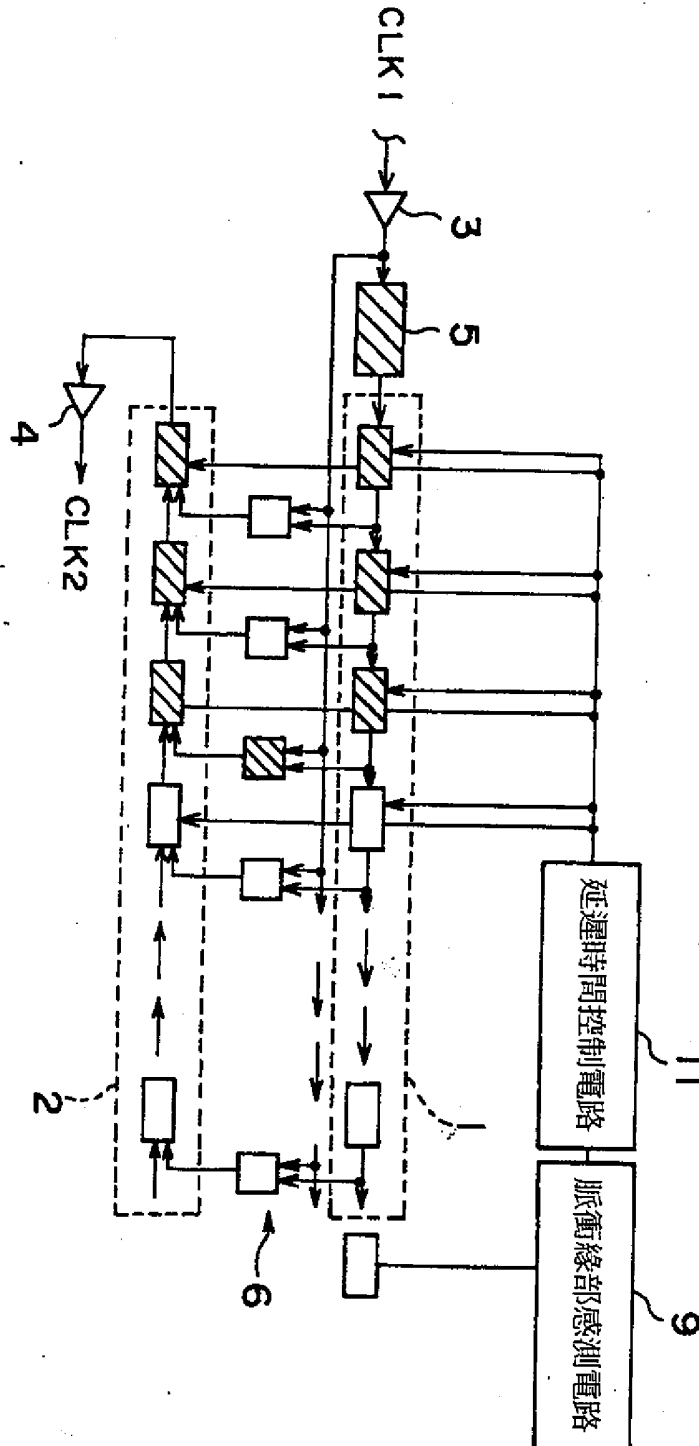


第2圖

圖式

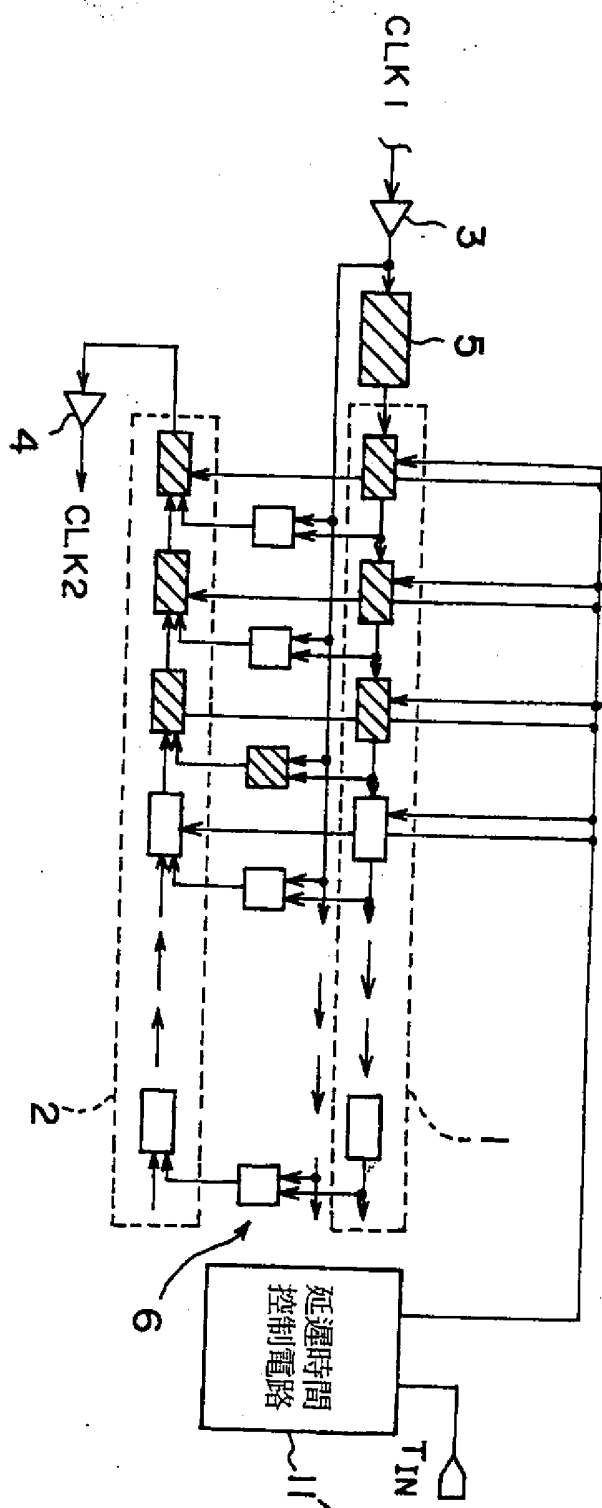


圖式



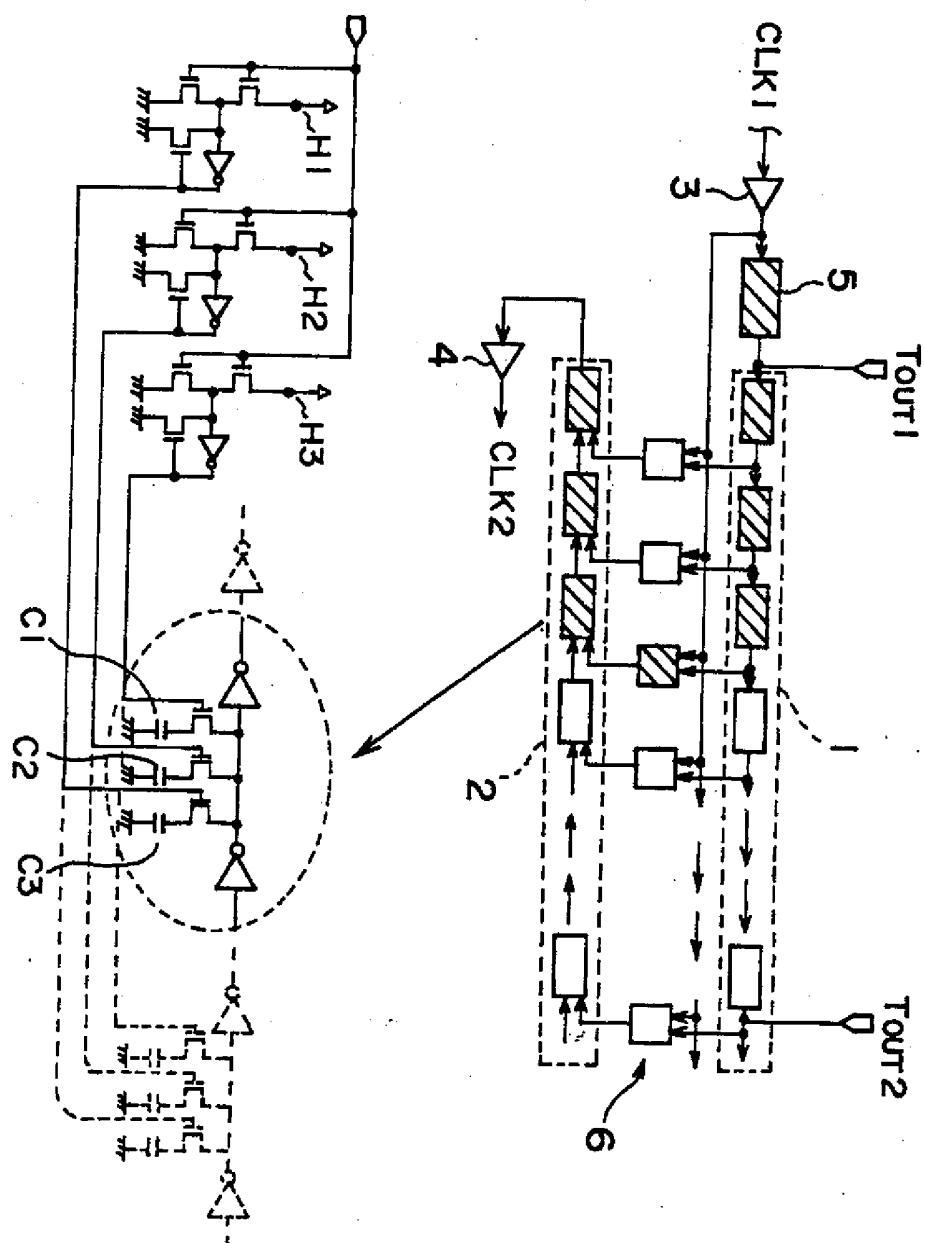
第4圖

圖式



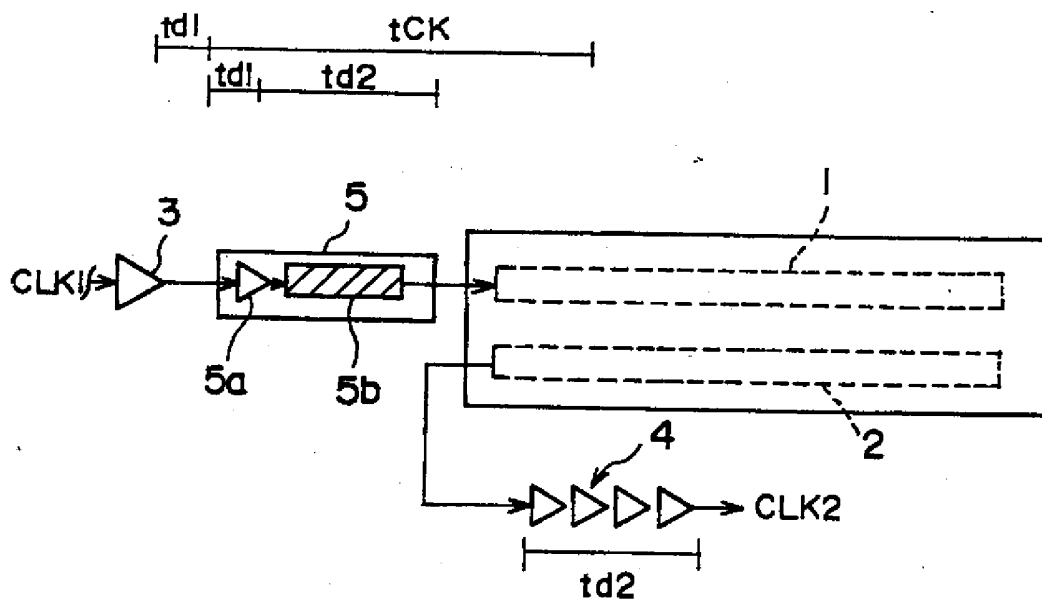
第5圖

圖式

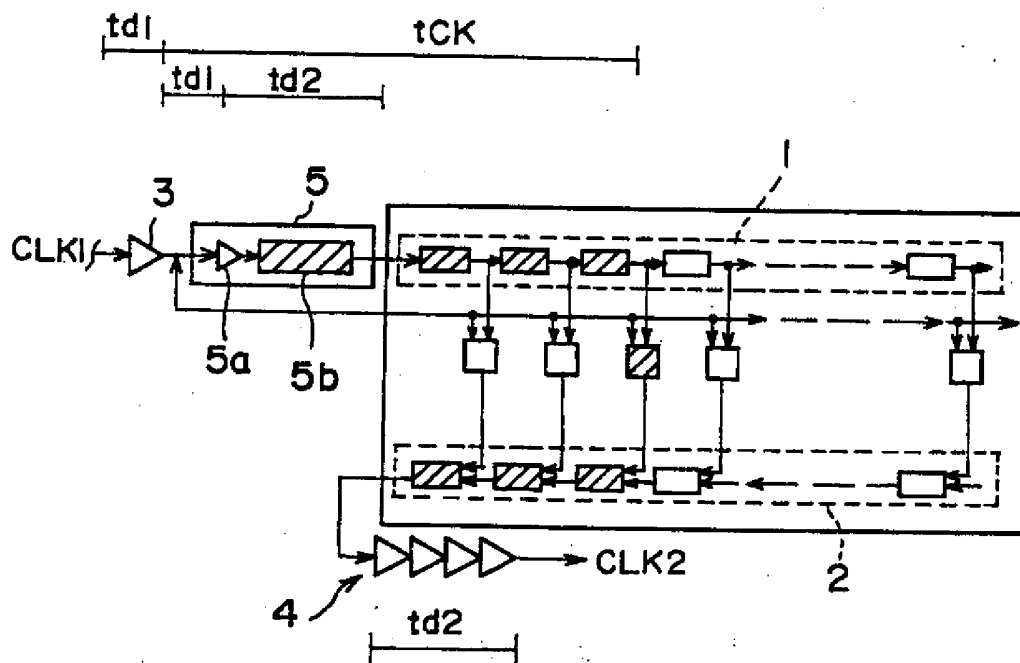


第6圖

圖式

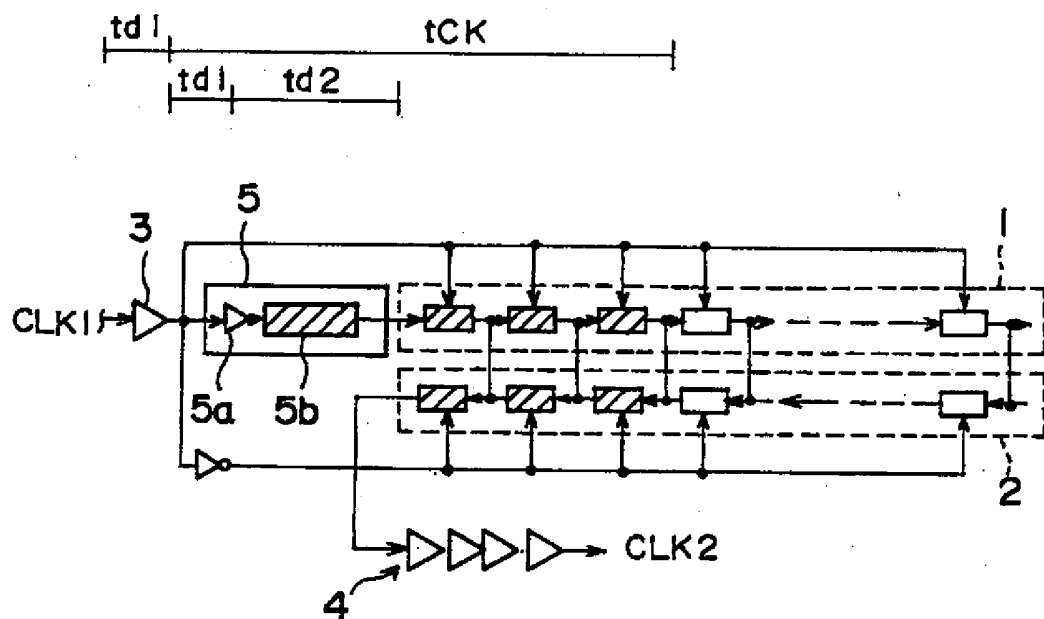


第 7 圖

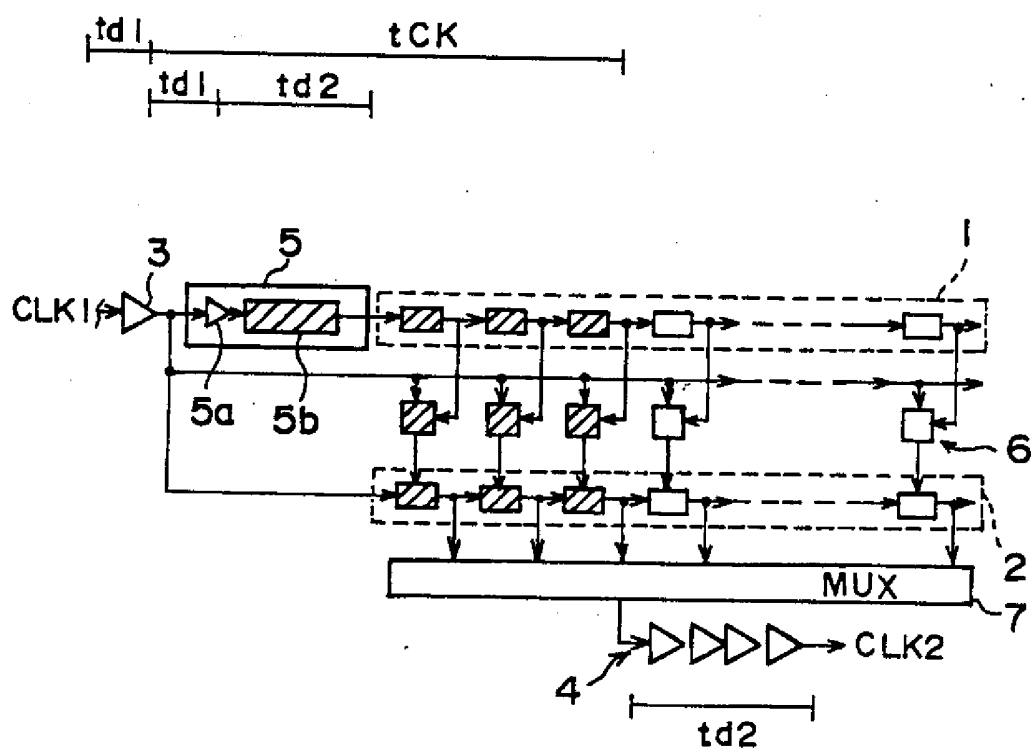


第 8 圖

圖式

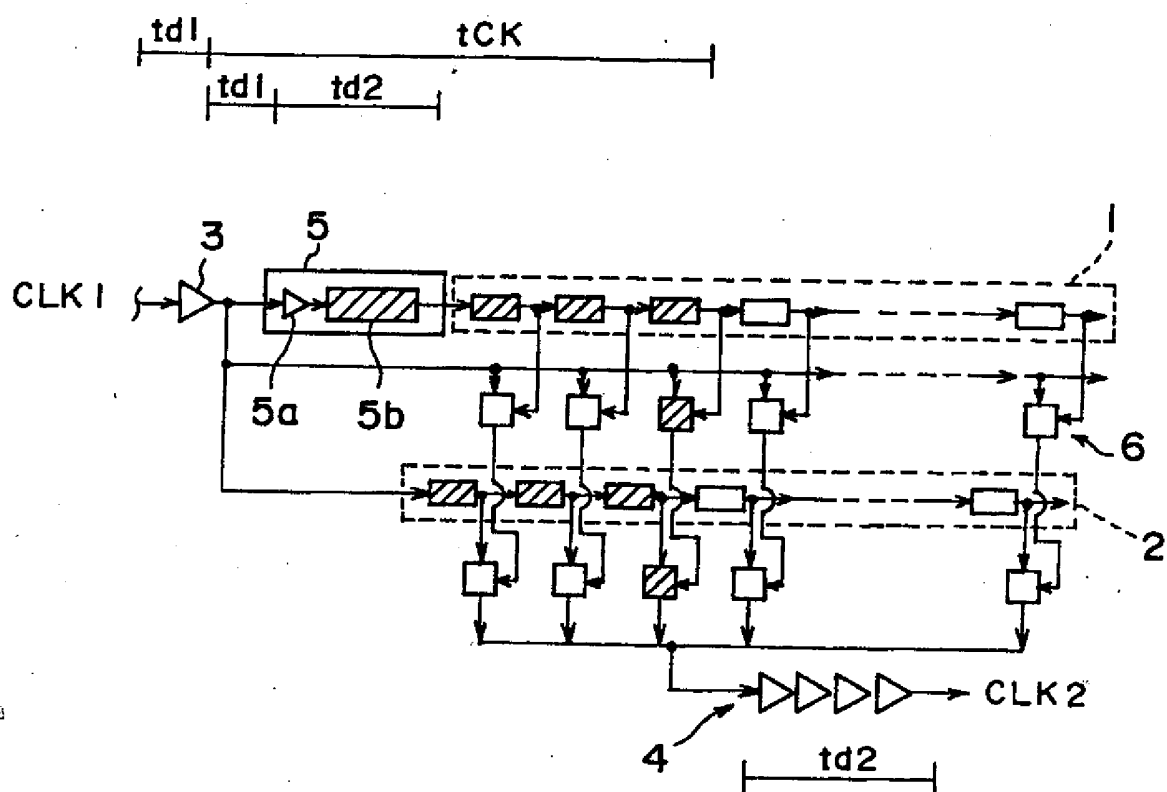


第 9 圖



第 10 圖

圖式



第 11 圖

六、申請專利範圍

1. 一種步延遲電路裝置，具有：

輸入緩衝器，具有第1延遲時間並接收外部時計脈衝；

虛設延遲電路，接收來自該輸入緩衝器之輸出信號，具有等於該第1延遲時間與第2延遲時間之總和的延遲時間；

第1延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，並用以測定自虛設延遲電路之輸出開始經一定之期間的時間差；

第2延遲電路列，由具有一定延遲時間的一定數目之延遲電路所構成，用以再現所測定之時間差，並輸出此再現時間差；

時計驅動器，接收該再現時間差，具有該第2延遲時間及輸出內部時計脈衝；

延遲時間控制機構，用以於該第1延遲電路列及該第2延遲電路列中控制脈衝或脈衝緣部的前進速度，藉以控制該第1延遲電路列及該第2延遲電路列之整體預定延遲時間；及

裝置狀態測定機構，與該延遲時間控制機構相連結，用以將顯示所測定的裝置狀態之結果的裝置狀態測定信號予以輸出，該延遲時間控制機構對應該裝置狀態測定信號而控制該前進速度。

2. 如申請專利範圍第1項之同步延遲電路裝置，其中，該裝置狀態測定機構包含一頻率測定機構，將表示測定該外部時計脈衝之頻率的測定結果之頻率測定信號予以