

發明專利說明書²⁰⁰³⁰²⁵⁶⁹

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 91133883 ※IPC分類： H01L27/10

※ 申請日期： 91.11.20.

壹、發明名稱

(中文) 電晶體及使用其之半導體記憶體

(英文) _____

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 三井田 高

(英文) _____

(中文) 日本神奈川縣橫濱市港北區新橫濱 3 丁目 17 番 6 號
住居所地址： 伊諾鐵克股份有限公司內

(英文) _____

國籍：(中文) 日本

(英文) _____

參、申請人 (共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 伊諾鐵克股份有限公司

(英文) _____

(中文) 日本神奈川縣橫濱市港北區新橫濱 3 丁目
住居所或營業所地址： 17 番 6 號

(英文) _____

國籍：(中文) 日本

(英文) _____

代表人：(中文) 川島良一

(英文) _____

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2001.11.22.；2001-358308
2. 日本；2002.06.11.；2002-169749
3. 日本；2002.11.06.；2002-322905
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明係有關多值電晶體及使用其之半導體記憶體，以及多值電晶體之驅動方法，更詳言之，本發明係有關對電晶體記憶體之多值化有用的技術。

【先前技術】

EEPROM (Electrically Erasable Programmable Read Only Memory)等之非易失性記憶體係搭載在行動電話等，現在正廣泛地普及。通常，EEPROM 係在 1 個單元電晶體中，只能寫入 1 位元之資訊。但是，爲了欲圖元件之小型化，欲圖單元電晶體之多值化，較佳係在 1 個單元電晶體中，能寫入 2 位元以上。

第 26 圖係表示該多值技術之一例。第 26 圖係習知例之多值單元電晶體之截面圖。該多值技術係詳載在美國專利第 6,011,725 號說明書。

在第 26 圖中，單元電晶體 1 係具有所謂的 MONOS (Metal Oxide Nitride Oxide Semiconductor)構造。構成該 MONOS 構造，係控制閘極 7(金屬)、矽氧化膜 6(氧化物)、矽氮化膜 5(氮化物)、矽氧化膜 4(氧化物)、以及 p 型矽基板 2(半導體)。

在該單元電晶體 1 中，n 型之源極-汲極領域(3、8)係寫入程序和讀取程序之各種階段(stage)，會在源極汲極間進行轉變。即，不能確定源極-汲極領域(3、8)之哪個爲源極，哪個爲汲極。因此，當爲源極時，在源極-汲極領域(3、8)

之中，係指釋放載子(在此例中，係指電子)，而汲極係指另一方。

爲了將資料寫入到該單元電晶體 1，係採用第 27A 圖之方法。該方法係將源極 8 加以接地，對汲極 3 和控制閘極 7 供應適當之正電位 V_{D1} 、 V_{G1} 。

藉此，用源極-汲極領域(8、3)間之電場使電子加速，在汲極 3 附近產生熱電子。熱電子係藉由與聲子(phonon)等之撞擊、或控制閘極 7 之正電位，超越矽氧化膜 4 之能障，注入在矽氮化膜 5。在矽氮化膜 5 中，因無導電性，故所注入之熱電子係在矽氮化膜 5 中，局部存在於靠近汲極 3 之部位(稱爲右側位元 208)。該狀態爲“(1,0)”狀態。

若轉換源極-汲極電壓來進行相同動作的話，則如第 27B 圖所示，在矽氮化膜 5 中，電子局部存在於靠近汲極 8 之部位(稱爲左側位元 206)，能得到“(0,1)”狀態。

第 28A 圖～第 28D 圖係表示用該單元電晶體 1 能達成之 4 值狀態。“(1,1)”狀態(參照第 28A 圖)係在左右之任一位置中，都不儲存電子。又，“(0,0)”狀態(參照第 28D 圖)係在左右之兩位置中，儲存電子。這樣一來，在單元電晶體 1 中，能寫入 4 位置之資料。但是，爲了把熱電子注入到矽氮化膜 5，該寫入方法必須將高電位 V_{G1} 施加在控制閘極 7，這一點並不理想。

熱電子爲了注入在矽氮化膜 5，必須從矽基板 2 之導電帶至矽氧化膜 4 之導電帶進行穿隧。這些導電帶間之能量差約爲 3.2eV。

但是，熱電子係在與矽基板 2 中之聲子衝撞之際，因失去能量，故即使將 3.2V 之電壓施加在控制閘極 7 中，也不能將上述之導電帶加以穿隧。因此，實際上，必須將 12 ~ 13V 之高電壓 V_{G1} 施加在控制閘極 7。

供應該高電壓的是解碼器電路(未圖示)中之高耐壓電晶體，但高耐壓電晶體不能進行微細化。這是因為若進行微細化的話，會產生高耐壓電晶體之源極-汲極被穿通之不良情況之故。因此，該寫入方法，不能縮小含有解碼器電路之 EEPROM 全體之晶片大小。

另一方面，係對各源極-汲極領域(3、8)轉換施加電壓，藉此來計測 2 種汲極電流，比較各汲極電流值和基準電流值之大小來進行讀取。

“(0,0)”狀態(參照第 28D 圖)係電子局部存在於兩位元中，故矽氮化膜 5 之電位係在 4 值中變成最低。因此，單元電晶體 1 之閾值電壓變成最高，汲極電流幾乎不流動。該汲極電流值係即使轉換源極-汲極領域(3,8)之施加電壓也相同，幾乎為 0。因此，2 種汲極電流值係同時被計測出較基準電流小。

“(1,1)”狀態(參照第 28A 圖)係在兩位元中，無電子，故矽氮化膜 5 之電位在 4 值中，為最高。因此，閾值電壓在 4 值中，變成最低，汲極電流流動最多。該汲極電流值即使轉換源極-汲極領域(3,8)也相同，在 4 值之中，為最大。即，2 種汲極電流值係同時被計測出較基準電流大。

另一方面，“(1,0)”和“(0,1)”之各狀態(參照第 28B

圖及第 28C 圖)係電子只局部存在一側之位元中，故單元電晶體 1 成為左右非對稱，若轉換源極-汲極領域(3,8)之施加電壓的話，則汲極電流值相異。

因此，“(1,0)”和“(0,1)”之分別，係在 2 種汲極電流中，判定哪個較基準電流大(或小)，藉此來進行。

但是，該讀取方法係在讀取之“(1,0)”或“(0,1)”之際，汲極電流之電流窗小，這點並不理想。所謂電流窗係指在讀“(1,0)”或“(0,1)”之際，轉換源極-汲極領域(3,8)之施加電壓後所測得之 2 種汲極電流值之差。

電流窗係在矽氮化膜 5 之右端(或左端)，電子確實地局部存在，因此，單元電晶體 1 係在具有明確的非對稱性之情形，較符合要求。

但是，在單元電晶體 1 中，電子在矽氮化膜 5 上，具有某程度之廣泛分布，故非對稱性不易出現。特別是，為了欲圖單元縮小，若縮短閘極長度 L(參照 27A 圖)的話，在左右任一位元中，電子局部存在變成不明確，故單元電晶體 1 之非對稱性變小，因此，電流窗也變小。這樣一來，若電流窗變小的話，因汲極電流和基準電流值界限變小，故誤認寫入資料之危險性變高。

又，單元電晶體 1 在缺乏頻帶間穿隧耐性之點也不佳。針對此，參照第 29 圖加以說明。第 29 圖係表示單元電晶體 1 為非選擇狀態之情形。在應為非選擇狀態之控制閘極 7 中，也供應較讀取時低電位之接地電位。另一方面，在所選擇之其他單元電晶體之汲極中，施加正電位 V_{D1} ，正

電位 V_{D1} 在行方向之單元為共通，故在汲極 3 中，施加正電位 V_{D1} 。

在該狀態下，矽氮化膜 5 和汲極 3 之電位差 ΔV ，因控制閘極 7 之電位成為低電位，故較讀取時大。特別是，當電子局部存在矽氮化膜 5 時，因電子而使矽氮化膜 5 之電位下降，故電位差 ΔV 進一步變大。但是，若電位差 ΔV 這樣變大的話，則在汲極 3 和矽氮化膜 5 之間，穿隧電流流動，因穿隧電流而產生矽氧化膜 4 惡化之問題。

又，因電位差 ΔV 大，故汲極 3 之端緣曝露在高電場，在汲極 3 和基板 2 之 pn 接合，容易引起擊穿。藉由該擊穿，如圖內所示，熱洞 210 和電子係成對產生。其中，熱洞 210 係被吸引到低電位側(矽氮化膜 5 側)，通過矽氧化膜 4。因此，矽氧化膜 4 也因熱洞 210 而變成惡化。該現象稱為單元電晶體 1「頻帶間穿隧耐性差」。

【發明內容】

本發明係鑑於該習知例之問題點而提出者，其目的在於提供較習知寫入電壓低且電流窗廣之多值電晶體及使用其之半導體記憶體中，能消除浮動閘極所儲存之電荷，並且，提供多值電晶體之驅動方法。

但是，關於 EEPROM 等之非易失性記憶體，也有如下之問題。EEPROM 係被搭載在行動電話等而廣泛普及。一般而言，最重要的係記憶體之每 1 位元之單價低，因此，必須用單純的構造，來構成記憶體單元。

另一方面，在這些記憶體中，提高寫入速度係最關心

之事。例如，考慮從便利商店等零售商等所設置之終端機，下載音樂資料。該情形，希望能用數秒左右，下載相當於 1 片 CD 份之音樂資料。

爲了提高寫入速度，考慮縮小寫入電流係一種解決對策。若寫入電流變小的話，則在複數位元之記憶單元中，能並列寫入，可提高寫入速度之故。

就縮小寫入電流之習知技術而言，例如，有揭示在 T.Kobayashi 等、「AGiga-Scale Assist-Gate(AG)-AND-Type Flash Memory Cell with 20-MB/s Programming Throughput for Content-Downloading Applications」、International ELECTRON DEVICES Meeting (IEDM) 2001, Washington, DC, December 2-5, 2001, .2.2.1 頁～.2.2.4 頁者。該技術係在 MOS 半導體之通道領域之上部設置浮動閘極，並且在浮動閘極之上部設置控制閘極，在通道領域上部之一部分不設置浮動閘極，而設置輔助閘極。輔助閘極係對浮動閘極控制儲存(寫入)電荷，能使用少的寫入電流。

上述之習知技術係必須設置輔助閘極，在記憶體單元構造複雜化之點有問題。

本發明之其他目的係提供解決該習知技術之缺點，具有單純的構造，且提高寫入速度之電晶體。

上述問題藉由電晶體能加以解決，該電晶體之特徵在於，具備：

第一導電型半導體基板，係設置具有對向之一對側面之凸部；

第 1 絕緣膜，係形成在前述凸部之頂面上；

一對逆導電型源極-汲極領域，係隔著前述凸部形成在前述半導體基板之表面；

第 2 絕緣膜，係被覆前述凸部之側面和前述源極-汲極領域；

一對浮動閘極，係設置在前述凸部之各側面側，透過第 2 絕緣膜而與前述側面和源極-汲極領域對向；

第 3 絕緣膜，係形成在前述各浮動閘極上；以及

控制閘極，係透過前述第 3 絕緣膜而與前述各浮動閘極對向，且透過前述第 1 絕緣膜而與前述凸部之頂面對向；

前述第 2 及第 3 絕緣膜，係形成具有較前述第 1 絕緣膜為大之靜電電容；

在前述控制閘極和前述源極-汲極領域之間，係施加用來消除前述浮動閘極中之儲存電荷之消除電壓，並使消除電流流向前述控制閘極或前述源極-汲極領域，以消除前述儲存電荷。

或是，上述之問題藉由電晶體能加以解決，該電晶體之特徵在於，具備：

第一導電型半導體基板，係設置具有對向之一對側面之凸部；

第 1 絕緣膜，係形成在前述凸部之頂面上；

一對逆導電型源極-汲極領域，係隔著前述凸部形成在前述半導體基板之表面；

第 2 絕緣膜，係被覆前述凸部之側面和前述源極-汲極領域；

一對浮動閘極，係設置在前述凸部之各側面側，透過第 2 絕緣膜而與前述側面和源極-汲極領域對向；

第 3 絕緣膜，係形成在前述各浮動閘極上；以及

控制閘極，係透過前述第 3 絕緣膜而與前述各浮動閘極對向，且透過前述第 1 絕緣膜而與前述凸部之頂面對向；

藉由與該凸部之頂面對向之控制閘極，來控制與該控制閘極對向之通道領域之導通/不導通狀態；

在前述控制閘極和前述源極-汲極領域之間，係施加用來過消除前述浮動閘極中之儲存電荷之消除電壓，將浮動閘極中之儲存電荷加以過消除，以使該浮動閘極所儲存之電荷實質上成為 0 以下之狀態。

或是，上述之問題藉由電晶體能加以解決，該電晶體，係包含：

係包含：在第一導電型半導體基板之表層所形成之一對逆導電型源極-汲極領域、浮動閘極、及控制閘極，將電荷儲存在該浮動閘極，藉此能記憶資料，該浮動閘極係設置成只與位於前述源極-汲極領域之間之通道領域之一部分對向，其特徵在於：

在前述浮動閘極和前述源極-汲極領域之間，施加用來過消除前述浮動閘極中之儲存電荷之消除電壓，以使前述浮動閘極所儲存之電荷實質上成為 0 以下之狀態的方式來

進行過消除。

本發明係在電晶體中，當浮動閘極係只設置在位於 2 個逆導電型領域間之通道領域之一部分時，能進行過消除，藉由過消除，以提高寫入效率為著眼者。消除機構係至少將消除用電壓施加在控制閘極，將浮動閘極所儲存之電荷加以過消除。然後，當進行通常之寫入時，由於提高寫入效率，故能用少的寫入電流來進行寫入。

此處，所謂過消除係指浮動閘極所儲存之電子從浮動閘極抽出，浮動閘極所儲存之電子數實質上係「0」個以下之狀態。該狀態之時，記憶體單元之閾值電壓約為 0V 或 0V 以下。此處，所謂電子數較「0」個少係指在浮動閘極中，儲存正的電荷(hole)。

藉由過消除來提高寫入效率之理由，係藉由過消除來使浮動閘極之電壓變高，與通道領域之電位差變大之故。

或是，在過消除後，能對前述浮動閘極進行寫入或讀取。

或是，較佳係將消除用電壓施加在控制閘極之期間維持在既定之時間，藉此來進行過消除。

或是，使用福勒諾爾德哈姆(Fowler Nordheim)電流，來消除浮動閘極所儲存之電荷，也可將浮動閘極所儲存之電荷進行過消除，以使福勒諾爾德哈姆電流較既定值少。

或是，較佳係在成為消除對象之浮動閘極中，至少對未進行資料寫入之浮動閘極，進行注入電荷之電荷注入動作。

進行電荷注入動作之理由如下。當對處於未進行資料寫入之“0”邏輯狀態之浮動閘極(以下稱爲「未寫入浮動閘極」)，進行重複多次之過消除，若未進行電荷注入的話，則未寫入浮動閘極會被強制性地重複進行抽取電荷(例如電子)之操作。其結果，在過消除狀態(即飽和狀態)下穩定之未寫入浮動閘極係成爲超越飽和狀態之電子缺乏狀態(以下稱爲「過剩消除狀態」)，會產生閾值電壓等變化之可能性。

若在過消除動作前進行電荷注入動作的話，則在進行多次過消除之情形，與未進行注入動作時相較，係對未寫入浮動閘極(持續未進行資料寫入之狀態)，沒有重複進行只除去電荷之操作。

或是，在能實施寫入之寫入電壓值中，能使用位於最小電壓值附近之第 2 寫入電壓，對浮動閘極進行資料之寫入。

在本發明中，與習知技術比較，藉由過消除，能提高寫入效率，該寫入效率係在能實施寫入之寫入電壓值中，當最小之電壓值時，成爲最大。因此，在能實施寫入之寫入電壓值中，用最小之電壓值來進行寫入，藉此能將寫入電流加以最小化，能同時對多數之記憶體單元進行寫入，實效性的寫入速度能進行高速化。

或是，也可將上述之電晶體沿行方向及列方向複數排列來構成之半導體記憶體。

或是，較佳係半導體記憶體，其特徵係沿行方向鄰接

之單元電晶體之源極-汲極領域係共通，沿列方向鄰接之單元電晶體彼此間係共用控制閘極，且共用單元電晶體之源極-汲極領域。

或是，上述之問題藉由電晶體之驅動方法能加以解決，該電晶體係具備：第一導電型半導體基板，係設置具有對向之一對側面之凸部；第 1 絕緣膜，係形成在前述凸部之頂面上；一對逆導電型源極-汲極領域，係隔著前述凸部形成在前述半導體基板之表面；第 2 絕緣膜，係被覆前述凸部之側面和前述源極-汲極領域；一對浮動閘極，係設置在前述凸部之各側面側，透過第 2 絕緣膜而與前述側面和源極-汲極領域對向；第 3 絕緣膜，係形成在前述各浮動閘極上；以及控制閘極，係透過前述第 3 絕緣膜而與前述各浮動閘極對向，且透過前述第 1 絕緣膜而與前述凸部之頂面對向；前述第 2 及第 3 絕緣膜，係形成具有較前述第 1 絕緣膜為大之靜電電容；其特徵在於，包含：

消除步驟，係在前述控制閘極和前述源極-汲極領域之間，施加用來消除前述浮動閘極中之儲存電荷之消除電壓，並使消除電流流向前述控制閘極或前述源極-汲極領域，以消除前述儲存電荷。

【實施方式】

其次，針對本發明之實施例，一面參照所附圖式，一面進行詳細說明。

(1)元件構造

第 1 圖係有關本實施例之半導體記憶體之剖面立體圖

。該半導體記憶體 10 係形成在第一導電型半導體基板之 p 型矽基板 12 上。p 型矽基板 12 係由 p⁺基板 12b 和其上之 p 型外延層 12a 所構成。在 p 型外延層 12a 中，形成 p 井 13。

又，形成本發明特徵之凸部 13a 係在 p 型矽基板 12 上設置複數個。位元線 BL1~BL4 係形成在挾持凸部 13a、13a、…之 p 井 13 之表面。位元線 BL1~BL4 係將逆導電型之 n 型雜質離子注入 p 井 13 表面之所要部位來加以形成。在該圖中，雖隱藏在其他之構成構件，但各位元線 BL1~BL4 係沿行方向一體化，且沿列方向複數形成。

浮動閘極 FG1、FG2 和控制閘極 CG2 都是由多晶矽所構成。控制閘極 CG 係沿列方向一體化，且沿列方向複數形成，該各控制閘極係作為字元線 WL1、WL2、…之功能。

設置能降低控制閘極 CG、CG、…之阻抗之 WSi 膜 36，且設置能保護控制閘極 CG、CG、…之被覆膜 38，這是由矽氧化膜所構成。

第 2 圖係表示形成本發明一特徵之單元電晶體 TC 之放大截面圖。在凸部 13a 之頂面 13c，形成第 1 絕緣膜之閘極絕緣膜 15c。又，凸部 13a 係具有對向之一對側面(13b、13b)，在各側面(13b、13b)之表層，形成逆導電型領域之 n 型領域(17、17)。該 n 型領域(17、17)之雜質濃度與上述位元線(BL1、BL2)之雜質濃度比，係從 1/100 到 1/10000，較佳係選擇 1/1000 左右之雜質濃度。

第 2 絕緣膜之穿隧絕緣膜 15a 係被覆各側面(13b、13b)

和位元線(BL1、BL2)。待加以後述，但位元線(BL1、BL2)係作為源極-汲極領域之功能，故以下位元線(BL1、BL2)也稱為源極-汲極領域。

浮動閘極(FG1、FG2)係設置在凸部 13a 之各側面側，透過各穿隧絕緣膜 15a，而與源極-汲極領域(BL1、BL2)及側面(13b、13b)對向。第 3 絕緣膜之共聚物絕緣膜 15b 係形成在浮動閘極(FG、FG)之各表面。

又，穿隧絕緣膜 15a、共聚物絕緣膜 15b、及閘極絕緣膜 15c 都是由矽氧化膜所構成。而且，控制閘極 CG 係透過上述共聚物絕緣膜 15b，而與浮動閘極(FG1、FG2)對向，又，透過閘極絕緣膜 15c，而與頂面 13c 對向。該控制閘極 CG 係將透過上述共聚物絕緣膜 15b 而與浮動閘極(FG1、FG2)對向之部分、和透過閘極絕緣膜 15c 而與頂面 13c 對向之部分，使兩者各電氣性獨立形成，也可對該等獨立電氣控制。

在上述之構造中，通道係以三維方式形成在凸部 13a 之兩側面(13b、13b)和頂面 13c 之各表層，因不像習知般形成在一平面內，故能用少的佔有面積來獲得通道長度，能獲得元件之小型化。

凸部 13a 之 p 型雜質濃度係被進行調整，以使單元電晶體 TC 成為通常不導通。即，在一方之源極-汲極領域 BL1(BL2)，在既定電壓係被偏壓之狀態下，當該被偏壓之源極-汲極領域 BL1(BL2)和控制閘極 CG 之電位差為閾值電壓以下時，透過閘極絕緣膜 15c，使被控制閘極 CG 所控制

之凸部之頂面附近之通道領域成爲不導通(off)狀態，其結果，單元電晶體 TC 成爲不導通(off)狀態，當上述電位差爲閾值電壓以上時，調整上述 p 型雜質濃度，以使單元電晶體 TC 成爲導通(on)狀態。又，在源極-汲極領域 BL1(BL2)中，所謂被偏壓之既定電壓係指寫入、讀取等之各種動作時所施加之後述之電壓 V_{DD} 。

第 3 圖係表示單元電晶體 TC 之等效電路之示意圖，表示各種之電容。各電容之意義如下所示。

— C_{CG} …控制閘極 CG 與凸部 13a 之頂面 13c 之對向電容。

— $C_{CF1}(C_{CF2})$ …控制閘極 CG 與浮動閘極 FG1(FG2)之對向電容。

— $C_{FG1}(C_{FG2})$ …浮動閘極 FG1(FG2)與凸部 13a 之側面 13b 之對向電容。

— $C_{FS}(C_{FD})$ …浮動閘極 FG1(FG2)與源極-汲極領域 BL1(BL2)之對向電容。

請再參照第 1 圖。單元電晶體 TC、TC、…係沿行方向及列方向複數排列。沿行方向鄰接之單元電晶體(例如 TC_a 和 TC_b)彼此間係與源極-汲極領域(BL3、BL4)共通，被元件分離領域 40 加以電氣性分離。沿列方向鄰接之單元電晶體(例如 TC_c 和 TC_a)係共用控制閘極 CG，且共用這些之間的源極-汲極領域 BL3。

(2)驅動方法

其次，針對上述單元電晶體 TC 之驅動方法加以說明。

I) 寫入動作

針對寫入動作，參照第 4 圖加以說明。第 4 圖係表示對單元電晶體 TC 之寫入動作之截面圖。如上述，在凸部 13a 之兩側方，設置一對浮動閘極(FG1、FG2)，若依本實施例的話，則能獨立將電子注入在各浮動閘極(FG1、FG2)中。

例如，爲了將電子注入在右側之浮動閘極 FG2，如第 4 圖所示，在控制閘極 CG 中，施加寫入電壓 V_G (例如 2.2V)。然後，在電子注入側之源極-汲極領域 BL2 施加電壓 V_{DD} (例如 6V)。基板 12 與電子未注入側之源極-汲極領域 BL1 係加以接地。藉此，在源極-汲極領域 BL1~BL2 間，供應寫入用之電位差(本實施例爲 6V)。

若依此的話，因在控制閘極 CG 施加正電位，故在頂面 13c 之表層，形成反轉層 13d，n 型領域(17、17)彼此間係藉由該反轉層 13d 來進行電氣性連接。又，n 型領域(17、17)係和與此相同之導電型(即 n 型)之源極-汲極領域(BL1、BL2)連接，故結果，源極-汲極領域(BL1、BL2)係成電氣性連接。

因此，載子(在本實施例中係電子)係流經該圖箭頭之路徑。特別是，流過頂面 13c 之電子備受矚目。若從該電子來看的話，右側之浮動閘極 FG2 係位於其運動方向。因此，爲了將電子注入到該浮動閘極 FG2，不需如習知般改變電子之運動方向，故能較習知降低用來吸引到浮動閘極 FG2 之閘電壓(寫入電壓) V_G 。而且，浮動閘極 FG2 係透過

靜電電容大之閘極絕緣膜 15a，藉由汲極電壓來提升電位，故能進一步降低用來將電子吸引到浮動閘極 FG2 之閘極電壓(寫入電壓) V_G 。

而且，在側面 13b，設置 n 型領域(17、17)，藉此，側面 13b 成為低阻抗，此處之電壓下降受到抑制。因此，在頂面 13c 之兩端，施加較源極-汲極領域 BL1~BL2 間電壓(例如 6V)低若干之高電壓，故藉由該電壓，電子在頂面 13c 被強勢加速，使電子有效率地注入浮動閘極 FG2。這樣一來，n 型領域(17、17)也能達到減低寫入電壓 V_G 。

上述之優點係即使增大頂面 13c 之通道阻抗也能得到。為了增大通道阻抗，可將閘極絕緣膜 15c 形成厚膜，來縮小控制閘極 CG 和通道領域間之靜電電容。在本實施例中，係如第 4 圖所示，使閘極絕緣膜 15c 較穿隧絕緣膜 15a 為厚，藉此來減小靜電電容，增大通道阻抗。

增大通道阻抗之構造係不受上述限定，也可採用第 5 圖之構造。該構造係在凸部 13a 之頂面 13c，設置高阻抗領域(一導電型雜質領域)13e。該高阻抗領域 13e，係在頂面 13c 中離子注入較凸部 13a 為高濃度之 p 型雜質來加以形成。

如第圖 4 或第 5 圖所示，若增大頂面 13c 之通道阻抗的話，則頂面 13c 之電壓下降會變大，故在頂面 13c 之兩端，施加較源極-汲極領域 BL1~BL2 間電壓低若干之高電壓。因此，藉由與上述相同之理由，能減低寫入電壓 V_G 。

若將上述加以簡要言之的話，為了減低寫入電壓 V_G ，

最好係 ii)增大穿隧絕緣膜之靜電電容，藉由汲極電壓來提升浮動閘極，或 iii)將閘極絕緣膜 15c 作成厚膜，或 iv)在頂面 13c，設置高阻抗領域 13e。任意組合這些 i)~iv)，藉此也能得到上述之優點。即使是 i)~iv)之任一情形，寫入電壓 V_G 也約 2.2V 左右，也能較習知例(約 12~13V)明顯降低。

在第 4 圖中，電子係只被注入在右側之浮動閘極 FG2 中，但爲了將電子注入在左側之浮動閘極 FG1 中，較佳係轉換源極-汲極領域(BL1、BL2)之電壓。因此，本發明能得到第 6A 圖~第 6D 圖所示之 4 種狀態。

第 6A 圖係表示在兩浮動閘極(FG1、FG2)中，電子未被注入之“(1、1)”狀態。第 6B 圖及第 6C 圖係表示只在浮動閘極(FG1、FG2)之一方，電子被注入之“(1、0)”、“(0、1)”狀態。第 6D 圖係表示在兩浮動閘極(FG1、FG2)中，電子被注入之“(0、0)”狀態。爲了得到該狀態，例如，較佳係在右側之浮動閘極 FG2 中，注入電子後，在左側之浮動閘極 FG1 中，再注入電子。這樣一來，在本實施例中，能在 1 個單元電晶體 TC 中，寫入 2 位元之資料“(0、0)”~“(1、1)”。

在本實施例中，設置 2 個浮動閘極(FG1、FG2)，在各浮動閘極(FG1、FG2)中，電子係獨立存在，故即使在欲圖單元縮小時，電子存在於哪個浮動閘極(FG1、FG2)中係很明確，而不會如習知例般在哪一個位元中電子是否局部存之不明瞭情況。

II)讀取動作

其次，針對讀取動作，參照第 7A 圖～第 7B 圖，加以說明。爲了讀取資料，首先，如第 7A 圖所示，在控制閘極 CG 中，施加讀取電壓 V_G (例如 2.2V)。然後，在一方之源極-汲極領域 BL2，施加電壓 V_{DD} (例如 1.6V)，將另一方之源極-汲極領域 BL1 和基板 12 加以接地。藉此，在源極-汲極領域 BL1～BL2 間，施加讀取用之電位差(本實施例爲 1.6V)。

若是電位分配的話，則由於控制閘極 CG 成爲正電位，故在凸部 13a 之頂面形成反轉層 13d。因此，在該圖之箭頭方向，流通第 1 汲極電流 I_{d1} 。

其次，如第 7B 圖所示，讀取電壓 V_G (即 2.2V)係仍舊轉換源極-汲極領域(BL1、BL2)之電壓，這樣一來，源極-汲極領域 BL1～BL2 間之電位差進行反相，故在該圖之箭頭方向，流通第 2 汲極電流 I_{d2} 。

在本實施例中，係如上述，轉換源極-汲極領域(BL1、BL2)之電壓，藉此來量測 2 種汲極電流(I_{d1} 、 I_{d2})。該汲極電流(I_{d1} 、 I_{d2})之大小係如後述，因 4 值狀態之各狀態而相異。因此，一對一地對應 2 種汲極電流值(I_{d1} 、 I_{d2})之設定與各狀態，藉此能讀取是否記憶哪種狀態。其次，針對各狀態“(1、1)”～“(0、0)”之汲極電流值加以說明。

(i)“(1、0)”狀態

第 8A 圖～第 8B 圖係讀取“(1、0)”狀態時之截面圖。在第 8A 圖中，施加在各構件之電壓係如上述第 7A 圖所

示，藉由該電壓，使汲極電流 I_{d1} 流通。在第 8A 圖之狀態下，右側之浮動閘極 FG2 係被注入電子，藉此使電位下降。但是，該浮動閘極 FG2 之電位係藉由對向電容 (C_{CF2} 、 C_{FD}) 提升到控制閘極 CG(2.2V) 或源極-汲極 BL2(1.6V) 之正電位側。

結果，浮動閘極 FG2 之電壓下降受到抑制，故在浮動閘極 FG2 附近之通道阻抗也不那樣變大。因此，汲極電流 I_{d1} 之電流值變較大。

特別是如圖所示，設置 n 型領域 17 之情形，n 型領域 17 係連接在源極-汲極領域 BL2，故 n 型領域 17 之電位係與源極-汲極領域 BL2 之電位大致相同。因此，浮動閘極 FG2 之電位也藉由對向電容 C_{FG2} 來提升到源極-汲極 BL2 側。因此，右側之浮動閘極 FG2 附近之通道阻抗進一步變小，故汲極電流 I_{d1} 之電流值更加變大。

另一方面，第 8B 圖係轉換源極-汲極領域 (BL1、BL2) 之電壓，流汲極電流 I_{d2} 之情形。該情形，右側之浮動閘極 FG2 之電位係因注入電子而降低。而且，右側之源極-汲極領域 BL2 被加以接地，故浮動閘極 FG2 之電位係藉由與源極-汲極領域 BL2 對向之電容 C_{FD} ，而降低到接地側。因此，浮動閘極 FG2 之電位變成較第 8A 圖之情形低，故浮動閘極 FG2 附近之通道阻抗變大，汲極電流 I_{d2} 變成較先前之 I_{d1} 小。

特別是，若設置 n 型領域 17 的話，則在右側之浮動閘極 FG2 之電位也被對向電容 C_{FG2} 降低到接地側，汲極電流

I_{d2} 更加變小。這樣一來，“(1、0)”狀態能用下式來加以識別。

$$(I_{d1}, I_{d2}) = (\text{大}, \text{小})$$

該汲極電流(I_{d1} 、 I_{d2})之大小判定係未圖示之感測放大器與基準電流進行比較來進行。

在本實施例中，各汲極電流(I_{d1} 、 I_{d2})之電流量係能藉由對向電容(C_{CF2} 、 C_{FD} 、 C_{FG2})，設定如上述所欲之大小。因此，能將其差($I_{d1} - I_{d2}$)增大到所欲之大小。所謂差($I_{d1} - I_{d2}$)係指電流窗，故在本實施例中，能將電流窗擴大到所欲之大小。因電流窗擴大，故汲極電流(I_{d1} 、 I_{d2})和基準電流之界限變廣，能減低誤認寫入資料之危險性。

(ii) “(0、1)”狀態

“(0、1)”狀態係與上述之相反，在左側之浮動閘極FG1中，注入電子。因此，各汲極電流(I_{d1} 、 I_{d2})之電流值係和上述論點同樣，進行評價，成為

$$(I_{d1}, I_{d2}) = (\text{小}, \text{大})$$

(iii) “(1、1)”狀態

“(1、1)”狀態係在任一個浮動閘極(FG1、FG2)中，電子未被注入。因此，各浮動閘極(FG1、FG2)之電位不被電子降低，故汲極電流(I_{d1} 、 I_{d2})兩者都變大。又，因該狀態係左右對稱，故在 I_{d1} 和 I_{d2} 中，產生差，成為

$$(I_{d1}, I_{d2}) = (\text{大}, \text{大})$$

(iv) “(0、0)”狀態

“(0、0)”狀態係在兩者之浮動閘極(FG1、FG2)中，注

入電子，故左右對稱，因此，在 I_{d1} 和 I_{d2} 中，不產生差，成爲

$$(I_{d1}, I_{d2}) = (\text{小}, \text{小})$$

在本發明之半導體記憶體之讀取動作中，也可如上述，判定“(0、0)”～“(1、1)”邏輯狀態後，根據此判定來進行讀取，也能如以下所述，來進行讀取動作。即，在本發明之半導體記憶體之讀取動作中，其結果，用與未施加讀取電壓側(接地側)之源極-汲極對向之浮動閘極，對應是否儲存電荷，汲極電流值 I_d 進行變化。因此，在一方之源極-汲極中，當施加汲極電壓之際，只檢測藉此所得到汲極電流值，能單獨檢測未施加電壓側之浮動閘極之電荷儲存狀況，這樣一來，也能進行讀取。

III)消除動作

其次，針對注入於浮動閘極(FG1、FG2)之電子之消除方法加以說明。爲了抽出儲存電子，係如第 9 圖所示，考慮到在源極-汲極領域(BL1、BL2)中，抽出電子之方法。該方法係將控制閘極 CG 加以接地，在源極-汲極領域(BL1、BL2)中，供應高電位“H”(例如 12V)。此處，能相對地設定控制閘極 CG 和源極-汲極領域(BL1、BL2)之電位差，例如，也可在控制閘極 CG 施加 -6V，在源極-汲極領域(BL1、BL2)施加 6V。

就其他方法而言，係如第 10 圖所示，在控制閘極 CG，施加高電位 V_G (例如 12V)，將基板 12 和源極-汲極領域(BL1、BL2)加以接地。若依該電位分配，從浮動閘極

FG1(FG2)來看的話，因控制閘極 CG 側之電位高，故儲存電子係透過共聚物絕緣膜 15b，被抽出到控制閘極 CG。此處也同樣，也可在控制閘極 CG 施加 6V，在源極-汲極領域 (BL1、BL2)施加 -6V，在兩者間產生相對的 12V 之電位差。

又，在第 10 圖之電位分配中，因控制閘極 CG 係較凸部 13a 高電位，故如圖所示，形成電子層。藉由該電子層，使對向電容 $C_{FG1}(C_{FG2})$ 之靜電電容值變大。因此，藉由該對向電容 $C_{FG1}(C_{FG2})$ ，浮動閘極 FG1(FG2)之電位被吸引到凸部之側面 13b 之電位。

因此，浮動閘極 FG1(FG2)之電位更加降低，浮動閘極 FG1(FG2)和側面 13b 之電位差成為少許，兩者間之穿隧絕緣膜 15a 不致被穿隧電流破壞。

因此，浮動閘極 FG1(FG2)之電位被吸引到源極-汲極領域 BL1(BL2)或側面 13b 側之電位，藉此浮動閘極 FG1(FG2)和控制閘極 CG 之電位差相對地增大，故在這些之間產生強電場，藉由該強電場，儲存電子被有效抽出到控制閘極 CG。

iv)非選擇時

上述 i)~iii)都是在選擇單元電晶體 1 之情形。在實際之動作中，單元電晶體 1 並不是經常被選擇，有時是非選擇狀態之情形。

即使在非選擇狀態，在位元線 BL1(參照第 3 圖)中，為了選擇其他之單元電晶體 TC，施加各動作用之電壓 V_{DD} 。

該情形，非選擇單元電晶體 TC 之浮動閘極 FG1 係藉由位元線 BL1 和大的對向電容 C_{FS} ，而吸引到位元線 BL1 之電位。因此，浮動閘極 FG1 和源極-汲極領域 BL1 間之電位差變小，故這些間之穿隧絕緣膜 15a 不被曝露在高電場。因此，在穿隧絕緣膜 15a，不易流通穿隧電流，能防止該穿隧絕緣膜 15a 之惡化。

因此，如上述，因電位差變小，故用源極-汲極領域 BL1 和基板 12 之 pn 接合，藉由高電場，能抑制熱洞之產生，故也能防止因該熱洞而造成穿隧絕緣膜 15a 之惡化。這樣一來，在本實施例中，能提高頻帶間穿隧耐性。

此處，爲了得到上述驅動時 i)~iv)之各優點，要注意的是浮動閘極 FG1(FG2)和源極-汲極領域 BL1(BL2)之對向電容 $C_{FS}(C_{FD})$ 能達成重要的任務。在本實施例中，將浮動閘極 FG1(FG2)覆設在源極-汲極領域 BL1(BL2)上，藉此，能大量獲得上述對向電容 C_{FD} 、 C_{FS} ，容易得到上述之優點。

浮動閘極 FG1(FG2)和源極-汲極領域 BL1(BL2)之對向面積係不受限定。對向面積越大，越容易得到上述之優點，但即使面積小也能得到上述優點。因此，如第 25 圖所示，使源極-汲極領域 BL1(BL2)從凸部 13a 後退，即使將源極-汲極領域 BL1(BL2)之一部分與浮動閘極 FG1(FG2)對向，也能得到上述之優點。

(3)穿通對策和閾值電壓 V_{th} 之穩定化

此處，當進行上述之寫入和讀取動作之際，源極-汲極領域 BL1~BL2 間之穿通(punch through)成爲問題，故較佳

係採用第 30 圖所示之構造。第 30 圖中之圖形係表示凸部 13a 之深度和該深度之硼(p 型雜質)濃度之關係圖。在該構造中，係使凸部 13a 之硼濃度朝深度方向漸增，來提高凸部 13a 之基部端之硼濃度。這樣一來，在靠近源極-汲極領域(BL1、BL2)部位之側面(13b、13b)，硼濃度變高。

藉由上述之構造，在靠近 n 型之源極-汲極領域(BL1、BL2)部位之通道，p 型雜質之濃度變高，通道係形成在從直線連接 n 型之源極-汲極領域(BL1、BL2)之領域(靠近 n 型之源極-汲極領域 BL1、BL2 之部位)所離間之領域，即凸部 13a 之側面(13b、13b)和頂面 13c 之各表層。這是藉由上述之構造，在靠近 n 型之源極-汲極領域(BL1、BL2)之部位之通道，p 型雜質之濃度變高，故源極-汲極領域(BL1、BL2)不易穿通之意，當把該單元電晶體加以積體化來形成半導體記憶體時，能實現高積體度。

又，單元電晶體 TC 之閾值電壓 V_{th} 受基端部之側面(13b、13b)之雜質濃度很大影響。因此，如上述，若在基端部提高硼濃度的話，則單元電晶體 TC 之閾值電壓 V_{th} 變高。

但是，若在側面 13b 設置 n 型領域 17 的話，則能補償該 n 型領域 17 中之 n 型雜質和側面 13b 之 p 型雜質，故能降低側面 13b 之實質性的受體(accepter)濃度。因此，即使提高凸部 13a 之基端部之硼濃度，藉由設置 n 型領域 17，也能抑制電晶體之閾值電壓 V_{th} 之增加。

又，如上述，閾值電壓 V_{th} 在基端部之雜質濃度中，因

是細緻的，故爲了穩定 V_{th} ，較佳係在基部端，不純度濃度避免太大變動。因此，較佳係凸部 13a 之硼濃度不只是漸增，而且將粗線所示之最高點儘量形成平坦，使平坦的部位位於凸部 13a 之基端部。在平坦的部位，由於硼濃度不太變動，故硼濃度和 n 型領域 17 中之砷濃度之濃度關係大致一定，能使閾值電壓 V_{th} 穩定。

(4)控制閘極-位元線間之洩漏電流對策

在本實施例中，如第 11 圖所示，在沿列方向鄰接之單元電晶體 TC、TC 間之 A 部 204 中，控制閘極 CG 和位元線 BL2 係對向。因此，在 A 部 204 中，當各種動作時，在控制閘極 CG 和位元線 BL2 之間，會流洩漏電流。

當擔心這點時，較佳係如圖示，將選擇氧化膜 34 連接在穿隧絕緣膜 15a，而且，將該厚度作成較穿隧絕緣膜 15a 厚膜。這樣一來，藉由選擇氧化膜 34 之厚度，能防止上述之洩漏電流。在第 11 圖之例中，爲了防止控制閘極 CG 和位元線(BL1、BL2)間之洩漏電流，藉由選擇氧化來形成第 4 絕緣膜，但不被限定在此者，也可在鄰接之浮動閘極間形成開口，在開口充填氧化物後，在其上形成控制閘極 CG。

這樣一來，若在控制閘極 CG 和位元線(BL1、BL2)之間充填絕緣物的話，則浮動閘極(FG1、FG2)係只在透過控制閘極 CG 和共聚物絕緣膜 15b 之部分對向。

(5)全體之電路構成

第 12 圖係表示本實施例全體之電路構成。如第 12 圖所示，記憶體單元陣列 44 係沿行方向及列方向複數排列上

述之單元電晶體 TC、TC、…者。各單元電晶體 TC、TC、…之控制閘極(字元線)WL1~WL4 係與列解碼器 43 之輸出進行連接。該列解碼器 43 係把既定位元之列解碼信號 RDC 加以解碼，選擇該信號 RDC 所對應之字元線 WL1~WL4。

在所選擇之字元線 WL1~WL4 供應閘極電壓 V_G 。閘極電壓 V_G 係在進行寫入/讀取/消除之各動作時，進行所欲之切換，施加各動作用之電壓。如上述，閘極電壓 V_G 在寫入時為 2.2V，讀取時為 2.2V，消除時為 12V。另一方面，在非選擇時，字元線 WL1~WL4 有時成為浮動狀態。

另一方面，各單元電晶體 TC、TC、…之位元線 BL1~BL3 係連接在行解碼器 42 之輸出。行解碼器 42 係將既定位元之行解碼信號 CDC 加以解碼，來選擇信號 CDC 所對應之位元線 BL1~BL3。

在所選擇之位元線 BL1~BL3 供應電壓 V_{DD} 。電壓 V_{DD} 係在進行寫入/讀取/消除之各動作時，進行所欲之切換，施加各動作用之電壓。如上述，電壓 V_{DD} 在寫入時為 6V，讀取時為 1.6V，消除時係加以接地。另一方面，在非選擇時，位元線 BL1~BL3 有時成為浮動狀態。任意之單元電晶體 TC 係藉由選擇位元線 BLi 和選擇字元線 WLj 來進行選擇，進行寫入/讀取/消除之各動作。

(7)製造程序

其次，針對有關本實施例之半導體記憶體之製造方法，參照第 13 圖~第 24 圖加以說明。首先，如第 13A 圖所示，準備第一導電型半導體基板(p 型矽基板 12)。p 型矽基

板 12 係在 p^+ 基板(硼濃度 $4.0 \times 10^{18} \text{cm}^{-2}$)12b 上，形成 p 型外延層(硼濃度 $1.0 \times 10^{15} \text{cm}^{-2}$)12a 者。在其表面預先形成矽熱氧化膜 18。

其次，如第 13B 圖所示，在矽熱氧化膜 18 上，形成矽氮化膜 19。然後，將該矽氮化膜 19 加以圖案化，形成開口部 19a。

在本實施例中，能將單元電晶體之製程和 CMOS 電晶體之製程同時進行。以下，不僅單元電晶體，而且 CMOS 電晶體之製程也加以敘述。圖中，所謂 CMOS 電晶體部 200 係指後來 CMOS 電晶體所形成之部位。單元電晶體部 202 係指單元電晶體所形成之部位。上述之開口部 19a 係形成在 CMOS 電晶體部 200 之所要位置。

其次，如第 14A 圖所示，使場氧化膜 18a 成長。該場氧化膜 18a 係將矽氮化膜 19(參照第 13B 圖)當作氧化時之遮罩來加以成長。待場氧化膜 18a 成長後，該矽氮化膜 19 係藉由蝕刻來加以除去。

其次，如第 14B 圖所示，在全體塗布光阻 20。將該光阻 20 進行曝光及顯影，藉此來形成開口 20a。然後，把光阻 20 當作遮罩，離子注入砷，在開口 20a 之下，形成 n 井 21。形成 n 井 21 後，將光阻 20 加以除去。

其次，如第 15A 圖所示，在全體塗布新的光阻 22。將該光阻 22 進行曝光及顯影，藉此來形成開口 22a。然後，把光阻 22 當作遮罩，離子注入硼，在開口 22a 之下，形成 p 井 23。形成 p 井 23 後，將光阻 22 加以除去。

其次，如第 15B 圖所示，在全體塗布光阻 24。將該光阻 24 進行曝光及顯影，藉此來形成開口 24a。開口 24a 係形成在單元電晶體部 202 之上方。把該光阻 24 當作遮罩，進行離子注入，形成 p 井 13。該離子注入係進行 4 次，各次之條件係如下。

— 第 1 次…離子種： BF_2

加速能： $15(\text{KeV})$

劑量： $5.0 \times 10^{11}(\text{cm}^{-2})$

— 第 2 次…離子種： BF_2

加速能： $45(\text{KeV})$

劑量： $5.0 \times 10^{11}(\text{cm}^{-2})$

— 第 3 次…離子種：B(硼)

加速能： $20(\text{KeV})$

劑量： $6.0 \times 10^{12}(\text{cm}^{-2})$

— 第 4 次…離子種：B(硼)

加速能： $40(\text{KeV})$

劑量： $5.0 \times 10^{12}(\text{cm}^{-2})$

藉由上述 4 次之離子注入，p 井 13 顯示如第 31 圖所示之硼濃度分布。第 31 圖係表示離 p 井 13 之表面之深度與該深度之硼濃度之關係圖。

在該圖中，真正之硼濃度係用各次之硼濃度(虛線)之包絡線(實線)來表示。由該圖可知，在硼之濃度分布中，形成最高點(粗線部分)。適當調節離子注入條件，將最高點形成平坦，較佳係儘量在深度方向廣泛地存在平坦的部位。該

理由係在後述之第 16B 圖可以瞭解。

其次，如第 16A 圖所示，先前之場氧化膜 18a 係殘存，藉由蝕刻將矽熱氧化膜 18(參照第 15B 圖)加以除去。然後，再將基板 12 之表面進行熱氧化，形成閘極絕緣膜 15c。閘極絕緣膜 15c 之膜厚約為 10nm 左右。

在該閘極絕緣膜 15c 上，依序形成矽氮化膜 25(例如膜厚約 10nm)、矽氧化膜 26(例如膜厚約 4nm)、及矽氮化膜 27(例如膜厚約 50nm)。各膜之功能在後製程能瞭解。這些膜係採用眾所周知之 CVD(化學蒸鍍沉積法)來加以形成。

其次，如第 16B 圖所示，在最上層之矽氮化膜 27 上，塗布光阻 45。塗布後，將光阻 45 進行曝光和顯影，藉此來形成帶狀之開口 45a、45a、…。使用光阻 45 來作為蝕刻遮罩，進行蝕刻。藉由蝕刻，矽氮化膜(25、27)、矽氧化膜 26、及閘極絕緣膜 15c 形成開口。通過這些膜之開口，p 型矽基板 12 被進行蝕刻，形成溝槽(trench)28、28、…。

溝槽 28、28、…之底部係形成在硼濃度之最高點(參照第 31 圖)位置。最高點係在第 15B 圖之製程中，形成平坦，而且，在深度方向廣泛存在該平坦的部位，故在製程上，在溝槽 28 之深度即使產生偏差，也能將溝槽 28 之底部確實定位在硼濃度之最高點。

藉此，形成基端部之硼濃度高的凸部 13a(參照第 30 圖)。雖基端部之雜質濃度對閾值電壓 V_{th} 有很大影響，但如上述，能將溝槽 28 之底部確實定位在硼濃度之最高點，故能防止閾值電壓 V_{th} 之變動。

再回到第 16B 圖，雖溝槽 28、28、…之大小未被限定，但在本實施例中，其深度約為 380nm 左右。又，鄰接之溝槽 28、28、…之間隔(即凸部 13a 之寬)約為 160nm 左右。形成溝槽 28、28、…後，光阻 45 係被加以除去。

其次，如第 17A 圖所示，在全體露出面，形成矽氧化膜 29(膜厚約為 20nm)。矽氧化膜 29 係採用 CVD 法來進行成膜。其次，如第 17B 圖所示，沿厚度方向將矽氧化膜 29 進行異向性地蝕刻。該蝕刻係藉由 RIE(Reactive Ion Etching)來進行，藉此，矽氧化膜 29 係殘留在凸部 13a 之側面 13b 所形成者，加以除去。

然後，藉由離子注入砷，在溝槽 28、28、…之底部，形成位元線 BL1、BL2、…。在離子注入之際，因在側面 13b 形成矽氧化膜 29，故在側面 13b 能防止砷被注入。又，因凸部 13a 係作為遮罩之功能，故在溝槽 28 之底部，能自行對準地形成各位元線 BL1、BL2、…。該離子注入之條件係如下。

離子種：As(砷)

加速能：15(KeV)

劑量： $2.0 \times 10^{14}(\text{cm}^{-2})$

離子注入完成後，將側面 13b 所殘存之矽氧化膜 29 加以蝕薄到約 10nm 左右，因很薄，故以下將殘存之矽氧化膜 29 之圖示予以省略。

其次，如第 18A 圖所示，在凸部 13a 之兩側面(13b、13b)，離子注入砷，形成逆導電型領域(n 型領域 17、17、

…)。爲了在側面 13b 進行離子注入，較佳係相對於離子之射入方向，使基板 12 加以傾斜。在本實施例中，係將 p 型矽基板 12 之法線 n_1 相對於離子之射入方向 n_0 ，約傾斜 $+/-20$ 度。該離子注入之條件係如下。

離子種：As(砷)

加速能：10(KeV)

劑 量： $5.0 \times 10^{11}(\text{cm}^{-2})$

在離子注入之際，在側面 13b 殘存薄的矽氧化膜 29(參照第 17B 圖)，故在側面 13b 能防止砷過剩地注入。

但是，溝槽 28、28、…之表層係形成元件通道之部位，其性質對元件之特性有很大影響。因此，在後序之種種製程中，溝槽 28、28、…之表面必須避免被污染。

鑑於此點，在本實施例中，如第 18B 圖所示，在溝槽 28、28、…之側面和底面，形成犧牲矽氧化膜 31。犧牲矽氧化膜 31 之膜厚約爲 4nm 左右，其係藉由熱氧化來加以形成。

溝槽 28、28、…之表面係被犧牲矽氧化膜 31 被覆來加以保護，故能防止在後製程受到污染。而且，該犧牲矽氧化膜 31 係能除去溝槽 28、28、…之表層之柵缺陷之功能，故也能防止因柵缺陷而使元件之特性惡化。然後，在含有溝槽 28、28、…內之露出面全體，形成矽氮化膜(即遮罩膜)30。矽氮化膜 30 之膜厚約爲 60nm 左右，該膜係採用 CVD 法來加以形成。

其次，如第 19A 圖所示，沿厚度方向將上述矽氮化膜

30 進行異向性地蝕刻，來形成長孔(開口)30a。形成長孔 30a 後，將矽氮化膜 30 作為蝕刻遮罩，選擇性地蝕刻先前之犧牲矽氧化膜 31 和各位元線 BL1、BL2、…之一部份。藉由蝕刻，在各位元線 BL1、BL2、…中，形成凹槽 32(深度約為 10nm)。

然後，為了降低位元線 BL1、BL2、…之阻抗，通過長孔 30a，將砷離子注入位元線 BL1、BL2、…中。該圖係表示藉由離子注入，砷被注入之部位(n^+ 領域)33。離子注入之條件係如下。

離子種：As(砷)

加速能：30(KeV)

劑量： $3.0 \times 10^{15}(\text{cm}^{-2})$

其次，如第 19B 所示，將矽氮化膜 30 作為遮罩，將凹槽 32、32、…選擇性地加以氧化，來形成選擇氧化膜 34、34、…。形成選擇氧化膜 34、34、…後，將矽氮化膜(27、30)進行蝕刻並加以除去。在蝕刻中，矽氧化膜 26 和犧牲矽氧化膜 31 係作為蝕刻檔板之功能。其次，將矽氧化膜 26 進行蝕刻並加以除去。這次，矽氮化膜 25 係被作為蝕刻檔板之功能。蝕刻係矽氧化膜 26 被完全除去，且，進行到殘存選擇氧化膜 34、34、…之程度。

然後，如第 20A 圖所示，將溝槽 28、28、…之底面和側面再加以氧化，來形成膜厚約 5nm 左右之穿隧絕緣膜 15a。穿隧絕緣膜 15a 之膜質對元件動作有很大影響，故較佳係形成良好的膜質。

在本實施例中，爲了形成良質的穿隧絕緣膜 15a，使用電漿氧化法。在電漿氧化法中，係使用徑向線槽天線(radial line slot antenna)之微波激發高密度電漿裝置。而且，在該裝置內，導入氪(Kr)和氧(O₂)之混合氣體。

被微波所激發之氪係與氧(O₂)衝撞，使產生大量之原子狀氧 O*。原子狀氧 O* 係容易浸入溝槽 28、28、…之表層部。因此，不依存在兩方位，所有之面方位係能用概略相同之氧化速度進行均勻地氧化。因此，如該圖之圓內所示，能在溝槽 28、28、…之角落部，用均勻的膜厚來形成穿隧絕緣膜 15a。又，針對上述之電漿氧化法，在「第 48 次應用物理學關係聯合演講會，演講預稿集，29p-YC-4」和特開 2001-160555 號公報中，有詳細說明。

如上述，形成穿隧絕緣膜 15a 後，進行第 20B 圖之製程。在該製程中，係在上述穿隧絕緣膜 15a 上和矽氮化膜 25 上，形成多晶矽膜 34。多晶矽膜 34 係用自然環境(in-situ)，預先摻雜磷(P)。又，該多晶矽膜 34 之膜厚約爲 50nm 左右。

其次，如第 21A 圖所示，沿厚度方向將多晶矽膜 34 進行異向性地蝕刻。藉此，將矽氮化膜 25 上之多晶矽膜 34 予以除去，且在溝槽 28、28、…之側面上之穿隧絕緣膜 15a 上，殘存多晶矽膜 34。所殘存的多晶矽膜 34 係形成浮動閘極 FG1、FG2。形成浮動閘極 FG1、FG2 後，將矽氮化膜 25 進行蝕刻並加以除去。

其次，如第 21B 圖所示，在全體塗布光阻 35。塗布後

，將光阻 35 加以曝光及顯影，藉此來形成開口 35a。該開口 35a 係形成在 CMOS 電晶體部 200 上。使用該光阻 35 來作為蝕刻遮罩，將 CMOS 電晶體部 200 上之閘極絕緣膜 15c 加以蝕刻。藉此，露出 CMOS 電晶體部 200 之 n 井 21 和 p 井 23 之表面。

其次，如第 22A 圖所示，將光阻 35 加以除去後，使用上述之電漿氧化法，將露出面全體加以氧化。藉此，閘極絕緣膜 15c 下之矽被加以氧化，故閘極絕緣膜 15c 形成厚膜。同時，浮動閘極 (FG1、FG2) 之表面也被加以氧化，形成共聚物絕緣膜 15b。共聚物絕緣膜 15b 之膜厚約為 8nm 左右。

因浮動閘極 (FG1、FG2) 係由多晶矽所構成，故在其表面形成多數之各種面方位之結晶粒。這樣一來，即使面方位各不相同，若依上述之電漿氧化法的話，也不依存在面方位，能均勻地形成矽氧化膜。因此，能防止共聚物絕緣膜 15b 之膜厚局部地變薄，在薄的部位之絕緣特性不產生惡化之不當情形。該優點係在多晶矽中，也能得到磷 (P) 被摻雜。

其次，製作第 22B 圖所示之構造。為了得到該構造，首先，在露出面全體形成多晶矽膜。該多晶矽膜係後來成為控制閘極 CG。多晶矽膜係在自然環境 (in-situ) 製程，預先摻雜磷 (P)。其次，在多晶矽膜上形成 WSi 膜 36。進一步，在 WSi 膜 36 上形成由矽氧化膜所構成之被覆膜 38。然後，將這些積層膜加以圖案化，藉此能得到圖示之構造。

藉由該製程，在列方向進行一體化而成之控制閘極 CG、CG、…係複數形成。同時，在 CMOS 電晶體部 200 上之 p 井 23、n 井 21 上，形成閘極 41。閘極 41 係在主體上構成多晶矽膜 37，藉由 WSi 膜 36，來降低其阻抗。WSi 膜 36 也形成在控制閘極 CG 上，故控制閘極 CG 之阻抗也降低。

其次，如第 23A 圖所示，在全體塗布光阻 39。塗布後，將光阻 39 進行曝光及顯影，形成開口 39a。形成開口 39a 之部位係在鄰接之控制閘極 CG、CG、…之間。

其次，如第 23B 圖所示，將光阻 39 當作蝕刻遮罩來使用，將未被控制閘極 CG、CG、…所被覆之部位之共聚物絕緣膜 15b 進行蝕刻並加以除去。蝕刻之際，控制閘極 CG、CG、…間之閘極絕緣膜 15c 也稍被進行蝕刻。進一步，改變腐蝕劑，將未被控制閘極 CG、CG、…所被覆之部位之浮動閘極 FG1、FG2 進行蝕刻並加以除去。藉由該製程，在鄰接之控制閘極 CG、CG、…之間，露出穿隧絕緣膜 15a。

最後，如第 24 圖所示，形成元件分離領域 40。用來形成該元件分離領域 40 之部位係未被控制閘極 CG、CG、…所被覆之凸部 13a 之側面 13b 及頂面 13c。側面 13b 及頂面 13c 係在控制閘極 CG 下形成通道，但藉由元件分離領域 40，鄰接之控制閘極 CG、CG 下之通道係被電氣性分離。

爲了形成元件分離領域 40，將光阻 39 當作遮罩，離子注入硼。當離子注入之際，爲了在凸部 13a 之側面 13b 形成元件分離領域 40，係相對於離子之射入方向，將基板 12 加以傾斜。在本實施例中，係相對於離子射入方向 n_0 ，將

p 型矽基板 12 之法線 n_1 傾斜約 $+/- 20$ 度。離子注入之條件係如下。

離子種： BF_2

加速能： $20(\text{KeV})$

劑 量： $1.0 \times 10^{19}(\text{cm}^{-2})$

然後，將光阻 39 加以除去，藉此完成第 1 圖所示之半導體記憶體 10。又，針對 CMOS 電晶體 200，在所要部位形成源極-汲極領域來加以完成。

其次，針對本發明之其他實施例，加以說明。在本實施例中，在將記憶體單元加以過消除中，有一個特徵。本實施例係將浮動閘極所儲存之電荷加以過消除，以使實質上成為 0 以下之狀態，藉此寫入效率受到改善，以提高寫入速度為著眼者。

又，在本實施例中，因浮動閘極係以只在位於 2 個逆導電型領域間之通道領域之一部分所設置之半導體記憶體為對象，故將控制閘極加以接地，藉此在未設置浮動閘極之通道領域，能截止電流，能防止在讀取時等所未選擇之記憶體單元中電流之流通。即，當把讀取時等所未選擇之記憶體單元之控制閘極加以接地時，電流不流通之故。進一步，藉由過消除，也有電流窗界限(即，電荷被儲存在浮動閘極時與沒有電荷時之電流差)變大之優點。

在本實施例中，對想消除之記憶體單元，以在該記憶體單元中產生過消除之時間，例如 5 毫秒(msec)之間，來進行前述之消除動作，藉此來進行過消除。若經過該程度之

時間的話，則在浮動閘極之過消除狀態下，消除動作變成飽和狀態，成為穩定的電荷喪失狀態(電子缺乏狀態，正孔儲存狀態)，FN 電流值大致為 0，在浮動閘極中，不儲存此以上之正電荷。

其次，針對有關本實施例之半導體記憶體，加以具體說明。在以下之說明中，係針對上述之實施例之構成要件和具有同一功能者，使用同樣的參考符號，故該說明部分予以省略。

針對有關本實施例之半導體記憶體之電路構成加以說明。第 32 圖係有關本實施例之半導體記憶體陣列 126 之電路構成圖。在該圖中，參考符號 $TC_{i,m,p}$ 係表示第 i 列 m 行 ($i=0,1,2,\dots$ 、 $m=0,1,2,\dots$)之儲存體 $BNK_{i,m}$ 內第 p 號 ($p=0,1,2,\dots$)之單元電晶體，其構造和動作係與上述第 2 圖所示之電晶體相同。

各單元電晶體 $TC_{i,m,p}$ 係被儲存體劃分為 $BNK_{i,m}$ ，參照第 1 圖，相當於前述之 TC。各儲存體 $BNK_{i,m}$ 係由被排列成 (1 行) $\times$ (n 列)之 n 個單元電晶體 $TC_{i,m,p}$ 所構成。又， n 係表示既定之自然數，該值係不被特別限定。又，在儲存體 $BNK_{i,m}$ 內之 i 及 m 係分別表示該儲存體所屬之單元電晶體 $TC_{i,m,p}$ 之共通之列號碼及行號碼。

在該電路中，通常之快閃記憶體係藉由字元線和位元線之組合，來對應選擇單元電晶體，首先，使用選擇線 SE_i 、 SO_i ，來選擇位於 i 列之偶數儲存體組 $BNK_{i,m}(m=0,2,4,\dots)$ 和奇數儲存體組 $BNK_{i,m}(m=1,3,5,\dots)$ 之任一方之組，從該儲

存體組，使用位元線 $BL_m(m=0,1,2,\dots)$ (更正確係使用與位元線 BL_m 連接之假想接地線 VT_k)，選擇一個儲存體，其次，使用字元線 WL_p 來選擇該儲存體組 $BNK_{i,m}$ 內之一個單元電晶體 $TC_{i,m,p}$ 。以下，將此加以具體說明。

在各儲存體 $BNK_{i,m}$ 內，分別連接用來選擇此之選擇電晶體 $STE_{i,m}$ 、 $STO_{i,m}$ 。其中，選擇電晶體 $STE_{i,m}$ 係在位於 i 列之儲存體 $BNK_{i,m}$ 內，用來選擇列號碼為偶數之儲存體 $BNK_{i,m}(m=0,2,4,\dots)$ 者，以下，也稱為偶數儲存體選擇電晶體。為了指定選擇電晶體 $STE_{i,m}$ ，使用選擇線 SE_i 。在 1 條之選擇線 SE_i 中，連接被排列成 i 列之所有之選擇電晶體 $STE_{i,m}(m=0,1,2,\dots)$ 。藉由選擇線 SE_i ，來選擇選擇線 SE_i 所連接之所有選擇電晶體 $STE_{i,m}(m=0,1,2,\dots)$ 。

又，選擇電晶體 $STO_{i,m}$ 係在位於 i 列之儲存體 $BNK_{i,m}$ 內，用來選擇行號碼為奇數之儲存體 $BNK_{i,m}(m=1,3,5,\dots)$ 者，以下，也稱為奇數儲存體選擇電晶體。為了指定選擇電晶體 $STO_{i,m}$ ，使用選擇線 SO_i 。在 1 條之選擇線 SO_i 中，連接被排列成 i 列之所有選擇電晶體 $STO_{i,m}(m=0,1,2,\dots)$ 。藉由選擇線 SO_i ，來選擇選擇線 SO_i 所連接之所有之選擇電晶體 $STO_{i,m}(m=0,1,2,\dots)$ 。

如該圖所示，各偶數儲存體選擇電晶體 $STE_{i,m}$ 之這些一方之源極-汲極係隔 1 行進行共通連接，在該共通連接節點 A、D、E，連接假想接地線 $VT_k(k=0,1,2,\dots)$ 。

奇數儲存體選擇電晶體 $STO_{i,m}$ 也同樣，但其共通連接點係較偶數儲存體選擇電晶體 $STE_{i,m}$ 之連接點只偏移 1 行

又，圖中，符號 $STE_{i-1,m}$ ($m=0,2,\dots$) 係沿行方向計數，在第 $i-1$ 號之儲存體中，用來選擇偶數儲存體之偶數儲存體選擇電晶體。相對地，符號 $STO_{i+1,m}$ ($m=1,3,\dots$) 係沿行方向計數，在第 $i+1$ 號之儲存體中，用來選擇奇數儲存體之奇數儲存體選擇電晶體。

又，假想接地線 VT_k ($k=0,1,2,\dots$) 爲了減低該電氣阻抗，係由鋁等金屬所構成。另一方面，位元線 BL_m ($m=0,1,2,\dots$) 係由擴散層所構成，其電氣阻抗比假想接地線 VT_k 之電氣阻抗高很多。

電路動作係如下所述。例如，在讀取時，當考慮選擇該圖中之單元電晶體 $TC_{i,m,0}$ 之情形(此處， m 係假定偶數)。單元電晶體 $TC_{i,m,0}$ 係屬於偶數儲存體 $BNK_{i,m}$ 。因此，首先，爲了選擇偶數儲存體組 $BNK_{i,m}$ ($m=0,2,4,\dots$)，將偶數儲存體選擇線 SE_i 設定在高(H)位準，將各偶數儲存體選擇電晶體 $STE_{i,m}$ ($m=0,1,2,\dots$) 設定導通(on)狀態，其他之選擇線(SE_r ($r=0,1,2,\dots,i-1,i+1,\dots$)、 SO_r ($r=0,1,2,\dots$))全部設定在低(L)位準，該選擇線係把閘極所連接之電晶體全部設定在不導通(off)狀態。

若依上述之電壓分配的話，則藉由導通(on)狀態之偶數儲存體選擇電晶體 $STE_{i,m}$ 、 $STE_{i,m+1}$ ，使位元線 BL_m 、 BL_{m+1} 成爲與假想接地線 VT_k 、 VT_{k+1} 電氣連接之狀態。與其他偶數儲存體 $BNK_{i,m-2}$ 、 $BNK_{i,m+4}$ 等有關之位元線也同樣，成爲與假想接地線電氣連接狀態。

其次，爲了選擇目的之單元電晶體 $TC_{i,m,0}$ ，因此，透過位元線 BL_m ，將假想接地線 VT_k 設定在接地位準，而且，透過位元線 BL_{m+1} ，在假想接地線 VT_{k+1} ，施加電壓 $VDD(=1.6V)$ 。其他之假想接地線 VT 係設定在開路狀態。這樣一來，首先，選擇偶數儲存體組 $BNK_{i,m}(m=0,2,4,\dots)$ 。具體而言，這樣設定假想接地線 VT 係進行假想接地線 VT 所連接之位元線閘 122。位元線閘 122 之詳細待加以後述。然後，在字元線 WL_0 ，施加電壓 $VG(=2.2V)$ 。而且，藉由假想接地線 VT 所連接之位元線閘 122，只將假想接地線 VT_{k+1} 連接在感測放大器 128，藉由感測放大器 128 來檢測假想接地線 VT_{k+1} 所流之電流。

藉由源極-汲極所施加之這些電壓值，如第 8A 圖所說明，在單元電晶體 $TC_{i,m,0}$ ，流通第 1 汲極電流 I_{d1} 。該第 1 汲極電流 I_{d1} 係從感測放大器 128，依位元線閘 122、假想接地線 VG_{k+1} 、節點 D、節點 C、偶數儲存體選擇電晶體 $STE_{i,m+1}$ 、單元電晶體 $TC_{i,m,0}$ 、位元線 BL_m 、偶數儲存體選擇電晶體 $STE_{i,m}$ 、節點 B、節點 A、假想接地線 VG_k 、位元線閘 122 之順序流通。

其次，藉由位元線閘 122，使位元線 BL_m 和位元線 BL_{m+1} 間之電位差反相，將其他之電壓值與上述同樣地事先加以設定。這樣一來，如第 8B 圖所說明，在單元電晶體 $TC_{i,m,0}$ ，流通第 2 汲極電流 I_{d2} 。該第 2 汲極電流 I_{d2} 之電流路徑係與第 1 汲極電流 I_{d1} 之電流路徑相反。

這樣一來，單元電晶體 $TC_{i,m,0}$ 之第 1 汲極電流 I_{d1} 及第

2 汲極電流 I_{d2} ，係藉由感測放大器來進行計測，在單元電晶體 $TC_{i,m,0}$ 中，辨別是否記憶 4 值狀況“(0、0)”~“(1、1)”之哪一個。

若依該電路構成的話，則第 1 汲極電流 I_{d1} 並不是經常在由擴散層所組成之高阻抗之位元線 BL_m 、 BL_{m+1} 內流通，在到達目的之儲存體 $BNK_{i,m}$ 前，在低阻抗之假想接地線 VG_{k+1} 內流通，到達目的之儲存體 $BNK_{i,m}$ 後，在位元線 BL_{m+1} 內流通，而且，在單元電晶體 $TC_{i,m,0}$ 中流通後，第 1 汲極電流 I_{d1} 係經由位元線 BL_m ，流到假想接地線 VG_k 。

這樣一來，因經常較位元線 BL_m 、 BL_{m+1} 內流通之情形為低阻抗，故在本實施例中，能用高速讀取第 1 汲極電流 I_{d1} 。關於第 2 汲極電流 I_{d2} ，也能得到同樣之優點。

在上述之例中，選擇偶數儲存體 $BNK_{i,m}$ 內之單元電晶體 $TC_{i,m,0}$ 。另一方面，為了選擇奇數儲存體組 $BNK_{i,m}(m=1,3,5\cdots)$ 內之單元電晶體 $TC_{i,m,p}$ ，將奇數儲存體選擇線 SO_i 設定在高(H)位準，將各奇數儲存體選擇電晶體 $STO_{i,m}(m=0,1,2\cdots)$ 設定在導通(on)狀態。然後，將其他之選擇線 $SE_r(r=0,1,2\cdots)$ 、 $SO_r(r=0,1,2\cdots,i-1,i+1,\cdots)$ 全部設定在低(L)位準，將這些選擇線連接在閘極之電晶體全部設定在不導通(off)狀態。其他選擇線係與選擇偶數儲存體之情形同樣，故不針對奇數儲存體進行以上說明。上述之單元電晶體之選擇方法也稱為假想接地方式。

第 33 圖係表示本發明之半導體記憶體之一實施例構成之功能方塊圖。本實施例之半導體記憶體係快閃記憶體 120

第 33 圖之快閃記憶體 120 係透過位址信號線 124 來接收位址信號 124。又，透過資料線 146，輸入寫入資料 146，且，輸出讀取資料 146。位址信號 124 係對記憶體陣列 126 內之記憶體單元中之任一個，指示是否進行資料讀取或資料寫入之信號。

又，消除係通常例如用 64K 位元組單位來整體進行。此時，在 64K 位元組之單元中，係針對 1 列所連接之單元全體，進行一次消除，依序對各列進行消除，進行 64K 位元組單元之整體消除。

例如，寫入資料 146 及讀取資料 146 係 8 位元之資料。但是，以下，爲了簡單說明，寫入資料 146 及讀取資料 146 係 2 位元(1 記憶體單元份)，消除係對所有記憶體單元，能整體一次進行。

控制部 130 係儲存所輸入之位址信號 124，從位址信號 124，產生儲存體資料 132、字元資料 134、位元線資料 136，分別往儲存體解碼器 138、字元解碼器 140、位元線閘 122 輸出。又，控制部 130 係對儲存體解碼器 138、字元解碼器 140、位元線閘 122，透過信號線 150，輸出表示是否進行寫入動作、讀取動作、消除動作之任一種之資訊(以下稱爲模式資訊)。控制部 130 本身係從外部透過未圖示之信號線，來接收模式資訊，對儲存體解碼器 138、字元解碼器 140、位元線閘 122，當作模式資訊加以輸出。

控制部 130 係在寫入動作時，透過信號線 148，將寫入

資料 146 當作寫入資料 148，傳送給位元線閘 122。位元線閘 122 係對位元線資料 136 所指定之假想接地線 VT，對應寫入資料 148，在假想接地線 VT 施加 6.0V(汲極側)，或將假想接地線 VT 加以接地(源極側)。但是，寫入時，當寫入資料為(1,1)時，因不需進行寫入，故控制部 130 係對各部不指示寫入動作。

關於讀取資料 146，控制部 130 係在讀取動作時，從感測放大器 128，根據透過信號線 142 所送來之資料 142 來產生。即，對 1 個記憶體單元，位元線閘 122 係轉換汲極和源極，進行 2 次之讀取。控制部 130 係從感測放大器 128，根據透過信號線 142 所送來 2 個信號 142(這是由已述之 I_{d1} 、 I_{d2} 所產生之信號)，(I_{d1} 、 I_{d2})係判定是否為(大、大)、(大、小)、(小、大)、(小、小)之任一個，來產生讀取資料 146。

在本發明之半導體記憶體之讀取動作中，如上述，判定“(0,0)”～“(1,1)”之邏輯狀態後，也可根據該邏輯狀態進行讀取，也能如以下進行讀取動作。即，在本發明之半導體記憶體之讀取動作中，其結果，用與未施加讀取電壓之側(接地側)之源極-汲極對向之浮動閘極，對應是否儲存電荷，來使汲極電流值 I_d 產生變化。因此，當在一方之源極-汲極，賦與汲極電壓之際，只檢測藉此所得到之汲極電流值，藉此能單獨檢測未施加電壓側之浮動閘極之電荷儲存狀況，這樣一來也能進行讀取。

儲存體解碼器 138 係從控制部 130 輸入儲存體資料 132

，選擇記憶體陣列 126 內之選擇線 SE、SO 中之任一條(讀取動作時及寫入動作時)或所有(消除動作時)，藉此來選擇該選擇線所連接之儲存體選擇電晶體。選擇係在所選擇之選擇線 SE、SO，施加選擇電晶體 STE、STO 之閘極閾值電壓以上之電壓，藉此來進行。在未選擇之選擇線 SE、SO，施加較選擇電晶體 STE、STO 之閘極閾值電壓小之電壓，將位元線 BL 和假想接地線 VT 加以非連接。

字元解碼器 140 係從控制部 130 輸入字元資料 134，選擇記憶體陣列 126 內之字元線 WL 中之任一條(讀取動作時及寫入動作時)或全部字元線(消除動作時)。然後，在所選擇之字元線 WL，供應從電源部 144 所輸入之電壓 VE、VW、VR。此處，電壓 VE 係在消除時，單元電晶體 TC 之控制閘極所施加之電壓(例如 12V)，電壓 VW 係寫入時，單元電晶體 TC 之控制閘極所施加之電壓(例如 2.2V)，電壓 VR 係在讀取時，單元電晶體 TC 之控制閘極所施加之電壓(例如 2.2V)。消除時，字元資料 140 係爲了進行過消除，在字元線 WL，施加電壓 VE 5 毫秒(msec)。

又，較佳係在能實施寫入之寫入電壓值之中，使用位於最小電壓值附近之寫入電壓 VW，來對浮動閘極進行資料之寫入。此時，寫入效率係成爲最大之故。此處，所謂寫入效率係指浮動閘極所注入之電流 I_{fg} 和源極電流 I_s 之比(I_{fg}/I_s)。

在未選擇之字元線 WL 中，施加較單元電晶體 TC 之閘極閾值電壓小之電壓，來防止電流在未選擇之單元電晶體

TC 中流通。爲了施加小的電壓，通常將字元線加以接地。

位元線閘 122 係在讀取動作時及寫入動作時，從控制部 130 輸入位元線資料 136，爲了選擇記憶體陣列 126 內之 1 行內之儲存體 $BNK_{i,m}(i=0,1,2,\dots)$ 所含之單元電晶體 $TC_{i,m,p}(i=0,1,2,\dots)$ ，在假想接地線 VT，施加既定之電壓。消除動作時，選擇所有之儲存體，即所有之單元電晶體，將其汲極和源極加以接地。所未選擇之儲存體所連接之假想接地線 VT 係設定在開路狀態。以下，針對此，參照第 34 圖加以詳述。

第 34 圖係表示位元線閘 122 構成例之方塊圖。位元線閘 122 之位元線控制部 152 係從控制部 130，輸入位元線資料 136、寫入資料 148(僅寫入動作時)、模式資訊 150。具體而言，例如，位元線資料 136 係寫入或讀取對象之儲存體 $BNK_{i,m}$ 之行號碼 m 。

若位元線控制部 152 輸入位元線資料 136 的話，則在成爲對象之儲存體 $BNK_{i,m}$ 內之汲極側之位元線 BL 所連接之假想接地線 VT、和源極側之位元線 BL 所連接之假想接地線 VT，透過開關 $54_k(k=0,1,2,\dots)$ ，施加既定之電壓。其他之假想接地線 VT 係藉由開關 54_k 設定在開路狀態。因此，位元線控制部 152 係對應各開關 54_k ，輸出電壓指示信號 $56_k(k=0,1,2,\dots)$ 。

開關 54_k 係設置在各假想接地線 VT_k 輸入電壓指示信號 56_k ，在假想接地線 VT_k 施加既定之電壓，或連接假想接地線 VT_k 和感測放大器 128。

開關 54_k ，都具有同樣之構成，包含端子 58a、58b、58c。在端子 58a，係從電源部 144 供應電壓 VDW，端子 58b 係透過信號線 60 與感測放大器 128 連接，端子 58c 係被加以接地。寫入動作時，係將汲極側之假想接地線 VT 連接在端子 58a，施加電壓 VDW，將源極側之假想接地線 VT 連接在端子 58c，並加以接地，其他之假想接地線 VT 係端子 58a、58b、58c 之任一個，被設定在未連接之開路狀態。

當寫入資料為 (0,0) 之情形，係藉由上述之操作，在汲極儲存電荷後，轉換汲極側和源極側，即，將端子 58a 所連接之假想接地線 VT 連接在端子 58c，將端子 58c 所連接之假想接地線 VT 連接在端子 58a，在轉換後之汲極中，也儲存電荷。

讀取動作時，將汲極側所連接之假想接地線 VT 連接在端子 58b，且與感測放大器 128 連接，將源極側之假想接地線 VT 連接在端子 58c 並加以接地，其他之假想接地線 VT 係端子 58a、58b、58c 之任一個，被設定在未連接之開路狀態。這樣一來，用感測放大器 128 來檢測單元電晶體 TC 所流之電流。在讀取動作時，雖必須在汲極側施加低的電壓 1.6V，但這是透過感測放大器 128 來進行。

其次，轉換汲極側和源極側，即，將端子 58b 所連接之假想接地線 VT 連接在端子 58c，將端子 58c 所連接之假想接地線 VT 連接在端子 58b，其他之假想接地線 VT 之連接不變更，再一次藉由感測放大器 128 來檢測單元電晶體 TC 所流之電流。

第 34 圖所示之假想接地線 VT 之接線狀態係讀取動作時之狀態係讀取動作時之狀態，假想接地線 VT_{k+1} 係汲極側(端子 58b)之情形，假想接地線 VT_k 係源極側(端子 58c)之情形，假想接地線 VT_{k+2} 係開路之狀態。該情形，只選擇構成第 32 圖之第 m 號之行之 $BNK_{i,m}(i=0,1,2,\dots)$ ，來作為讀取之對象。讀取動作時，為了轉換汲極和源極，進行 2 次之讀取，用第 34 圖之連接狀態來進行讀取後，將假想接地線 VT_{k+1} 連接在源極側(端子 58c)，將假想接地線 VT_k 連接在汲極側(端子 58b)。假想接地線 VT_{k+2} 仍是開路之狀態。因此，完成對 1 個單元電晶體之讀取動作。

消除動作時，本實施例係將所有之假想接地線 VT 連接在端子 58c 5 毫秒(msec)，將假想接地線 VT 加以接地。所謂 5 毫秒之時間係指依據以下之想法來進行設定。浮動閘極所儲存之電荷(該情形係指電子)係使用 FN 電流來加以消除。第 35 圖係表示消除時，隨著時間之經過，浮動閘極所儲存之電子數逐漸減少情形之一例。

第 35 圖係表示將 1 個浮動閘極所儲存之電子數當作從開始消除時之時間函數來表示之曲線 66。縱軸係表示電子數，開始消除時之電子數為 1000 個。在時間 t_1 ，電子數為「0」個，然後，表示儲存正電荷(正孔)。經過 5 毫秒(msec)時，浮動閘極所儲存之正電荷數為 500 個。此時，FN 電流值大致為「0」。以後，所儲存之正電荷數大致不變化。

又，在實際消除中之電子數減少中有偏差。為了表示

此偏差，對應表示平均減法之實線之曲線 66，在圖中，用虛線來表示，減法快時之曲線 64 和慢時之曲線 62，由曲線 66、62、64 可知，電子數減法之特徵係在減少之途中，在減法中有範圍，亦即有偏差，電子數為「0」個時之時間係進行變動。另一方面，在最終，FN 電流為「0」時之電子數係不進行變動。

因此，如習知，若在電子數為「0」個之附近(時間 t_1)，使消除停止的話，則必須考慮偏差之對策。例如，為了避免被過消除，稍進行消除，每次，必須檢驗不得被過消除。如本實施例，當 FN 電流之值被過消除直到成為「0」之附近時，在該電子缺乏狀態中，幾乎無偏差。即，電荷數成為飽和之狀態，能得到穩定之閾極閾值電壓，因此，也有不需要進行檢驗操作之優點。

又，本發明係在 FN 電流之值為「0」之前，不被限定在進行過消除之情形，也可在 FN 電流值比既定值少之前，消除浮動閾極所儲存之電荷，進行過消除。又，也可進行過消除，以達到浮動閾極所儲存之正電荷成為既定數以上，即，達到 500 個以上。

由以上之說明可知，本實施例之情形，選擇機構係由儲存體解碼器 138、字元解碼器 140、及位元線閾 122 所構成，過消除機構係由字元解碼器 140、位元線閾 122、及電源部 144 所構成。又，寫入機構係由字元解碼器 140、位元線閾 122、及電源部 144 所構成。

回到第 33 圖，感測放大器 128 係在讀取動作時，藉由

位元線閘 122，連接在讀取對象之感測電晶體 TC 之汲極側，檢測單元電晶體 TC 所流之電流大小。檢測結果，係透過信號線 142，傳送到控制部 130。例如，讀取資料 142 係高電壓和低電壓，高電壓係對應電流「大」，低電壓係對應電流「小」。電源部 144 係在字元解碼器 140 供應電壓 VE、VW、VR，在位元線閘 122 供應電壓 VDW。

其次，針對上述所構成之快閃記憶體 120 之動作加以敘述。寫入動作時，控制部 130 係從外部接受寫入指示、寫入對象之位址信號 124、及寫入資料 146。控制部 130 係從位址信號 124，產生儲存體資料 132、字元資料 134、及位元線資料 136，分別在儲存體解碼器 138、字元解碼器 140、及位元線閘 122 加以輸出。又，對應儲存體解碼器 138、字元解碼器 140、及位元線閘 122，輸出表示寫入之模式資訊。進一步，透過信號線 148，把寫入資料 146 當作寫入資料 148，傳送到位元線閘 122。

儲存體解碼器 138 係藉由從控制部 130 所輸入之模式資訊，來進行寫入動作。即，依照儲存體資料 132，只在記憶體陣列 126 內之選擇線 SE、SO 中之任 1 條，施加儲存體選擇電晶體 STO、STE 之閘極閾值電壓以上之電壓，其他之選擇線 SE、SO 係加以接地，藉此只選擇該選擇線所連接之儲存體選擇電晶體。

字元解碼器 140 係藉由從控制部 130 所輸入之模式資訊，進行寫入動作。即，依據字元資料 134，選擇記憶體陣列 126 內之字元線 WL 中之任 1 條，只在所選擇之字元線

WL，供應從電源部 144 所輸入之電壓 VW，其他之字元線 WL 則加以接地。

位元線閘 122 係藉由從控制部 130 所輸入之模式資訊，進行寫入動作。即，依據位元線資料 136、寫入資料 148，在所指定之位元線，即，假想接地線中，在汲極側位元線，施加電壓 VDW，將源極側位元線加以接地。寫入資料為(0,0)之情形，係藉由該操作，在汲極儲存電荷後，轉換汲極側和源極側，在轉換後之汲極中，也儲存電荷。

讀取動作時，控制部 130 係從外部接收寫入指示、及寫入對象之位址信號 124。控制部 130 係從位址信號 124，產生儲存體資料 132、字元資料 134、及位元線資料 136，分別對儲存體解碼器 138、字元解碼器 140、及位元線閘 122 加以輸出。又，對儲存體解碼器 138、字元解碼器 140、及位元線閘 122，輸出表示寫入之模式資訊。

儲存體解碼器 138 係藉由從控制部 130 所輸入之模式資訊，來進行讀取動作。即，依照儲存體資料 132，只在記憶體陣列 126 內之選擇線 SE、SO 中之任 1 條，施加儲存體選擇電晶體 STO、STE 之閘極閾值電壓以上之電壓，其他之選擇線 SE、SO 係加以接地，藉此只選擇該選擇線所連接之儲存體選擇電晶體。

字元解碼器 140 係藉由從控制部 130 所輸入之模式資訊，進行讀取動作。即，依據字元資料 134，選擇記憶體陣列 126 內之字元線 WL 中之任 1 條，只在所選擇之字元線 WL，供應從電源部 144 所輸入之電壓 VR，其他之字元線

WL 則被加以接地。

位元線閘 122 係藉由從控制部 130 所輸入之模式資訊，進行讀取動作。即，依據位元線資料 136，在所指定之 2 條位元線，即，假想接地線中，將汲極側位元線連接在感測放大器 128，將源極側位元線加以接地。用感測放大器 128，來檢測單元電晶體 TC 所流之電流後，轉換汲極側和源極側，再用感測放大器 128 來檢測單元電晶體 TC 所流之電流。

感測放大器 128 係將所檢測之結果當作讀取資料 142，輸出 2 次到控制部 130，控制部 130 係從這些讀取資料 142 產生 2 位元之讀取資料 146，往外部輸出。

消除動作時，係從外部接收消除指示。控制部 130 係對儲存體解碼器 138、字元解碼器 140、及位元線閘 122，輸出表示消除動作之模式資訊。

儲存體解碼器 138 係藉由從控制部 130 所輸入之模式資訊，來進行消除動作。即，在記憶體陣列 126 內之所有選擇線 SE、SO 中，施加儲存體選擇電晶體 STO、STE 之閘極閾值電壓以上之電壓，選擇所有之儲存體選擇電晶體。

字元解碼器 140 係藉由從控制部 130 所輸入之模式資訊，進行消除動作。即，選擇記憶體陣列 126 內之所有字元線 WL，在所有之字元線 WL，供應從電源部 144 所輸入之電壓 VE。

位元線閘 122 係藉由從控制部 130 所輸入之模式資訊，進行消除動作。即，將所有之假想接地線 VT 加以接地 5

毫秒(msec)。

這樣一來，若依本實施例的話，則浮動閘極成為過消除狀態，即被消除直到電子缺乏狀態。因此，針對所有單元，電荷數變成飽和的狀態，所有單元被均勻地消除。而且，在對被消除之單元進行寫入時，浮動閘極所儲存之電荷不妨礙源極-汲極電流之流通，寧可所儲存之電荷對該電流，當作負阻抗來進行動作，即，使電流增加來提高寫入效率，使寫入速度提高。

該寫入電流之增加係與能形成第 2 圖所示之單元構造之 Ballistic(子彈型)電流寫入方式同時，將用來寫入之電力消耗量縮小到極限。此處，所謂 Ballistic(子彈型)電流寫入方式係指穿隧電流之大部分，在與浮動閘極 FG 之閘極絕緣膜垂直的方向流通之寫入方式。

藉由電力消耗量之降低，能用較小之電量來進行與複數之單元並列寫入，實質上將寫入速度加以高速化。藉由寫入速度之高速化，例如，也能用短時間將音樂媒體和影像媒體進行複製之服務。又，爲了積極進行過消除，不需要檢驗如習知般未進行過消除，能提高處理速度，且處理變成簡單。進一步，進行過消除，藉此也有改善讀取時之電流窗之效果。即，若只在進行過消除之單元之一方進行寫入，注入電子的話，則能進一步增大電子未被注入之過消除狀態之單元間之電位差。其結果，能進一步改善讀取時之電流窗。

其次，針對本發明之其他實施例加以說明。在本實施

例中，在控制閘極施加消除用電壓之前，在消除對象之單元之浮動閘極中，係對未寫入浮動閘極進行注入電荷之電荷注入動作，特別係進行預置注入動作。又，本實施例之半導體記憶體之單元電晶體之構造和動作係與上述第 2 圖所示之電晶體相同。

又，進行電荷注入之時間係不被限定在將消除用電壓施加在控制閘極之前，也可在將消除用電壓施加在控制閘極之途中，中斷施加消除用電壓，設置電荷注入之期間。

又，也可將消除用電壓施加在控制閘極之後，設置電荷注入之期間。該情形，不是在每次進行消除動作時，進行電荷注入之動作，也可只在重複過消除時，進行電荷注入之動作。

關於進行電荷注入之時點，在本實施例中，在每次進行消除動作時，進行電荷注入動作，但不被限定在此，也可只在複數次之消除動作中之 1 次消除動作中，進行電荷注入動作。

在本實施例中，就預置注入動作之實施方法而言，係將消除用電壓施加在控制閘極之前，對消除對象之單元施加預置用電壓，來進行預置注入動作，藉由預置注入動作，在消除對象單元之 2 個浮動閘極中，只對未寫入浮動閘極注入電荷。

此時，只對未寫入浮動閘極注入電荷，爲了避免對進行資料寫入之浮動閘極(以下稱爲「寫入完成浮動閘極」)注入電荷，設定預置電壓之電壓值及施加時間。

在預置注入動作中，也可在寫入完成浮動閘極，進一步選擇注入電荷之電壓值及施加時間，該情形，因延長消除所需要之時間，故不佳。

本實施例之方法，係在預置注入動作時，只對未寫入浮動閘極，使用進行電荷注入之電壓值，故在消除前，不必確認消除對象之單元所含有之浮動閘極係未寫入浮動閘極、或是寫入完成浮動閘極。

就預置注入動作之實施方法而言，也能使用在消除對象之記憶單元之浮動閘極中，只選擇未寫入浮動閘極，來進行注入電荷之方法。

例如，也可在進行消除動作前，進行資料之讀取動作，判別未寫入浮動閘極，對該浮動閘極，藉由通常之寫入動作，來注入既定之電荷。但是，該方法之情形，爲了判別是否爲未寫入浮動閘極，在進行消除動作前，必須追加進行資料之讀取動作之追加之步驟。又，也必須設置用來暫時保存是否爲未寫入浮動閘極之資訊。

其次，具體說明本實施例。在以下之說明中，關於具有與已述之實施例之構成要件相同之功能者，係使用同樣之參考符號，故該說明也省略一部分。又，關於寫入動作及讀取動作，因與已述之實施例同樣，故以下，只針對消除動作加以說明。

在本實施例中，既定之消除對象之記憶體單元，例如，當整體消除 64K 位元組之記憶體單元時，係針對 1 條字元線 WL 所連接之單元、即 1 列之所有單元，進行 1 次消

除，依序對各列進行消除，進行 64K 位元組之單元之整體消除。

在表示第 32 圖之功能電路圖之一部份之第 36 圖中，1 條字元線 WL_n 所連接之單元電晶體 $TC_{i,m-1,n}$ 、 $TC_{i,m,n}$ 、 $TC_{i,m+1,n}$ 等係消除對象，其他之字元線 WL_{n+1} 所連接之單元電晶體 $TC_{i,m-1,n+1}$ 、 $TC_{i,m,n+1}$ 、 $TC_{i,m+1,n+1}$ 等係非消除對象。在第 32 圖中，係單元電晶體 $TC_{i,m-1,n}$ 之浮動閘極 FG1、單元電晶體 $TC_{i,m,n}$ 之浮動閘極 (FG1、FG2)、寫入完成浮動閘極，係單元電晶體 $TC_{i,m-1,n}$ 之浮動閘極 FG2、單元電晶體 $TC_{i,m+1,n}$ 之浮動閘極 (FG1、FG2)、未寫入浮動閘極。

消除動作時，在消除對象之字元線 WL_n ，即在控制閘極 CG，施加第 37 圖之電壓曲線 74。第 37 圖之橫軸係用毫秒 (msec) 單位來表示時間，縱軸係用 V (伏特) 單位來表示電壓。在第 37 圖中，此時，包含字元線 WL_{n+1} 所施加之電壓曲線 76、消除對象之單元電晶體 ($TC_{i,m-1,n}$ 、 $TC_{i,m,n}$ 、 $TC_{i,m+1,n}$) 之源極及汲極所施加之電壓曲線 78，也一併加以表示。電壓曲線 76 和電壓曲線 78 係如圖所示，在消除動作中，經常為 0V。將電壓曲線 76 當作 0V 之理由係避免產生消除之故，將電壓曲線 78 當作 0V 之理由係在控制閘極 CG 和浮動閘極 FG 之間，使產生既定之電位差之故。

在本實施例中，係如電壓曲線 74 所示，預置注入動作時，例如，在控制閘極 CG，施加 -13V (第 37 圖之箭頭 80) 在 1 毫秒 (msec) 之期間 (以下，此期間稱為「預置期間」。) ，在未寫入浮動閘極 FG 注入電子。藉此，能減少未寫入浮

動閘極 FG 之正電荷，即正孔之數。

然後，在浮動閘極 FG，施加 13V(第 37 圖之箭頭 84)在 1 毫秒(msec)(第 37 圖之箭頭 86)之期間，(以下，此期間稱為「第 1 消除期間」。)，接下來，施加 11.5V(第 37 圖之箭頭 88)在 3 毫秒(msec)(第 37 圖之箭頭 90)之期間，(以下，此期間稱為「第 2 消除期間」。)。合計第 1 消除期間和第 2 消除期間之 4 毫秒(msec)之期間(箭頭 86、90)係實質之消除期間，在此期間中，係在預置期間，消除未寫入浮動閘極所注入之電子，未寫入浮動閘極係恢復預置注入動作開始時之狀態。

第 38 圖係表示電壓曲線 74 被施加在控制閘極 CG 時，未寫入浮動閘極 FG 內之電荷數之變化。第 38 圖之縱軸係表示浮動閘極 FG 內所儲存之電子數，「－」係表示儲存正孔，橫軸係用毫秒(msec)單位來表示時間。

第 38 圖之曲線 92 係使用電腦，將電荷數之變化進行模擬者，預置期間 82 和第 1、第 2 消除期間(86、90)之電荷數變化係藉由曲線 92a、92b、92c 來分別加以表示。在預置期間中，正孔數係從 1200 個減少到 300 左右，在第 1 消除期間，能增加到 1200 個，當第 2 消除期間結束時，正孔數係恢復為 1200 個。

在本發明中，最重要的係在預置期間，在浮動閘極 FG 內，電荷被加以注入，當消除動作結束時，實質恢復消除動作開始時之電荷數係很重要。

第 39 圖係表示電壓曲線 74 被施加在控制閘極 CG 時，

寫入完成浮動閘極 FG 內之電荷數之變化。第 39 圖之縱軸係表示浮動閘極 FG 內所儲存之電子數，「－」係表示儲存正孔，橫軸係用毫秒(msec)單位來表示時間。

第 39 圖之曲線 94 係使用電腦，將電荷數之變化進行模擬者，預置期間 82 和第 1、第 2 之消除期間(86、90)之電荷數之變化係藉由曲線 94a、94b、94c 來分別加以表示。在預置期間 82 中，電子數係用 1200 個來加以穩定，在第 1 消除期間中，沒有電子，正孔數能增加到 1100 個左右，當第 2 消除期間結束時，正孔數係為 1200 個左右。

這樣一來，處於“0”邏輯狀態之寫入完成浮動閘極 FG 係即使藉由預置注入，也不接受電荷之注入，另一方面，處於“1”邏輯狀態之未寫入浮動閘極 FG 係暫時接受電荷之注入。然後，任一浮動閘極 FG 都接受消除操作。此處，其特徵係寫入完成浮動閘極 FG 和未寫入浮動閘極 FG 都在最終約-1200 個之電子，即 1200 個正孔係被充電之飽和狀態來加以穩定。

又，最佳係在預置期間中所注入之電子數之下限值係在未寫入浮動閘極 FG 中，即使較飽和狀態(即，有 1200 個正孔之狀態)多之正孔，也是成為減少的狀態數。

又，關於被注入之電子數之上限值，係沒有特別限制，在預置期間結束時，未寫入浮動閘極 FG 內之電子數係在寫入完成浮動閘極 FG 內，為了超出當初之電子數(+1,200)，也能注入電子數。但是，較佳係在較該電子數(+1,200)少者能縮短消除時間之點。

其次，當作參考，與本實施例相異，在消除動作中，不設置電荷注入期間之情形，第 40 圖係表示消除動作時，消除對象之字元線 WL_n 所施加之電壓曲線 96。第 40 圖之橫軸係用毫秒(msec)單位來表示時間，縱軸係用 V(伏特)單位來表示電壓。

在第 40 圖中，包含有字元線 WL_{n+1} 所施加之電壓曲線 76、消除對象之單元電晶體($TC_{i,m-1,n}$ 、 $TC_{i,m,n}$ 、 $TC_{i,m+1,n}$)之源極及汲極所施加之電壓曲線 78，一併加以表示。電壓曲線 76 和電壓曲線 78 係如圖所示，在消除動作時，經常為 0V，係與第 37 圖相同。如電壓曲線 96 所示，消除動作時，在控制閘極 CG 例如施加+13V(第 40 圖之箭頭 98)5 毫秒(msec)之期間(第 40 圖之箭頭 100)，進行消除動作。

回到第 37 圖，為了對字元線 WL_n 施加電壓曲線 74 之電壓，係將依據第 33 圖之電源部 144 所輸出之電壓曲線 74 之電壓輸入到字元解碼器 140，字元解碼器 140 係選擇字元線 WL_n ，在所選擇之字元線 WL_n 施加該電壓。此時，為了同時在字元線 WL_{n+1} 施加電壓曲線 76，較佳係藉由字元解碼器 140，來選擇字元線 WL_{n+1} ，同時進行將所選擇之字元線 WL_{n+1} 加以接地。

第 33 圖之位元線閘 122 係選擇應接地之位元線(BL_m 、 BL_{m+1} 、 BL_{m+2})所連接之假想接地線 VT，將所選擇之假想接地線 VT 加以接地，藉此對消除對象之單元之源極及汲極來進行施加 0V 之電壓。

消除對象之單元電晶體($TC_{i,m-1,n}$ 、 $TC_{i,m,n}$ 、 $TC_{i,m+1,n}$)和

不是消除對象之單元電晶體 ($TC_{i,m-1,n+1}$ 、 $TC_{i,m,n+1}$ 、 $TC_{i,m+1,n+1}$) 係都屬於儲存體 ($BNK_{i,m-1}$ 、 $BNK_{i,m}$ 、 $BNK_{i,m+1}$)，但儲存體 ($BNK_{i,m-1}$ 、 $BNK_{i,m}$ 、 $BNK_{i,m+1}$) 之選擇係如已述來進行。

如以上所述，若依本實施例的話，則能對未寫入浮動閘極，進行重複過消除。

針對本發明之效果，舉以下之例子。

依本發明，在寫入之情況，在源極-汲極領域間供應寫入用之電位差，同時，在控制閘極施加寫入電壓。藉此，通道係形成在凸面之兩側面和頂面之各表層。而且，頂面所流通之載子不必改變其進行方向，而被注入到浮動閘極，故能較習知降低寫入電壓。

然後，在讀取之情況，在源極-汲極領域間供應讀取用之電位差，同時，在控制閘極施加讀取電壓，流通第 1 汲極電流 I_{d1} 。然後，使上述讀取用之電位差反相，藉此，流通第 2 汲極電流 I_{d2} 。浮動閘極之電位係藉由源極-汲極領域與控制閘極之對向電容，而吸引到這些構件之電位。因此，能將上述汲極電流 (I_{d1} 、 I_{d2}) 設定在所欲之大小，故將電流窗擴大到所欲程度。

這樣一來，能實現較習知寫入電壓低且電流窗廣的多值電晶體，同時，在控制閘極和源極-汲極領域之間，施加用來消除浮動閘極中之儲存電荷之消除電壓，藉此，在控制閘極和源極-汲極領域抽出儲存電荷，能消除浮動閘極所儲存之電荷。

又，依本發明能提供，藉由過消除，而具有單純的構造，增大寫入效率，提高寫入速度之半導體裝置。

又，依本發明，在消除之際，不需要確認進行寫入之記憶體和未進行寫入之記憶體之用來切換該消除條件之確認步驟，能縮短該步驟所需之時間。

進一步，依本發明，對所有之記憶體所儲存之電荷進行過消除，以使實質達到零位準以下(逆電荷被充電之狀態)，進一步，該逆電荷進行過消除，以使達到大致飽和位準，藉此，能穩定消除後之記憶體之電荷喪失狀態(電子缺乏狀態、正孔儲存狀態)，能實現穩定之寫入、讀取及消除動作。

以上，雖詳細說明本發明，但本發明係不被限定在上述實施例。本發明在未超出其主旨之範圍內，能適當加以變形。例如，在上述實施例中，使用 p 型來作為一導電型，使用 n 型來作為逆導電型，但相反的，也可使用 n 型來作為一導電型，使用 p 型來作為逆導電型。

包含在 2001 年 11 月 22 日、2002 年 6 月 11 日、及 2002 年 11 月 6 日，分別申請之日本國專利申請、特願 2001-358308 號、特願 2002-169749 號、及特願 2002-322905 號之說明書、申請範圍、所附圖面、及摘要之所有揭示內容，係在本說明書中包含其全部，故請參照之。

雖參照特定之實施例來說明本發明，但本發明係不被限定在這些實施例。所謂的熟悉此技藝人士應瞭解，在本發明之範圍及不超出概念之範圍內，能變更或修改這些實

施例。

【圖式簡單說明】

(一) 圖式部分

第 1 圖係本發明之實施例之半導體記憶體之剖面立體圖。

第 2 圖係備有本發明之實施例之半導體記憶體之單元電晶體之放大截面圖。

第 3 圖係表示備有本發明之實施例之半導體記憶體之單元電晶體等效電路之示意圖。

第 4 圖係表示對備有本發明之實施例之半導體記憶體之單元電晶體進行寫入動作之截面圖。

第 5 圖係在備有本發明之實施例之半導體記憶體之單元電晶體中，在凸部之頂面設置高阻抗領域情形之截面圖。

第 6A 圖～第 6D 圖係表示備有本發明之實施例之半導體記憶體之單元電晶體能達成之 4 值狀態之截面圖。

第 7A 圖及第 7B 圖係表示針對備有本發明之實施例之半導體記憶體之單元電晶體之讀取動作之截面圖。

第 8A 圖及第 8B 圖係在備有本發明之實施例之半導體記憶體之單元電晶體中，讀取“(1、0)”狀態時之截面圖。

第 9 圖係表示浮動閘極所注入之電子之消除方法之一例之截面圖。

第 10 圖係表示在備有本發明之實施例之半導體記憶體之單元電晶體中，浮動閘極所注入之電子之消除方法之截

面圖。

第 11 圖係在備有本發明之實施例之半導體記憶體之單元電晶體中，設置與穿隧絕緣膜連接之厚膜之選擇氧化膜時之截面圖。

第 12 圖係本發明之實施例之半導體記憶體全體之電路構成圖。

第 13A 圖～第 24 圖係針對本發明之實施例之半導體記憶體之製造方法，所表示之剖面立體圖。

第 25 圖係在本發明之實施例中，從凸部使源極-汲極後退時之截面圖。

第 26 圖係習知例之多值單元電晶體之截面圖。

第 27A 圖及第 27B 圖係用來表示對習知例之多值單元電晶體進行寫入動作之截面圖。

第 28A 圖～第 28D 圖係習知例之多值單元電晶體能達成 4 值狀態之截面圖。

第 29 圖係用來說明習知例之多值單元電晶體缺乏頻帶間穿隧耐性之截面圖。

第 30 圖係在本發明之實施例之半導體記憶體所具備之單元電晶體中，提高凸部之基端部之硼濃度時之截面圖。

第 31 圖係表示在本發明之實施例之半導體記憶體之製造方法中，離 p 井表面之深度與該深度硼濃度之關係圖。

第 32 圖係在本發明之半導體記憶體之其他實施例之電路構成中，有關單元電晶體部分之功能電路圖。

第 33 圖係表示本發明之半導體記憶體之另一實施例之

構成功能方塊圖。

第 34 圖係表示位元線解碼器之一實施例之功能方塊圖。

第 35 圖係例示消除動作時，浮動閘極內之電荷減少情形之圖。

第 36 圖係取出第 32 圖之一部份所表示之功能電路圖。

第 37 圖係表示本發明之半導體記憶體之另一實施例之過消除動作之電壓變化圖。

第 38 圖係表示施加第 37 圖所示之電壓之未寫入浮動閘極內之電荷數之變化圖。

第 39 圖係表示施加第 37 圖所示之電壓之寫入完成之浮動閘極內之電荷數之變化圖。

第 40 圖係表示把未進行電荷注入動作時之過消除動作之電壓變化當作參考之圖。

(二) 元件代表符號

10	半導體記憶體
12	p 型矽基板
12a	p 型外延層
12b	p ⁺ 基板
13	p 井
13a	凸部
13b	側面
13c	頂面

13d	反轉層
15a	穿隧絕緣膜
15b	共聚物絕緣膜
15c	閘極絕緣膜
17	n 型領域
18	矽熱氧化膜
18a	場氧化膜
19	矽氮化膜
19a	開口部
20	光阻
20a	開口
21	n 井
22	光阻
22a	開口
23	p 井
24	光阻
24a	開口
26、29、31	矽氧化膜
25、27、30	矽氮化膜
28	溝槽
30a	長孔
32	凹槽
33	n ⁺ 領域
34	選擇氧化膜

35	光阻
35a	開口
36	WSi 膜
37	多晶矽膜
38	被覆膜
39	光阻
39a	開口
40	元件分離領域
41	閘極
45	光阻
45a	開口
54 _k	開關
58a、58b、58c	端子
60	信號線
62、64、66	曲線
74、76、78	電壓曲線
80、82、84、86、88、90	箭頭
92、92a、92b、92c	曲線
94、94a、94b、94c	曲線
120	快閃記憶體
122	位元線閘
124	位址信號
126	半導體記憶體陣列
128	感測放大器

130	控制部
132	儲存體資料
134	字元資料
136	位元線資料
138	儲存體解碼器
140	字元解碼器
142	信號線
146	讀取資料
148	寫入資料
150	信號線
152	位元線控制部
200	CMOS 電晶體部
202	單元電晶體部
210	熱洞
BL1 ~ BL4	位元線
C_{FG1} 、 C_{FG2}	對向電容
CG	控制閘極
FG1、FG2	浮動閘極
I_{d1} 、 I_{d2}	汲極電流
SE、SO	接地線
STO、STE	儲存體選擇電晶體
TC	單元電晶體
WL1 ~ WL4	字元線

肆、中文發明摘要

在電晶體中，設置有：p 型半導體基板(12)(設置具有對向之一對側面(13b、13b)之凸部)、閘極絕緣膜(15c)、一對 n 型源極-汲極領域(BL1、BL2)、穿隧絕緣膜(15a)、一對浮動閘極(FG1、FG2)、共聚物絕緣膜、及控制閘極(CG)。用以直線連接源極-汲極領域(BL1、BL2)之凸部(13a)之基端部之 p 型雜質濃度係較除了基端部以外之凸部(13a)之 p 型雜質濃度高。在控制閘極(CG)和源極-汲極領域(BL1、BL2)之間，施加用來消除浮動閘極(FG)中之儲存電荷之消除電壓，並使消除電流流向浮動閘極(FG)或源極-汲極領域(BL1、BL2)，以消除儲存電荷。

伍、英文發明摘要

拾、申請專利範圍

1、一種電晶體，其特徵在於，具備：

第一導電型半導體基板，係設置具有對向之一對側面之凸部；

第 1 絕緣膜，係形成在前述凸部之頂面上；

一對逆導電型源極-汲極領域，係隔著前述凸部形成在前述半導體基板之表面；

第 2 絕緣膜，係被覆前述凸部之側面和前述源極-汲極領域；

一對浮動閘極，係設置在前述凸部之各側面側，透過第 2 絕緣膜而與前述側面和源極-汲極領域對向；

第 3 絕緣膜，係形成在前述各浮動閘極上；以及

控制閘極，係透過前述第 3 絕緣膜而與前述各浮動閘極對向，且透過前述第 1 絕緣膜而與前述凸部之頂面對向；

前述第 2 及第 3 絕緣膜，係形成具有較前述第 1 絕緣膜為大之靜電電容；

在前述控制閘極和前述源極-汲極領域之間，係施加用來消除前述浮動閘極中之儲存電荷之消除電壓，並使消除電流流向前述控制閘極或前述源極-汲極領域，以消除前述儲存電荷。

2、一種半導體記憶體，其特徵在於：係將申請專利範圍第 1 項之電晶體沿行方向和列方向複數排列而成者。

3、如申請專利範圍第 2 項之半導體記憶體，其中，前

述電晶體中，沿前述行方向鄰接之單元電晶體之前述源極-汲極領域係共通；

沿列方向鄰接之前述單元電晶體彼此間係共用前述控制閘極，且，共用前述單元電晶體間之源極-汲極領域。

4、一種電晶體，其特徵在於，具備：

第一導電型半導體基板，係設置具有對向之一對側面之凸部；

第 1 絕緣膜，係形成在前述凸部之頂面上；

一對逆導電型源極-汲極領域，係隔著前述凸部形成在前述半導體基板之表面；

第 2 絕緣膜，係被覆前述凸部之側面和前述源極-汲極領域；

一對浮動閘極，係設置在前述凸部之各側面側，透過第 2 絕緣膜而與前述側面和源極-汲極領域對向；

第 3 絕緣膜，係形成在前述各浮動閘極上；以及

控制閘極，係透過前述第 3 絕緣膜而與前述各浮動閘極對向，且透過前述第 1 絕緣膜而與前述凸部之頂面對向；

藉由與該凸部之頂面對向之控制閘極，來控制與該控制閘極對向之通道領域之導通/不導通狀態；

在前述控制閘極和前述源極-汲極領域之間，係施加用來過消除前述浮動閘極中之儲存電荷之消除電壓，將浮動閘極中之儲存電荷加以過消除，以使該浮動閘極所儲存之電荷實質上成為 0 以下之狀態。

5、如申請專利範圍第 4 項之電晶體，其中，在過消除後，向前述浮動閘極進行寫入或讀取。

6、如申請專利範圍第 4 項之電晶體，其中，將消除用電壓施加在前述控制閘極之期間維持既定之時間，藉此進行過消除。

7、如申請專利範圍第 4 項之電晶體，其中，前述浮動閘極所儲存之電荷係使用福勒諾爾德哈姆(Fowler Nordheim)電流來加以消除，將前述浮動閘極所儲存之電荷加以過消除直到該福勒諾爾德哈姆電流的值較既定值少。

8、如申請專利範圍第 4 項之電晶體，其中，在成為消除對象之前述浮動閘極中，至少對未進行資料寫入之浮動閘極，進行注入電荷之電荷注入動作。

9、如申請專利範圍第 4 項之電晶體，其中，對前述浮動閘極之資料寫入，係在能實施寫入之寫入電壓值中，使用位於最小電壓值附近之第 2 寫入電壓來進行。

10、一種半導體記憶體，其特徵在於：係將申請專利範圍第 4 項之電晶體沿行方向和列方向複數排列而成者。

11、如申請專利範圍第 10 項之半導體記憶體，其中，前述電晶體中，沿前述行方向鄰接之單元電晶體之前述源極-汲極領域係共通；

沿列方向鄰接之前述單元電晶體彼此間，係共用浮動閘極，且，共用前述單元電晶體間之前述源極-汲極領域。

12、一種電晶體，係包含：在第一導電型半導體基板之表層所形成之一對逆導電型源極-汲極領域、浮動閘極、

及控制閘極，將電荷儲存在該浮動閘極，藉此能記憶資料，該浮動閘極係設置成只與位於前述源極-汲極領域之間之通道領域之一部分對向，其特徵在於：

在前述浮動閘極和前述源極-汲極領域之間，施加用來過消除前述浮動閘極中之儲存電荷之消除電壓，以使前述浮動閘極所儲存之電荷實質上成為 0 以下之狀態的方式來進行過消除。

13、如申請專利範圍第 12 項之電晶體，其中，在進行過消除後，向前述浮動閘極進行寫入或讀取。

14、如申請專利範圍第 12 項之電晶體，其中，將消除用電壓施加在前述浮動閘極之期間維持在既定之時間，藉此進行過消除。

15、如申請專利範圍第 12 項之電晶體，其中，前述浮動閘極所儲存之電荷係使用福勒諾爾德哈姆電流來加以消除，將前述浮動閘極所儲存之電荷加以過消除直到該福勒諾爾德哈姆電流之值較既定值少。

16、如申請專利範圍第 12 項之電晶體，其中，在成為消除對象之前述浮動閘極中，至少對未進行資料寫入之浮動閘極，進行注入電荷之電荷注入動作。

17、如申請專利範圍第 12 項之電晶體，其中，對前述浮動閘極之資料寫入，係在能實施寫入之寫入電壓值中，使用位於最小電壓值附近之第 2 寫入電壓來進行。

18、一種半導體記憶體，其特徵在於：係將申請專利範圍第 12 項之電晶體沿行方向和列方向複數排列而成者。

19、如申請專利範圍第 18 項之半導體記憶體，其中，前述電晶體中，沿前述行方向鄰接之單元電晶體之前述源極-汲極領域係共通；

沿列方向鄰接之前述單元電晶體彼此間，係共用浮動閘極，且，共用前述單元電晶體間之前述源極-汲極領域。

20，一種電晶體之驅動方法，該電晶體係具備：第一導電型半導體基板，係設置具有對向之一對側面之凸部；第 1 絕緣膜，係形成在前述凸部之頂面上；一對逆導電型源極-汲極領域，係隔著前述凸部形成在前述半導體基板之表面；第 2 絕緣膜，係被覆前述凸部之側面和前述源極-汲極領域；一對浮動閘極，係設置在前述凸部之各側面側，透過第 2 絕緣膜而與前述側面和源極-汲極領域對向；第 3 絕緣膜，係形成在前述各浮動閘極上；以及控制閘極，係透過前述第 3 絕緣膜而與前述各浮動閘極對向，且透過前述第 1 絕緣膜而與前述凸部之頂面對向；前述第 2 及第 3 絕緣膜，係形成具有較前述第 1 絕緣膜為大之靜電電容；其特徵在於，包含：

消除步驟，係在前述控制閘極和前述源極-汲極領域之間，施加用來消除前述浮動閘極中之儲存電荷之消除電壓，並使消除電流流向前述控制閘極或前述源極-汲極領域流通，以消除前述儲存電荷。

21、一種電晶體之驅動方法，該電晶體係具備：第一導電型半導體基板，係設置具有對向之一對側面之凸部；第 1 絕緣膜，係形成在前述凸部之頂面上；一對逆導電型

源極-汲極領域，係隔著前述凸部形成在前述半導體基板之表面；第 2 絕緣膜，係被覆前述凸部之側面和前述源極-汲極領域；一對浮動閘極，係設置在前述凸部之各側面側，透過第 2 絕緣膜而與前述側面和源極-汲極領域對向；第 3 絕緣膜，係形成在前述各浮動閘極上；以及控制閘極，係透過前述第 3 絕緣膜而與前述各浮動閘極對向，且透過前述第 1 絕緣膜而與前述凸部之頂面對向；其特徵在於，包含：

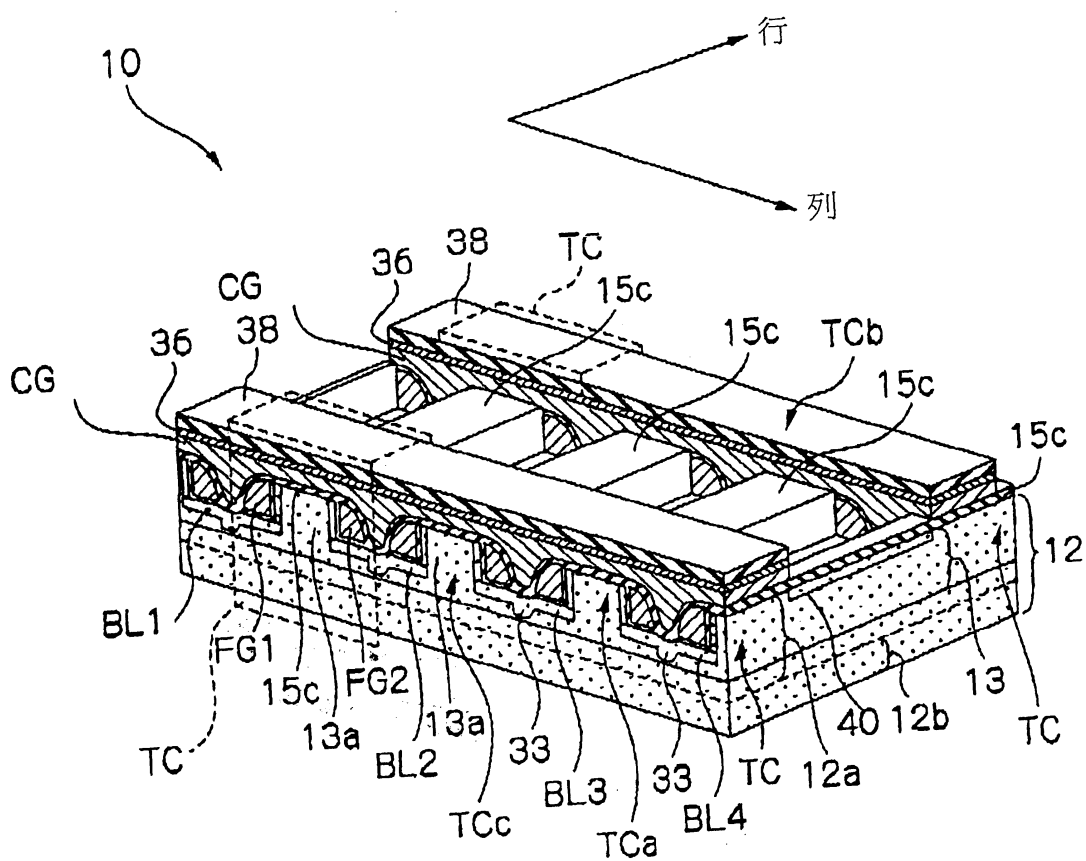
控制步驟，係藉由與該凸部之頂面對向之控制閘極，來控制與該控制閘極對向之通道領域之導通/不導通狀態；以及

消除步驟，係在前述控制閘極和前述源極-汲極領域之間，施加用來過消除前述浮動閘極中之儲存電荷之消除電壓，以使前述浮動閘極所儲存之電荷實質上成為 0 以下之狀態的方式來過消除浮動閘極中之儲存電荷。

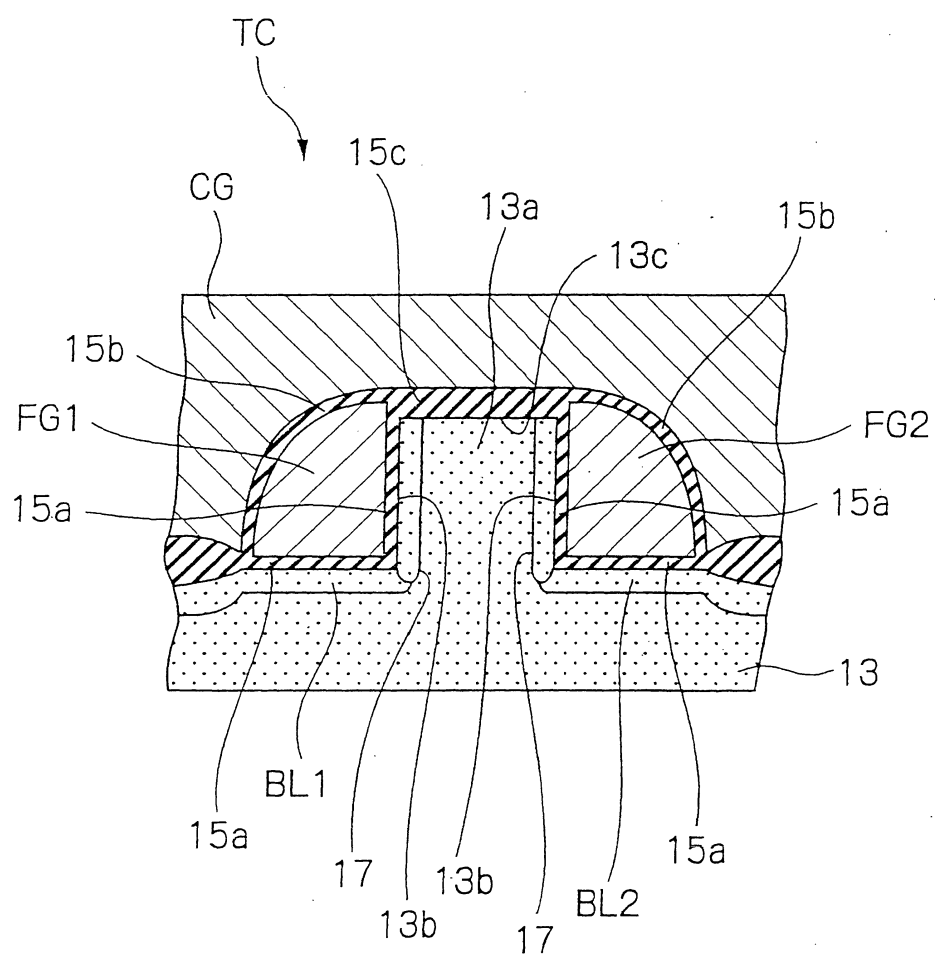
拾壹、圖式

如次頁

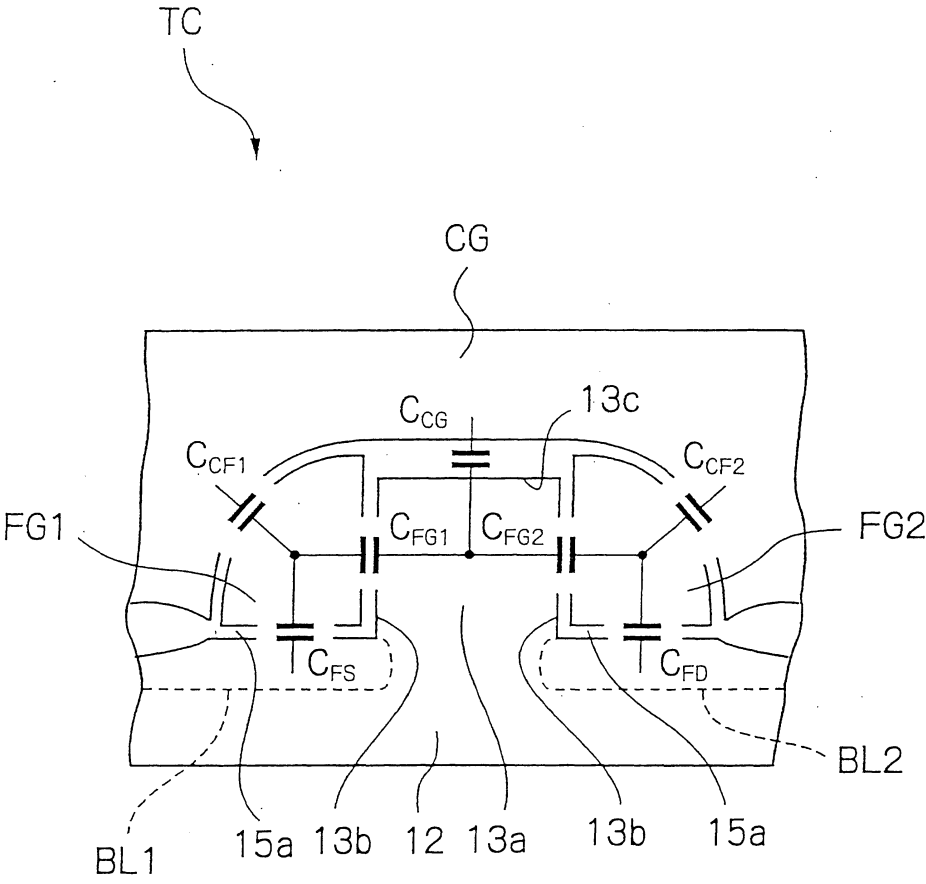
第 1 圖



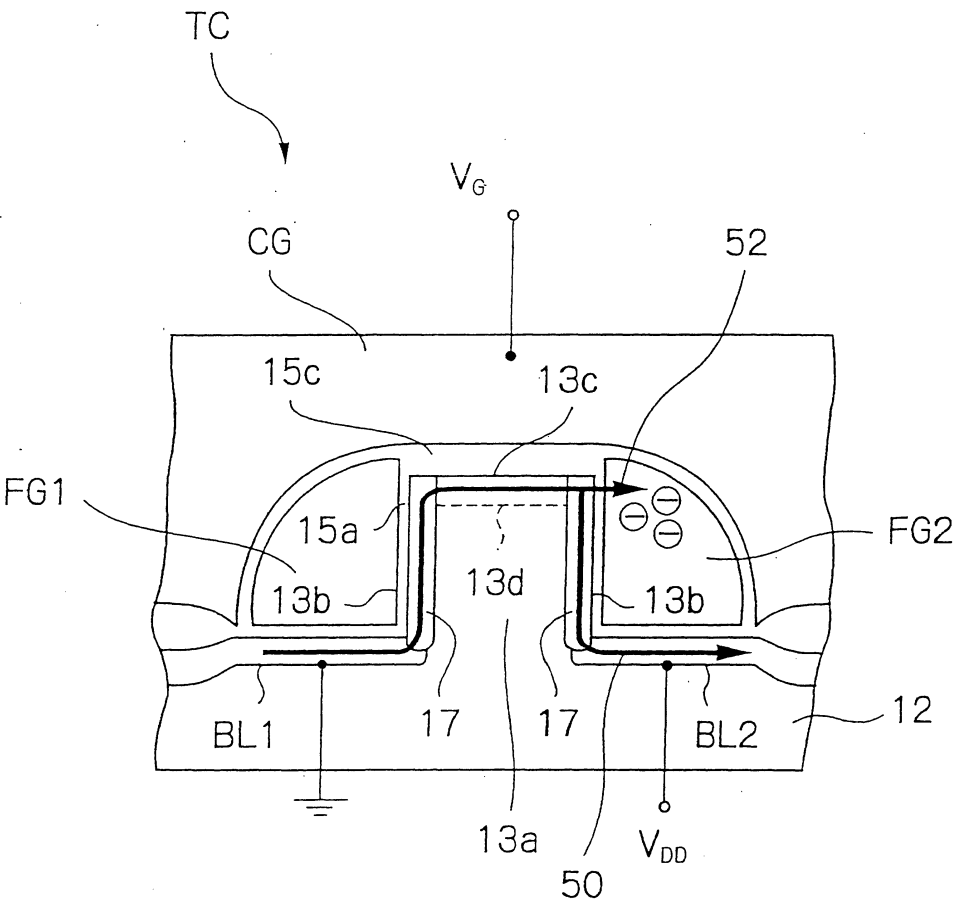
第 2 圖



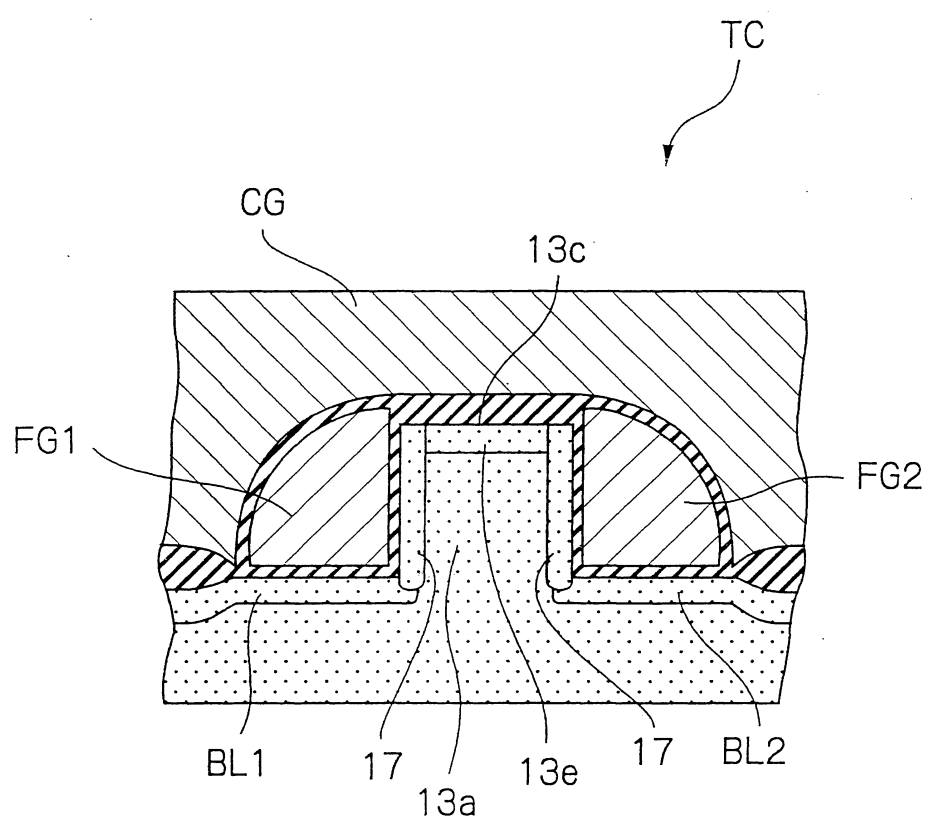
第 3 圖



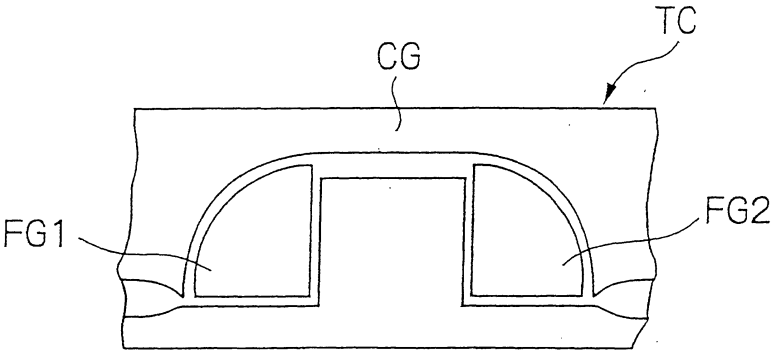
第 4 圖



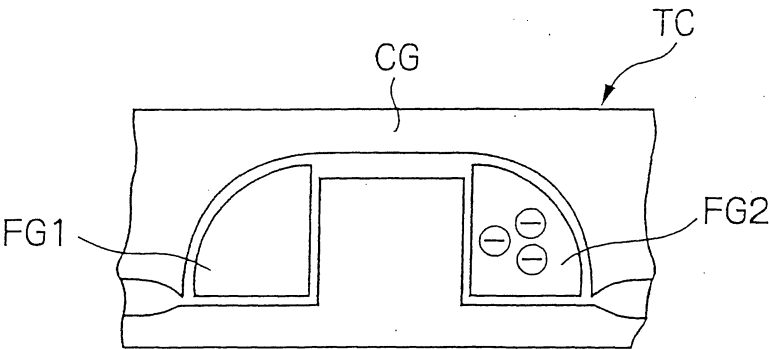
第 5 圖



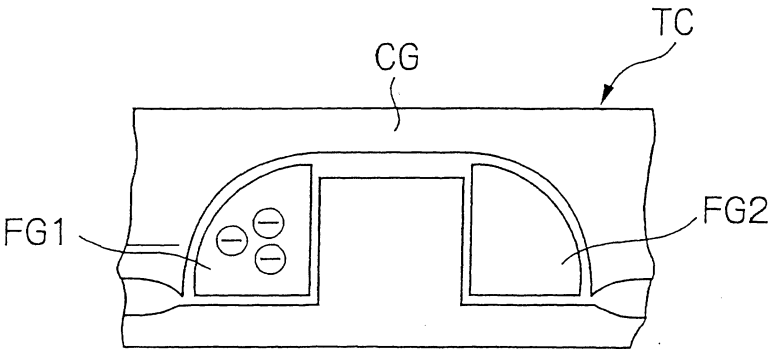
第 6 A 圖



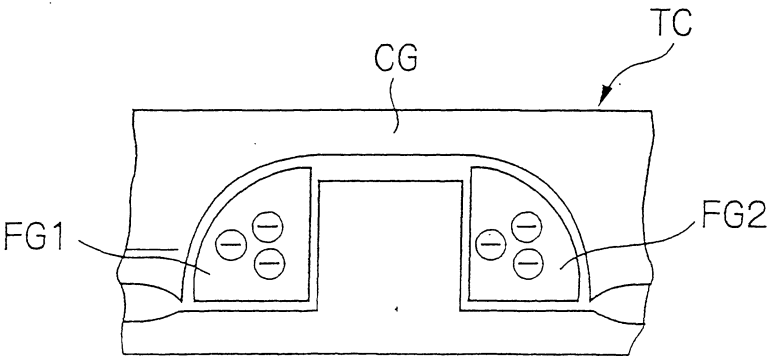
第 6 B 圖



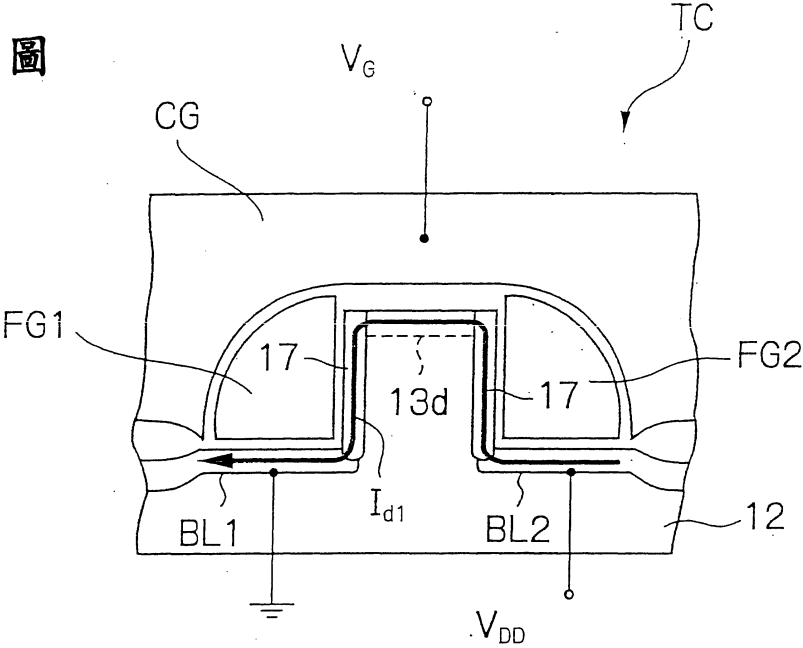
第 6 C 圖



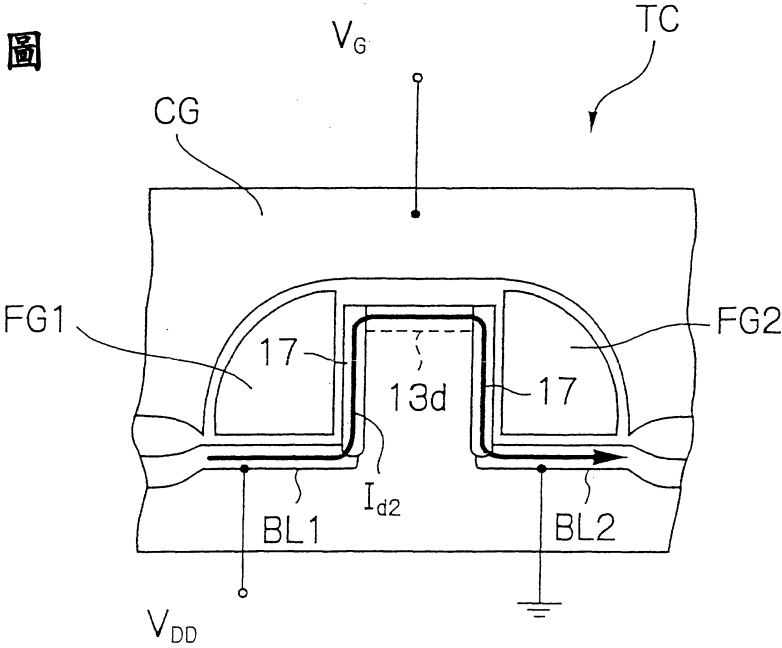
第 6 D 圖



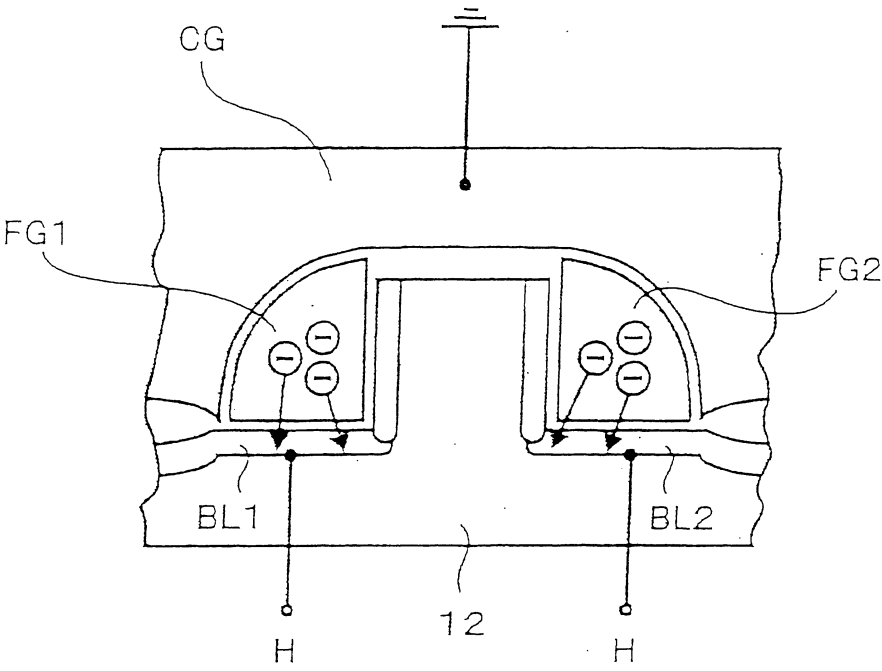
第 7 A 圖



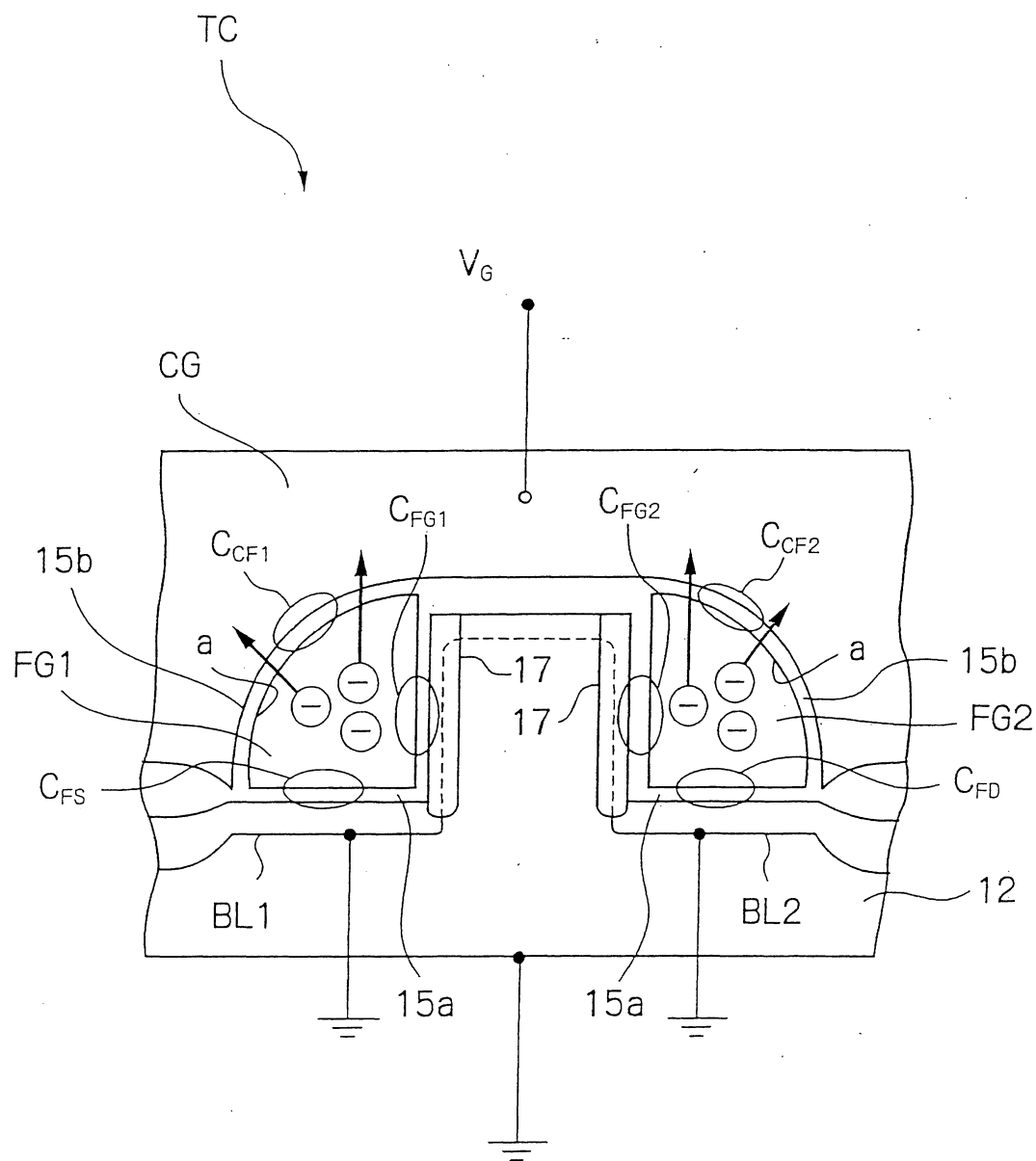
第 7 B 圖



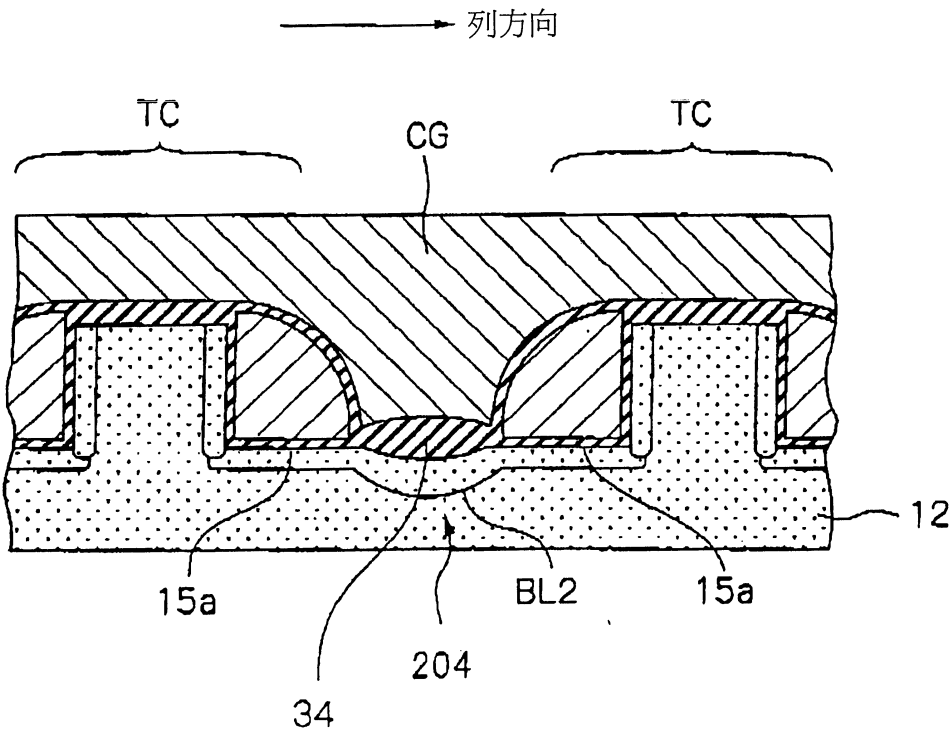
第 9 圖



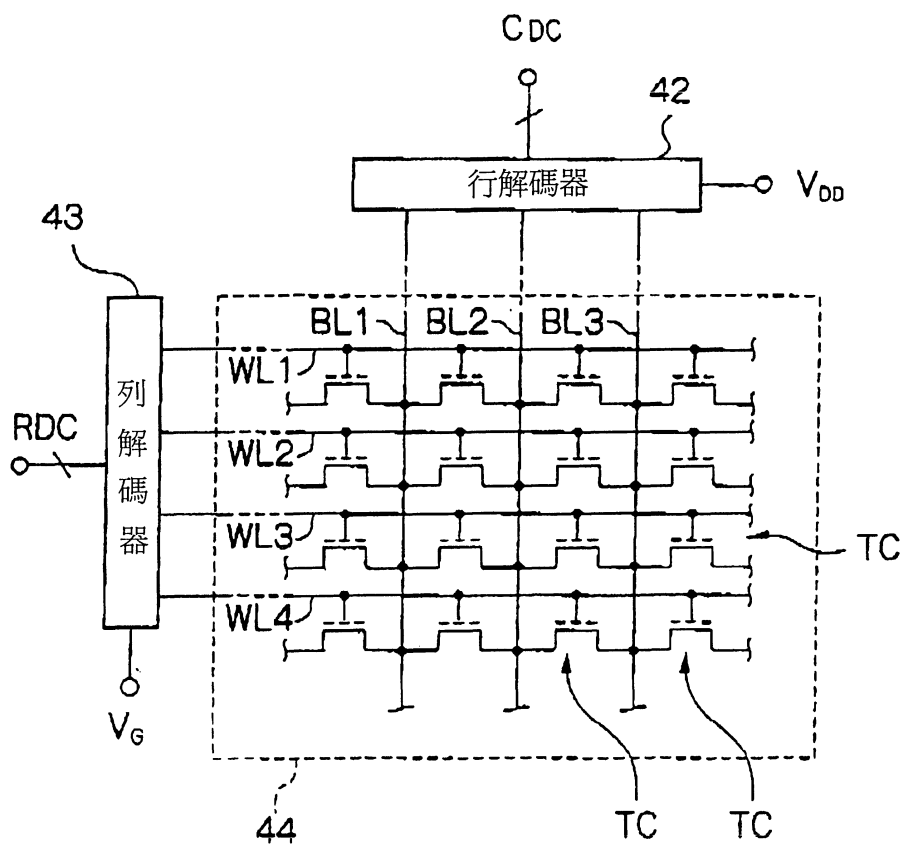
第 10 圖



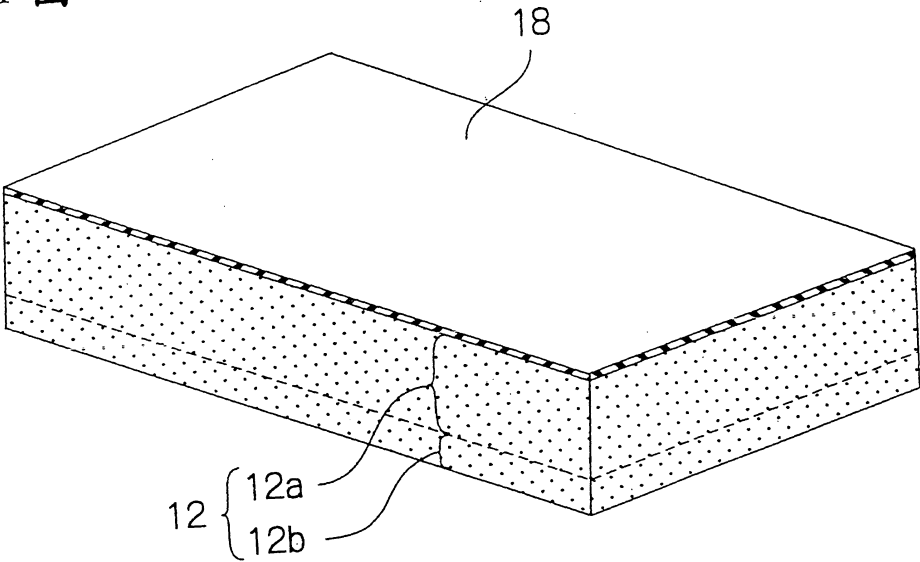
第 11 圖



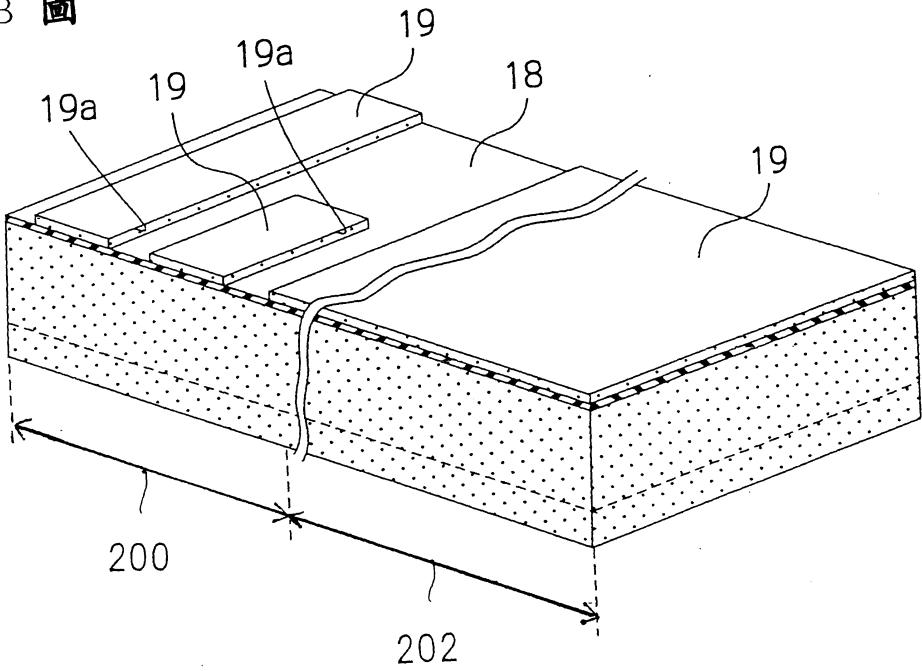
第 1 2 圖



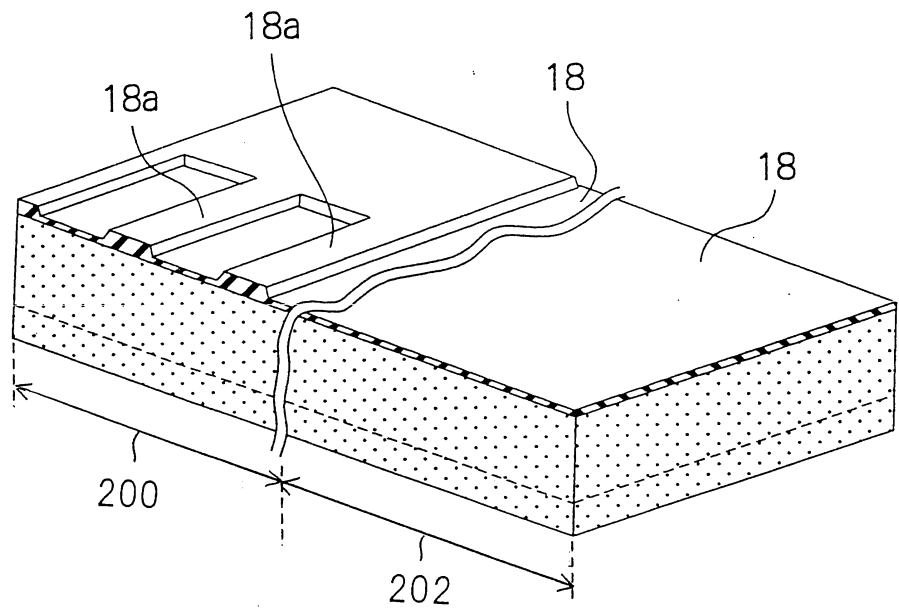
第 1 3 A 圖



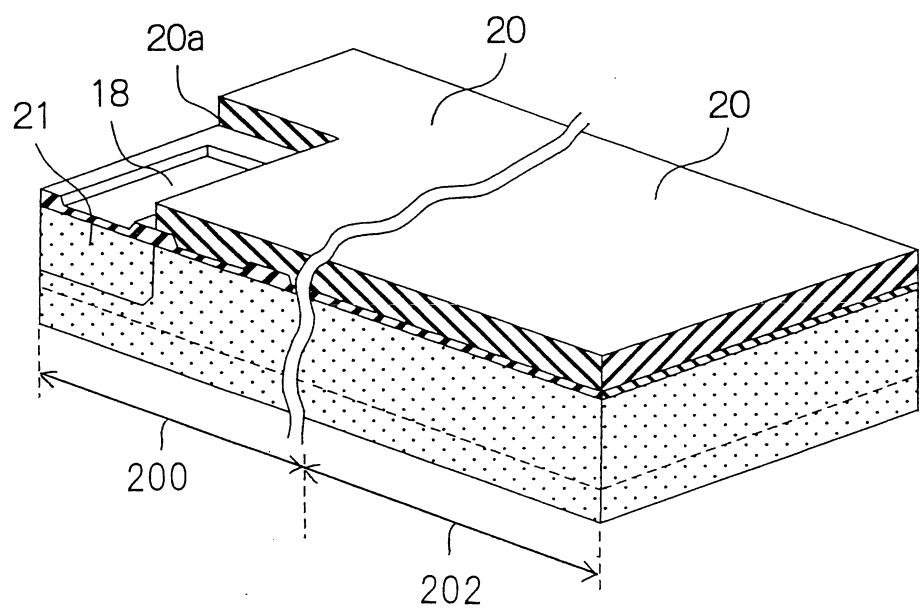
第 1 3 B 圖



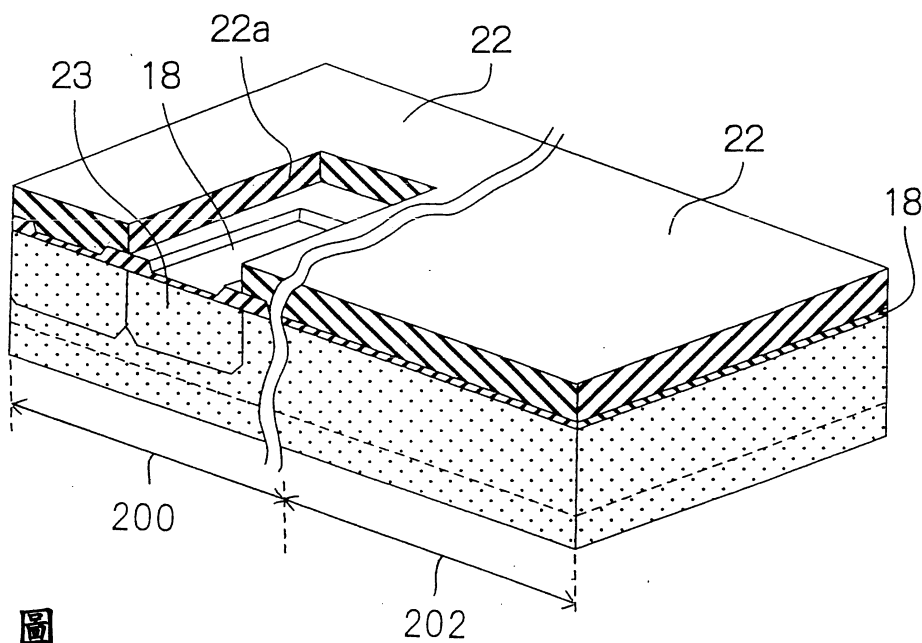
第 1 4 A 圖



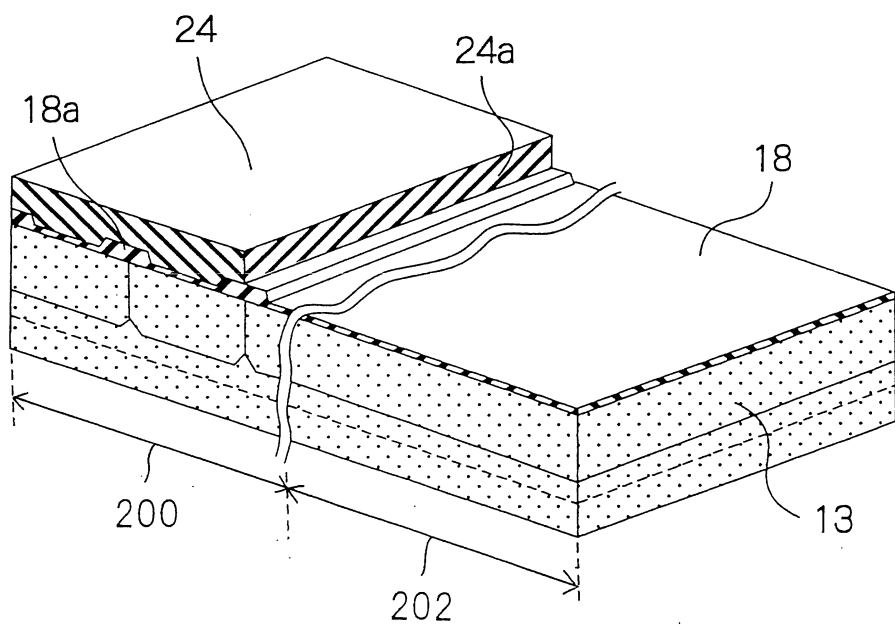
第 1 4 B 圖



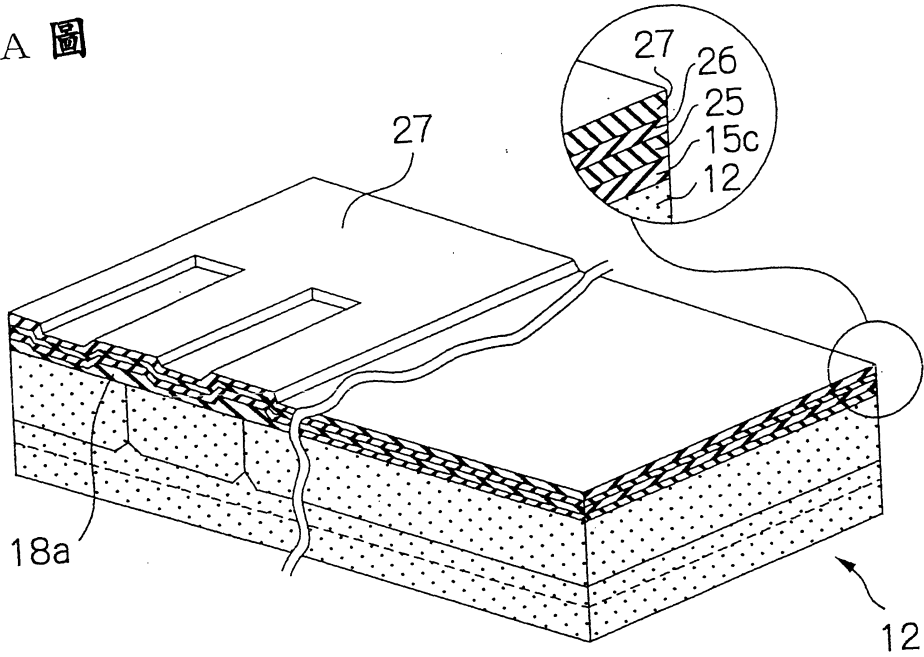
第 1 5 A 圖



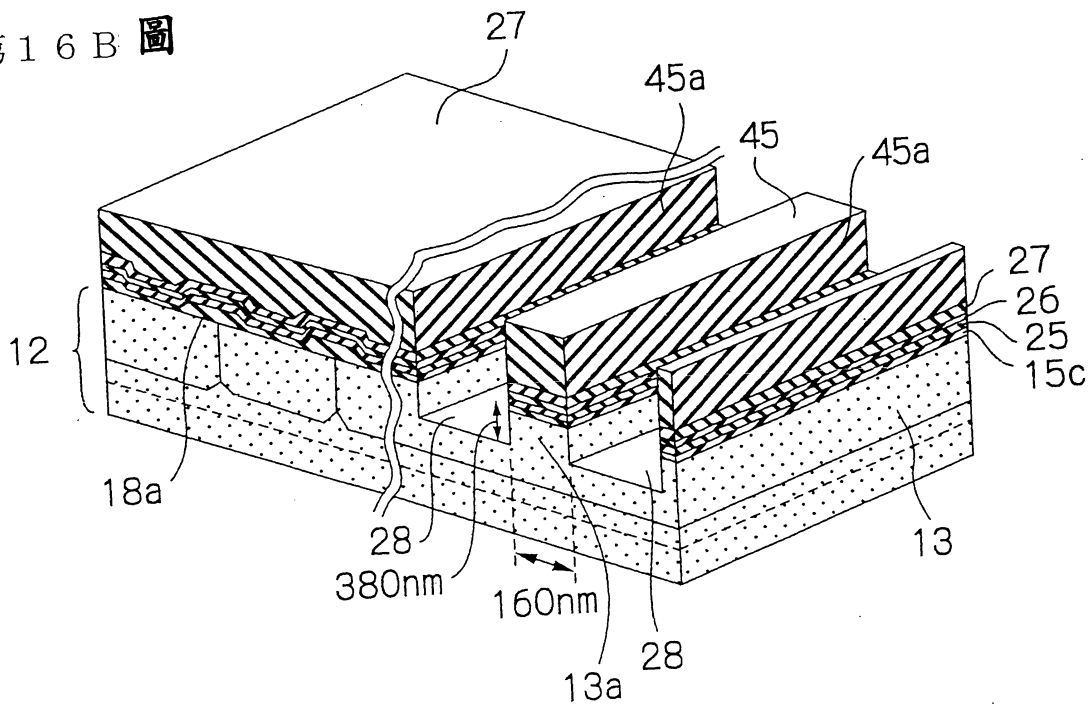
第 1 5 B 圖



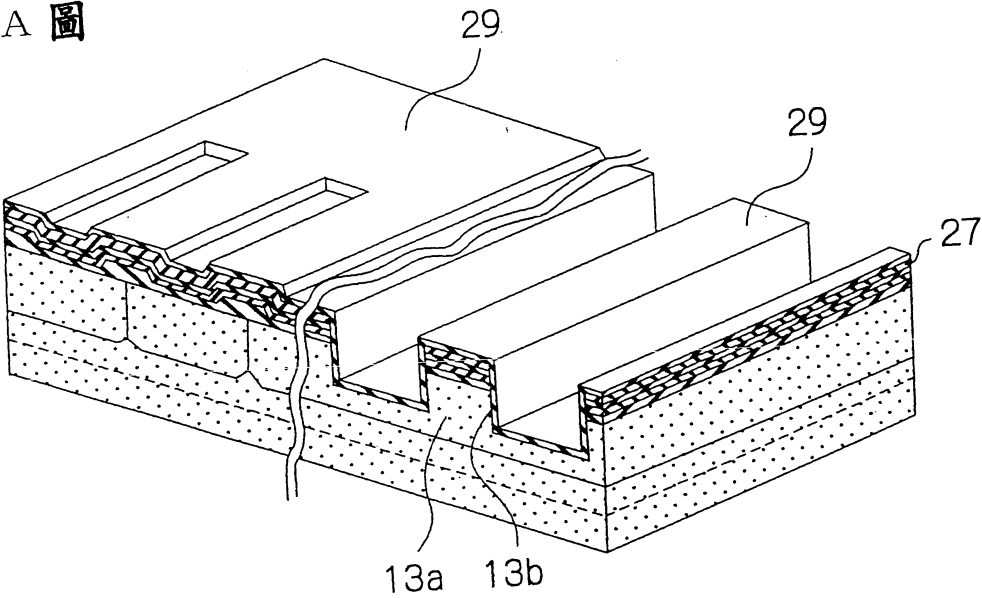
第 1 6 A 圖



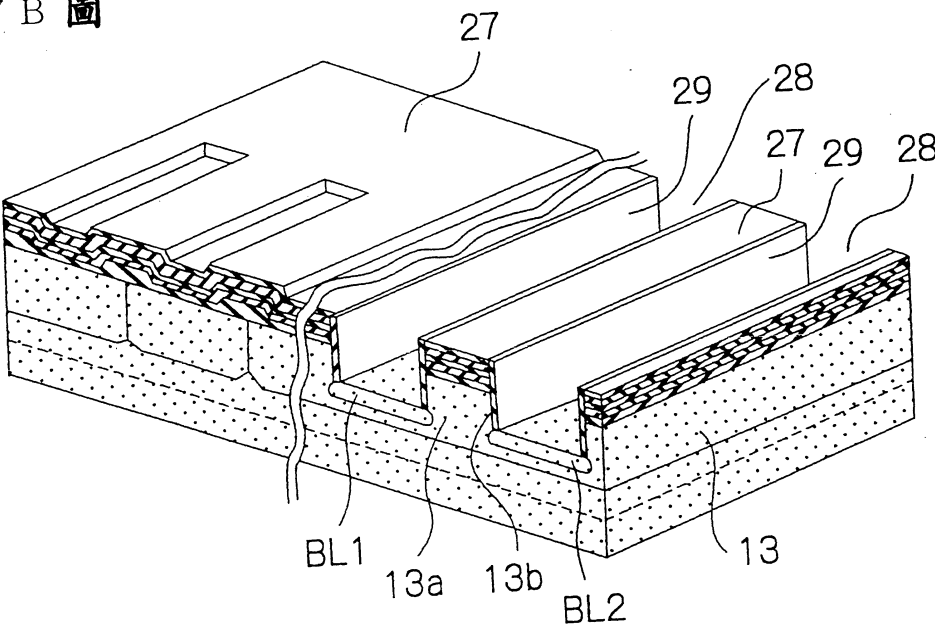
第 1 6 B 圖



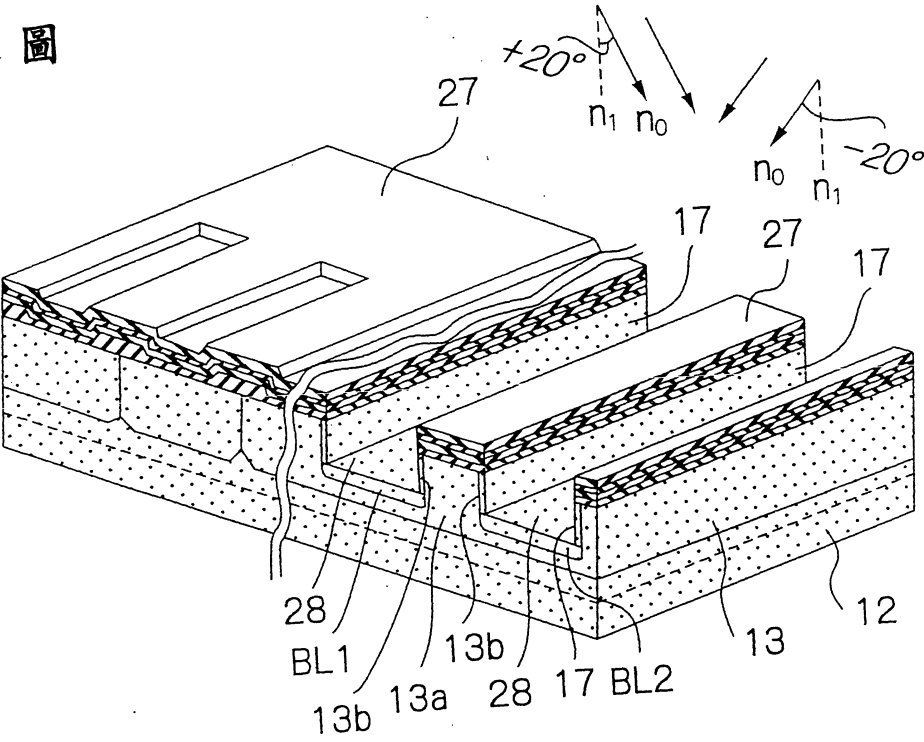
第 1 7 A 圖



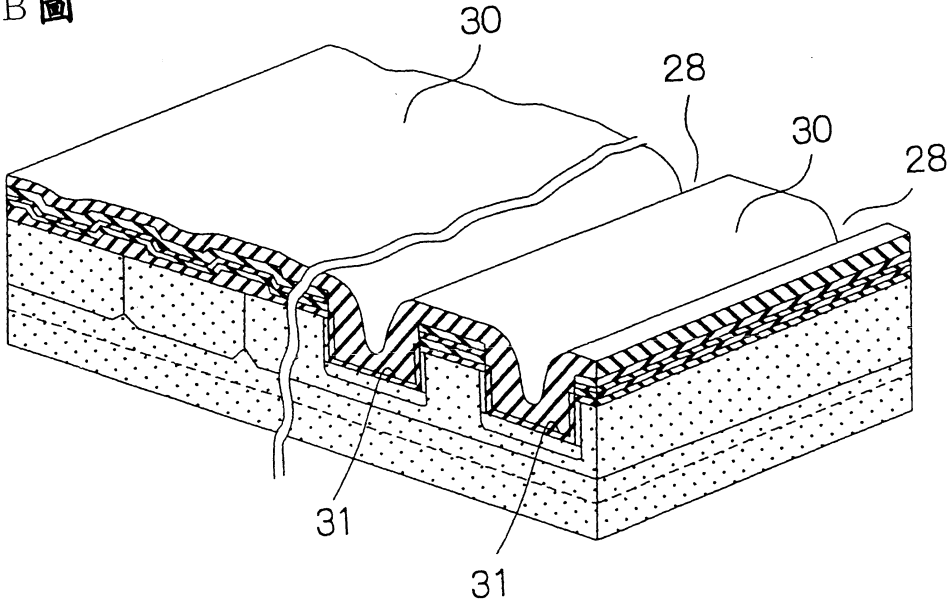
第 1 7 B 圖



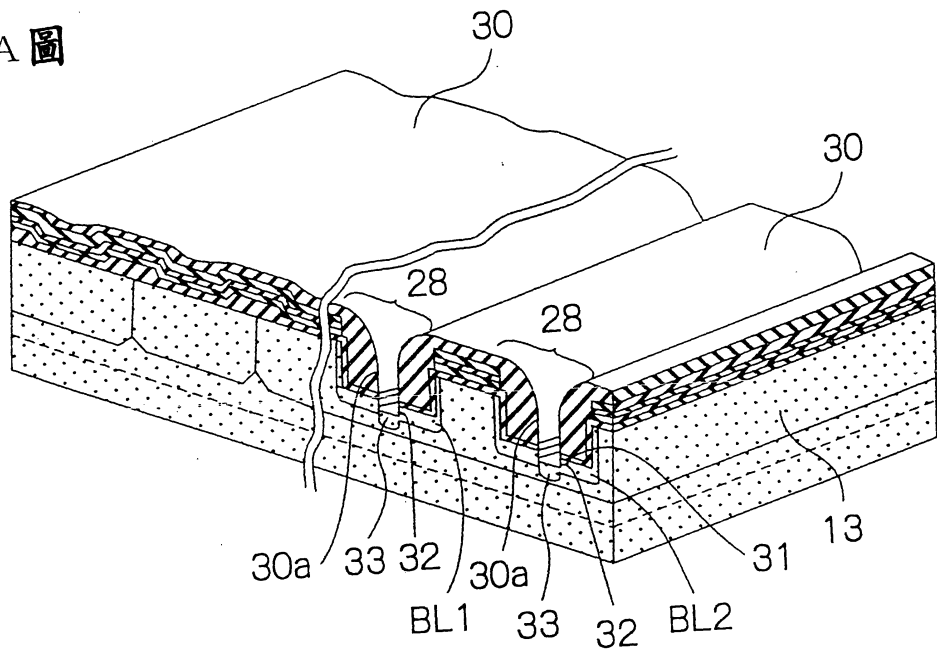
第 18 A 圖



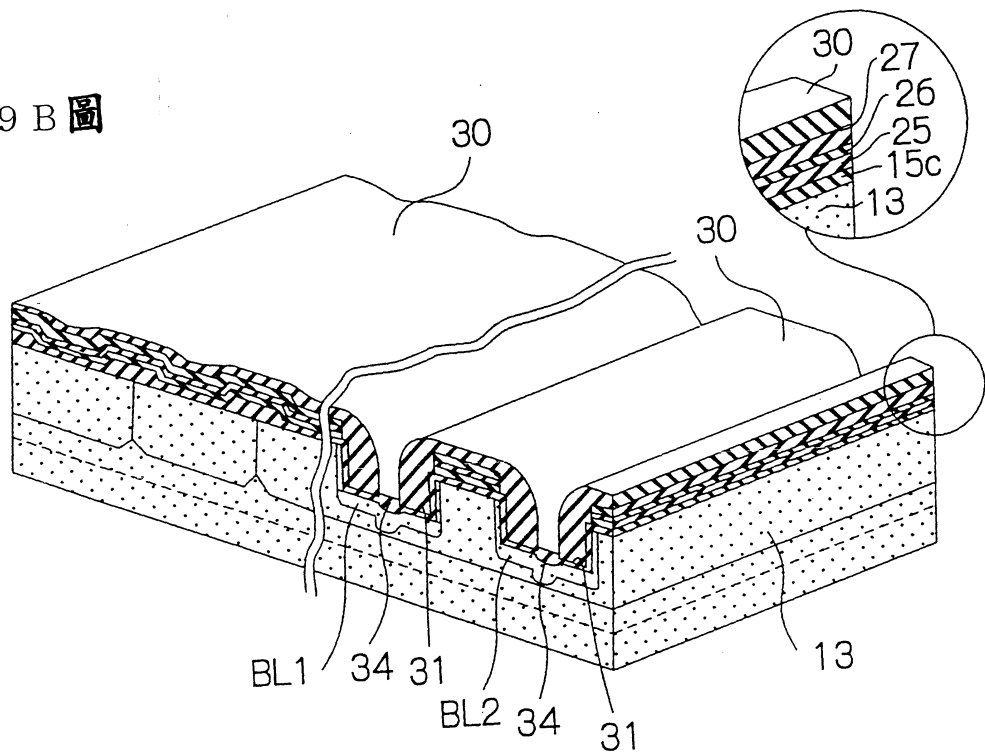
第 18 B 圖



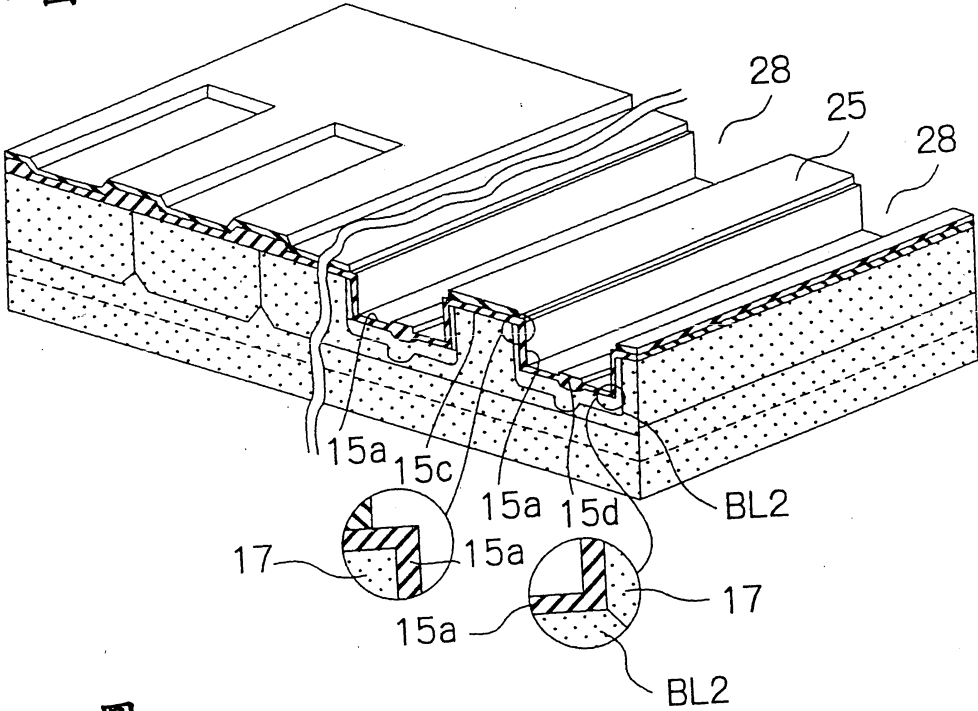
第 1 9 A 圖



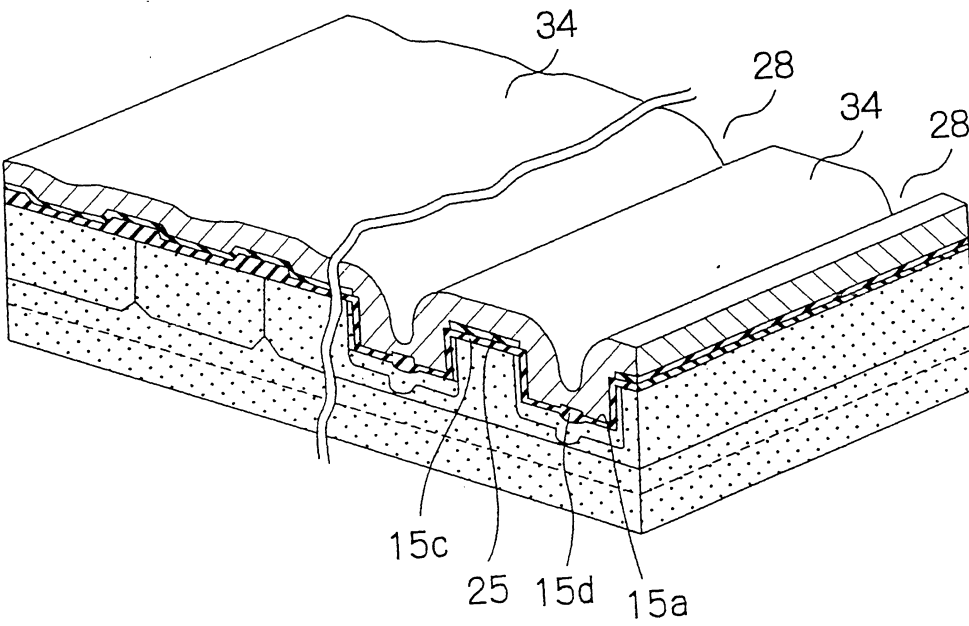
第 1 9 B 圖



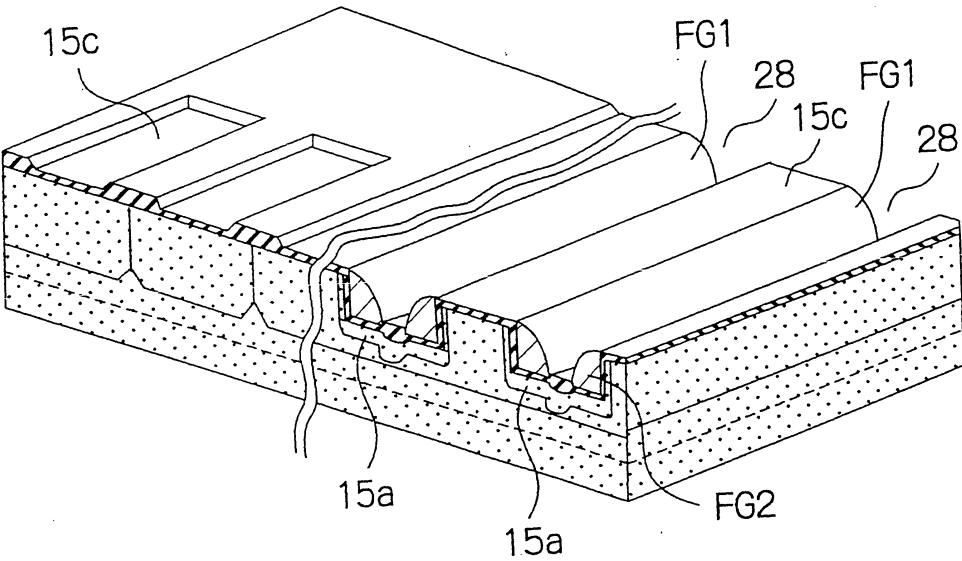
第 2 0 A 圖



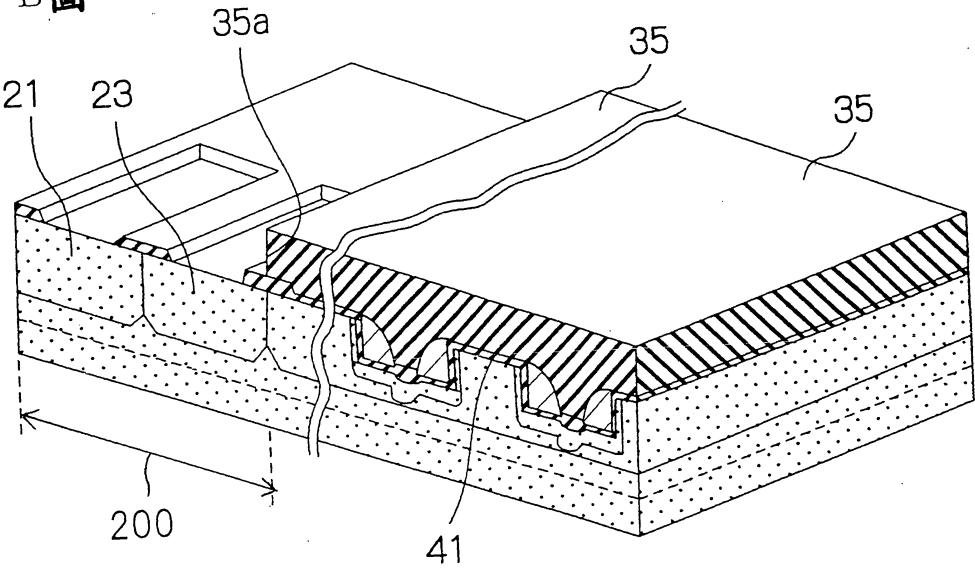
第 2 0 B 圖



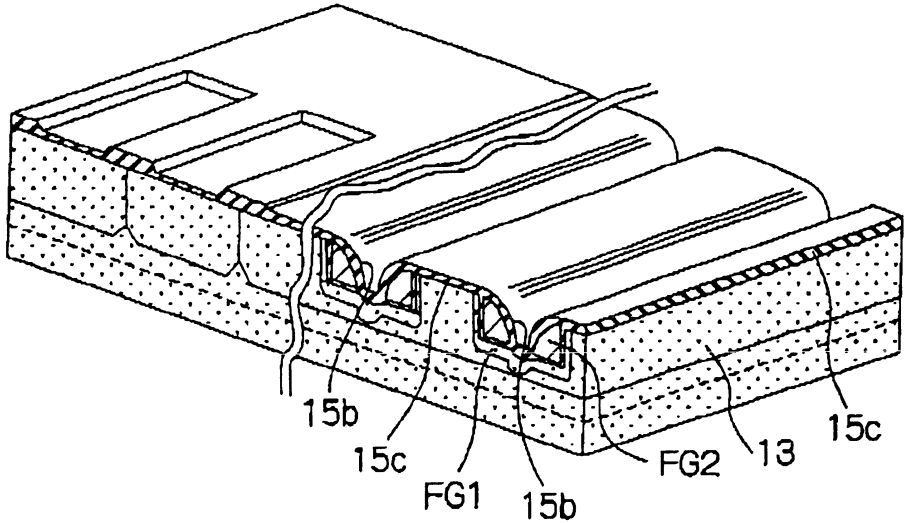
第 2 1 A 圖



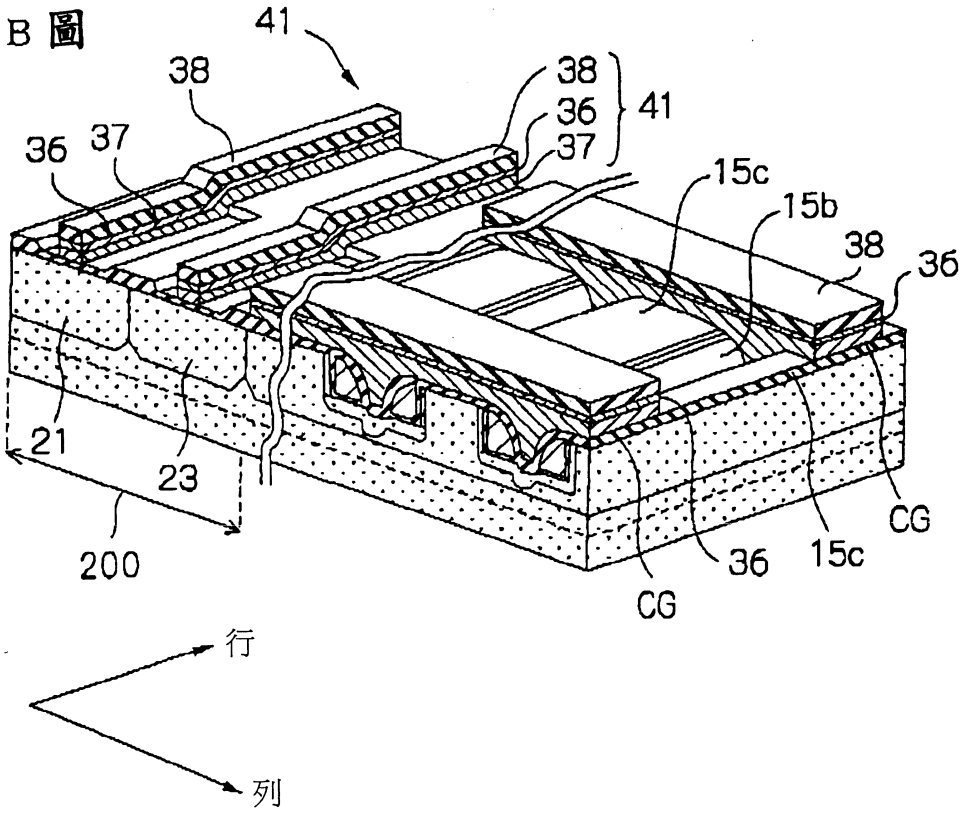
第 2 1 B 圖



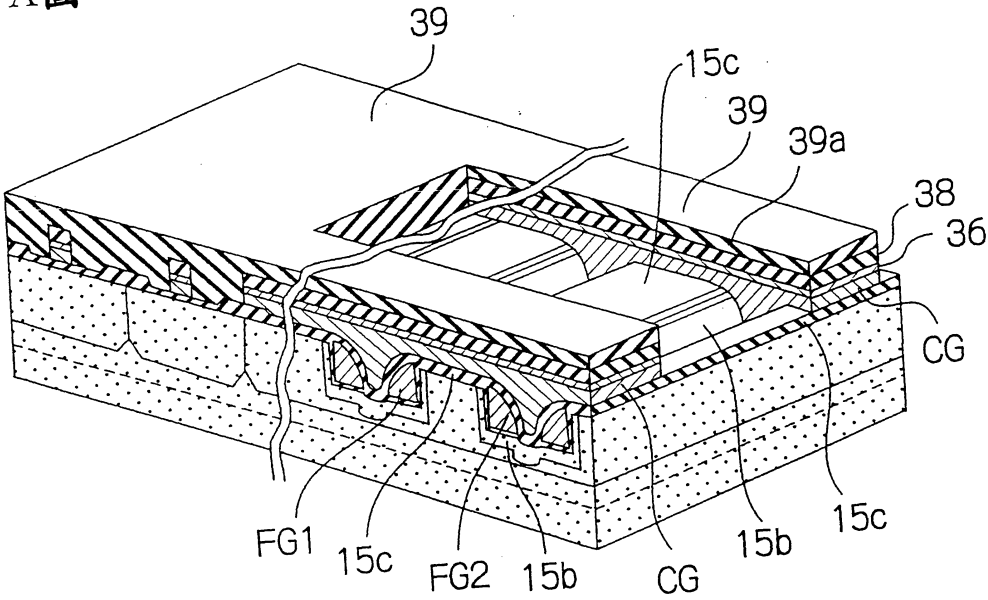
第 2 2 A 圖



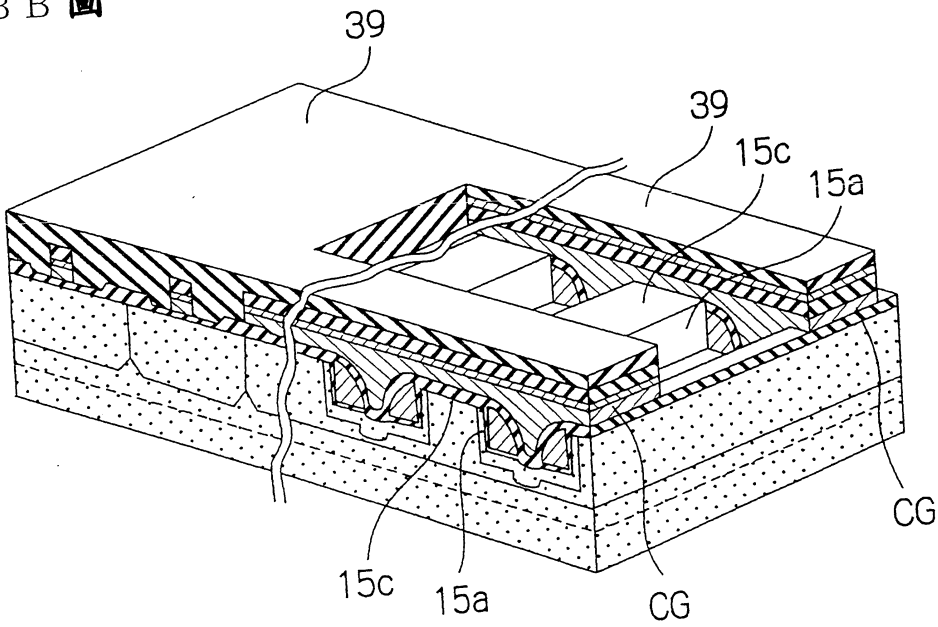
第 2 2 B 圖



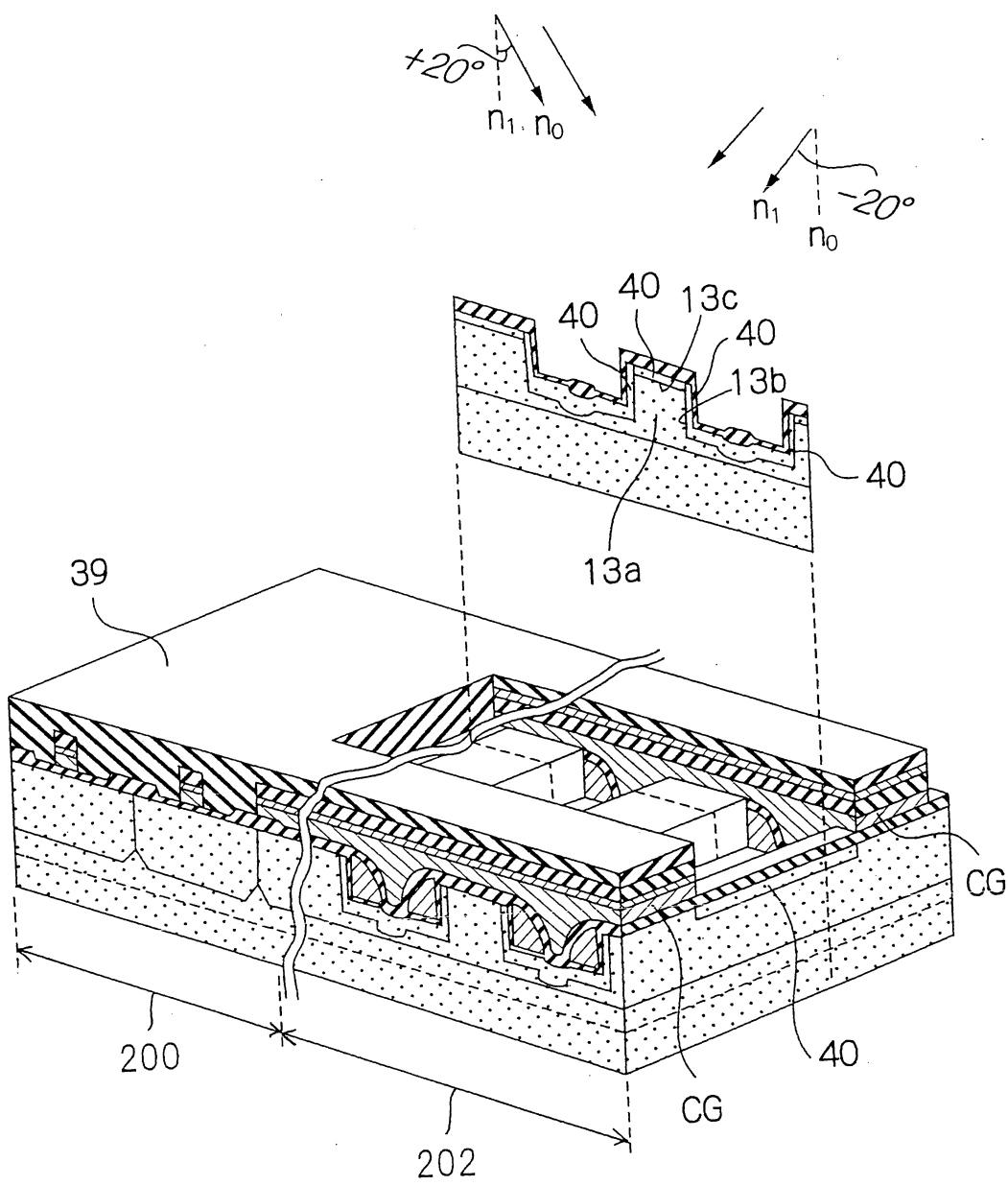
第 2 3 A 圖



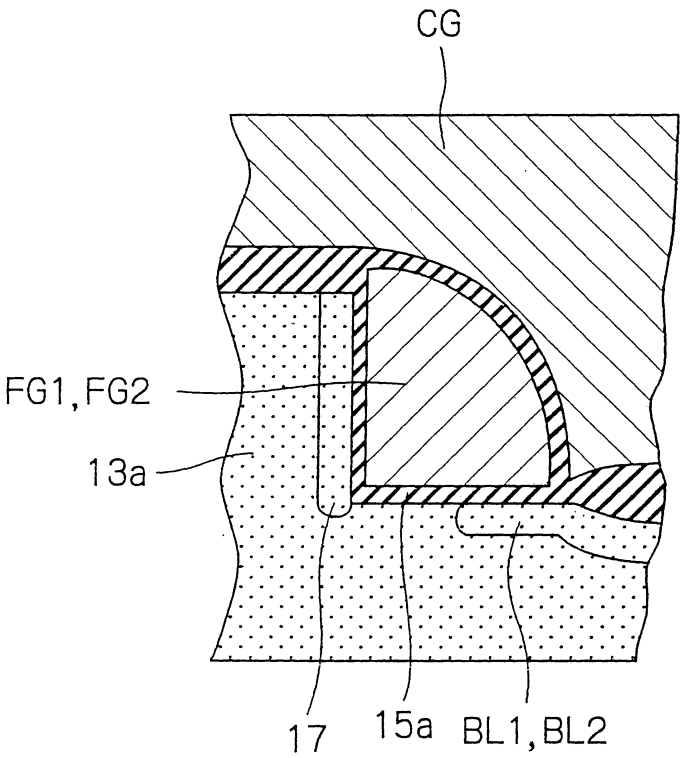
第 2 3 B 圖



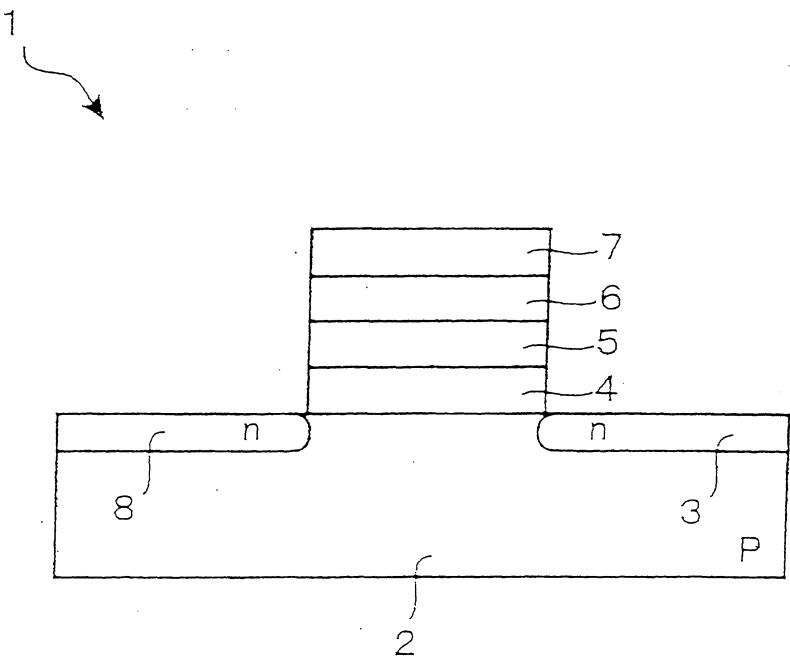
第 2 4 圖



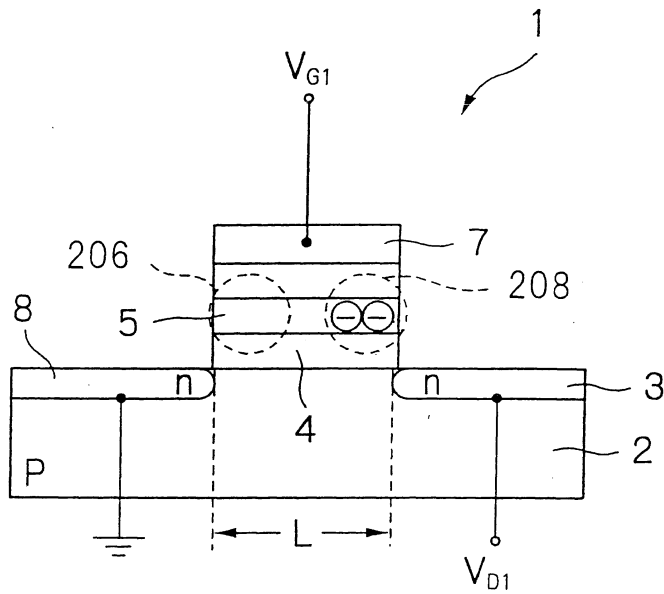
第 2 5 圖



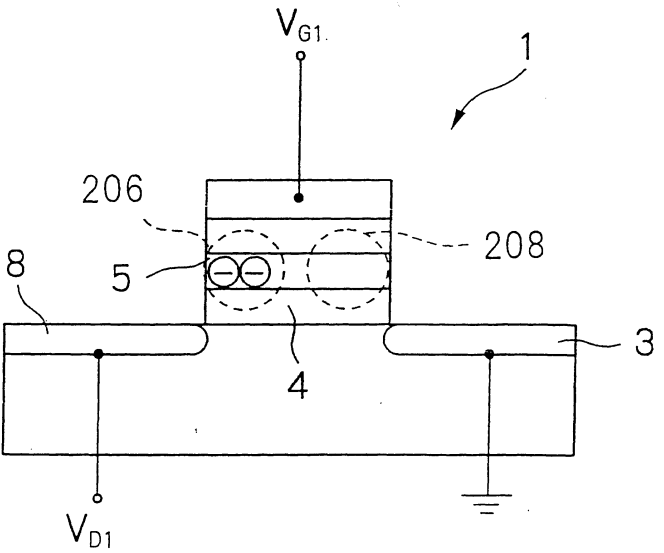
第 2 6 圖



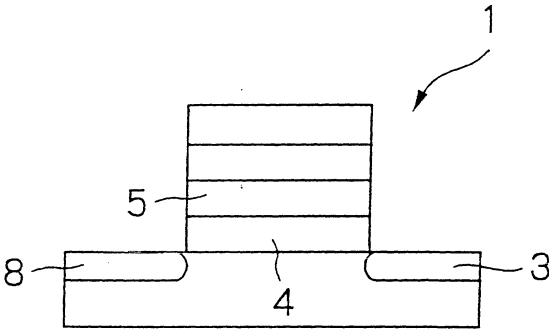
第 27 A 圖



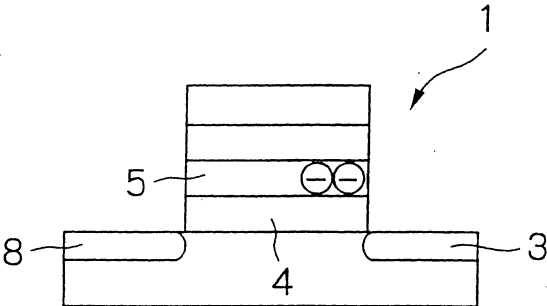
第 27 B 圖



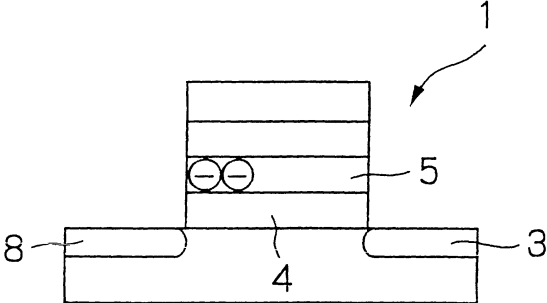
第 28 A 圖



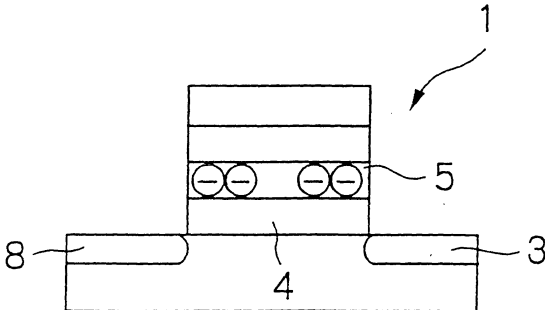
第 28 B 圖



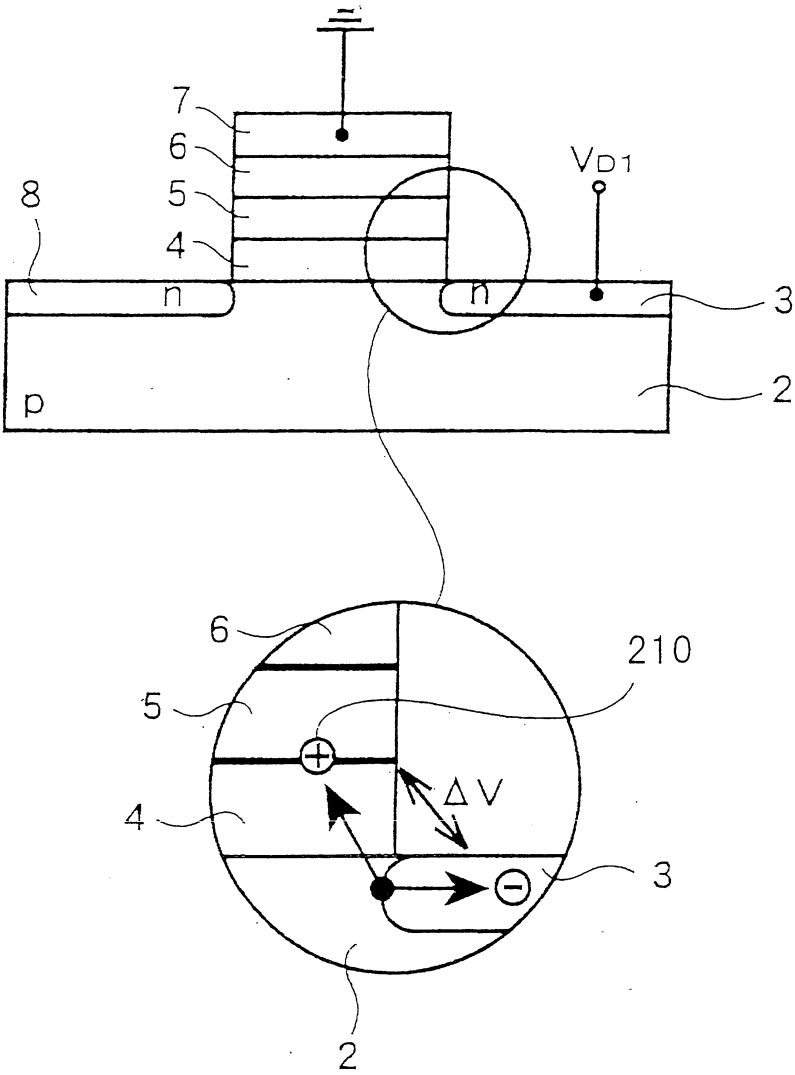
第 28 C 圖



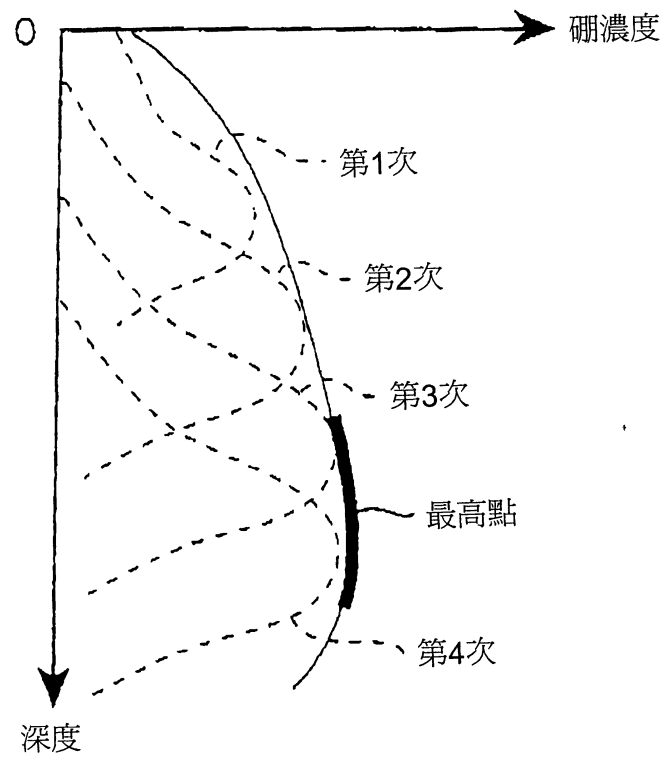
第 28 D 圖



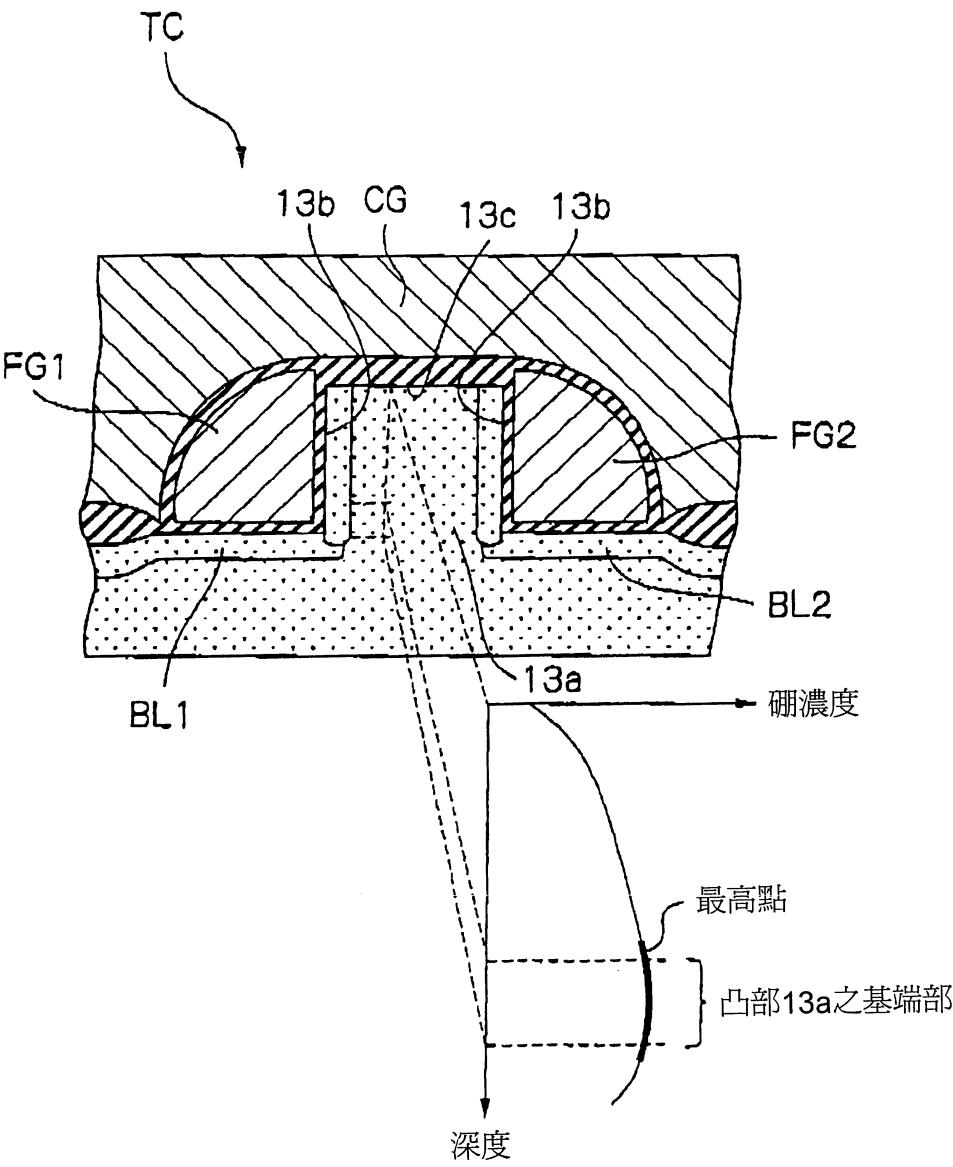
第 29 圖



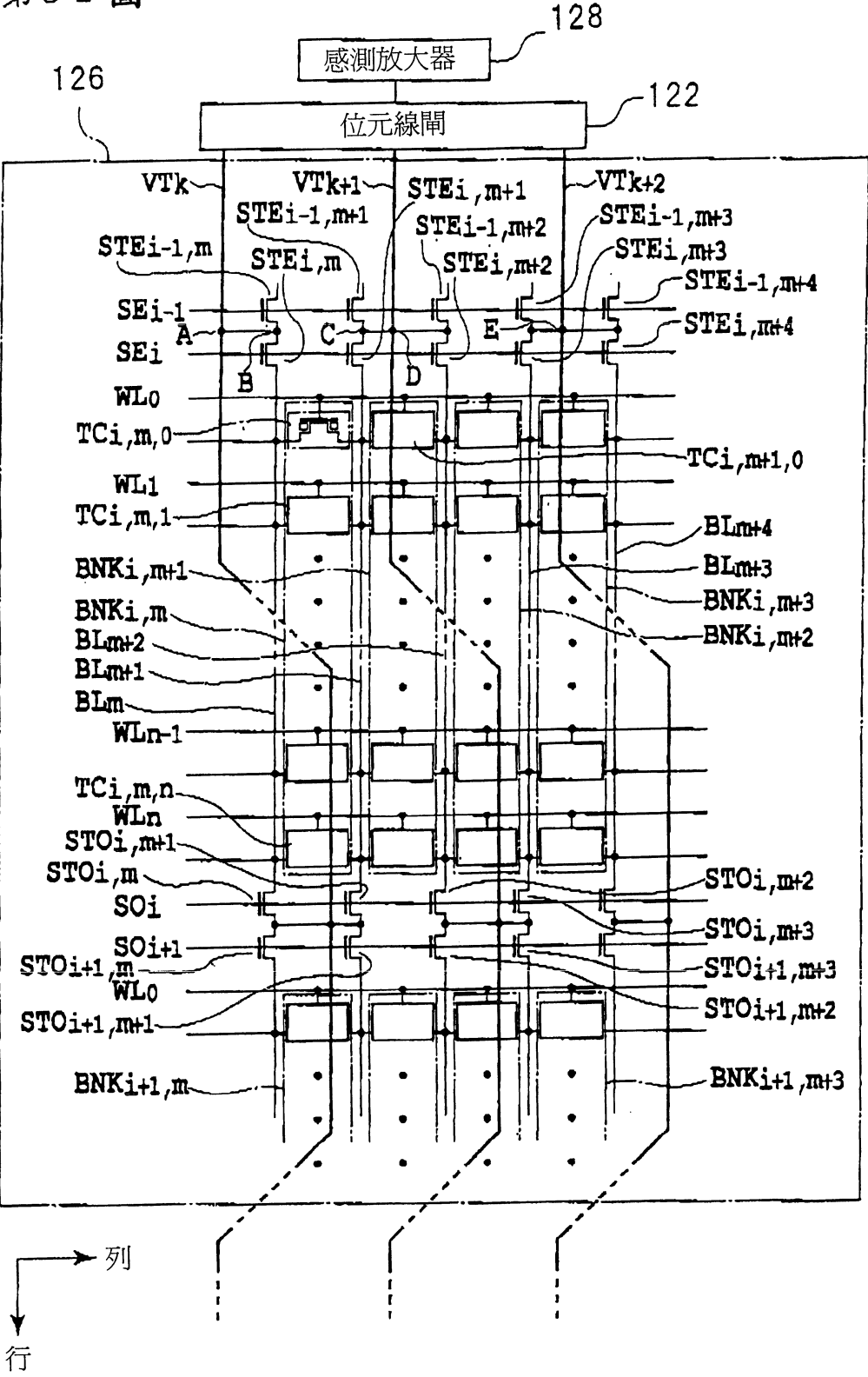
第 3 0 圖



第 3 1 圖



第 3 2 圖



第 3 3 圖

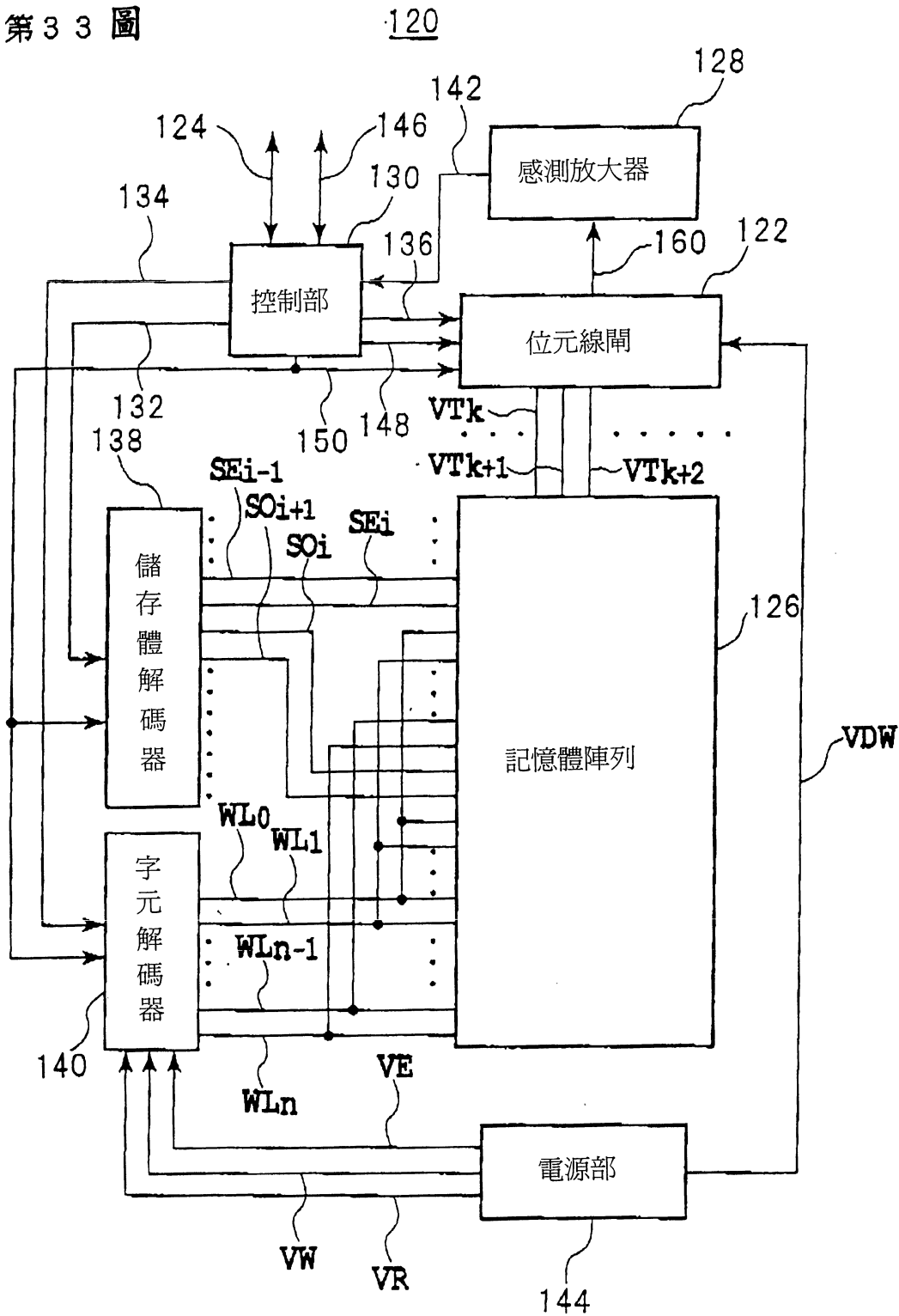
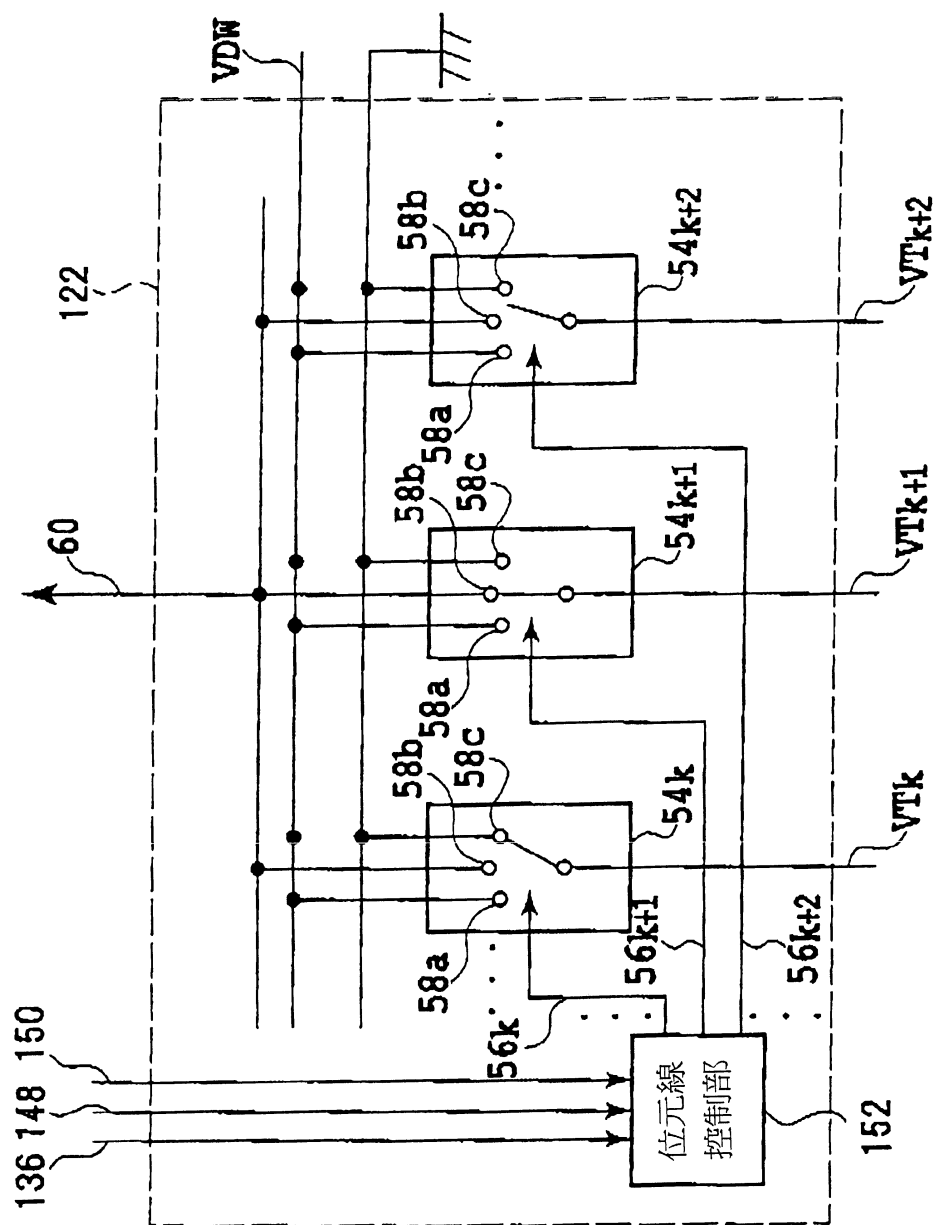
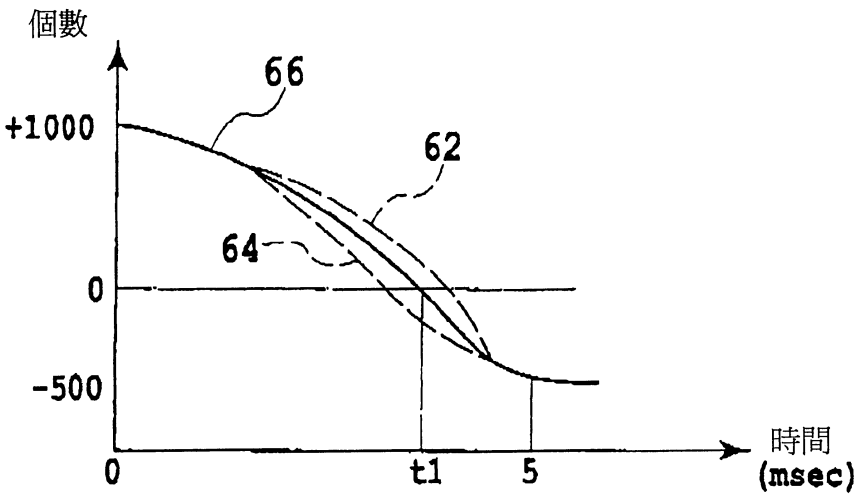


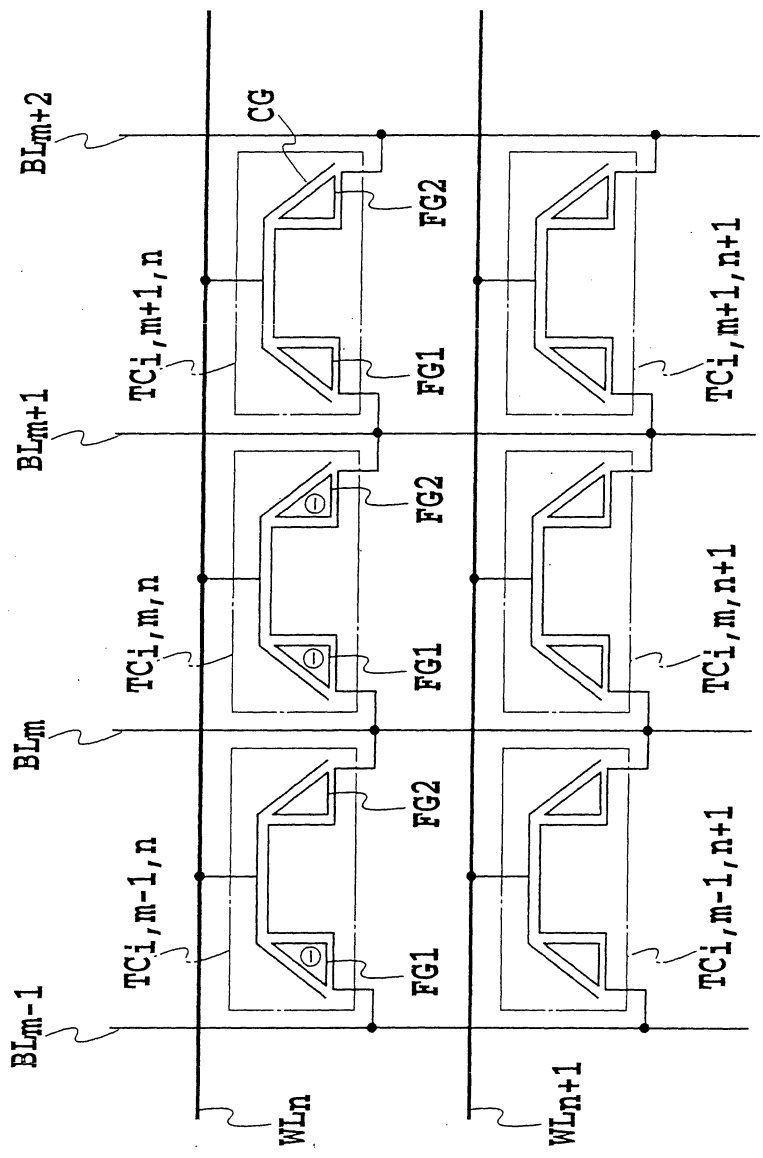
圖 34



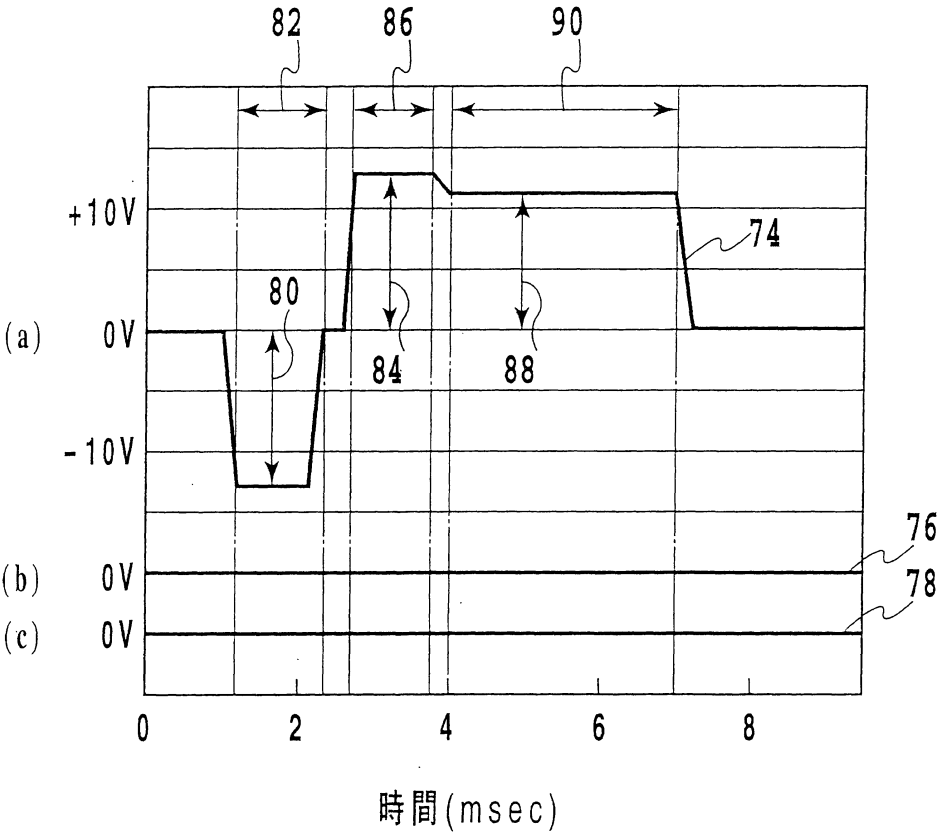
第 3 5 圖



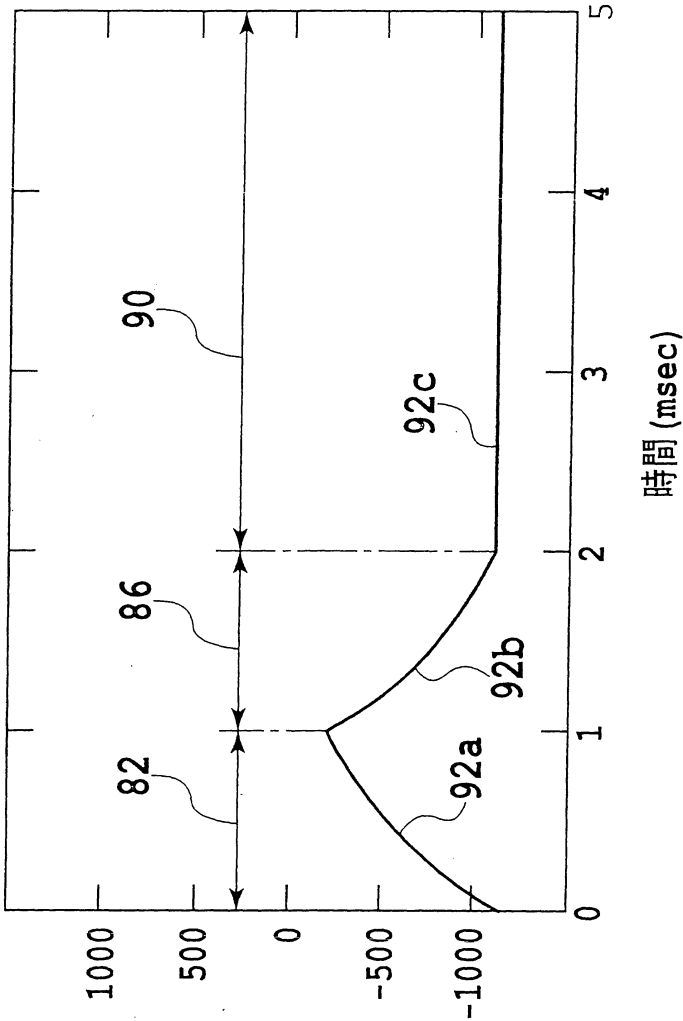
第 3 6 圖



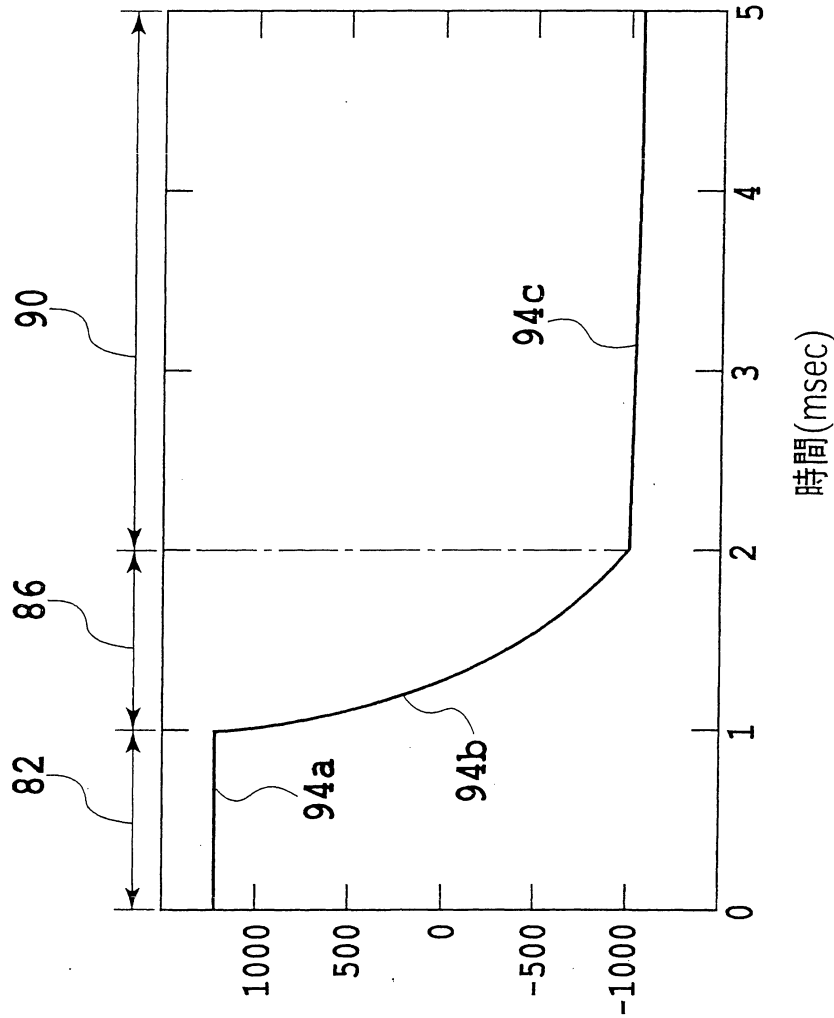
第 37 圖



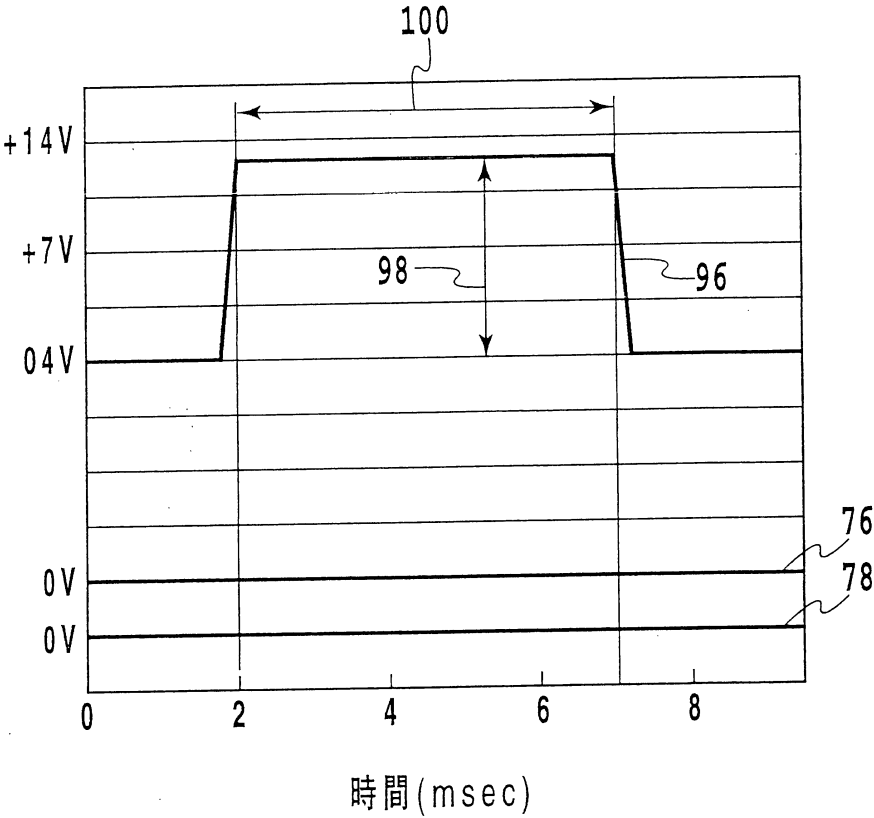
第 3 8 圖



第 3 9 圖



第 4 0 圖



陸、(一)、本案指定代表圖爲：第1圖

(二)、本代表圖之元件代表符號簡單說明：

10：半導體記憶體

12：p型矽基板

12a：p型外延層

12b：p⁺基板

13：p井

13a：凸部

15a：穿隧絕緣膜

15b：共聚物絕緣膜

15c：閘極絕緣膜

33：n⁺領域

36：WSi膜

38：被覆膜

40：元件分離領域

BL1～BL4：位元線

CG：控制閘極

FG1、FG2：浮動閘極

TC、TCa～c：單元電晶體

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：