[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 11/34

[12] 发明专利说明书

[21] ZL 专利号 95119241.8

[43] 授权公告日 2003 年 5 月 7 日

[11] 授权公告号 CN 1107957C

[22] 申请日 1995.11.14 [21] 申请号 95119241.8

[30] 优先权

[32] 1994.11.15 [33] JP [31] 280418/1994

[71] 专利权人 株式会社东芝

地址 日本神奈川

[72] 发明人 甲斐保行

审查员 王晓光

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

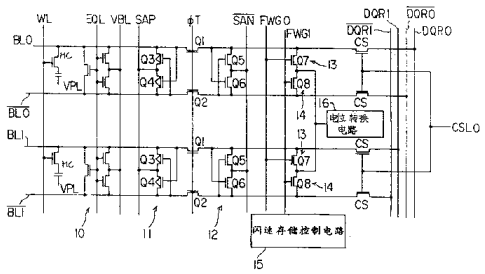
代理人 王以平

权利要求书 6 页 说明书 16 页 附图 5 页

[54] 发明名称 半导体存储装置

[57] 摘要

在具有闪速存储功能的 VRAM 中，不增加单元阵列内电路数仅增加较简单的、抗噪声性能良好的电位转换电路，使在电源电位低时也可在短时间内对位线进行充分可靠的预充电。 其特征是：通过位线传输门对 Q1、Q2 把存储器单元阵列的位线对分割为第 1 位线对和第 2 位线对，对应于第 2 位线对的各位线连接用于闪速存储的第 1 和第 2MOS 晶体管的各端，通过电位转换电路 16 将其各另一端的电位设定在位线预充电电位 VBL 或预定的基准电位 VSS。



ISSN1008-4274

1.一种半导体存储装置，包括:

具有配置成行列状的动态型存储器单元的存储器单元阵列;

多个分别连接到同一列的存储器单元的位线对;

多个分别连接到上述位线对之一的一端的用于列选择的传输门对;

多个分别连接到上述用于列选择的传输门对之一的数据线对;

多个分别以串联方式插入到上述位线对的各位线的第1导电类型的位线传输门对，各位线传输门对把上述各位线对分割为位于上述存储器单元一侧的第1部分和位于上述用于列选择的传输门对一侧的第2部分;

多个分别连接到上述位线对中一个的第1部分的位线预充电·均衡化电路，所述位线预充电·均衡化电路在预充电·均衡化期间被控制为导通状态；以及

多个分别连接到上述位线对中之一的第2部分的位线电位读出放大器，其在预定期间内被驱动;

其特征在于还包括:

多个用于快速存储的第1MOS晶体管和第2MOS晶体管，各第1快速存储MOS晶体管的一端与位线对之一的第2部分的第一线相连，而各第2快速存储MOS晶体管的一端与位线对之一的第2部分的第二线相连;

在上述预充电·均衡化期间内根据在非快速存储模式时和快速存储模式时写入的数据对上述第1快速存储MOS晶体管和第2快速存储MOS晶体管进行转换控制的快速存储控制电路;

把其输出节点连接到上述第1和第2快速存储MOS晶体管的

各另一端的电位转换电路，该电位转换电路能够把上述输出节点的电位设定在用于位线初期电位设定的位线预充电电位和预定的基准电位；

其中所述电位转换电路包括：

连接在一提供上述位线预充电电位的节点和所述输出节点之间的第 3MOS 晶体管，其栅极上提供有第一控制信号；以及

连接在一提供上述预定的基准电位的节点和所述输出节点之间的第 4MOS 晶体管，其栅极上提供有第二控制信号。

2．一种半导体存储装置，包括：

具有配置成行列状的动态型存储器单元的存储器单元阵列；

多个分别连接到同一列的存储器单元的位线对；

多个分别连接到上述位线对之一的一端的用于列选择的传输门对；

多个分别连接到上述用于列选择的传输门对之一的数据线对；

多个分别以串联方式插入到上述位线对的各位线的第 1 导电类型的位线传输门对，各位线传输门对把上述各位线对分割为位于上述存储器单元一侧的第 1 部分和位于上述用于列选择的传输门对一侧的第 2 部分；

多个分别连接到上述位线对中一个的第 1 部分的位线预充电·均衡化电路，所述位线预充电·均衡化电路在预充电·均衡化期间被控制为导通状态；以及

多个分别连接到上述位线对中之一的第 2 部分的位线电位读出放大器，其在预定期间内被驱动；

其特征在于还包括：

多个用于快速存储的第 1MOS 晶体管和第 2MOS 晶体管，各第 1 快速存储 MOS 晶体管的一端与位线对之一的第 2 部分的第一线相连，而各第 2 快速存储 MOS 晶体管的一端与位线对之一的第 2 部

分的第二线相连;

在上述预充电·均衡化期间内根据在非快速存储模式时和快速存储模式时写入的数据对上述第 1 快速存储 MOS 晶体管和第 2 快速存储 MOS 晶体管进行转换控制的快速存储控制电路;

把其输出节点连接到上述第 1 和第 2 快速存储 MOS 晶体管的各另一端的电位转换电路，该电位转换电路能够把上述输出节点的电位设定在用于位线初期电位设定的位线预充电电位和预定的基准电位;

其中，所述快速存储控制电路在上述预充电·均衡化期间把上述第 1 和第 2 快速存储 MOS 晶体管都控制在导通状态，而在非快速存储模式时把所述第 1 和第 2 快速存储 MOS 晶体管都控制在关断状态，并在快速存储模式时在驱动所述读出放大器之前的预定期间内把上述第 1 和第 2 快速存储 MOS 晶体管中的一个控制在导通状态，以及

其中所述电位转换电路包括:

连接在一提供上述位线预充电电位的节点和所述输出节点之间的第 3MOS 晶体管，其栅极上提供有第一控制信号;

连接在一提供上述预定的基准电位的节点和所述输出节点之间的第 4MOS 晶体管，其栅极上提供有第二控制信号; 以及

控制信号发生电路，用于产生所述第 1 和第 2 控制信号。

3.如权利要求 2 所述的半导体存储装置，其特征在于: 上述控制信号发生电路在上述预充电·均衡化期间和非快速存储模式时把上述第 3MOS 晶体管控制在导通状态、把上述第 4MOS 晶体管控制在关断状态;

而在快速存储模式时，把上述第 3MOS 晶体管控制在关断状态和把上述第 4MOS 晶体管在预定期间内控制在导通状态。

4.如权利要求 3 所述的半导体存储装置，其特征在于:

所述电位转换电路被设置在所述存储器单元阵列之外，以防

增加该存储器单元阵列的尺寸。

5. 一种半导体存储装置，包括:

具有配置成行列状的动态型存储器单元的存储器单元阵列;

多个分别连接到同一行的存储器单元的字线;

多个分别连接到同一列的存储器单元的位线对;

多个分别连接到上述位线对之一的一端的用于列选择的传输门对;

多个分别连接到上述用于列选择的传输门对之一的数据线对;

多个分别以串联方式插入到上述位线对的各位线的第 1 导电类型的位线传输门对，各位线传输门对把上述各位线对分割为位于上述存储器单元一侧的第 1 部分和位于上述用于列选择的传输门对一侧的第 2 部分;

多个分别连接到上述位线对中一个的第 1 部分的位线预充电·均衡化电路，所述位线预充电·均衡化电路在预充电·均衡化期间被控制为导通状态; 以及

多个分别连接到上述位线对中之一的第 2 部分的位线电位读出放大器，其在预定期间内被驱动;

其特征在于:

与各位线对的第 2 部分的各线相连接的电位设定装置，用于通过把一预定电位加到各所述位线对的第 2 部分的一根线上来设定数据，或通过把一预充电电位加到该位线对的第 2 部分的两根线上来使所述位线对的第 2 部分预充电·均衡化;

其中，所述电位设定装置包括:

连接到所述各位线对的第 2 部分的各线上的转换装置，用于把一待设定电位加到该位线对上;

控制所述转换装置的快速存储控制电路; 以及

电位转换电路，用于变换加在所述转换装置上的电压。

6.如权利要求5所述的半导体存储装置，其特征在于:

所述电位设定装置以第一模式把由预充电·均衡化电路设定的所述预充电电位加到所述位线对第2部分的两根线上，该预充电电位通过导电的位线传输门对加到所述位线对的第1部分的两根线上。

7.如权利要求5所述的半导体存储装置，其特征在于:

所述电位设定装置以第二模式在数据设定为0时，把所述位线对的第2部分的第1位线的电位设定为所述的预定电位；在数据设定为1时，把所述位线对的第2部分的第2位线的电位设定为该预定电位，若所述预充电·均衡化电路处于关断状态，所述位线对的第2部分的第1和第2位线的电位则通过所述位线传输门对加到所述位线对的第1部分。

8.如权利要求5所述的半导体存储装置，其特征在于:

所述电位设定装置以第三模式把所述位线对与一输出电位断开，而所述位线对的第1部分由一预定电路设置在一个第二预定电位而与所述电位设定装置无关。

9.如权利要求5所述的半导体存储装置，其特征在于所述转换装置包括:

第1MOS晶体管，具有与所述位线对的第2部分中的第1位线相连的第1导电端；以及

第2MOS晶体管，具有与所述位线对的第2部分中的第2位线相连的第1导电端;

所述第1和第2MOS晶体管的第2导电端共同连接到所述电位转换电路的输出端，而所述第1和第2MOS晶体管的控制端连接到所述快速存储控制电路输出端。

10.如权利要求5所述的半导体存储装置，其特征在于:

除了所述转换装置以外，所述电位设定装置的所有元件均设置在所述存储器单元阵列之外，以防增大所述存储器单元阵列的

尺寸。

11. 如权利要求 9 所述的半导体存储装置，其特征在于:

所述电位设定装置以第一模式控制第 1 和第 2MOS 晶体管处于导通，并设定所述电位转换装置的输出电压为一预充电电位，以及把该预充电电位加到所述位线对的第 2 部分的两根位线上；以及

所述电位设定装置以第二模式在数据设定为 1 时控制所述第 1MOS 晶体管处于导通、而第 2MOS 晶体管处于不导通，并把由所述电位转换电路输出的所述预定的电位加到所述位线对的第 2 部分的第一位线上；以及

所述电位设定装置以第二模式在数据设定为 0 时控制所述第 2MOS 晶体管处于导通，而第 1MOS 晶体管处于不导通，并把由所述电位转换电路输出的所述预定的电位加到所述位线对的第二部分的第 2 位线上。

12. 如权利要求 9 所述的半导体存储装置，其特征在于:

所述快速存储控制电路

以第一模式控制第 1 和第 2MOS 晶体管处于导通;

以第二模式控制第 1 和第 2MOS 晶体管有选择地导通；以及

以第三模式控制第 1 和第 2MOS 晶体管均不导通。

13. 如权利要求 9 所述的半导体存储装置，其特征在于:

所述电位设定装置以第三模式控制所述第 1 和第 2MOS 晶体管处于未导通，而所述位线对的第 1 部分被设定在与一预定数据相对应的电位而与该电位设定装置无关。

半 导 体 存 储 装 置

本发明涉及半导体存储装置，特别是涉及例如像用于图像数据存储的 VRAM（VIDEO Random Access Memory 即“视频信号随机存取存储器”）等那样具有快速写入功能的半导体存储器。

图 4 示出构成以往的 VRAM 的核心部分的存储器单元阵列的一部分(为了说明的简单化起见只示出 2 列)。

在图 4 中，MC 是动态型存储器单元，WL 是字线，在图 4 中分别代表性地示出两个 MC 和一条 WL。互补的位线对(BLi，/BLi)分别通过位线传输门对(Q1，Q2)和用于列选择的传输门对(CS，CS)连接到多个数据线对(DQRi，/DQRi)之中的一对。

在上述存储器单元 MC 与位线传输门对(Q1，Q2)之间的位线对(第一位线对)处连接位线预充电·均衡化电路 10 和用于位线电位恢复的 P 沟读出放大器 11。

此外，在上述位线传输门对(Q1，Q2)与用于列选择的传输门对(CS，CS)之间的位线对(第 2 位线对)处连接用于位线对间的电位读出的 N 沟读出放大器 12 和用于快速存储的第 1NMOS 晶体管

Q7、第 2NMOS 晶体管 Q8 的各一端。把上述第 1NMOS 晶体管 Q7、第 2NMOS 晶体管 Q8 的各自的另一端合并起来，连接到接地电位(VSS)节点。

再者，VPL 是电容器板电位，VBL 是位线预充电电位，EQL 是均衡信号，SAP 是用于 P 沟读出放大器的读出启动信号，/SAN 是用于 N 沟读出放大器的读出启动信号，φT 是位线传输门控制信号，FWGO 是第 1 闪速存储信号，FWG1 是第 2 闪速存储信号，CSL 是列选择信号。

为了说明图 4 的电路的动作情况的一个实例，图 5 中示出主要信号随时间变化的一个实例。

下面，参照图 5，简单地说明图 4 的电路的动作情况的二个实例。

首先，/RAS(行地址选通脉冲)信号在“H”电平(非激活状态)时，均衡信号 EQL 变成“H”电平(激活状态)，均衡化电路 10 成为接通状态。因此，P 沟读出放大器一侧的第 1 位线对通过均衡化电路 10 被预充电·均衡化至位线电位 VBL，N 沟读出放大器一侧的第 2 位线对通过位线传输门对(Q1，Q2)被预充电至位线电位 VBL。

接着，/RAS 信号变成“L”电平(激活状态)，一旦取入行地址，则首先，EQL 信号变成“L”电平(非激活状态)，均衡电路 10 成为关闭状态。因此，位线从电源电位 VCC、接地电位 VSS、位线电位 VBL 处脱离。而且，如选择对应于所取入的行地址的字线，则把被选择行的存储器单元的数据在位线上读出，进而，读出放大器 12 动作，把位线对间的电位差放大，读出放大器 11 动作，位线对的电位就确定下来。

其次，如/RAS信号再次变成“H”电平的话，EQL信号恢复到“H”电平，均衡化电路10成为导通状态。因此，第1位线对通过均衡化电路10再次被预充电·均衡化至位线电位VBL，第2位线对通过位线传输门对(Q1，Q2)再次被预充电至VBL。

在上述的动作中，要在读出放大器12开始动作之前对位线进行充分的均衡化，要通过位线传输门对(Q1，Q2)对第2位线对进行充分的预充电使之达到位线电位VBL。

与此相关，在电源电位高的范围内(例如5V)，用于位线传输门的晶体管(Q1，Q2)的能力较强，其阈值电压Vth对于电源电位VCC来说比较小，因此可在短时间内对第2位线对进行充分的预充电使之达到位线电位VBL。

然而，在电源电位低的范围内，用于位线传输门的晶体管(Q1，Q2)的能力较差，其阈值电压Vth对于电源电位VCC来说不能忽略不计，故在短时间内对第2位线对进行充分的预充电使之达到位线电位VBL是困难的。这样一来，如不对第2位线对进行充分的预充电，下一个周期内的读出动作的安全系数就会大幅度下降，故存在把来自存储器单元的读出数据读错的危险。

作为解决上述问题的对策而考虑的第一种方法是不插入用于位线传输门的晶体管(Q1，Q2)，这样一来就没有该晶体管的阈值电压Vth这样大小的电位降，因此可对第2位线对进行充分的预充电。

然而，如以上所述去掉用于位线传输门的晶体管(Q1，Q2)的话，在读出放大器12的初期读出动作时的视在位线电容变大，使高速和可靠的读出动作变得困难。

此外，作为解决上述问题的对策而考虑的第二种方法是把用于位线传输门的晶体管(Q1，Q2)的栅极电位只在预定期间(例如在/RAS信号是"H"电平的期间)内提高到VCC＋Vth以上，由此使上述晶体管(Q1，Q2)在三极管范围内进行工作，这样就弥补了上述晶体管的阈值电压Vth这样大小的电位降，故可对第2位线对进行充分的预充电。

然而，为了使存储器芯片内所有应激活的位线传输门的晶体管(Q1，Q2)的栅极电位在短时间内提高到大于VCC＋Vth，就要采用使用大容量、大面积电容的升压电路。再者，在通常情况下，VRAM以非同步方式进行工作，由于在串行存取存贮器(SAM)端口侧的动作，特别是在输出数据时产生的电源噪声使上述升压电路产生误动作的危险非常大。

如以上所述，以往的半导体存储装置存在以下问题：在电源电位较低的范围内在短时间内对位线进行充分的预充电是困难的；读出动作的安全系数大幅度下降；以及读出错误的数据。

本发明的目的是提供一种能解决现有技术中存在的问题的半导体存储装置。本发明的半导体存贮装置在不增加存储器单元阵列内的电路的情况下，通过仅简单地附加一个抗噪声性能良好的电位转换电路，就能够在电源电位较低的范围内可以在短时间内对位线进行充分的预充电，可以正确地读出并输出来自存储器单元的读出数据。

本发明的半导体存储装置包括：

具有配置成行列状的动态型存储器单元的存储器单元阵列；多个分别连接到同一列的存储器单元的位线对；多个分别连接到上述位线对之一的一端的用于列选择的传输门对；多个分别连接到

上述用于列选择的传输门对之一的数据线对；多个分别以串联方式插入到上述位线对的各位线的第 1 导电型的位线传输门对，各位线传输门对把上述各位线对分割为位于上述存储器单元一侧的第 1 部分和位于上述用于列选择的传输门对一侧的第 2 部分；多个分别连接到上述位线对中一个的第 1 部分的位线预充电·均衡化电路，所述位线预充电·均衡化电路在预充电·均衡化期间被控制为导通状态；以及多个分别连接到上述位线对中之一的第 2 部分的位线电位读出放大器，其在预定期间内被驱动；其特征在于还包括：多个用于快速存储的第 1MOS 晶体管和第 2MOS 晶体管，各第 1 快速存储 MOS 晶体管的一端与位线对之一的第 2 部分的第一线相连，而各第 2 快速存储 MOS 晶体管的一端与位线对之一的第 2 部分的第二线相连；在上述预充电·均衡化期间内根据在非快速存储模式时和快速存储模式时写入的数据对上述第 1 快速存储 MOS 晶体管和第 2 快速存储 MOS 晶体管进行转换控制的快速存储控制电路；把其输出节点连接到上述第 1 和第 2 快速存储 MOS 晶体管的各另一端的电位转换电路，该电位转换电路能够把上述输出节点的电位设定在用于位线初期电位设定的位线预充电电位和预定的基准电位；其中所述电位转换电路包括：连接在一提供上述位线预充电电位的节点和所述输出节点之间的第 3MOS 晶体管，其栅极上提供有第一控制信号；以及连接在一提供上述预定的基准电位的节点和所述输出节点之间的第 4MOS 晶体管，其栅极上提供有第二控制信号。

本发明的另一半导体存储装置包括：

具有配置成行列状的动态型存储器单元的存储器单元阵列；多个分别连接到同一列的存储器单元的位线对；多个分别连接到上述位线对之一的一端的用于列选择的传输门对；多个分别连接到上述用于列选择的传输门对之一的数据线对；多个分别以串联方式插入到上述位线对的各位线的第 1 导电型的位线传输门对，

各位线传输门对把上述各位线对分割为位于上述存储器单元一侧的第 1 部分和位于上述用于列选择的传输门对一侧的第 2 部分；多个分别连接到上述位线对中一个的第 1 部分的位线预充电·均衡化电路，所述位线预充电·均衡化电路在预充电·均衡化期间被控制为导通状态；以及多个分别连接到上述位线对中之一的第 2 部分的位线电位读出放大器，其在预定期间内被驱动；其特征在于还包括：多个用于快速存储的第 1MOS 晶体管和第 2MOS 晶体管，各第 1 快速存储 MOS 晶体管的一端与位线对之一的第 2 部分的第一线相连，而各第 2 快速存储 MOS 晶体管的一端与位线对之一的第 2 部分的第二线相连；在上述预充电·均衡化期间内根据在非快速存储模式时和快速存储模式时写入的数据对上述第 1 快速存储 MOS 晶体管和第 2 快速存储 MOS 晶体管进行转换控制的快速存储控制电路；把其输出节点连接到上述第 1 和第 2 快速存储 MOS 晶体管的各另一端的电位转换电路，该电位转换电路能够把上述输出节点的电位设定在用于位线初期电位设定的位线预充电电位和预定的基准电位；其中，所述快速存储控制电路在上述预充电·均衡化期间把上述第 1 和第 2 快速存储 MOS 晶体管都控制在导通状态，而在非快速存储模式时把所述第 1 和第 2 快速存储 MOS 晶体管都控制在关断状态，并在快速存储模式时在驱动所述读出放大器之前的预定期间内把上述第 1 和第 2 快速存储 MOS 晶体管中的一个控制在导通状态，以及其中所述电位转换电路包括：连接在一提供上述位线预充电电位的节点和所述输出节点之间的第 3MOS 晶体管，其栅极上提供有第一控制信号；以及连接在一提供上述预定的基准电位的节点和所述输出节点之间的第 4MOS 晶体管，其栅极上提供有第二控制信号；以及控制信号发生电路，用于产生所述第 1 和第 2 控制信号。

由于具有上述电位转换电路，可让用于快速存储的晶体管不仅进行本来的快速存储动作，而且进行位线均衡化的动作。在这种情

况下，可使该电位转换电路具有比较简单的构成，而且在抗噪声方面具有良好的特性。

通过仅附加一个上述的电位转换电路，在不增加存储器单元阵列内的电路的情况下，即使在电源电位较低的范围内也可在短时间内对位线进行充分的和可靠的预充电，可正确地读出来自存储器单元的读出数据并输出该数据。

图 1 是示出构成与本发明第 1 实施例有关的 VRAM 核心部分的存储器单元阵列的部分电路图。

图 2 是示出图 1 中的电位转换电路的一个实例的电路图。

图 3 是为了说明图 1 和图 2 的电路的动作实例而示出的主要信号随时间变化的实例图。

图 4 是示出构成以往的 VRAM 的核心部分的存储器单元阵列的部分电路图。

图 5 是为了说明图 4 的电路的动作实例而示出的主要信号随时间变化的实例图。

以下参照附图详细地说明本发明的实施例。

图 1 示出构成具有与本发明的半导体存储装置第 1 实施例有关的闪速存储功能的 VRAM 核心部分的存储器单元阵列的一部分(为了说明的简单化起见只示出两列)。

在图 1 中，MC 是动态型存储器单元(为了图示的简单化起见只示出两个)，将其配置成行列状构成存储器单元阵列，在其电容器处提供电容器阳极电位 VPL。WL 是连接到上述存储器单元阵列的同一行存储器单元的字线(代表性地示出 1 条)，通过字线驱动信号在预定时间内对其进行选择驱动。BL0，/BL0 和 BL1，/BL1 分别

是连接到上述存储器单元阵列的同一列存储器单元的互补的位线对(代表性地只示出2对)。

(CS，CS)分别是连接到上述位线对的各位线一端的、通过同一个列选择信号CSLi(在本例中是CSL0)选择的列选择传输门。此时，通过上述列选择信号CSL0共同选择用于预定多列的列选择传输门对(CS，CS)。

DQRi，/DQRi是连接到上述列选择传输门对(CS，CS)另一端的数据线对。形成与上述共同选择的多列对应连接的多个数据线对(DQR0/DQR0)、(DQR1，/DQR1)…。

(Q1，Q2)是分别以串联方式插入到上述各位线对的各位线的、由把上述位线对分割为上述存储器单元侧的第1位线对和上述列选择传输门对一侧的第2位线对的N沟型MOS晶体管构成的位线传输门对，通过同一个位线传输门控制信号φT共同驱动(Q1，Q2)。

把位线预充电·均衡化电路10连接到上述第一位线对，在预充电·均衡化期间通过均衡信号EQL将该电路10控制在导通状态。

用于位线电位恢复的P沟读出放大器11连接到上述第1位线对上、由用读出启动信号SAP驱动的2个P沟型MOS晶体管Q3、Q4交叉耦合构成。

用于位线对间电位差读出的N沟读出放大器12连接到上述第2位线对上由用读出启动信号/SAN驱动的两个N沟型MOS晶体管Q5、Q6交叉耦合构成。

与上述第2位线对的各位线对应地连接第1闪速存储电路13与第2闪速存储电路14。

在本例中，上述第 1 闪速存储电路 13 由其一端连接到一边位线(BL0 或 BL1)的用于闪速存储的 N 沟型第 1MOS 晶体管 Q7 构成。同样，在本例中，上述第 2 闪速存储电路 14 由其一端连接到另一边位线(/BL0 或/BL1)的用于闪速存储的 N 沟型第 2MOS 晶体管 Q8 构成。

通过闪速存储控制电路 15，根据在预充电·均衡化期间、非闪速存储模式时和闪速存储模式时的写入数据，对上述两个 MOS 晶体管 Q7、Q8 进行转换控制。

上述闪速存储控制电路 15 的逻辑构成的作用是：在上述预充电·均衡化期间把上述第 1MOS 晶体管 Q7 和第 2MOS 晶体管 Q8 都控制在导通状态；在非闪速存储模式时把上述第 1MOS 晶体管 Q7 和第 2MOS 晶体管 Q8 都控制在关断状态；在闪速存储模式时在上述读出放大器 12 的驱动前的预定期间内生成用于把上述第一 MOS 晶体管 Q7 和第 2MOS 晶体管 Q8 的其中的一个控制在导通状态的第 1 闪速存储信号 FWG1 和第 2 闪速存储信号 FWG2。

电位转换电路 16 其输出节点连接到上述第 1MOS 晶体管 Q7 和第 2MOS 晶体管 Q8 的各自的另一端，该电路 16 把上述输出节点的电位设定在用于位线初期电位设定的位线预充电电位 VBL(通常是电源电位 VCC 的 1/2)或预定的基准电位(在本例中是接地电位 VSS)，该电路 16 的构成例如图 2 所示。

也就是说，上述电位转换电路具备：连接在提供上述位线预充电电位 VBL 的 VBL 节点与上述输出节点之间的、将第 1 控制信号 XGL 提供给栅极的 N 沟型第 3NMOS 晶体管 Q9；连接在提供上述预定的基准电位 VSS 的 VSS 节点与上述输出节点之间的、将第 2 控

制信号 XGD 提供给栅极的 N 沟型第 4NMOS 晶体管 Q10；以及用于生成上述第 1 控制信号 XGL 和第 2 控制信号 XGD 的控制信号发生电路 17。

上述控制信号发生电路 17 的逻辑构成是：作为动作电源提供 VCC、VSS；在上述预充电·均衡化期间和非闪速存储模式时把上述第 3NMOS 晶体管 Q9 控制在导通状态，把上述第 4NMOS 晶体管 Q10 控制在关断状态；在闪速存储模式时把上述第 3NMOS 晶体管 Q9 控制在关断状态，与此同时在上述读出放大器的驱动前把上述第 4NMOS 晶体管 Q10 在预定时间内控制在导通状态。

即，例如上述控制信号发生电路 17 如图 2 所示由下述电路构成：将/RAS 信号反相的变换电路 21；取该变换电路 21 的输出信号与闪速存储模式识别信号 FW 的逻辑积而输出控制信号 XGL 的与非门电路 22；使上述控制信号 XGL 延迟预定时间的延时电路 23；使上述控制信号 XGL 反相的变换电路 24；取该变换电路 24 的输出信号与上述延时电路 23 的输出信号的逻辑积的与非门电路 25；使该与非门电路 25 的输出信号反相并输出上述控制信号 XGD 的变换电路 26。上述控制信号 XGL、XGD 的“H”电平是 VCC，“L”电平是 VSS。

再者，把上述电位转换电路 16 的两个 NMOS 晶体管 Q9、Q10 设置在存储器单元阵列的外部，故存储器单元阵列本身的电路构成与以往的例子是一样的。

其次，参照图 3 说明图 1、图 2 的动作实例。

为了说明图 1 和图 2 电路的动作实例，图 3 示出在非闪速存储模式时和闪速存储模式时主要信号随时间变化的一个实例。

首先说明非闪速存储模式时的动作情况。/RAS 是“H”电平(非激活状态)时，均衡信号 EQL 变成“H”电平(VCC)，预充电·均衡化电路 10 变成导通状态。

此时，控制信号 XGL 变成 VCC，控制信号 XGD 变成 VSS，电位转换电路 16 的 NMOS 的晶体管 Q9 变成导通状态，NMOS 晶体管 Q10 变成关断状态，输出节点 16a 的电位变成 VBL。

此外，此时闪速存储信号 FWG1、FWG2 是“H”电平(VCC)，用于第 1 闪速存储的晶体管 Q7 和用于第 2 闪速存储的晶体管 Q8 分别变成导通状态。

其结果是，P 沟读出放大器 11 一侧的位线对经由预充电·均衡化电路 10 被预充电·均衡化至位线电位 VBL，N 沟读出放大器 12 一侧的位线对经由电位转换电路 16 和用于第 1 闪速存储的晶体管 Q7、用于第 2 闪速存储的晶体管 Q8 被预充电至位线电位 VBL。

此外，此时控制信号 φT 是“H”电平(VCC)位线传输门 Q1、Q2 是导通状态，故把 N 沟读出放大器 12 一侧的位线对和 P 沟读出放大器 11 一侧的位线对通过位线传输门 Q1、Q2 均衡化至同一电位 VBL。

接着，/RAS 信号变成“L”电平(激活状态)，一旦取入行地址，则首先 EQL 信号和闪速存储信号 FWG1、FWG2 变成“L”电平(非激活状态)，预充电、均衡化电路 10 变成关断状态。因此，使位线从电源电位 VCC、接地电位 VSS、位线电位 VBL 脱离。而且，如选择对应于以上述方式取入了行地址的字线，则被选择行的存储器单元的数据在位线上读出，进而，读出放大器 11、12 动作，把位线对间的电位差放大。

其次，如/RAS信号再次变成“H”电平，EQL信号和闪速存储信号FWG1、FWG2分别回复到“H”电平，预充电·均衡化电路10和用于第1闪速存储的晶体管Q7、用于第2闪速存储的晶体管Q8分别变成导通状态。由此把P沟读出放大器11—侧的位线对通过预充电·均衡化电路10再次预充电·均衡化至位线电位VBL，把N沟读出放大器12一侧的位线对通过过电位转换电路16和用于第一闪速存储的晶体管Q7、用于第2闪速存储的晶体管Q8再次预充电线位至电位VBL。此时，控制信号φT是“H”电平，位线传输门Q1、Q2是导通状态，故把N沟读出放大器12一侧的位线对和P沟读出放大器11一侧的位线对通过上述位线传输门Q1、Q2均衡化至同一电位VBL。

在上述的非闪速存储模式时的动作中，N沟读出放大器12一侧的位线对经由电位转换电路16和用于第1闪速存储的晶体管Q7、用于第2闪速存储的晶体管Q8被预充电至位线电位VBL，故与以往的例子相比可在短时间内对位线进行充分的和可靠的预充电。

此外，在非闪速存储模式时的动作中，电位转换电路16的输出节点16a的电位(固定在VBL，不产生充放电，所以不产生电流消耗。

其次，说明闪速存储模式时的动作情况。/RAS信号是“H”电平时，均衡信号EQL是“H”电平，控制信号XGL是VCC，控制信号XGD是VSS，闪速存储信号FWG1、FWG2分别为“H”电平，P沟读出放大器11一侧的位线对和N沟读出放大器12一侧的位线对被预充电·均衡化至位线电位VBL为止的动作情况与上述的非

闪速存储模式时的动作情况是一样的。

其次，/RAS 信号变成“L”电平，如确定是闪速存储模式，通过功能译码器(图中未示出)使闪速存储模式的识别信号 FW 变成“H”电平。此时，控制信号 XGL 变成 VSS，电位转换电路 16 的 NMOS 晶体管 Q9 变成关断状态。而且，如取入行地址，则首先，EQL 信号变成“L”电平，预充电·均衡化电路 10 变成关断状态，位线从电源电位 VCC、接地电位 VSS、位线电位 VBL 脱离。此外，此时 XGL 信号、闪速存储信号 FWG1、FWG2 变成“L”电平，用于第 1 闪速存储的晶体管 Q7、用于第 2 闪速存储的晶体管 Q8 分别变成关断状态。

而且，在进行实际的闪速存储动作之前 XGD 信号变成 VCC，电位转换电路 16 的 NMOS 晶体管 Q10 变成导通状态，输出节点 16a 的电位变成 VSS。再者，如选择对应以上述方式取入了行地址的字线，被选择行的存储器单元的数据在位线上被读出。在该动作的前后，闪速存储信号 FWG0、FWG1 中的任一个变成“H”电平，用于第 1 闪速存储的晶体管 Q7、用于第 2 闪速存储的晶体管 Q8 中的任一个变成导通状态。

此时，在打算把数据“O”写入到与所选择的字线 WL 连接的全部存储器单元中时，为了把连接到位线对的一边(例如 BL0，BL1)的用于第 1 闪速存储的晶体管 Q7 变成导通状态，闪速存储信号 FWG1 变成“H”电平。由于这个原因，即使假定事先已把数据“1”写入到上述存储器单元中，如以上所述通过用于第 1 闪速存储的晶体管 Q7 变成导通状态，故把上述一边的位线 BL0、BL1 放电至 VSS 电位，因此与另一边的位线/BL0、/BL1 相比确定是变成了低电位。

与此相反，在打算把数据“1”写入到与所选择的字线 WL 连接

的全部存储器单元中时，为了把连接到位线的另一边(例如/BL0,/BL1)的用于第2闪速存储的晶体管Q8变成导通状态，闪速存储信号FWG2已变成“H”电平。由于这个原因，即使假定事先已把数据“O”写入到上述存储器单元中，如以上所述由于用于第2闪速存储的晶体管Q8变成导通状态，故把上述另一边的位线/BL0、/BL1放电至VSS电位，因此与一边的位线BL0、BL1相比确实是变成了低电位。

而且，在位线对间产生了某种程度的电位差后，闪速存储模式识别信号FW变成“L”电平，控制信号XGD变成VSS。电位转换电路16的NMOS晶体管Q10变成关断状态。

在此之后，读出放大器11、12动作，把位线对间的电位差放大。此时，全部位线的电位向同一方向过渡，因此最终将同一数据写入到与所选择的一条字线连接的全部存储器单元中。

其次，如/RAS信号再次变成“H”电平的话，EQL信号和闪速存储信号FWG1、FWG2分别回复到“H”电平，控制信号XGL恢复到VCC，预充电·均衡化电路10和用于第1闪速存储的晶体管Q7、用于第2闪速存储的晶体管Q8分别变成导通状态，电位转换电路16的NMOS晶体管Q9变成导通状态，其输出节点16a的电位变成VBL。由于这个原因，把P沟读出放大器11一侧的位线对通过预充电·均衡化电路10再次预充电·均衡化至位线电位VBL，把N沟读出放大器12一侧的位线对通过电位转换电路16和用于第1闪速存储的晶体管Q7、用于第2闪速存储的晶体管Q8再次预充电至位线电位VBL。此时，控制信号φT变成“H”电平，位线传输门Q1、Q2变成导通状态，因此把N沟读出放大器12一侧的位线对

和P沟读出放大器11一侧的位线对通过上述位线传输门Q1、Q2均衡化至同一电位VBL。

通过以上所述的闪速存储模式时的动作，能够正常地进行闪速存储动作以及在此之后的位线预充电·均衡化动作。

即，若根据上述实施例的VRAM，用于闪速存储的晶体管Q7、Q8不但进行本来的闪速存储动作，而且还进行位线均衡化的动作，所以即使在电源电位低的范围内也可在短时间内对位线进行充分的和可靠的预充电，可正确地读出来自存储器单元的读出数据并输出该数据。

此外，由于没有必要采用其目的是在电源电位低的范围内让用于位线传输门的晶体管Q1、Q2在三极管区域内动作而将其栅极电位只在预定期间内提高到VCC+Vth以上的升压电路，所以也就不产生由于例如输出数据时产生的电源噪声等引起的该升压电路误动作的问题。

此外，与以往的例子一样，因存在于位线传输门Q1、Q2，读出放大器的初期读出工作时的视在位线容量变小，故不存在读出放大器的初期读出动作时的安全系数降低的问题。

此外，在上述实施例中附加的电位转换电路16的二个NMOS晶体管Q9、Q10可设置在存储器单元陈列的外部，故可不增加存储器单元阵列内的电路。并且上述电位转换电路16的构成比较简单，不易产生因噪声等引起的误动作。

再者，在本申请书的权利要求范围中一并记入的参照符号是为了容易理解本申请书的发明，并不是出于把本申请书的发明的技术范围限定在图面上示出的实施例的意图而记入的。

如以上所述，根据本发明的半导体存储装置，在不增加存储器单元阵列的电路的情况下，通过仅附加一个比较简单的、抗噪声性能良好的电位转换电路，即使在电源电位低的范围内也能在短时间内对位线进行充分的和可靠的预充电，可正确地读出来自存储器单元处的读出数据并输出该数据。

图 1

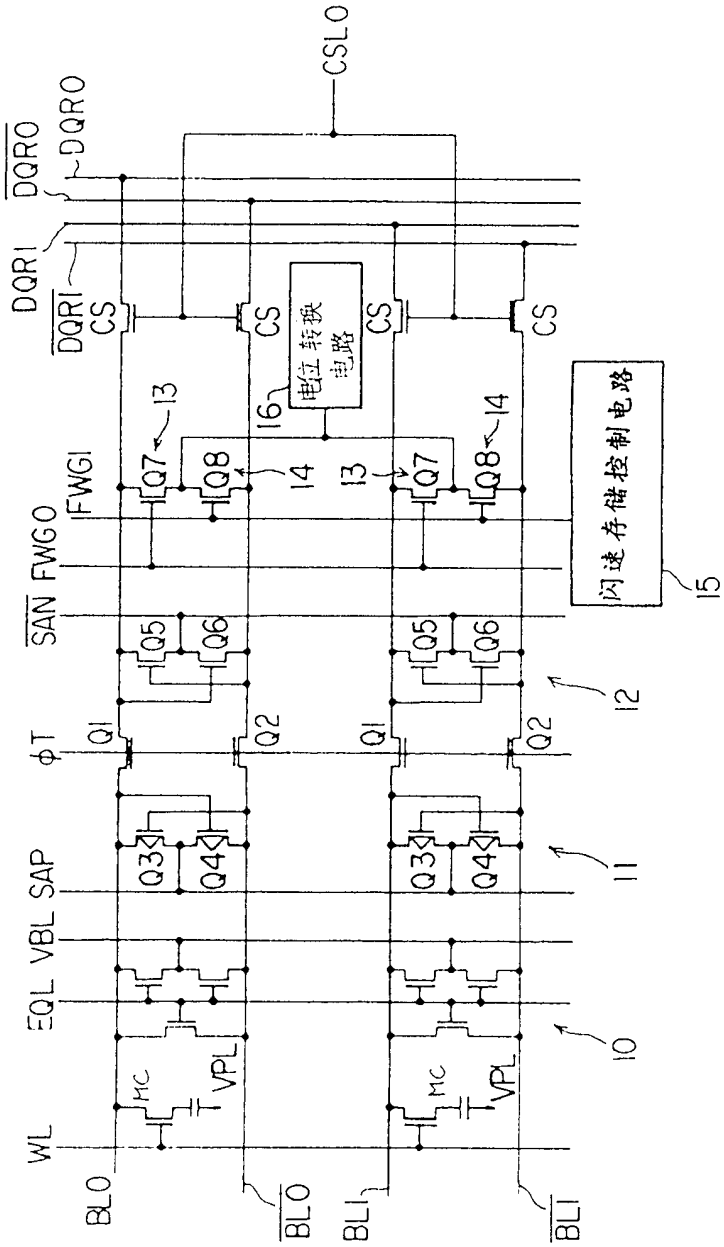

CSL0
DQR0
DQR0
DQR1
DQR1
CS
CS
CS
CS
电位转换电路
16
13
14
13
14
FWG1
FWG0
SAN
闪速存储控制电路
15
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
φT
SAP
VBL
EQL
WL
MC
VPL
BL0
BL0
BL1
BL1
12
11
10

图 2

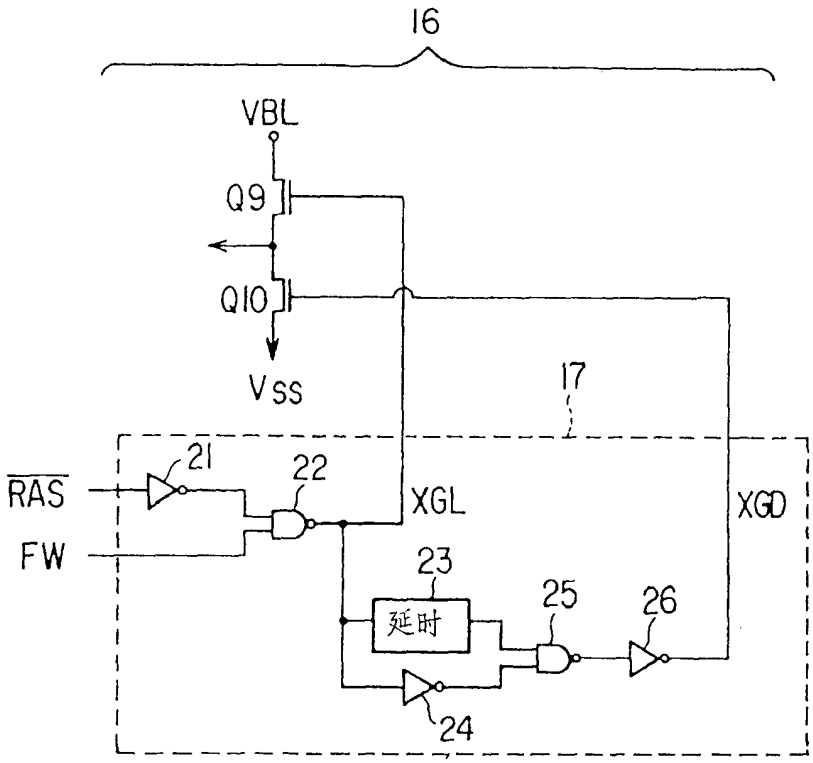


图 3

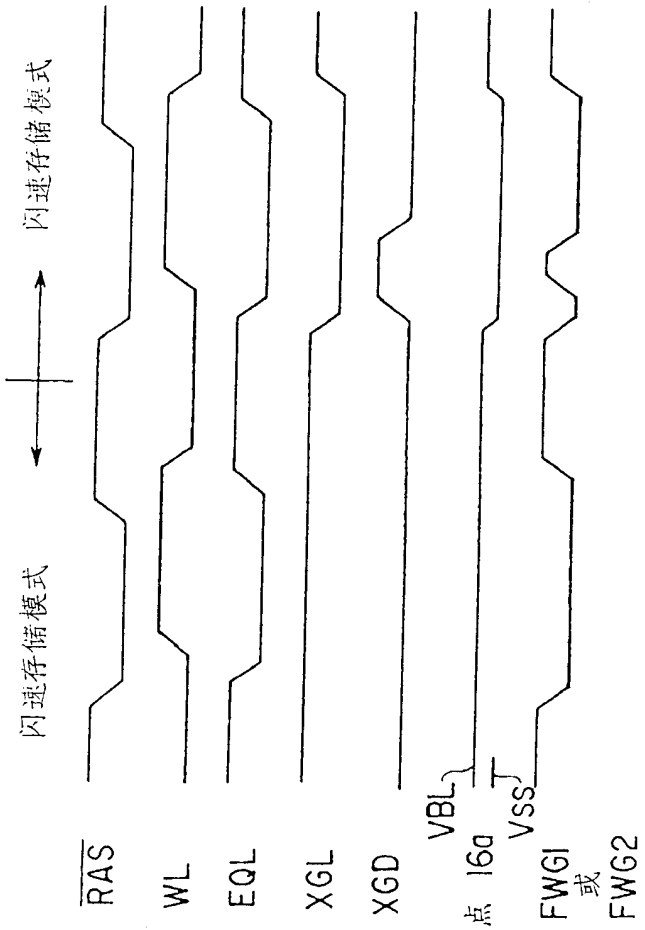


图 4

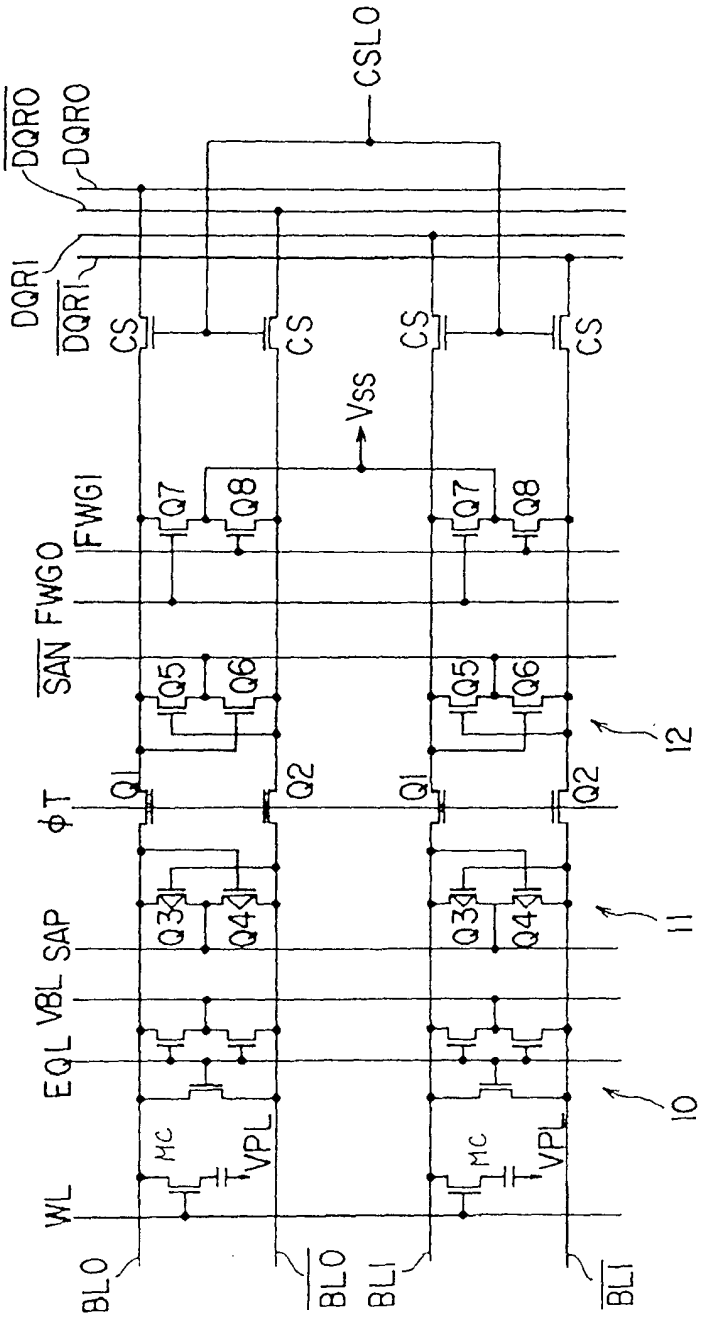

CSL0
DQR0
DQR0
DQR1
DQR1
CS
CS
CS
CS
Vss
FWG1
FWG0
SAN
Q7
Q8
Q7
Q8
Q5
Q6
Q5
Q6
12
φT
Q1
Q2
Q1
Q2
SAP
VBL
EQL
Q3
Q4
Q3
Q4
11
10
WL
MC
VPL
MC
VPL
BL0
BL0
BL1
BL1

图 5

