

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-79307

(P2017-79307A)

(43) 公開日 平成29年4月27日(2017.4.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/04 (2014.01)	HO 1 L 25/04 Z	5 F 0 4 4
HO 1 L 25/18 (2006.01)	HO 1 L 25/04 C	
HO 1 L 25/07 (2006.01)	HO 1 L 21/60 3 O 1 A	
HO 1 L 21/60 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号	特願2015-207884 (P2015-207884)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成27年10月22日 (2015.10.22)	(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	田畑 光晴 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		Fターム(参考)	5F044 AA07 AA10 AA19 AA20

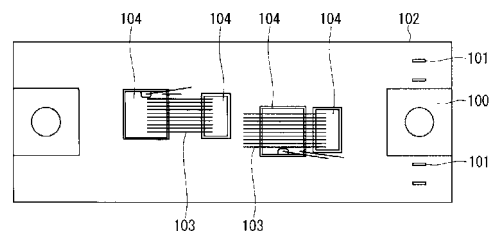
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】本明細書に開示される技術は、ワイヤーボンディング作業の制約を抑制することができる半導体装置および半導体装置の製造方法に関するものである。

【解決手段】本技術に関する半導体装置は、平面視において外枠102に囲まれたケース内において回路パターン上に配置される、複数の半導体チップ104と、複数の半導体チップ104と回路パターンとの間を電気的に接続するボンディングワイヤー103とを備え、複数の半導体チップ104は、ケースの長手方向に沿って並び、ボンディングワイヤー103は、ケースの長手方向に沿って張られる。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

平面視において外枠に囲まれたケース内において回路パターン上に配置される、複数の半導体チップと、

複数の前記半導体チップと前記回路パターンとの間を電氣的に接続するボンディングワイヤーと、

前記ケース内に配置される主電極とを備え、

複数の前記半導体チップは、前記ケースの長手方向に沿って並び、

前記ボンディングワイヤーは、前記ケースの長手方向に沿って張られ、

前記主電極は、前記ケースの長手方向の一方の辺の近傍に配置され、

前記主電極と前記回路パターンとの間の接続が、超音波接合、はんだ付け、または、ろう付けである、

半導体装置。

**【請求項 2】**

前記回路パターンが、厚さが 0.4 mm 以上である銅箔からなる、

請求項 1 に記載の半導体装置。

**【請求項 3】**

2 つの前記半導体チップが逆並列接続される第 1 の複合素子を 2 つ備え、

一方の前記第 1 の複合素子においては、2 つの前記半導体チップに平面視において挟まれる位置に配置される第 1 の経由回路パターンを経由して、2 つの前記半導体チップが逆並列接続され、

他方の前記第 1 の複合素子においては、前記第 1 の経由回路パターンを経由せずに、直接 2 つの前記半導体チップが逆並列接続される、

請求項 2 に記載の半導体装置。

**【請求項 4】**

前記ケース内に配置され、かつ、各前記半導体チップと電氣的に接続される信号電極を備え、

2 つの前記第 1 の複合素子のうちの他方の前記第 1 の複合素子が、IGBT 半導体チップとダイオードチップとから構成され、

前記 IGBT 半導体チップの駆動電位基準が、前記ダイオードチップを経由して前記回路パターンまたは前記信号電極に接続される、

請求項 3 に記載の半導体装置。

**【請求項 5】**

2 つのダイオードチップである前記半導体チップが並列接続される第 2 の複合素子を 2 つ備え、

一方の前記第 2 の複合素子においては、2 つの前記半導体チップに平面視において挟まれる位置に配置される第 2 の経由回路パターンを経由して、2 つの前記半導体チップが並列接続され、

他方の前記第 2 の複合素子においては、前記第 2 の経由回路パターンを経由せずに、直接 2 つの前記半導体チップが並列接続される、

請求項 2 から請求項 4 のうちのいずれか 1 項に記載の半導体装置。

**【請求項 6】**

複数の前記半導体チップが、ワイドバンドギャップ半導体を用いた半導体チップである、

請求項 2 から請求項 5 のうちのいずれか 1 項に記載の半導体装置。

**【請求項 7】**

前記ケース内に配置され、かつ、各前記半導体チップと電氣的に接続される、複数の信号電極と、

前記信号電極と電氣的に接続される信号端子とをさらに備え、

前記信号電極は、前記ケースの短手方向の辺の近傍にそれぞれ配置され、

半導体装置。

前記信号端子は、前記ケースの短手方向の一方の前記外枠に配置され、

前記信号端子が配置される前記外枠とは反対側の前記ケースの短手方向の辺の近傍に配置される前記信号電極と前記信号端子との間を接続する信号配線が、前記主電極が配置される前記ケースの長手方向の一方の辺とは反対側の前記ケースの長手方向の他方の辺の近傍を通過して配線される、

請求項 1 から請求項 6 のうちのいずれか 1 項に記載の半導体装置。

【請求項 8】

前記ケースは、上面に凹部を有し、

前記主電極の端部が前記凹部から突き出し、かつ、前記凹部において前記ケースの平面視における内側方向に曲げられて形成される、

10

請求項 1 から請求項 7 のうちのいずれか 1 項に記載の半導体装置。

【請求項 9】

それぞれが同種の半導体チップである複数の前記半導体チップが、前記ケースの長手方向に沿って並び、

複数の前記半導体チップが並ぶ方向と、当該半導体チップにおける前記ボンディングワイヤーが張られる方向との間の角度が 20 度以内である、

請求項 1 から請求項 8 のうちのいずれか 1 項に記載の半導体装置。

【請求項 10】

平面視において外枠に囲まれたケース内の、前記ケースの長手方向の一方の辺の近傍において、主電極を回路パターン上に超音波接合し、

20

前記主電極を接合した後に、前記ケース内の前記回路パターン上において前記ケースの長手方向に沿って並んで配置された複数の半導体チップを、前記ケースの長手方向に沿って張られるボンディングワイヤーによって前記回路パターンと電気的に接続する、

半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示される技術は、半導体装置および半導体装置の製造方法に関し、たとえば、各種パワーエレクトロニクス機器に用いられる半導体装置および半導体装置の製造方法に関するものである。

30

【背景技術】

【0002】

半導体装置は、基本構造として、平面視において長方形であるケースの内部に複数の半導体チップを有する。また、複数の半導体チップが発生させる熱を外部の放熱手段と熱交換するための放熱面を有する。放熱面は、絶縁機能を有する。さらに、放熱面に概ね対向する位置に、外部の回路と電気的に接続される端子を有する。

【0003】

外部の回路と電気的に接続されるために露出した端子は、導体からなる電極として内部に導かれる。内部の放熱面の近傍には、セラミックなどの絶縁素材からなる絶縁基板上に接合された導体板が配置される。この導体板が部分的に分離されることで、回路パターンが形成される。

40

【0004】

回路パターンには電気伝導と熱伝導とを兼ね備える接合手段により半導体チップが接合され、この半導体チップの接合面の対面は、ボンディングワイヤーなどで回路パターンまたは電極と電気的に接続される。

【0005】

上記の基板上の回路パターンは、たとえば、特許文献 1 に開示されるように、薄い導体箔によって形成される。この場合、主電流を流すために、パターン幅がケースの狭幅方向（短手方向）のパターン有効全幅の概ね半分近くに設定される。主電流が流れる回路パターンがケースの長手方向に概ね 2 つ設置され、半導体チップと回路パターンとがケースの

50

狭幅方向（短手方向）にボンディングワイヤーが張られて接続される。主電極と回路パターンとの接続は、それらの隙間を利用して複雑になされる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2003-243610号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ワイヤーボンディング装置においてワイヤーボンディングを行うアームは、機械的強度の関係上アーム長さが制限される。そして、ボンディングポイントより一定以上高い（遠い）部分のアームは、幾何学的に太くなる。このアームの太い部分が作業対象物の周辺部分などに干渉するため、たとえば、深くて狭いケース内でのワイヤーボンディング作業には制約が多い。特に、モジュール幅が50mm程度以下になると、この制約が顕著となる。

10

【0008】

このような状況を避けるために、ケースを基板に嵌める前にできるだけ多くのワイヤーボンディングを済ませておくことが考えられる。しかしながら、ケースに設置される電極については、必ずしもそのような方法を採用することはできない。

【0009】

すなわち、ケースを基板に嵌める前にケースに設置される電極を回路パターンと接続すると、ケースを嵌める際に、当該電極と回路パターンとの間の接合部に力が加わり、不良の可能性が増すこととなる。したがって、はんだ付けなどの脆弱な接合方法を選択することが困難となる。

20

【0010】

しかしながら、たとえば超音波（ultra-sonic、すなわちUS）接合を選択した場合には、電極接合部の形状などの制約で周波数を上げることが難しく、やはり、ツール（ホーン）が大きくなるため、深くて狭いケース内での接合には配置上の制限がある。

【0011】

本明細書に開示される技術は、上記のような問題を解決するためのものであり、ワイヤーボンディング作業の制約を抑制することができる半導体装置および半導体装置の製造方法に関するものである。

30

【課題を解決するための手段】

【0012】

本明細書に開示される技術の一態様に関する半導体装置は、平面視において外枠に囲まれたケース内において回路パターン上に配置される、複数の半導体チップと、複数の前記半導体チップと前記回路パターンとの間を電氣的に接続するボンディングワイヤーと、前記ケース内に配置される主電極とを備え、複数の前記半導体チップは、前記ケースの長手方向に沿って並び、前記ボンディングワイヤーは、前記ケースの長手方向に沿って張られ、前記主電極は、前記ケースの長手方向の一方の辺の近傍に配置され、前記主電極と前記回路パターンとの間の接続が、超音波接合、はんだ付け、または、ろう付けである。

40

【0013】

本明細書に開示される技術の一態様に関する半導体装置の製造方法は、平面視において外枠に囲まれたケース内の、前記ケースの長手方向の一方の辺の近傍において、主電極を回路パターン上に超音波接合し、前記主電極を接合した後に、前記ケース内の前記回路パターン上において前記ケースの長手方向に沿って並んで配置された複数の半導体チップを、前記ケースの長手方向に沿って張られるボンディングワイヤーによって前記回路パターンと電氣的に接続する。

【発明の効果】

50

## 【 0 0 1 4 】

本明細書に開示される技術の一態様に関する半導体装置は、平面視において外枠に囲まれたケース内において回路パターン上に配置される、複数の半導体チップと、複数の前記半導体チップと前記回路パターンとの間を電氣的に接続するボンディングワイヤーとを備え、複数の前記半導体チップは、前記ケースの長手方向に沿って並び、前記ボンディングワイヤーは、前記ケースの長手方向に沿って張られる。

## 【 0 0 1 5 】

このような構成によれば、幅が狭く、かつ、深さが深いケース内において、ワイヤーボンディング作業の制約を抑制することができる。

## 【 0 0 1 6 】

本明細書に開示される技術の一態様に関する半導体装置の製造方法は、平面視において外枠に囲まれたケース内の、前記ケースの長手方向の一方の辺の近傍において、主電極を回路パターン上に超音波接合し、前記主電極を接合した後に、前記ケース内の前記回路パターン上において前記ケースの長手方向に沿って並んで配置された複数の半導体チップを、前記ケースの長手方向に沿って張られるボンディングワイヤーによって前記回路パターンと電氣的に接続する。

## 【 0 0 1 7 】

このような構成によれば、幅が狭く、かつ、深さが深いケース内において、ワイヤーボンディング作業の制約を抑制することができる。また、ワイヤーボンディング工程を1回で済ませることができるため、製造コストの削減またはタクトタイムを短縮を実現することができる。

## 【 0 0 1 8 】

本明細書に開示される技術に関する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、より明白となる。

## 【 図面の簡単な説明 】

## 【 0 0 1 9 】

【 図 1 】実施の形態に関する、半導体装置を実現するための構成を概略的に例示する平面図である。

【 図 2 】実施の形態に関する、半導体装置を実現するための構成を概略的に例示する平面図である。

【 図 3 】実施の形態に関する、半導体装置を実現するための構成のうち、ケース内の半導体チップおよびその周辺の構造を概略的に例示する平面図である。

【 図 4 】実施の形態に関する、半導体装置を実現するための構成を概略的に例示する平面図である。

【 図 5 】実施の形態に関する、半導体装置を実現するための構成を概略的に例示する平面図である。

【 図 6 】実施の形態に関する、半導体装置を実現するための構成を概略的に例示する平面図である。

【 図 7 】実施の形態に関する、主電極の曲げ部付近の構造を概略的に例示する断面図である。

【 図 8 】実施の形態に関する、半導体装置を実現するための構成を概略的に例示する平面図である。

【 図 9 】実施の形態に関する、半導体装置を実現するための構成のうち、ケース内の半導体チップおよびその周辺の構造を概略的に例示する平面図である。

【 図 1 0 】実施の形態に関する、半導体装置を実現するための構成を概略的に例示する平面図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 0 】

以下、添付される図面を参照しながら実施の形態について説明する。なお、図面は概略的に示されるものであり、異なる図面にそれぞれ示される画像の大きさと位置との相互関

10

20

30

40

50

係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。したがって、それらについての詳細な説明を省略する場合がある。

【0021】

また、以下に示される説明において、「上」、「下」、「側」、「底」、「表」または「裏」などの特定の位置と方向とを意味する用語が用いられる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上用いられるものであり、実際に実施される際の方向とは関係しない。

【0022】

<第1の実施の形態>

以下、本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。説明の便宜上、まず、特許文献1に開示されるように、ボンディングワイヤーの張られる方向がケースの外枠の短手方向に沿う場合を説明する。

【0023】

図10は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。

【0024】

図10に例示されるように、ケースの外枠102に囲まれた内部に、半導体チップ200、半導体チップ201、半導体チップ202、および、半導体チップ203が配置される。そして、各半導体チップと回路パターンとを接続するボンディングワイヤー103が、ケースの外枠102の短手方向に沿って張られる。また、回路パターン上には、主電極204、主電極205、および、主電極206がそれぞれ配置される。なお、回路パターンは、絶縁基板105上に形成される。また、ケースの外枠102には、電極100と、信号端子101とが設けられる。

【0025】

<半導体装置の構成について>

図2は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。

【0026】

図2に例示されるように、平面視においてケースの外枠102に囲まれた内部において、回路パターン上に半導体チップ104が複数配置される。複数の半導体チップ104は、ケースの外枠102の長手方向に沿って並べられる。そして、複数の半導体チップ104を回路パターンと接続するボンディングワイヤー103が、ケースの外枠102の長手方向に沿って張られる。なお、ボンディングワイヤー103の張られる方向と、ケースの外枠102の長手方向とのなす角度は、20°程度以内であることが望ましい。また、ケースの外枠102には、電極100と、信号端子101とが設けられる。

【0027】

ここで、上記のケースは、たとえば、長手方向の長さが、短手方向の長さの2倍以上である。また、短手方向の長さは、たとえば、50mm程度以下である。

【0028】

上記の構造によれば、すべてのボンディングワイヤー103が、ケースの外枠102の長手方向に沿って張られるため、幅が狭く、かつ、深さが深いケース内で最も移動自由度の高い長手方向のみでボンディング作業を行うことができる。そのため、ケースを基板に嵌めた後であっても、ケースの内部に配置される半導体チップとケースの内部に配置される回路パターンとの接合が行い易くなる。さらには、ケースの外枠102に配置される電極とケースの内部に配置される回路パターンとの接合が行い易くなる。

【0029】

ここで、上記の構成を実現する場合には、半導体チップ104間からケースの外枠102に配置される電極へと回路パターンを形成する必要があるが、大きな電流を流すにはそ

10

20

30

40

50

れに見合うパターン幅が必要となる。しかしながら、パターン幅を大きくすると、その分半導体チップ104同士の間隔が大きくなる。結果として、長手方向が長いモジュールとなってしまうため電流値が制限されることとなる。

【0030】

そこで、回路パターンを形成する導体箔、たとえば、銅箔の厚みを、0.4mm程度以上とした、いわゆる厚銅基板を適用することができる。

【0031】

厚銅基板を適用することにより、パターン幅あたりのパターン断面積が大きくなる。したがって、狭いパターン幅でも大きな電流を流すことができ、幅が狭いパターン方向にも電流を流すことが制限されない。

10

【0032】

この構成によれば、半導体チップ104と回路パターンとの間を電氣的に接続することを目的としたワイヤーボンディングに関し、鉛直方向の狭幅パターン、すなわち、回路パターンの側面への取り付けが可能となる。結果として、ワイヤーボンディングまたはワイヤーボンディング間隔が短くなるため、複数の半導体チップ104のワイヤーボンディングを概ね直列に配置することに対する制約を減らすことができる。

【0033】

<第2の実施の形態>

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

20

【0034】

<半導体装置の構成について>

図3は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。

【0035】

図3に例示されるように、ケースの内部において、回路パターン上に複数の半導体チップが配置される。

【0036】

図3に例示されるように、絶縁ゲート型バイポーラトランジスタ (insulated gate bipolar transistor、すなわちIGBT) 半導体チップのエミッタからのボンディングワイヤー103と、ダイオードチップのアノードからのボンディングワイヤー103とは、共通の回路パターンに接続される。しかしながら、それぞれを別途接続した場合には、パターン面積の消費、すなわち、占有面積が大きくなり、装置の小型化および製造コストの観点で望ましくない。

30

【0037】

ここで、上記の厚銅基板が適用される場合には、幅が狭いパターン方向に電流を流すことが制約にならない。そこで、これら2つの半導体チップに平面視において挟まれる位置に配置された、幅が狭い経路回路パターン35を設け、経路回路パターン35を経由してIGBT半導体チップのエミッタからのボンディングワイヤー103と、ダイオードチップのアノードからのボンディングワイヤー103とをボンディングポイント32において接続することができる。

40

【0038】

一方で、ケース内に2つの複合素子、すなわち、それぞれがともにIGBT半導体チップとダイオードチップとからなる2つの複合素子が配置される場合(直列、コレクタコモン、エミッタコモン、または、ACスイッチなど)、2つの複合素子を接続するための回路パターンの引き回しに無駄が生じうる。これを解消するため、一方の複合素子33では、幅が狭い経路回路パターン35を経由して逆並列ダイオードに接続する。他方の複合素子34では、幅が狭い経路回路パターン35を経由せずに逆並列ダイオードに接続する。

【0039】

50

これは、双方の複合素子を經由回路パターンを經由して逆並列接続する、または、双方の複合素子を經由回路パターンを經由せずに逆並列接続すると、たとえば、2つのIGBT半導体チップの間隔が広くなったり、または、2つのIGBT半導体チップのエミッタが向かい合ったりするため、回路パターンにおける経路が長くなるためである。

【0040】

<第3の実施の形態>

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0041】

<半導体装置の構成について>

図4は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。

【0042】

図4に例示されるように、ケースの外枠102に囲まれた内部に、絶縁基板105が配置される。また、絶縁基板105上に、複数の主電極106が配置される。なお、簡単のため、半導体チップ104については、図示が省略される。

【0043】

幅の狭いモジュールでは、主電極106との接合部分のパターン面積効率を高めるため、または、放熱性を高めるために、主電極106の端子と絶縁基板105上の回路パターンとの接合部分は、分散させて配置させるか、または、両側の側方に配置させることが一般的であった。しかしながら、このような配置では、インダクタンスの増加、電極コストの増加、さらには、信号線との相互誘導などを解消するための設計が複雑となるなどの問題があった。

【0044】

ここで、上記の厚銅基板が適用される場合には、回路パターンによる熱拡散を期待することができる。そのため、パターン面積を確保すれば放熱性は確保することができる。

【0045】

また、カードサイズ(たとえば、85.60mm x 53.98mm)の比較的小さい厚銅基板では、製造コストを抑えた基板サイズの選択肢が少なく、上記の一般的な配置方法ではメリットが小さい。そこで、主電極106の端子と回路パターンとの接合をワイヤーボンディングにせずに、たとえば、US接合、はんだ付け、または、ろう付けなどによる接合とすることにより生じるパターン面積と、主電極106の端子と回路パターンとの接合部をケースの長手方向の一辺の近傍に集めることにより生じる無効面積とを、むしろ熱拡散手段と見なすことで、敢えて主電極106の端子と回路パターンの接合部をケースの長手方向の一辺の近傍に集め、磁束発生源である電極を集中させて磁気抵抗を高めることによりインダクタンスを低減させる。また、それとともに、信号線との距離を離して相互誘導を減少させる。ここで、ケースの長手方向の一辺の近傍とは、たとえば、ケースの短手方向の一辺の1/3程度以内に範囲である。

【0046】

主電極106の端子と回路パターンとの接合部が放熱手段として有効に機能するためには、これらの接合部に沿ってできるだけ多くの半導体チップが配置される必要があり、このため、細長いケースであることが望ましい。

【0047】

<第4の実施の形態>

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0048】

<半導体装置の構成について>

10

20

30

40

50



図5は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。

【0049】

図5に例示されるように、ケースの外枠102に囲まれた内部に、絶縁基板105が配置される。また、絶縁基板105上に、複数の主電極106が配置される。

【0050】

また、絶縁基板105上に、複数の半導体チップ104が配置される。さらに、絶縁基板105上に、複数の信号電極107が配置される。各半導体チップ104は、ボンディングワイヤー103によって信号電極107に接合される。また、各信号電極107は、ケースの外枠102の短手方向における辺の近傍にそれぞれ配置され、信号配線108を通じて信号端子101に電氣的に接続される。信号端子101は、ケースの短手方向の一方の外枠102に配置される。ここで、ケースの外枠102の短手方向の辺の近傍とは、たとえば、ケースの長手方向の一边の1/3程度以内に範囲である。

10

【0051】

信号配線108が主回路からの相互誘導を受けると、帰還が掛かるなどの問題を生じる。従来は、これを避けるため、信号端子101にできるだけ近い箇所で信号電極107と回路パターンとを電氣的に接続する構造であった。しかしながら、ケースの外形が平面視において長方形である場合には、一方のIGBT半導体チップが信号端子101から遠く位置することとなるため、信号端子101から遠く位置するIGBT半導体チップと信号端子101との間の信号配線108は、回路構造の密集する領域を通過することとなる。

20

【0052】

他の方法として、信号端子自体を遠ざけて配置する例もあるが、問題を外部配線側に持ち込むばかりで、根本的な解決にならないことが多かった。

【0053】

本実施の形態における構成によれば、主電極106の端子がケースの長辺の一方のみに集中して配置される。そのため、主電極106の端子が配置される辺とは反対側の辺においては、相互誘導を受け難くなる。そこで、信号端子101から遠い位置に配置される信号電極107と信号端子101との間の信号配線108を、主電極106の端子が配置される辺とは反対側の辺の近傍に配置することで、主電極106の端子による相互誘導を受け難くするとともに、回路構造の密集する領域を避ける配線が可能となる。

30

【0054】

なお各接続は、半導体チップ104上に直接形成される場合であっても、回路パターンまたは他の半導体チップ上を経由して形成される場合であってもよい。

【0055】

また、図2または図3に例示される構成と組み合わせる場合には、2つの複合素子の信号電極を対向する短辺に配置することで、複合素子と信号電極とのワイヤーボンディングを含むワイヤーボンディングの直線性を得ることができる。また、ワイヤーボンディング終点をケースの長手方向の中央付近に位置させ、複合素子と信号端子との間の信号配線108への相互誘導を軽減することができる。

40

【0056】

<第5の実施の形態>

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0057】

<半導体装置の構成について>

図6は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。

【0058】

50

図 6 に例示されるように、ケースの外枠 102 に囲まれた内部に、絶縁基板 105 が配置される。また、絶縁基板 105 上に、複数の主電極 106 が配置される。

【0059】

また、絶縁基板 105 上に、複合素子 65 および複合素子 66 が配置される。

【0060】

I G B T モジュールにおける I G B T 半導体チップと逆並列のダイオードチップとは、同時に通電しないが、I G B T 半導体チップをダイオードチップに置き換えてダイオードの 2 並列チップにする場合には、同時に通電する。

【0061】

この場合、片方のワイヤーボンディングが他の半導体チップを経由していると、経路部分には 2 倍の電流が流れるため、ワイヤーボンディング数が多量に必要となり、ダイオードチップのサイズによっては十分な数のボンディングワイヤーが形成できない場合も生じる。しかしながら、各ダイオードチップを独立に回路パターンに接続したのでは、パターン面積を大きく消費し、ケースのサイズまたは製造コストに関して不利である。

【0062】

ここで、上記の厚銅基板が適用される場合には、幅が狭いパターン方向に電流を流すことが制約にならない。そこで、2 つの半導体チップに平面視において挟まれる位置に配置された、幅が狭い経路回路パターン 67 を設け、経路回路パターン 67 を経由して I G B T 半導体チップのエミッタからのボンディングワイヤー 103 と、ダイオードチップのアノードからのボンディングワイヤー 103 とをボンディングポイント 62 において接続することができる。

【0063】

しかしながら、2 つの複合素子が配置される場合、2 つの複合素子を接続するための回路パターンの引き回しに無駄が生じうる。これを解消するため、一方の複合素子 65 では、幅が狭い経路回路パターン 67 を経由して並列ダイオードに接続する。他方の複合素子 66 は、幅が狭い経路回路パターン 67 を経由せずに並列ダイオードに接続する。

【0064】

< 第 6 の実施の形態 >

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0065】

< 半導体装置の構成について >

図 7 は、主電極の曲げ部付近の構造を概略的に例示する断面図である。図 7 において、点線で例示される部分は、主電極が曲げられる前の状態を例示する部分である。

【0066】

図 7 に例示されるように、主電極 106 a の端部は、ケース 73 の上面における凹部 71 から一部が延び出て配置される。また、主電極 106 a の端子は、ケース 73 の上面の凹部 71 において、ケース 73 の外枠から離れる方向、すなわち、ケース 73 の平面視における内側方向に曲げられる。ここで、凹部 71 は、主電極 106 a が曲げられる内側方向が C 面である。また、凹部 71 は、主電極 106 a が曲げられた状態で配置された際に、主電極 106 a が曲げられる内側方向とは反対の外側方向において隙間が形成される。

【0067】

主電極 106 a が回路パターンとの接合後に曲げられる構造において、モジュール内部空間をできるだけ広く確保しようとする場合、主電極 106 a が曲げられる前の主電極 106 a の端子ができるだけ外枠に近い位置で配置されることが望ましい。しかしながら、主電極 106 a の端子が外枠に接近した状態で配置されると、沿面距離が不足する場合がある。

【0068】

そこで、本実施の形態においては、主電極 106 a の端子の曲げ R を比較的大きく設定

10

20

30

40

50

し、かつ、ケースの上面から埋没した位置において主電極 106a の端子が曲げられる。このような構造によれば、主電極 106a が曲げられる前の主電極 106a の端子が外枠 102 に近い位置で配置される場合であっても、主電極 106a が曲げられた後の主電極 106a の端子の外枠 102 からの沿面距離を十分に確保することができる。

【0069】

なお、たとえば、図 6 に例示されるように複数の主電極が形成される場合には、各主電極の曲げ部の隣接するケースの外枠との距離は、加工精度のばらつきを除き概ね等しい。

【0070】

< 第 7 の実施の形態 >

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0071】

< 半導体装置の構成について >

図 8 は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。

【0072】

図 8 に例示されるように、ケースの外枠 102 に囲まれた内部に、半導体チップ 81 および半導体チップ 82 が配置される。

【0073】

工程のタクトタイムに占めるワイヤーボンディング時間は、ワイヤーボンディング装置の減価償却費に対して無視できないコストとなる。

【0074】

また、多様なワイヤーボンディング構成の製品を複数の工場での平行生産する場合、複雑なボンディングワイヤー配線がワイヤーボンディングプログラムにおける装置停止時間を長期化させ、初期コストに影響を与える。また、複雑なワイヤーボンディングは初期検証も複雑化させ、見落とし設計戻りによる余計なコストが発生し易い。

【0075】

本実施の形態によれば、同種の半導体チップ 81 が並ぶ方向と、半導体チップ 81 におけるボンディングワイヤー 103 の張られる方向との間の角度が 20 度以内である。また、同種の半導体チップ 82 が並ぶ方向と、半導体チップ 82 におけるボンディングワイヤー 103 の張られる方向との間の角度が 20 度以内である。したがって、対称性、連続性および周期性の高いワイヤーボンディングを形成することができるため、上記の課題を解消することができる。

【0076】

< 第 8 の実施の形態 >

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0077】

< 半導体装置の構成について >

図 9 は、本実施の形態に関する半導体装置を実現するための構成のうち、ケース内の半導体チップおよびその周辺の構成を概略的に例示する平面図である。図 9 においては、信号配線 108 は複合素子 94 に対応するもののみが図示されており、複合素子 93 に対応するものは、図示が省略される。

【0078】

IGBT 半導体チップのエミッタからのボンディングワイヤー 103 を、ダイオードチップ経由で回路パターンに接続したのでは、IGBT 半導体チップのエミッタからのボンディングワイヤー 103 が長くなってしまふ。そうすると、発熱に対応するためボンディングワイヤーの本数を増やす必要が生じる。これでは、加工時間または製造コストの観点

10

20

30

40

50

で不利である。しかしながら、ダイオードチップを經由せずに、IGBT半導体チップのエミッタからのボンディングワイヤー103を回路パターンに接続すると、駆動エミッタのワイヤーの接続が窮屈になってしまう。

【0079】

そこで、本実施の形態では、それぞれがIGBT半導体チップとダイオードチップとから構成される複合素子93および複合素子94のうち、經由回路パターン95を經由しない複合素子94において、IGBT半導体チップの駆動電位基準91であるエミッタ駆動線を、ダイオードチップを經由して回路パターンまたは信号電極に接続する。

【0080】

<第9の実施の形態>

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。

【0081】

通常、ケースまたは電極などの物理的な障害がないうちにできる限りワイヤーボンディングを形成する。その後、主電極をUS接合などし、さらにその後、ケースの信号電極と絶縁基板上の回路パターンとをボンディングワイヤーで電氣的に接続する。

【0082】

この方法では、US接合の前後にワイヤーボンディングが必要となり、ワイヤーボンディング工程が2回となる。しかしながら、US接合のために用いられるツールは大きく、内部空間の狭いモジュールに対して信号電極を回路パターンにUS接合することは困難である。したがって、信号電極をUS接合工程で接続することにより、2回目のワイヤーボンディング工程を削減することは大きな設計障害となる。

【0083】

そこで、半導体チップと回路パターンとを接続するいかなるワイヤーボンディングも接続しない状態で、電極のすべてのUS接合を行い、その後、半導体チップと回路パターンとを接続するワイヤーボンディングを形成する。

【0084】

<第10の実施の形態>

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。

【0085】

厚銅基板を適用すると、電流の通電尤度が過度に高くなり、一般的なSi半導体チップデバイスでは、熱損失放熱による制限下では、そのメリットを十分に活かすことができない。そこで、ワイドバンドギャップ半導体を用いた半導体チップを採用する。

【0086】

ワイドバンドギャップ半導体としては、たとえば、炭化珪素(SiC)、窒化ガリウム(GaN)、C(ダイヤモンド)、Ga<sub>2</sub>O<sub>3</sub>、AlN、C<sub>3</sub>N<sub>4</sub>、Si<sub>3</sub>N<sub>4</sub>、Ge<sub>3</sub>N<sub>4</sub>、Sn<sub>3</sub>N<sub>4</sub>、Al<sub>4</sub>C<sub>3</sub>、Ga<sub>4</sub>C<sub>3</sub>、または、GeCなどがある。ここで、ワイドバンドギャップ半導体とは、一般に、およそ2eV以上の禁制帯幅をもつ半導体を指し、窒化ガリウム(GaN)などの3族窒化物、酸化亜鉛(ZnO)などの2族酸化物、セレン化亜鉛(ZnSe)などの2族カルコゲナイド、ダイヤモンドおよび炭化珪素などが知られる。

【0087】

上記のようなワイドバンドギャップの大きな半導体を用いたスイッチングデバイスは、Si半導体を用いたデバイスよりも、一般に単位面積当たりの熱損失量が低い。したがって、厚銅基板を用いた場合であっても、熱損失放熱による制限が緩和される。

【0088】

<第11の実施の形態>

本実施の形態に関する半導体装置および半導体装置の製造方法について説明する。以下では、上記の実施の形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0089】

10

20

30

40

50

<半導体装置の構成について>

図1は、本実施の形態に関する半導体装置を実現するための構成を概略的に例示する平面図である。図1においては、上記の各実施の形態において説明された構成が組み合わされて例示される。

【0090】

図1に例示されるように、ケースの外枠102に囲まれた内部に、絶縁基板105が配置される。そして、絶縁基板105上に、複合素子113および複合素子114が配置される。そして、各複合素子を回路パターンに接続するボンディングワイヤー103が、ケースの外枠102の長手方向に沿って張られる。

【0091】

また、ケースの外枠102には、電極100と、信号端子101とが設けられる。

【0092】

また、回路パターンに厚銅基板が適用される場合には、幅が狭いパターン方向に電流を流すことが制約にならない。そこで、複合素子113の各半導体チップ間に幅が狭い経由回路パターン115を設け、経由回路パターン115を経由してIGBT半導体チップのエミッタからのボンディングワイヤー103と、ダイオードチップのアノードからのボンディングワイヤー103とを接続することができる。

【0093】

また、絶縁基板105上に、複数の主電極106が配置される。主電極106は、ケースの外枠102の長手方向における一辺の近傍に集まって配置される。

【0094】

また、絶縁基板105上に、複数の信号電極107が配置される。各信号電極107は、ケースの外枠102の短手方向における辺の近傍にそれぞれ配置され、信号配線108を通じて信号端子101に接続される。ここで、信号端子101から遠い位置に配置される信号電極107と信号端子101との間の信号配線108は、主電極106の端子が配置される辺とは反対側の辺の近傍に配置される。

【0095】

<上記の実施の形態による効果について>

以下に、上記の実施の形態による効果を例示する。なお、以下では、上記の実施の形態に例示された具体的な構成に基づく効果が記載されるが、同様の効果が生じる範囲で、本明細書に例示される他の具体的な構成と置き換えられてもよい。また、当該置き換えは、複数の実施の形態に跨ってなされてもよい。すなわち、異なる実施の形態において例示された各構成が組み合わされて、同様の効果が生じる場合であってもよい。

【0096】

上記の実施の形態によれば、半導体装置が、複数の半導体チップ104と、ボンディングワイヤー103とを備える。そして、複数の半導体チップ104は、平面視において外枠102に囲まれたケース内において回路パターン上に配置される。また、ボンディングワイヤー103は、複数の半導体チップ104と回路パターンとの間を電氣的に接続する。また、複数の半導体チップ104は、ケースの長手方向に沿って並ぶ。また、ボンディングワイヤー103は、ケースの長手方向に沿って張られる。

【0097】

このような構成によれば、幅が狭く、かつ、深さが深いケース内において、ワイヤーボンディング作業の制約を抑制することができる。

【0098】

なお、これらの構成以外の本明細書に例示される他の構成については適宜省略することができる。すなわち、これらの構成のみで、上記の効果を生じさせることができる。しかしながら、本明細書に例示される他の構成のうち少なくとも1つを上記の構成に適宜追加した場合、すなわち、上記の構成としては記載されなかった本明細書に例示される他の構成を上記の構成に追加した場合でも、同様に上記の効果を生じさせることができる。

【0099】

10

20

30

40

50

また、上記の実施の形態によれば、回路パターンが、厚さが0.4mm以上である銅箔からなる。このような構成によれば、パターン幅あたりのパターン断面積が大きくなる。したがって、狭いパターン幅でも大きな電流を流すことができ、幅が狭いパターン方向にも電流を流すことが制限されない。

#### 【0100】

また、上記の実施の形態によれば、半導体装置が、2つの半導体チップが逆並列接続される第1の複合素子を2つ備える。ここで、複合素子33および複合素子34は、第1の複合素子に対応する。そして、一方の複合素子33においては、2つの半導体チップに平面視において挟まれる位置に配置される第1の経由回路パターンを経由して、2つの半導体チップが逆並列接続される。ここで、経由回路パターン35は、第1の経由回路パターンに対応する。他方の複合素子34においては、経由回路パターン35を経由せずに、直接2つの半導体チップが逆並列接続される。このような構成によれば、2つの複合素子を接続するための回路パターンの引き回しの無駄を減らし、ケースのサイズまたは製造コストを抑制することができる。

10

#### 【0101】

また、上記の実施の形態によれば、半導体装置が、ケース内に配置され、かつ、各半導体チップ104と電氣的に接続される信号電極を備える。そして、2つの第1の複合素子のうちの他方の第1の複合素子が、IGBT半導体チップとダイオードチップとから構成される。ここで、複合素子93および複合素子94は、第1の複合素子に対応する。また、複合素子94は、他方の第1の複合素子に対応する。また、IGBT半導体チップの駆動電位基準91が、ダイオードチップを経由して回路パターンまたは信号電極に接続される。このような構成によれば、IGBT半導体チップのエミッタからのボンディングワイヤー103が長くなることがないため、発熱に対応するためボンディングワイヤーの本数を増やす必要がない。したがって、加工時間または製造コストを低減することができる。

20

#### 【0102】

また、上記の実施の形態によれば、半導体装置が、2つのダイオードチップである半導体チップが並列接続される第2の複合素子を2つ備える。ここで、複合素子65および複合素子66は、第2の複合素子に対応する。そして、一方の複合素子65においては、2つの半導体チップに平面視において挟まれる位置に配置される第2の経由回路パターンを経由して、2つの半導体チップが並列接続される。ここで、経由回路パターン67は、第2の経由回路パターンに対応する。また、他方の複合素子66においては、経由回路パターン67を経由せずに、直接2つの半導体チップが並列接続される。このような構成によれば、2つの複合素子を接続するための回路パターンの引き回しの無駄を減らし、ケースのサイズまたは製造コストを抑制することができる。

30

#### 【0103】

また、上記の実施の形態によれば、複数の半導体チップ104が、ワイドバンドギャップ半導体を用いた半導体チップである。ワイドバンドギャップの大きな半導体を用いたスイッチングデバイスは、Si半導体を用いたデバイスよりも、一般に単位面積当たりの熱損失量が低い。したがって、厚銅基板を用いた場合であっても、熱損失放熱による制限が緩和される。

40

#### 【0104】

また、上記の実施の形態によれば、半導体装置が、ケース内に配置される主電極106を備える。そして、主電極106は、ケースの長手方向の一方の辺の近傍に配置される。また、主電極106と回路パターンとの間の接続は、超音波接合、はんだ付け、または、ろう付けである。このような構成によれば、磁束発生源である電極を一方の辺の近傍に集中させて磁気抵抗を高めることにより、インダクタンスを低減させることができる。また、電極の製造コストを低減させることができる。また、信号配線108との間の相互誘導などを解消するための設計が容易になる。

#### 【0105】

また、上記の実施の形態によれば、半導体装置が、複数の信号電極107と、信号電極

50

107と電氣的に接続される信号端子101とを備える。そして、複数の信号電極107は、ケース内に配置され、かつ、各半導体チップ104と電氣的に接続される。また、信号電極107は、ケースの短手方向の辺の近傍にそれぞれ配置される。また、信号端子101は、ケースの短手方向の一方の外枠102に配置される。また、信号端子101が配置される外枠102とは反対側のケースの短手方向の辺の近傍に配置される信号電極107と信号端子101との間を接続する信号配線108が、主電極106が配置されるケースの長手方向の一方の辺とは反対側のケースの長手方向の他方の辺の近傍を通過して配線される。このような構成によれば、信号配線108が主電極106による相互誘導の影響を受けにくくなる。また、回路パターン上の他の回路から離れた位置に信号配線を配置することができる。

10

#### 【0106】

また、上記の実施の形態によれば、ケースは、上面に凹部71を有する。また、主電極106aの端部が凹部71から突き出し、かつ、凹部71においてケースの平面視における内側方向に曲げられて形成される。このような構成によれば、主電極106aが曲げられる前の主電極106aの端子が外枠102に近い位置で配置される場合であっても、主電極106aが曲げられた後の主電極106aの端子の外枠102からの沿面距離を十分に確保することができる。

#### 【0107】

また、上記の実施の形態によれば、それぞれが同種の半導体チップである複数の半導体チップが、ケースの長手方向に沿って並ぶ。また、複数の半導体チップが並ぶ方向と、当該半導体チップにおけるボンディングワイヤー103が張られる方向との間の角度が20度以内である。このような構成によれば、対称性、連続性および周期性の高いワイヤーボンディングを形成することができるため、製造コストを削減することができる。

20

#### 【0108】

また、上記の実施の形態によれば、半導体装置の製造方法において、平面視において外枠102に囲まれたケース内の、ケースの長手方向の一方の辺の近傍において、主電極106を回路パターン上に超音波接合し、主電極106を接合した後に、ケース内の回路パターン上においてケースの長手方向に沿って並んで配置された複数の半導体チップ104を、ケースの長手方向に沿って張られるボンディングワイヤー103によって回路パターンと電氣的に接続する。

30

#### 【0109】

このような構成によれば、幅が狭く、かつ、深さが深いケース内において、ワイヤーボンディング作業の制約を抑制することができる。また、ワイヤーボンディング工程を1回で済ませることができるため、製造コストの削減またはタクトタイムを短縮を実現することができる。

#### 【0110】

なお、これらの構成以外の本明細書に例示される他の構成については適宜省略することができる。すなわち、これらの構成のみで、上記の効果を生じさせることができる。しかしながら、本明細書に例示される他の構成のうち少なくとも1つを上記の構成に適宜追加した場合、すなわち、上記の構成としては記載されなかった本明細書に例示される他の構成を上記の構成に追加した場合でも、同様に上記の効果を生じさせることができる。

40

#### 【0111】

<上記の実施の形態の変形例について>

上記の実施の形態では、各構成要素の材質、材料、寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面において例示であって、本明細書に記載されたものに限られることはない。したがって、例示されていない無数の変形例が、本明細書に開示される技術の範囲内において想定される。たとえば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの実施の形態における少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれる。

50

【 0 1 1 2 】

また、矛盾が生じない限り、上記の実施の形態において「1つ」備えられるものとして記載された構成要素は、「1つ以上」備えられていてもよい。さらに、各構成要素は概念的な単位であって、1つの構成要素が複数の構造物から成る場合と、1つの構成要素がある構造物の一部に対応する場合と、さらには、複数の構成要素が1つの構造物に備えられる場合とを含む。また、各構成要素には、同一の機能を発揮する限り、他の構造または形状を有する構造物が含まれる。

【 0 1 1 3 】

また、本明細書における説明は、本技術に関するすべての目的のために参照され、いずれも、従来技術であると認めるものではない。

10

【 0 1 1 4 】

また、上記の実施の形態において、特に指定されずに材料名などが記載された場合は、矛盾が生じない限り、当該材料に他の添加物が含まれた、たとえば、合金などが含まれるものとする。

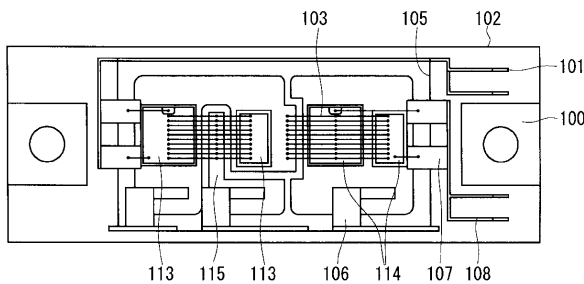
【 符号の説明 】

【 0 1 1 5 】

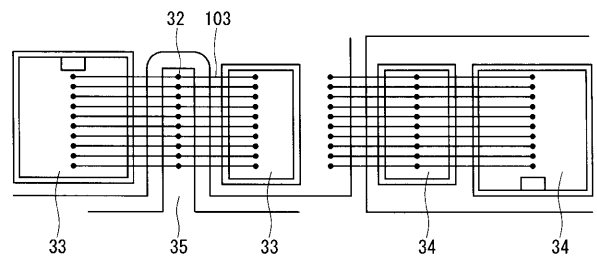
32, 62 ボンディングポイント、33, 34, 65, 66, 93, 94, 113, 114 複合素子、35, 67, 95, 115 経路回路パターン、71 凹部、73 ケース、81, 82, 104, 200, 201, 202, 203 半導体チップ、91 駆動電位基準、100 電極、101 信号端子、102 外枠、103 ボンディングワイヤー、105 絶縁基板、106, 106a, 204, 205, 206 主電極、107 信号電極、108 信号配線。

20

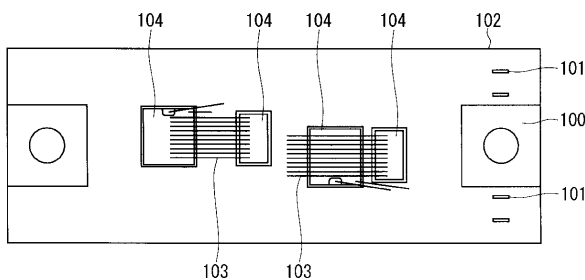
【 図 1 】



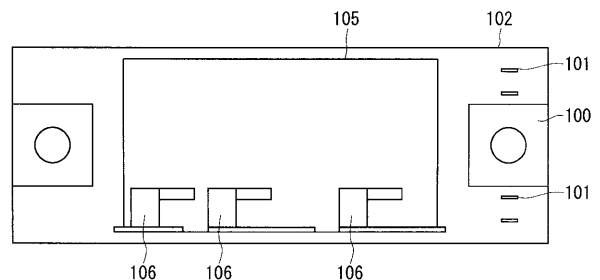
【 図 3 】



【 図 2 】

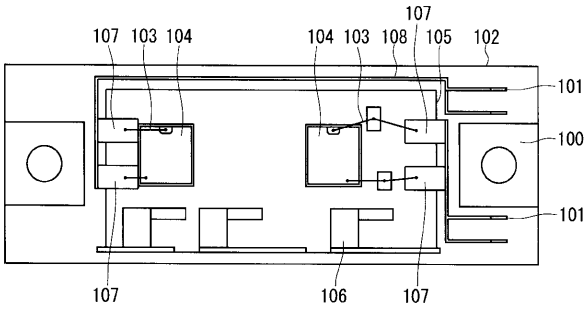


【 図 4 】

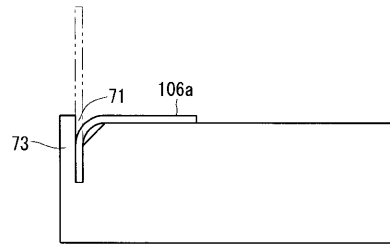




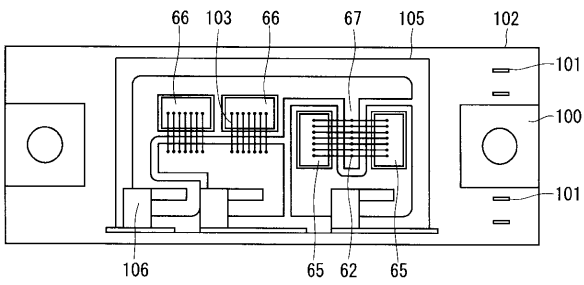
【 図 5 】



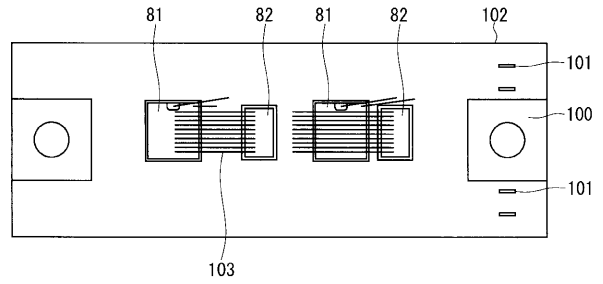
【 図 7 】



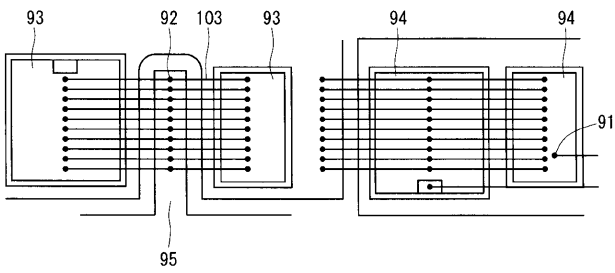
【 図 6 】



【 図 8 】



【 図 9 】



【 図 10 】

