

1. 一种解除多处理器系统的阻断的方法，这种系统包括至少一个处理模块，每个模块由与一个单一主总线相连的若干处理器组成，每个所说的处理器包括利用两个节拍的一个总线访问管理单元，该单元包括：(a) 一个总线分配系统，它在第一节拍给处理器施加一个用于对模块的处理器于同一周期内表达的访问请求进行判断的(正的或负的)结果信号；(b) 一个总线捕获电路，在第一节拍中的分配系统的结果是正的，它在第二节拍送出一个总线占有信号，从而提供对处理器总线的访问，

其特征在于，该方法包括给一个特定的解除阻断板(20，88)分配一个模块阻断检测功能和一个所述模块(84，90，91)的总线(82)释放功能，

以及，所述总线释放功能在于发送一个单个缓解信号(45，55，75)，该信号对模块的所有处理器(90，86_{2,3}，86_{2,1})产生影响，首先强迫分配(33)结果无效，然后使上述总线占有信号(37，38)处于取消状态。

2. 如权利要求1的方法，其中模块判断逻辑(35)提供一个判断结果信号(33)从分配模块(31)发出，所说判断逻辑(35)的输入端接收的来自在一个给定周期内发出总线(12)访问请求的每个处理器的信号(47)，用以指示参与分配。

3. 如权利要求1或2所述的方法，在一个包括至少两个处理模块的多总线系统中，每个处理模块通过一对对称主总线耦合模块(21，22，23)与至少另一个模块通讯，每个总线耦合模块都

参与分配，和在目的总线上的总线捕获机构，

其特征在于，所述的单一缓解信号（45，55，75）被送到分配模块和每个与总线相连的上述耦合模块（21，22，23）的总线捕获电路。

4. 如权利要求3所述的方法，其中由主总线耦合模块（21，22，23）互连的几个级联总线（81，82，83）发生阻断，

其特征在于，所述的解除阻断板以交互的方式对每个总线（82，83）进行缓解，首先从最近的总线（83）开始，交替进行以下访问，向总线发送缓解信号（45，55，75），以便释放该总线，然后向所述的释放了的总线（83）的总线耦合模块（86—3—2）送一条指令，以便将缓解信号送到下一总线（82），同时/或者送一条禁止所述耦合模块的分配模块的指令，从而使所述下一总线出现故障时使它隔离。

5. 如权利要求3或4的方法，其中总线耦合模块具有在给定周期内对两条相邻总线互相访问请求提供冲突管理的装置，

其特征在于所述的总线缓解信号和冲突解决信号由一个单一信号组成。

6. 如权利要求1或5的方法，其特征在于所述的缓解板识别故障板和/或产生阻断局面的故障板模块使所述板中立，和/或隔离所述模块。

7. 如权利要求1的方法，其特征在于所述缓解板复位多处理器系统和/或监控多处理器系统的一个处理模块。

使多总线多处理器系统解除阻断的方法

本发明涉及一类包含至少一个处理模块的多处理器系统。该处理模块由连接到一个主总线的若干处理器构成。更一般地说，本发明涉及一种多总线系统，其中几个处理模块通过总线耦合模块相互进行通讯。

这种类型的结构明显地出现在本申请人以“Alcatel 8300”的名称在市场上出售的开关系列中的一种数据开关系统中。

在这种多处理器系统中，每个处理器都包括利用两节拍来管理访问自己所属的模块的主总线的装置。在第一节拍中，例如相应于一个时钟周期，来自模块中所有处理器的整组总线访问请求由一个优先判断逻辑处理，从而在赋值过程中识别出一个获胜者。然后该“获胜者”成为总线的下个占有者或“主人”。在第二节拍中，也就是说当模块总线变为可用时，与获胜者处理器相联的总线捕获电路通过送出一个总线占有信号来保证处理器对总线的单独访问。

在多总线系统的情况下，总线耦合模块负责提供多种总线上的各种处理模块之间的通信。这些总线以对偶方式从一个总线到另一个总线相互合作，以便采用在相应的目标总线上的惯用访问请求来建立双向链路。

可以看到，从一个模块到另一个模块的数据传输可以导致穿过几个连续的总线，以便到达目标处理器。

在已知的方式中，不管是由于与总线相连的板上的发送或接收电路的错误，还是由于底板短路的结果，或是其它原因，总线上传输的信号中的干扰可能导致分配模块的阻断或总线上的板中的总线捕获逻辑和总线管理逻辑的阻断。当这种阻断恰好发生在某总线耦合模块与另远端的模块进行通讯的过程之中时，阻断局面将传播其它总线。在最坏的情况下，可发生整个结构的彻底阻断。

现在已经有一些多总线多处理器系统的解除阻断方法。

在这些方法中，有一种是使系统板送出一个总线复位信号的熟知方法。该复位信号的目的是在每个模块的处理器连接的寄存器上和总线耦合模块连接的寄存器上产生作用，从而在没有禁止每个板从总线上接收信号的能力的情况下，不允许在总线上送出信号。

但是，传送一个复位信号的方法很不适用于有环路存在的多总线结构。事实上在至少三条总线两两链接的情况下，在闭合时序或闭环电路中，没有办法便送出的复盖整个环路系统的复位信号停止。此时的复位信号由于特殊的中立机制而处于自我维持状态，这便意味着需要执行逐条总线的再起始化（复位），而不是进行总的复位。

另一方面，在某些情况下，系统板可能会在实验上难于控制总线，这或是因为与总线耦合模块板有冲突，或是由于丢失了对总线的访问优先权。

本发明旨在应用一个总线解除阻断系统来克服这些缺点。该系统通过一个完善地掌握的方法可以对一个处于一般全部阻断状态的多总线系统进行连续的和交互的解除阻断处理。本发明的方法的优点是可把故障模块从系统中的其它模块隔离开来，而不干扰系统软件的结构。

也不干扰当前运行的可能总线周期。

另外，本发明的方法对于现存的用于管理两条总线间互相和同时的访问请求冲突的系统有良好的兼容性。

最后，本发明的方法可允许在不释放总线的情况下在几个连续的周期发送信号。

这些目的和一些后面将叙述的目的是利用一种多处理器系统的解除阻断方法达到的。这种系统至少包括一个处理模块，每个模块由与一个单一主总线相连的若干处理器组成，每个所述的处理器包括使用两节拍的一个主总线访问管理单元，它包括：（1）一个总线分配系统，在第一节拍给处理器施加一个（正或负的）。用于对模块的处理器在同一周期内表到的访问请求进行判断的结果信号；（2）一个总线捕获电路，在第一节拍中的分配系统的结果是正的情况下，在第二节拍，送出一个总线占有信号，从而提供对处理器总线的访问。所述方法的特征在于，给一个特定的解除阻断板分配一个模块阻断检测功能和一个模块的总线释放功能；特征还在于所述总线释放功能包括送出一个信号缓解信号，该信号的效果是在模块的所有处理器上，首先强迫使分配结果无效，然后强迫使总线占有信号处于取消状态。

本发明的方法的优点是它可以应用于多处理器系统。在这样的系统中，由模块的判断逻辑从分配模块提供所述的判断结果信号，所述判断逻辑的输入端接收一个用以指示参予分配的信号，而该信号是来自在一个给定周期内发出总线访问请求的每个处理器的。

此时，根据本发明，所述的信号缓解信号禁止模块中的每个处理器参予分配。

根据本发明实际应用中的一个优选方式，使用一组至少两个处理

块。每个处理模块通过一对对称主总线耦合模块与至少另一个模块通讯。每个总线模块都参予分配和在目的总线上有总线捕获机构。解除阻断方法的新的特征在于所述信号缓解信号被送到分配模块和每个与需要被解除阻断总线相连的耦合模块的总线捕获电路。

当由耦合模块联接的几个串联的总线产生级联阻断时，根据本发明的优点，解除阻断的板以交互方式对每个总线进行缓解。首先从最近的总线开始。交替作法是从解除阻断板向总线上送一个缓解信号，以便将其释放。然后向释放了的总线的总线耦合模块送一条指令，以便将缓解信号送到下一总线；同时/或者还可以送一条禁止耦合模块的分配模块的指令，以便使下一总线出现故障时隔离它。

根据本发明的一个最可取的特征，如果总线耦合模块具有在给定周期内对两条相邻总线互相访问请求进行冲突管理的装置，则所说的总线缓解信号和冲突解决信号是由一个单一信号组成。

另外，如果总线耦合模块送出一个冲突信号，可以做到在向相应的阻断模块的总线送出所述缓解信号之前有选择地送出一个复位号。

所述的缓解板包括这样的装置，它首先识别故障板和/或产生阻断局面的故障板的模块，然后中立该板，和/或隔离该模块。

根据本发明，所说的缓解板是有助于多处理器系统的系统复位板和/或所说的多处理器系统的处理模块之一的监控板。

本发明的其它优点和特征会更清楚地从下面的本发明最佳实施例的描述及附图之中得出。这个例子是用来说明本发明的，连附图在内不应视为对本发明有所限制。

图 1 说明用于进行数据交换的多总线多处理器系统的一般结构。
本发明的方法可以应用于该系统中；

图 2 示意地表示在图 1 的系统中，通过一对总线耦合模块来连接两个相邻总线的原理；

图 3 示意地表示访问请求逻辑和总线分配及捕获逻辑，它们与图 1 具有分布总线赋值的系统的一个处理器相连接，并与本发明的方法兼容；

图 4 表示应用本发明在一个阻断了的多总线系统中进行级联解除阻断过程；

图 5 表示根据本发明的多总线多处理器系统板产生一个缓解信号的功能模块；

图 6 说明本发明与一个总线耦合模块组合的方法；

图 7 示意地表示功能模块，根据本发明，在一个具有能解决两条相邻总线间相互和同时的访问请求冲突的防冲突逻辑的总线耦合模块中处理缓解信号。

图 1 中所示的多处理器和多总线系统示意地表示一种以数据开关形式出现的应用。

数据开关的作用是接收传输线 10 输入的数字数据，将这些数据分类并重新编组输入多处理器的处理装置中，以便将它们通过适当的输出线 10 重新传输。

在一个简化的多处理器的多总线开关中，管理总线 11，处理总线 12 和开关总线 13 可以分开，总线 11，12 和 13 各对应一个处理模块，每个模块都包括几个处理器 14，每个处理器可有选择地

通过本地总线 1 6 与一个本地存贮器 1 5 相连。开关总线 1 3 还包括一与模块 1 7 耦合的终端总线。模块 1 7 与处理器 1 8 相连。它管理终端传输路 1 9 与发/收线 1 0 相连。

管理总线 1 1 还包括系统板 2 0，其作用是监控整个多总线多处理器系统。

总线 1 1，1 2 和 1 3 是例如 (Alcatel CIT 公司制造的) XBUS 型总线。这些总线原则上能传输 5 种信号：

- 地址信号；
- 两路数据信号；
- 数据交换用的控制信号；
- 总线分配用的控制信号；
- 系统管理用的控制信号；

每一总线最多接收，例如，16 个处理器（主板），其它存贮单元能对应于从板（例如存贮器板）的物理地址。

各个多处理器系统模块的总线 1 1，1 2 和 1 3 通过成对方式连接的总线耦合模块 2 1 相互通信。

图 2 示出提供总线 2 4，2 5 间通信的一对总线耦合模块 2 2，2 3。

可以设想几种总线耦合模块，例如，我们这里提到的耦合模块，其工作形式是“邮箱”形式的。

这里所讨论的例子相应于利用“地址过滤”的操作。它模拟发送总线的延长。每一耦合模块 2 2，2 3 首先包括接收分别来自总线 2 4，2 5 的数据的接收模块 2 6，2 6，其次包括一通过总线

2 4, 2 5 输送分别来自远程耦合模块 2 3, 2 2 的数据的模块 2 7, , 2 7, 。结果, 出现两个耦合模块 2 2, 2 3 首先在接收模块 2 6, 和发送模块 2 7, 间连接(数据从总线 2 4 传输到总线 2 5), 而后, 在接收模块 2 6, 和发送模块 2 7, 间连接(数据从总线 2 5 传送到总线 2 4)。

每个发送模块 2 6, , 2 6, 分别和存储器 2 8, 和 2 8, 合作, 2 8, 和 2 8, 带有远程主线的特定地址表。各耦合模块 2 2, 2 3 根据这些地址表的内容作传输决定。

此外, 每个发送模块 2 7, 和 2 7, 分别与装置 2 9, 和 2 9, 协作以管理对总线 2 4, 2 5 的访问。

在 1982 年 12 月 21 日的法国专利文件 8221401 号中有这种总线耦合模块的详细例子。

图 3 示出用于单总线处理模块 1 1, 1 2, 1 3 的各所有权处理器的总线访问请求逻辑。访问请求逻辑首先包括一个访问分配系统 3 1, 它是同步和分布式系统, 利用对处理器表达的访问请求 3 0 进行判断处理, 还包括一总线捕获逻辑 3 2, 它由一主线获取启动或禁止信号与分配系统 3 1 连接, 作为分布式分配操作结果的功能。

分配系统 3 1 首先包括一总线请求逻辑 3 4, 它由具有分配模块时钟信号的同步触发器构成, 还包括一实际分配电路 3 5, 它接收来自逻辑 3 4 的访问请求 4 7 并负责判断访问请求并将判断结果 3 3 送给相连的处理器, 判断是利用固定优先或轮流优先进行的。

与总线 1 2 连接的 16 个物理主板地址被分为两组, 每组 8 个, 其中一组有优先(信号 GP/) 各组中, 优先是通过优先信号 PRI

到 P R 7 给予的。信号 G P.1, P R 1 和 P R 7 作为总线 1 2 上的集电极开路的信号的输入/输出。

对固定优先来说, 优先从 0 - 7 顺序增加, 并各自指定给与总线上一物理地址相连的一个处理器。总线 1 2 的下一个占有者或“主人”的定义由在分配周期的末尾信号 P R: 上改写“1 s”的逻辑来完成, 判定的获胜者是属于主动组中的, 并且其 P R 线是有效的。

对轮流优先, 优先的位置 (P R 0 - P R 7) 通过将最低优选重新指定给最近捕获总线的各板而改变。

分配电路 3 5 还包括与总线 1 2 通信的其它线, 主要是为总线的现在主人识别线的物理位置的地址的线 (用于轮流优先时), 与分配模块 3 5 同步的一时钟信号线以及一“总线繁忙”线。

当在分配操作之后指定一参与的处理器时, 它利用分配结果信号 3 3 将此信息传给总线捕获逻辑 3 2。逻辑 3 2 监控总线 1 2。并在目前周期的末尾, 占据总线并作一信号 3 6 给分配模块 3 5, 对为总线的下一主人授权作重新分配。

另一方面, 总线获取电路 3 2 通过总线 1 2 送一地址选通信号表示此地址目前在周期中, 送一数据选通信号表示该数据目前在周期中, 并接收数据已收到信号。最后, 电路 3 2 还发送信号 3 7, 3 8, 表示地址主线和数据总线的占有者。

板还包括根据发出一复位指令 4 0 或根据一外禁止指令 4 1 (例如系统板 2 0 传出的断开指令) 时使分配模块 3 5 退出工作状态的线 3 9。总线请求逻辑 3 4 和总线获取逻辑 3 2 还包括各自的复位线 4 2 和 4 3。

图 1 系统中的数据传输操作如下：

传输周期是非同步的。因而，总线在请求时被控制它的板阻断，直到板发生地址回答为止。如果指定的板没有回答，则在请求板上的“监督计时器”被起动，引起释放总线并转入误差处理。

总线耦合模块 2 1 分析通过它们总线的地址，并在地址过滤之后，如果需要就开启一条通向远程总线的通路。这样，与总线 1 1 连接的处理器 1 4 可以向处理器 1 4 或与总线 1 2 连接的存储器 1 5 址。在这种情况下，操作首先阻断总线 1 1。总线 1 1 的耦合模块 2 1 识别所请求的地址，并当主线 1 2 不忙时开启通向它所获取或阻断的总线 1 2 的通路，而后从指定端有一回答，发送处理器在接到来自指定端的回答时就释放两总线 1 1 和 1 2。

当直接耦合总线 1 1 和 1 3 的特定耦合模块不在时，从总线 1 1 到 1 3 的传输要求使用中间总线 1 2。给定各处理器的监督定时器数值，使允许送到包括最远端位置的最大级连数量的有关总线的传输能够执行。

如前述部分已说过的那样，由于一块板上发送或接收电路引起的错误，或由于后短路引起总线上信号中的干扰或扰动导致分配模块 3 5 变为阻断或与该总线相连的板的总线捕获逻辑 3 2 的阻断，当地址总线上的码相应于在另一总线上的板的地址时出现阻断时，则阻断可通过总线耦合模块板 2 1 传播到其它总线。在最坏情况下，可以出现整个多总线系统的完全阻断。如果在总线 1 1 和 1 3 之间正在传输数据的精确时间内发生干扰或扰动，图 1 所示的开关系统的例子就会出现这种情况。

举例来说，对下列信号永久置零会导致扰动传到邻近几条总线。
在导致分配模块 3·5 阻断的扰动信号类别中，下列信号值得注意：
表示阻断模式传输信号（总线获取几个周期）；

优先组信号 G P 1；

总线获取信号 B B S Y G /。

导致总线获取逻辑 3 2 阻断的信号干扰或扰动中，下列信号值得注意：

表明总线上在周期中有地址或数据存在的选通信号； A S G / 和
U D S G /；

数据确认信号 D T A C K G /；

等等；

列出的信号只是为了说明，并不包括所有信号。应当注意，所提到的这些信号在永久置零时会导致干扰。相应于其空闲或非主动状态将信号永久置 1 通常不会将扰动传送给其它总线。

系统的解除阻断包括实施下列功能：

阻断检测功能；

对各总线一个接一个的缓解功能；

故障总线或处理器的隔离功能，带有可能修复失灵的单元的特定处理；

本发明构成要素之一的总线缓解功能，包括发送特定的和单一缓解信号 4 5，如图 3 中粗线所示。

此单一信号 4 5 包括两个功能：

释放总线 1 2；

防止与总线 1 2 连接的其它主板干扰总线。

这两个功能首先由总线请求逻辑 3 4 上的动作，其次，通过禁止模块 4 4，而后通过在分配逻辑 3 5 和总线捕获逻辑 3 2 上的动作来完成。

从禁止模块 4 4 产生的信号 F I N H A L 4 6 与时钟信号同步产生，并在单一解除阻断信号 4 5 整个期间内保持。根据外部指令 4 0，4 1，它作为分配模块 3 5 的禁止信号 3 9，由相同的线传送。

解除阻断信号在分配模块上进行如下动作：

禁止由请求逻辑 3 4 提供到分配模块 3 5 的请求。

将在允许参加分配的分配模块 3 5 中的内部双稳态复位并将优先级信号 G P / 和 P A 1 到 P A 7 传输到总线 1 2；

将触发器复位产生信号 B B S Y G /，对所在的处理器提供访问请求之间的判断结果。

第二，解除阻断信号总线捕获逻辑 3 2 的外部触发器复位，产生获得地址和数据总线控制的信号 3 8。

换句话说，作为在总线上的每一处理器的访问管理装置上的这种系统的作用的结果，由总线的当前占有者对总线的解脱是由同时确认与总线未来的占有者取消其判断“获胜者”结果信号来保证，最后保证在访问请求判断操作中不再有分配模块参加。

采用的过程能够使作用在总线访问逻辑 3 4 上取消的请求重新启动。

这样，缓解信号 4 5，4 6 能被视为用于判断模块 3 5 的“超优先”。因此，缓解过程，对软件结构或当前运转的可能的总线循环都

无干扰。

图 4 示出在包括几个总线的阻断情况下实行的解除阻断过程。

连接到总线 8 1 的主板 8 4 是在连接到总线 8 3 的辅助模板 8 5 所指定的周期中阻断条件的起始点。三条总线 8 1, 8 2, 和 8 3, 因此发现自身处于阻断的状况下。例如, 阻断是由这样的情况造成的, 即信号指示出在周期 A S G / 中地址的存在迫使总线 8 1 为零; 它在总线 8 2 和总线 8 3 上以 8 7 的传播方向传输, 事情结果是总线耦合模块 8 6_{1, 2} 和 8 6_{2, 3}, 卷入到通讯中, 这是由于通过的地址被滤波的情况所引起。

主板 8 8, 或系统模板 (未示出) 检测到这个阻断结构的, 并立即采取措施隔离开故障总线, 这是由对总线耦合模块板 8 6_{2, 3}, 8 6_{2, 1}, 8 6_{2, 1} 和 8 6_{1, 2} 设置分配模块对故障总线 8 1 给出访问, 使其处于禁止和不允许状态。

过程如下:

——模板 8 8 对总线 8 3 发送缓解信号, 由总线耦合模块 8 6_{2, 3}, 使总线释放。

——模板 8 8 下一步使得缓解信号由总线耦合模块 8 6_{2, 3} 发送, 并通过耦合模块 8 6_{2, 3} 的媒介指定到总线 8 2; 这允许总线 8 2 由耦合模块 8 6_{2, 1} 的解除阻断面释放;

——然后模板 8 8 为了隔离故障 8 1, 对总线耦合模块 8 6_{2, 1} 的分配模块写入一个不允许位;

——模块 8 8, 为使已禁止的访问请求再起动, 对总线 8 2 和 8 3 再连续地以相反状态 (空闭或非活动级) 发送缓解信号。

单一信号缓解装置的执行在具有总线耦合模块的多总线系统中很好地实施，该系统的总线耦合模块装有如下所述的同时交换的访问请求管理装置（冲突管理）。实际上，在这种情况下下，在冲突管理和缓解管理之间存在一个非常有利的协作，这是从它们两者相应系统的结构特性和功能特性的相似点出发的。

冲突情况参照图 4 说明。

当模板 8 4 希望达到模板 9 1，它捕获且阻断了总线 8 1。如果恰好在此时刻，模板 8 0 为其本身希望到达模板 8 9，它将占有阻断总线 8 2，现总线 8 1 和 8 2 已被阻断，耦合模块 8 6_{1,2} 和 8 6_{1,2} 不能回答，我们有冲突情况，如果没有提供特定的解除阻断器件，系统就一直保持在阻断状态直至主模板 8 4 和 9 0 上出现“监视计算器”信号，并转换到错缺处理为止。

为避免此问题，可在总线上给出冲突信号 COLG。当耦合模块检测到冲突时可由每一总线耦合模板 8 6 发出此信号。一般情况，对于每一耦合模块对，在第一结构初始化时，就限定了一个优先和一个非优先的耦合模块。如果发生冲突，发送信号 COLG 即是非优先级的模块。在相应的总线上的所有的主模板接收此信号，并产生两个动作：

由捕获此信号的模板使总线释放，并由在总线控制信号上的动作将其阻断。而后为能再捕获总线并完成其周期，使模板处于不允许态并等待准许；

由它们的分配系统的动作，防止其它主板占有总线。

只有发出冲突信号的耦合模块能捕获总线，并建立通到指定被认

为具有优先周期所指定的通道。当通道建立时，耦合模块停止发送信号 C O L G。同时，其它的模板再次能参加到总线分配节拍中，而后，根据判断的结果可对总线访问。

因此一个真正的协作存在于内部总路冲突解决机构和多总线系统解除阻断过程之间。这样，对实施两种机构使用同样的缓解信号是有优越性的。

图 5 是在系统板上需要的功能模块的示意图，以便管理发送单一缓解信号及提供冲突的解决。

为形此结构用于实践，需要在系统模板中用于总线的 U T S 主板中和总线耦合模块中增加双稳态电路，以能发送单一缓解信号。这个双稳态在系统和 U T S 板的特有区域中和在总线耦合模块的耦合区域中是程序可寻址的。例如，这个缓解冲突双稳态由写入周期设置到 1，而后由另外的写入周期置 0，发出的缓解信号在出现在总线的模板都处于工作状态，但发出信号的模板除外。

图 6 示意地示出用于一对总线耦合模块 6 1，6 2 的管理情况，在第一总线 6 3 和第二总线 6 4 之间，提供通讯。机构以单一方向表示，但显然以对称的方式在其它方向运行。在耦合模块 6 1 中的冲突／缓解双稳态 6 5 使得缓解／冲突信号 6 6 由与其相联的总线耦合模块 6 2 发出，因此到达这端总线 6 4。

图 5 和图 7 分别地示意地示出一方面要在系统板上，另一方面要在总线耦合模块上所设有的逻辑模块，用以提供单一冲突／缓解信号的管理。

如图 5 中所示，对于系统板，用于命令发送阻断／缓解信号的内

部信号 5 1 是由软件指令通过双稳态 5 3 提供。单一阻断/缓解信号 5 5 是通过缓冲电路 5 4 发送到总线上。

为了确认不总是由系统板发送单一冲突/缓解信号 5 5'，缓冲寄存器 5 6 提供从总线来的接收确认。从软件指令发出冲突/缓解信号的内部信号 5 7 和从总线处理接收的由缓冲寄存器 5 6 产生的信号 5 7'，提供到验证电路 5 8。当冲突/缓解信号没有从系统板产生时，使得分配模块和板的总线捕获逻辑处于不允许态。

同样形式的结构，将在图 7 的示意表示中再次找到，它相应于在总线耦合模块上的冲突/缓解信号的确认逻辑。

内部冲突信号 7 1 是由外部软件指令 7 2 通过触发器 7 3 产生的。软件指令是从远端总线耦合模块（图 6 中耦合模块 6 1 的触发器 6 5）产生的。

内部冲突信号 7 1 通过缓冲寄存器 7 4 使其在总线上发出冲突/缓解信号 7 5。当总线耦合模块板不是优先板时；在检测到双同时交换请求 7 0 时，总线耦合模块也将发送冲突/缓解信号 7 5。此情况相应于在总线对上检测到实际的冲突，在其间没有优先级的总线耦合模块禁止进入它的总线的请求。

此外，总线耦合模块确认从总线接收到的冲突/缓解信号 7 5'，它并不往常起源于自身。接收到的冲突/缓解信号 7 5' 通过缓冲寄存器 7 6，以便使内部信号 7 7 连接到允许电路 7 8 的一个输入端。该电路 7 8 在其输出上对分配模块和耦合模块的总线捕获逻辑提供冲突信号。控制发出信号 7 9 的参数有如下几种：

——内部冲突信号 7 1；

——为使总线接受冲突/缓解的内部信号 7 7；

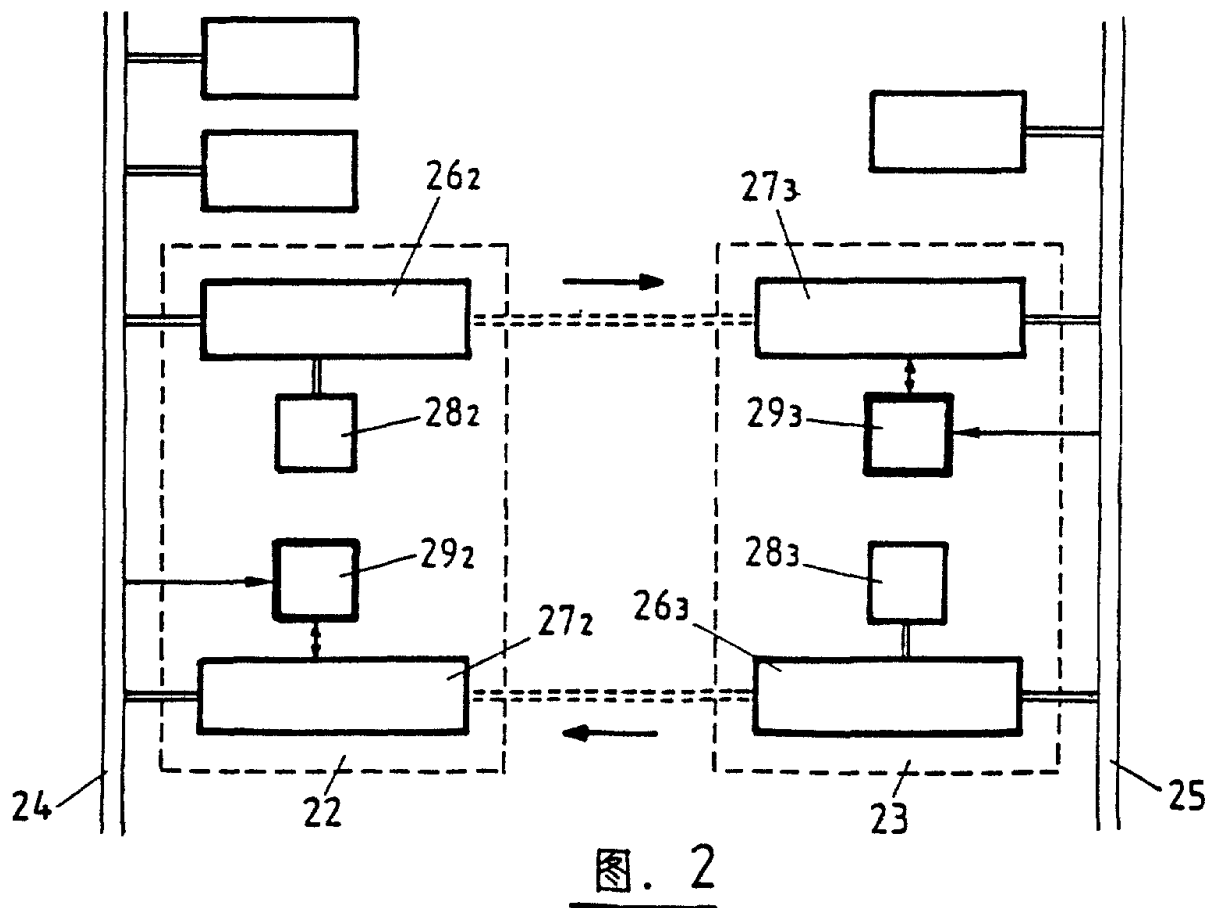
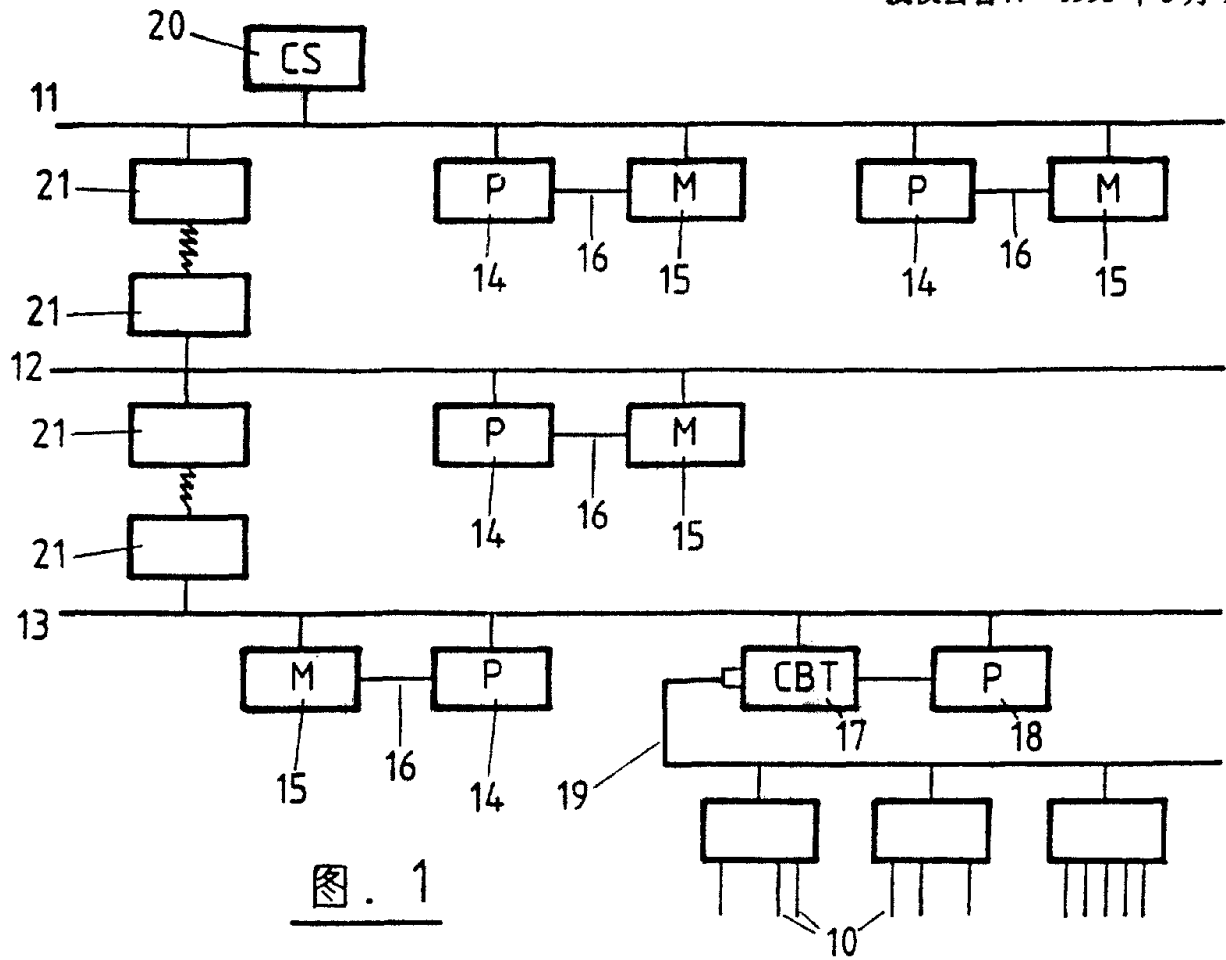
——允许信号 9 2，它或者由软件指令 7 2 的缓解信号来激发，或者冲突的禁止确认信号来激发。此时在耦合模块对上有两个双向瞬时请求；

——在阻断模式转移操作结束时设计用于释放 B B S Y G 线的信号；

——远端总线有冲突的确认信号；

例如，后面这两个信号通过线 9 3 到达。

上述信号 9 3（确认远端总线有冲突）是必须的，以便引起优先总线耦合模块和分配模块的释放。后一模块由非优先总线的请求机构来激发（如上所述，该请求机构由非优先总线耦合模块处于不允许态）。



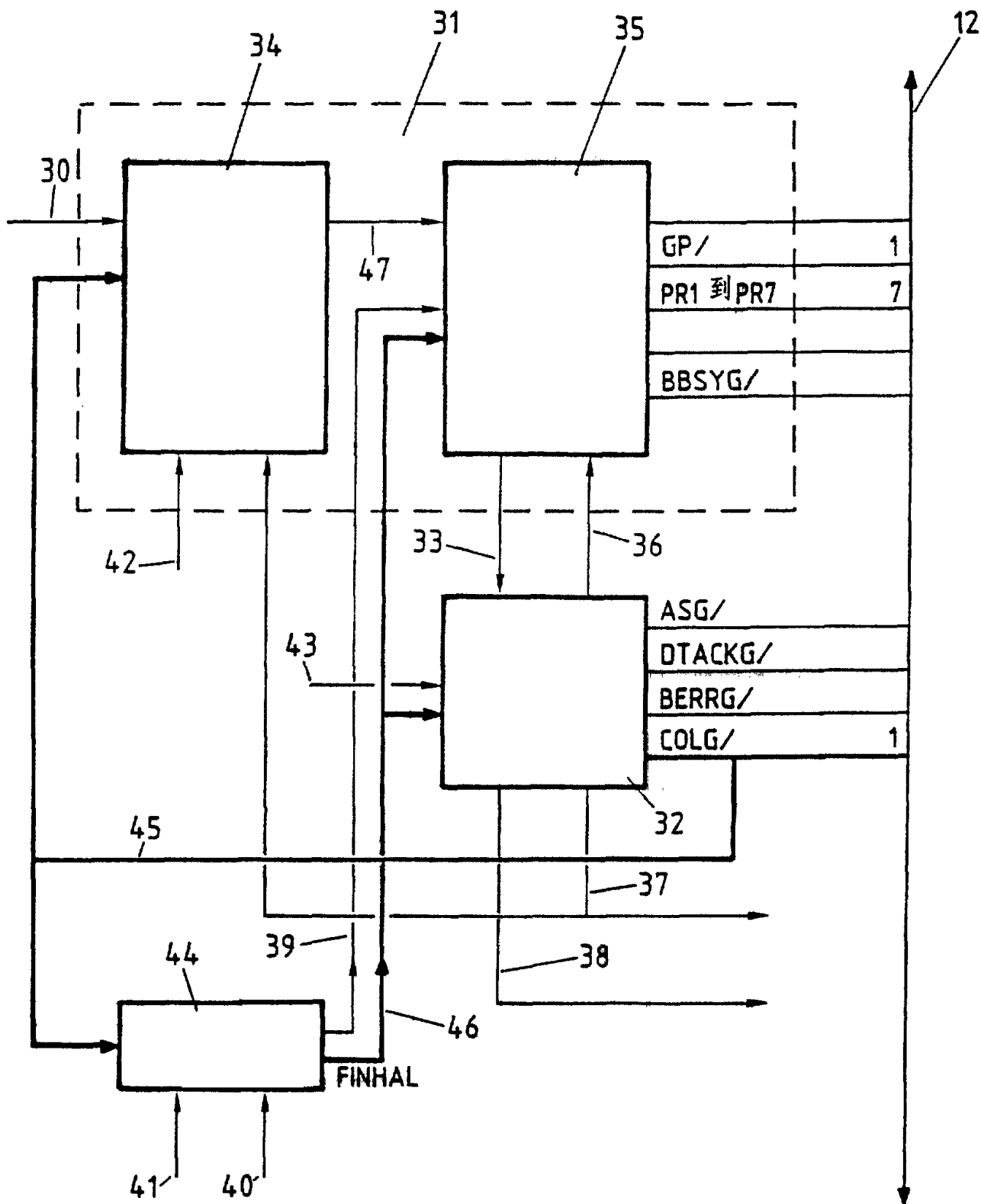


图. 3

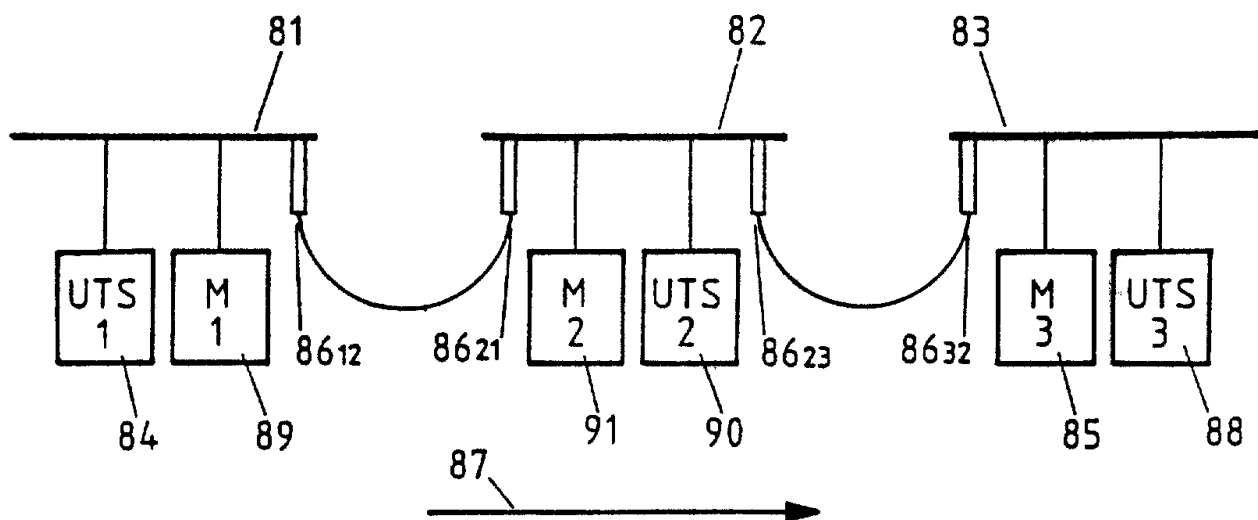


图. 4

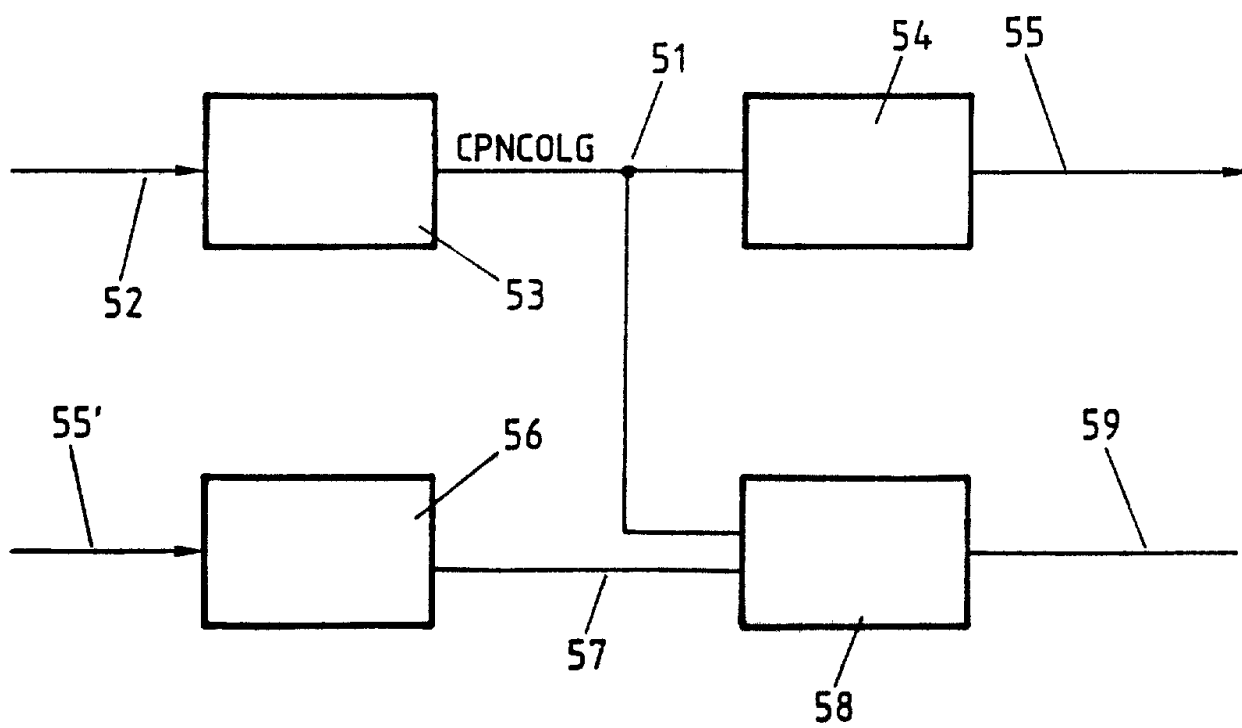


图. 5

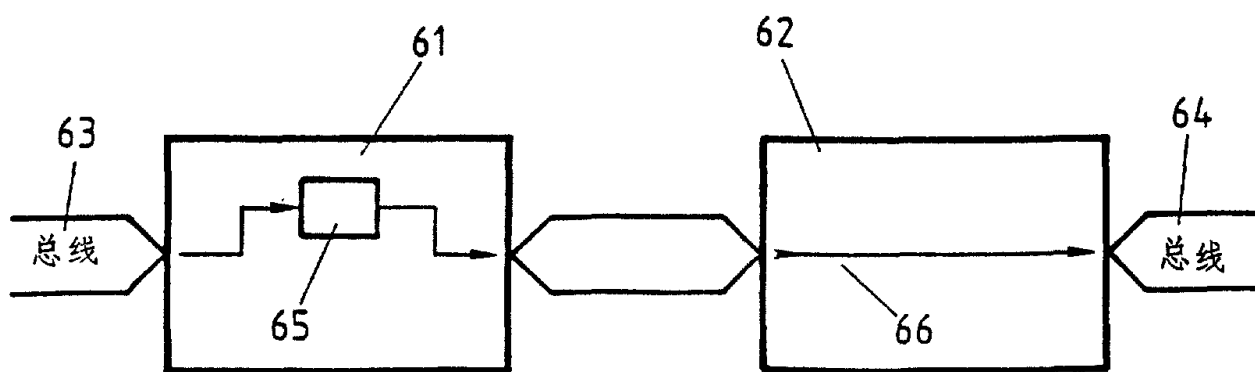


图. 6

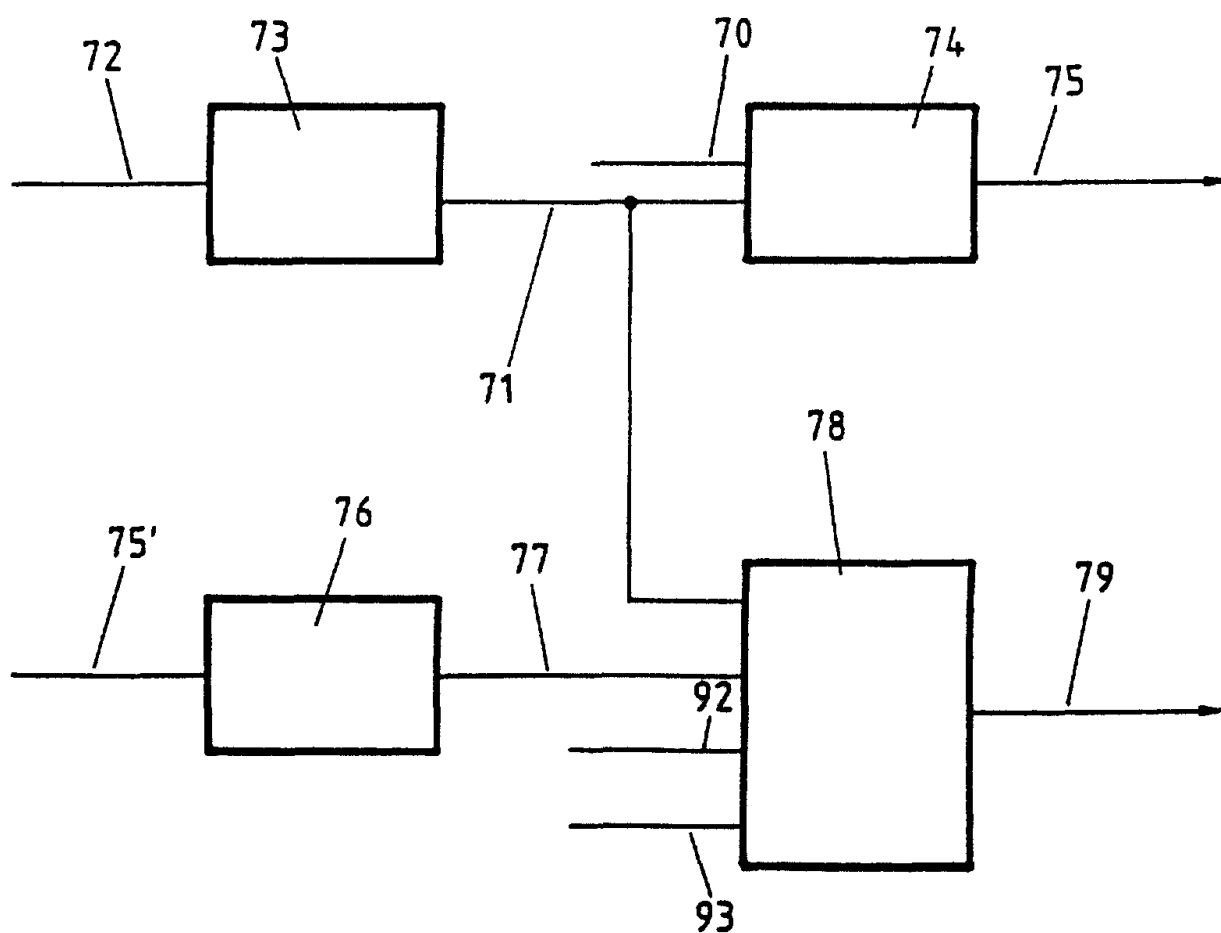


图. 7