(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/28

(11) 공개번호 특2002-0002086
(43) 공개일자 2002년01월09일

(21) 출원번호 10-2000-0036527
(22) 출원일자 2000년06월29일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 손현철
서울특별시강남구논현1동22번지논현아파트106-1001

(74) 대리인 신영무
최승민

심사청구 : 없음

(54) 반도체 소자의 금속배선 형성방법

요약

본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, 금속 배선의 안정된 콘택 저항을 확보하면서 접합부의 파괴를 방지하기 위하여, 콘택홀을 포함한 전체 구조상에 폴리실리콘층을 일정 두께 형성하고, 화학기상증착법으로 타이타늄(Ti)을 증착함과 동시에 폴리실리콘층의 실리콘 원자와 타이타늄 원자가 반응하도록 하여 콘택홀의 내부 공간을 타이타늄실리사이드($TiSi_2$)층으로 일부 매립시키고, 화학기상증착법으로 타이타늄나이트라이드(TiN)를 증착하여 콘택홀의 나머지 공간을 채우고, 이후 금속 증착 및 패터닝 공정으로 금속 배선을 형성한다. 이와같이 콘택홀 내부를 폴리실리콘층을 이용하여 타이타늄실리사이드층으로 매립하므로 안정된 콘택 저항 확보 및 접합부 파괴 현상이 방지되어 소자의 신뢰성을 향상시킬 수 있고, 소자의 고집적화를 실현할 수 있다.

대표도
도 1

색인어
금속 배선, TiSi2/TiN 콘택 플러그

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명의 제 1 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2c는 본 발명의 제 2 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위한 소자의 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

11, 21: 반도체 기판12, 22: 접합부

13, 23: 층간 절연막14, 24: 콘택홀

15, 25: 실리콘층16, 26: 타이타늄실리사이드층

17: 콘택 플러그용 물질층18, 26B: 금속배선

26A, 167: 콘택 플러그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속배선 형성 방법에 관한 것으로, 특히 금속 배선의 콘택 플러그(contact plug)로 타이타늄 실리사이드($TiSi_2$)층을 사용하므로, 안정된 콘택 저항 확보 및 접합부 파괴 현상이 방지되어 소자의 신뢰성을 향상시킬 수 있고, 소자의 고집적화를 실현할 수 있는 반도체 소자의 금속배선 형성 방법에 관한 것이다.

반도체 소자가 고집적화, 축소화 및 고속화 되어감에 따라 콘택 공정 마진의 확보가 시급한 문제로 대두되고 있으며, 또한 정보의 신속한 처리를 위해 신호 전달 속도가 빠른 소자가 요구되고 있다. 일반적으로, 비트 라인(bit line)등과 같은 반도체 소자의 전극으로 열적 안정성이 우수한 폴리실리콘층을 주로 사용하였으나, 폴리실리콘층은 금속층과 비교하여 저항이 높아 최근에는 폴리실리콘층과 금속-실리사이드층(metal-silicide layer)이 적층된 금속-폴리사이드(metal-polycide) 구조의 층을 널리 사용하고 있다. 그러나, 폴리사이드 구조의 층은 64M DRAM급 이하의 소자에서는 낮은 저항을 유지할 수 있어 소자의 신호 전달 속도의 지연이 없으나, 미세 패턴을 필요로 하는 64M DRAM급 이상의 소자에서는 높은 면저항으로 인하여 소자의 신호 전달 속도가 지연되는 단점이 발생되고 있으며, 이로 인하여 향후 156M DRAM급 이상의 소자에서는 전기 전도도가 우수한 금속의 도입이 필수적이며, 이를 실용화하기 위한 연구가 진행되고 있다.

전술한 바와 같이, 반도체 소자의 고집적화에 따라 소자의 전극으로 폴리실리콘이나 금속-실리사이드보다 전기 전도도가 우수한 대체 물질이 필요하며, 최근 그 대체 물질로 텅스텐을 많이 사용하고 있다. 텅스텐은 금속 배선의 재료로도 널리 사용되고 있는데, 이 텅스텐을 비트라인과 같은 전극이나 기타 금속 배선에 적용할 때, 콘택 저항을 낮추면서 반응가스인 WF_6 가스의 플루오린(F) 원자가 하지층으로 침투하는 것을 방지하기 위하여, Ti/TiN을 장벽 금속층(metal barrier layer)으로 적용하고 있다. 타이타늄층은 금속 배선의 주 재료인 텅스텐(W)이 하부층과 잘 접착되도록 하는 접착층 역할을 하면서, 반도체 기판의 실리콘 원자와 반응하여 타이타늄실리사이드층($TiSi_2$ layer)을 형성하므로 콘택 저항을 낮추어 주는 역할을 한다. 타이타늄나이트라이드층은 금속 배선의 주 재료인 텅스텐(W)이 실리콘 기판과 직접 반응하는 것을 차단하는 금속 이온 확산 방지층 역할을 하면서, 금속층 증착시 시드층(seed layer) 역할을 하기도 한다.

그런데, 반도체 소자가 더욱 고집적화되어 감에 따라 금속 배선 공정시 콘택의 크기 감소 및 애스팩트 비(aspect rati

o)의 증가로 매립 공정에 많은 문제가 발생하고 있으며, 또한 얕은 접합부(shallow junction)를 통하여 구현되는 트랜지스터를 필요로 하는 소자가 많기 때문에 금속 배선 공정을 진행하는데 많은 문제가 발생되고 있다. 즉, 얕은 접합부에서 콘택 저항을 낮추기 위해 반도체 기판의 실리콘 원자와 타이타늄층의 타이타늄 원자를 반응시켜 타이타늄실리사이드층을 형성하게 되는데, 이러한 타이타늄실리사이드층은 증착된 타이타늄층의 2배 가까운 두께로 만들어지게 되고, 이로 인하여 얕은 접합부 내의 실리콘 원자가 소모되어 접합부의 파괴를 동반하게 되며, 이러한 접합부의 파괴는 트랜지스터의 동작이 제대로 되지 않으며, 과도하지 않을 경우에도 누설 전류가 증가하는 문제가 발생하기도 한다.

또한, 금속 배선이나 비트라인의 콘택 매립 공정에서 장벽 금속층 형성후에 비저항이 낮은 텅스텐 등의 금속을 이용하고 있는데, 0.10 ㎛ Tech. 이후의 소자에서는 비트 라인 콘택의 크기가 0.15 ㎛ 이하로 감소하게 되면 콘택에 매립되는 물질중 텅스텐 보다 비저항이 높은 Ti/TiN 장벽 금속층이 50 % 이상을 차지하게 되어 낮은 비저항 물질인 텅스텐을 사용하고자 하는 잇점이 감소하게 된다.

콘택 매립 공정중 상기의 방법 이외에도 원자 확산 방지 역할을 하는 TiN 을 화학기상증착법으로 증착하여 콘택을 매립하기도 하는데, 이경우 증착시 발생하는 높은 내부 응력으로 TiN두께가 1000Å 이상이 되면 TiN 박막 내에 크렉(crack)이 발생하여 후속 에치백(etchback) 공정을 적용하기가 어려운 문제가 있다.

상기한 바와 같이, 종래에는 배선의 저항 및 콘택 저항을 낮추기 위해 배선 재료로 비저항이 낮은 금속을 이용하고, 콘택 재료로도 이러한 금속을 사용하며, 또한 콘택 부분을 실리사이드화 시키는 공정 기술을 적용하고 있다. 그러나, 상기한 공정 기술은 반도체 소자가 더욱 고집적화 되어 감에 따라 반도체 소자의 제조에 적용하는데 한계가 있어 반도체 소자의 고집적화 실현을 어렵게 한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 금속 배선의 콘택 플러그로 타이타늄실리사이드층을 사용하므로, 안정된 콘택 저항 확보 및 접합부 파괴 현상이 방지되어 소자의 신뢰성을 향상시킬 수 있고, 소자의 고집적화를 실현할 수 있는 반도체 소자의 금속배선 형성 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

본 발명의 제 1 실시예에 따른 반도체 소자의 금속배선 형성 방법은 층간 절연막에 콘택홀이 형성된 반도체 기판이 제공되는 단계; 상기 콘택홀을 포함한 전체구조상에 실리콘층을 형성하는 단계; 상기 실리콘층 상에 타이타늄을 증착함과 동시에 상기 실리콘층의 실리콘 원자와 타이타늄 원자와의 반응으로 상기 콘택홀 내부를 일부 매립시키는 타이타늄실리사이드층이 형성되는 단계; 상기 타이타늄실리사이드층에 의해 매립되고 남은 상기 콘택홀의 공간을 콘택 플러그용 물질층으로 완전히 매립시키는 단계; 상기 층간 절연막의 상부 표면이 노출되는 시점까지 식각 공정을 실시하여 콘택 플러그를 형성하는 단계; 및 상기 콘택 플러그에 접촉되는 금속배선을 형성하는 단계를 포함하여 이루어진다.

본 발명의 제 2 실시예에 따른 반도체 소자의 금속 배선 형성 방법은 층간 절연막에 콘택홀이 형성된 반도체 기판이 제공되는 제 1 단계; 상기 콘택홀을 포함한 전체구조상에 실리콘층을 형성하는 제 2 단계; 상기 실리콘층 상에 타이타늄을 증착함과 동시에 상기 실리콘층의 실리콘 원자와 타이타늄 원자와의 반응으로 상기 콘택홀 내부를 완전 매립시키는 타이타늄실리사이드층이 형성되는 제 3 단계; 및 상기 타이타늄실리사이드층을 금속배선 마스크 공정과 식각 공정을 통해 콘택 플러그 및 금속배선을 형성하는 제 4 단계를 포함하여 이루어진다.

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 1a 내지 도 1d는 본 발명의 제 1 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 접합부(12)가 형성된 반도체 기판(11) 상에 층간 절연막(13)을 형성하고, 접합부(12)가 노출되도록 층간 절연막(13)을 식각하여 콘택홀(14)을 형성한다. 콘택홀(14)을 포함한 전체구조상에 실리콘층(15)을 형성한다.

상기에서, 실리콘층(15)은 표면을 따라 컨포멀(conformal)하게 형성하기 위하여 화학기상증착(CVD)법을 사용한다. 이때, 증착 가스는 사일렌 베이스 가스(silane base gas)를 사용하며, 증착 온도는 400 내지 700 ℃의 범위이다. 이와 같이, 실리콘층(15)의 두께를 컨포멀하게 하는 것은 콘택홀(14)의 저면 뿐만 아니라 콘택홀(14)의 측벽에도 타이타늄실리사이드층을 양호하게 형성하기 위함이다. 또한, 실리콘층(15)의 두께는 후속에 증착될 Ti의 두께를 고려하여 결정해야 하는데, 이는 후속에서 인-시튜 타이타늄실리사이드(in-situ $TiSi_2$)층 형성시 콘택홀(14) 밑바닥의 접합부(12)에서 실리콘 원자의 소모가 없게하기 위함이다.

도 1b를 참조하면, $TiCl_4$ 기체를 이용한 플라즈마기상증착법(PECVD)으로 타이타늄(Ti)을 실리콘층(15) 상에 증착하고, 타이타늄 증착과 동시에 타이타늄 원자는 실리콘층(15)의 실리콘 원자와 반응되어 실리사이드화 되며, 이로인하여 콘택홀(14)을 일부 매립시키는 타이타늄실리사이드층($TiSi_2$; 16)이 형성된다.

상기에서, 타이타늄실리사이드층(16)은 타이타늄의 증착과 동시에 형성되는데, 타이타늄 원자와 실리콘 원자의 반응이 용이하게 일어나도록 하기 위하여, 반도체 기판(11)의 온도를 500 내지 700 ℃로 한다. 타이타늄 증착시 증착 두께 타겟은 이미 형성된 실리콘층(15)이 완전히 실리사이드화되어 타이타늄실리사이드층(16)이 되는 시점까지 설정한다.

도 1c를 참조하면, 타이타늄실리사이드층(16)에 의해 매립되고 남은 콘택홀(14)의 공간을 콘택 플러그용 물질층(17)으로 완전히 매립시킨다.

상기에서, 콘택 플러그용 물질층(17)은 콘택홀(14)의 크기에 따라 적절하게 선택하는데, 0.10 ㎛ Tech. 이전의 설계룰(design rule)을 갖는 소자에서는 타이타늄실리사이드층(16)으로 콘택홀을 어느 정도 매립한 후에도 콘택홀(14)의 잔여 공간이 크기 때문에 타이타늄나이트라이드(TiN)를 먼저 증착한 후에 화학기상증착법으로 텅스텐을 증착하여 콘택홀(14)을 완전히 매립시키고, 0.10 ㎛ Tech. 이후의 설계 룰을 갖는 소자에서는 콘택홀(14)의 크기가 작아 화학기상증착법에 의한 텅스텐 증착보다 타이타늄나이트라이드로만 증착하여 콘택홀(14)을 완전히 매립시키는 것이 가능하며, 현재로는 $TiCl_4$ 기체를 이용하여 타이타늄나이트라이드로 콘택홀(14)을 완전히 매립한다. $TiCl_4$ 기체를 이용할 경우 타이타늄나이트라이드의 매립 능력 및 증착 속도가 커서 콘택 플러그용으로 유리하다. 이와 같이, 콘택 플러그용 물질층(17)은 콘택홀(14)의 크기에 따라 타이타늄나이트라이드/텅스텐 (TiN/W) 구조나, 화학기상증착 또는 $TiCl_4$ 기체를 이용한 타이타늄나이트라이드만으로 형성된다.

도 1d를 참조하면, 층간 절연막(13)의 상부 표면이 노출되는 시점까지 메탈 화학적 기계적 연마(Metal CMP) 방법이나 에치백(Etchback) 방법으로 콘택 플러그용 물질층(17) 및 타이타늄실리사이드층(16)을 제거하여 콘택 플러그(167)가 형성된다. 콘택 플러그(167)가 형성된 전체 구조상에 배선용 물질층을 증착한 후, 패터닝하여 금속배선(18)을 형성한다.

상기에서, 콘택 플러그(167)는 타이타늄실리사이드/타이타늄나이트라이드/텅스텐($TiSi_2$/TiN/W) 구조 또는 타이타늄실리사이드/타이타늄나이트라이드($TiSi_2$/TiN) 구조를 갖는다. 금속 배선(18)은 텅스텐, 알루미늄 등 반도체 소자의 금속 배선 재료로 이용되는 모든 금속이 가능하다.

도 2a 내지 도 2c는 본 발명의 제 2 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 접합부(22)가 형성된 반도체 기판(21) 상에 층간 절연막(23)을 형성하고, 접합부(22)가 노출되도록 층간 절연막(23)을 식각하여 콘택홀(24)을 형성한다. 콘택홀(24)을 포함한 전체구조상에 실리콘층(25)을 형성한다.

상기에서, 실리콘층(25)은 표면을 따라 컨포멀(conformal)하게 형성하기 위하여 화학기상증착(CVD)법을 사용한다. 이때, 증착 가스는 사일렌 베이스 가스(silane base gas)를 사용하며, 증착 온도는 400 내지 700 ℃의 범위이다. 이와 같이, 실리콘층(25)의 두께를 컨포멀하게 하는 것은 콘택홀(24)의 저면 뿐만 아니라 콘택홀(24)의 측벽에도 타이타늄실리사이드층을 양호하게 형성하기 위함이다. 또한, 실리콘층(25)의 두께는 콘택홀(24)의 크기와 후속에 증착될 Ti의 두께를 고려하여 결정해야 하는데, 이는 후속에서 인-시튜 타이타늄실리사이드(in-situ $TiSi_2$)층 형성시 콘택홀(24) 밑바닥의 접합부(22)에서 실리콘 원자의 소모가 없게하면서 타이타늄실리사이드로 콘택홀(24) 내부를 완전히 매립시키기 위함이다.

도 2b를 참조하면, $TiCl_4$ 기체를 이용한 플라즈마기상증착법(PECVD)으로 타이타늄(Ti)을 실리콘층(25) 상에 증착하고, 타이타늄 증착과 동시에 타이타늄 원자는 실리콘층(25)의 실리콘 원자와 반응되어 실리사이드화 되며, 이로인하여 콘택홀(24)을 완전히 매립시키는 타이타늄실리사이드층($TiSi_2$; 26)이 형성된다.

상기에서, 타이타늄실리사이드층(26)은 타이타늄의 증착과 동시에 형성되는데, 타이타늄 원자와 실리콘 원자의 반응이 용이하게 일어나도록 하기 위하여, 반도체 기판(21)의 온도를 500 내지 700 ℃로 한다. 타이타늄 증착시 증착 두께 타겟은 이미 형성된 실리콘층(25)이 완전히 실리사이드화되어 타이타늄실리사이드층(26)이 되는 시점까지 설정한다.

도 2c를 참조하면, 콘택홀(24)을 완전히 매립시킨 타이타늄실리사이드층(26)을 금속배선 마스크 공정과 식각 공정을 통해 타이타늄실리사이드층(26)이 콘택홀(24)에서는 콘택 플러그(26A) 역할을 하며, 층간 절연막(23) 위에서는 금속배선(26B) 역할을 한다.

한편, 상기한 본 발명의 제 2 실시예의 변형된 실시예로, 콘택홀(24)을 완전히 매립시킨 타이타늄실리사이드층(26)을 층간 절연막(23)의 상부 표면이 노출되는 시점까지 화학적 기계적 연마 방법이나 에치백 방법으로 제거하여 타이타늄실리사이드층(26)으로 콘택 플러그(26A)를 형성한 다음, 콘택 플러그(26A)가 형성된 전체 구조상에 일반적인 방법으로 금속배선을 형성할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 콘택홀을 포함한 전체 구조상에 폴리실리콘층을 일정 두께 형성하고, 화학기상증착법으로 타이타늄을 증착함과 동시에 폴리실리콘층의 실리콘 원자와 타이타늄 원자가 반응하도록 하여 콘택홀의 내부 공간을 타이타늄실리사이드($TiSi_2$)층으로 일부 또는 완전 매립시켜 콘택 플러그로 사용하므로, 기존의 타이타늄실리사이드 형성시에 발생하는 접합부 파괴를 방지할 수 있어 메탈 콘택 특성 확보에 유리하고, 기존의 텅스텐 콘택 플러그의 한계를 극복할 수 있어 콘택 플러그 공정의 안정화로 소자 동작을 향상시킬 수 있으며, 타이타늄 증착고 동시에 타이타늄실리사이드가 형성되므로 공정 단순화를 통한 생산성을 향상시킬 수 있으며, 콘택 플러그용으로 타이타늄나이트라이드를 사용할 경우 타이타늄나이트라이드 내에 발생하는 잔류응력의 문제를 완화시킬 수 있다.

(57) 청구의 범위

청구항 1.

층간 절연막에 콘택홀이 형성된 반도체 기판이 제공되는 단계;

상기 콘택홀을 포함한 전체구조상에 실리콘층을 형성하는 단계;

상기 실리콘층 상에 타이타늄을 증착함과 동시에 상기 실리콘층의 실리콘 원자와 타이타늄 원자와의 반응으로 상기 콘택홀 내부를 일부 매립시키는 타이타늄실리사이드층이 형성되는 단계;

상기 타이타늄실리사이드층에 의해 매립되고 남은 상기 콘택홀의 공간을 콘택 플러그용 물질층으로 완전히 매립시키는 단계;

상기 층간 절연막의 상부 표면이 노출되는 시점까지 식각 공정을 실시하여 콘택 플러그를 형성하는 단계; 및

상기 콘택 플러그에 접촉되는 금속배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 실리콘층은 사일렌 베이스 가스를 사용하여 400 내지 700 ℃의 온도 범위에서 화학기상증착법으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 실리콘층의 두께는 상기 타이타늄 증착시 타이타늄 원자와 상기 실리콘층의 실리콘 원자가 완전 반응되는 두께를 고려하여 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 4.

제 1 항에 있어서,

상기 타이타늄 증착 공정은 $TiCl_4$ 기체를 이용한 플라즈마기상증착법으로 실시되는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 5.

제 1 항에 있어서,

상기 타이타늄 증착 공정은 상기 반도체 기판을 500 내지 700 ℃의 온도 범위로 유지하여 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 6.

제 1 항에 있어서,

상기 타이타늄 증착 공정의 증착 두께 타겟은 상기 실리콘층이 완전히 실리사이드화되는 시점까지 설정하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 7.

제 1 항에 있어서,

상기 콘택 플러그용 물질층은 0.10 ㎛ Tech. 이전의 설계 룰을 갖는 소자에서는 타이타늄나이트라이드를 먼저 증착한 후에 화학기상증착법으로 텅스텐을 증착하여 형성되는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 8.

제 1 항에 있어서,

상기 콘택 플러그용 물질층은 0.10 ㎛ Tech. 이후의 설계 룰을 갖는 소자에서는 $TiCl_4$ 기체를 이용하여 타이타늄나이트라이드를 증착하여 형성되는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 9.

제 1 항에 있어서,

상기 식각 공정은 메탈 화학적 기계적 연마 방법이나 에치백 방법을 적용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 10.

제 1 항에 있어서,

상기 콘택 플러그는 타이타늄실리사이드/타이타늄나이트라이드/텅스텐 구조로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 11.

제 1 항에 있어서,

상기 콘택 플러그는 타이타늄실리사이드/타이타늄나이트라이드 구조로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 12.

층간 절연막에 콘택홀이 형성된 반도체 기판이 제공되는 제 1 단계;

상기 콘택홀을 포함한 전체구조상에 실리콘층을 형성하는 제 2 단계;

상기 실리콘층 상에 타이타늄을 증착함고 동시에 상기 실리콘층의 실리콘 원자와 타이타늄 원자와의 반응으로 상기 콘택홀 내부를 완전 매립시키는 타이타늄실리사이드층이 형성되는 제 3 단계; 및

상기 타이타늄실리사이드층을 금속배선 마스크 공정과 식각 공정을 통해 콘택 플러그 및 금속배선을 형성하는 제 4 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 13.

제 12 항에 있어서,

상기 실리콘층은 사일렌 베이스 가스를 사용하여 400 내지 700 ℃의 온도 범위에서 화학기상증착법으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 14.

제 13 항에 있어서,

상기 실리콘층의 두께는 상기 타이타늄 증착시 타이타늄 원자와 상기 실리콘층의 실리콘 원자가 완전 반응되어 실리사이드화되는 상기 타이타늄실리사이층으로 상기 콘택홀이 완전히 매립되는 것을 고려하여 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 15.

제 12 항에 있어서,

상기 타이타늄 증착 공정은 $TiCl_4$ 기체를 이용한 플라즈마기상증착법으로 실시되는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 16.

제 12 항에 있어서,

상기 타이타늄 증착 공정은 상기 반도체 기판을 500 내지 700 ℃의 온도 범위로 유지하여 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 17.

제 12 항에 있어서,

상기 타이타늄 증착 공정의 증착 두께 타겟은 상기 실리콘층이 완전히 실리사이드화되는 시점까지 설정하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

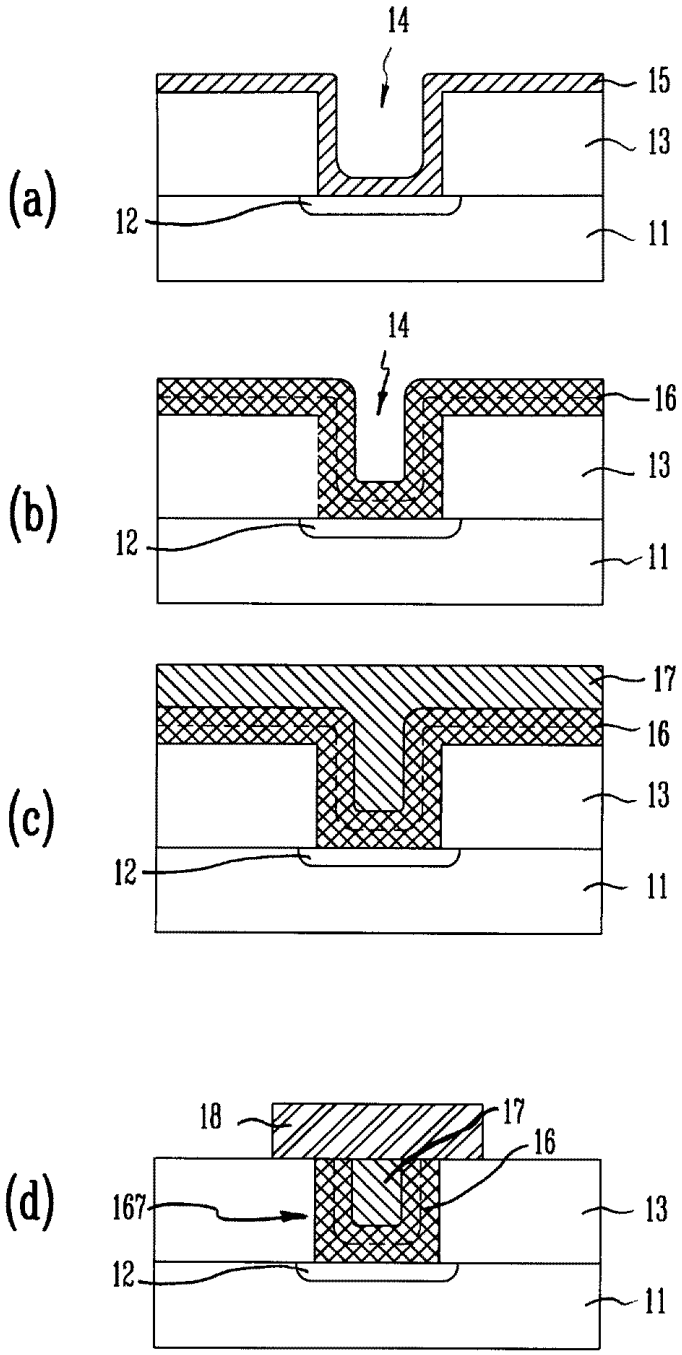
청구항 18.

제 12 항에 있어서,

상기 타이타늄실리사이드층으로 상기 콘택홀을 완전히 매립시키는 상기 제 3 단계 이후, 상기 제 4 단계를 상기 층간 절연막의 상부 표면이 노출되는 시점까지 상기 타이타늄실리사이드층을 식각하여 콘택 플러그를 형성하고, 상기 콘택 플러그에 접촉되는 금속배선을 형성하는 단계로 하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

도면

도면 1



도면 2

