(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H02M 1/00

(45) 공고일자 1999년07월01일
(11) 등록번호 10-0206592
(24) 등록일자 1999년04월09일

(21) 출원번호 10-1991-0018011
(22) 출원일자 1991년10월14일
(65) 공개번호 특1992-0009033
(43) 공개일자 1992년05월28일

(30) 우선권주장 7/597,830 1990년10월15일 미국(US)
(73) 특허권자 내쇼날 세미컨덕터 코포레이션 클라크 3세 존 엠.
미합중국 캘리포니아주 95051-8090 산타 클라라 메일 스톱디 3-579 세미콘덕터 드라이브 2900
(72) 발명자 마이클 이. 라이트
미합중국 캘리포니아 94709-2024 버클리 1518 마틴러더킹 쥬니어 웨이
(74) 대리인 목영동, 목선영

심사관 : 박영수

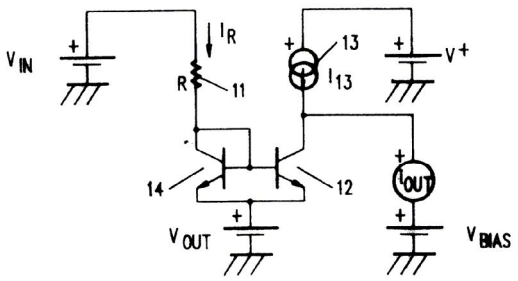
(54) 제어 전압이 증가함에 따라 출력이 감소하는 구분적 전류원

요약

출력 전류가 전력 공급 전압에 관련되며 절대 값이 임의적으로 낮아 질 수 있는 능동 전류원이며 큰값을 지닌 합성 저항을 포함하는 안전 동작 영역(SOA) 회로가 구성되어 있다. 입력 전압에 응답하여 출력 전류 레벨을 제어하기 위해 하나 이상의 제어 전압을 발생시키는 구분적 전류원이 제공되어 있다. 한 실시예에서는, 각각의 제어 신호 수단이 피드백 수단 및 가산 노드를 포함하므로 해서, 제어 신호를 입력으로서 사용하여 하나 이상의 기능이 이행되고, 그 결과가 가산 노드에 피드백된다. 이와 같이, 복합 기능이 출력 전류의 크기를 제어하기 위해 용이하게 제공될 수 있다. 한 실시예에서는, 사용될 수 있는 출력 전류를 제한하기 위해 하나 이상의 포화 전류 미러에 의해 하나 이상의 제어 신호가 제공된다.

상기 포화 전류 미러는 상기 출력 전류를 제공하는데 사용되는 복수개의 콜렉터를 지니는 바이폴라 트랜지스터를 포함하고, 하나 이상의 콜렉터가 입력 전압에 대한 전류 특성을 지니는 회로 요소에 접속된다. 또다른 실시 예에서는, 복수개의 콜렉터를 지니는 바이폴락 트랜지스터는, 원하는 전달 함수를 제공하기 위해 원하는 비율의 채널폭을 지니는 복수개의 MOS 트랜지스터에 의해 대체된다.

대표도



(선행기술)

명세서

[발명의 명칭]

제어 전압이 증가함에 따라 출력이 감소하는 구분(區分)적 전류원

[도면의 간단한 설명]

제1도는 전형적인 선행 기술의 전류원에 대한 개략적인 다이어그램.

제2도는 제1도 회로의 동작을 도시한 그래프 도면.

제3도는 제1도의 전류원과 함께 사용되는 경우 통과 디바이스의 전력 소비를 제한하는 선행 기술의 전류 제한 회로를 도시한 개략적인 다이어 그램.

제4도는 선행 기술의 증배(增倍) 전력 제한 회로를 도시한 개략적인 다이어 그램.

제5a도는 복수개의 콜렉터를 지닌 바이폴라 트랜지스터를 사용하는 본 발명의 교습에 따라 구성된 전류

원의 한 실시예에 대한 개략적인 다이어 그램.

제5b도는 제5a도 회로의 전달 함수를 도시한 그래프 도면.

제6도는 포화 전류 미러를 사용하는 본 발명의 교습에 따라 구성된 전류원의 한 실시예에 대한 개략적인 다이어 그램.

제7a도는 복수개의 콜렉터를 지닌 바이폴라 트랜지스터를 사용하는 본 발명의 교습에 따라 구성된 또 다른 전류원에 대한 개략적인 다이어 그램.

제7b도는 제7a도 회로의 전달 함수를 도시한 그래프 도면.

제8도는 복수개의 MOS 트랜지스터를 사용하는 본 발명의 교습에 따라 구성된 전류원의 한 실시예에 대한 개략적인 다이어 그램.

[발명의 상세한 설명]

[발명의 분야]

본 발명은 전압 레귤레이터 출력 전력 트랜지스터의 안전 동작 영역(safe operating area; SOA)보호에 관한 것이다.

[선행 기술의 설명]

선행 기술에는 전류, 과전압 및 접합 온도를 종합적으로 제한하기 위하여 베이스(또는 게이트) 구동을 감소시킴으로써 출력 트랜지스터의 도통을 감소시키는 기술을 포함하는 다각적인 보호 기술이 공지되어 있다. 연속 안전 영역 제한 기술(보다 단순한 디지탈 온/오프 보호 기술에 상반됨)이 통상적으로 사용하는 구성 부품은 전류 제한 회로로서 공급 전압을 감지하는 레지스터이다. 그러나, 상기 회로의 정적 전류가 매우 낮은 값으로 되어야하는 경우, 이에 필요한 레지스터는 불충분한 해결 수단으로 된다. 예를 들면, 30V의 공급 전압을 감지하는 3MΩ의 레지스터는 10μA의 전류를 끌어낸다(보다 큰 저항값을 지닌 레지스터는 과도한 집적회로 다이 면적을 차지한다). 이러한 전류를 상기 전류 제한 회로의 잔류 부분에 의해 소모되는 전류와 합한 값은 허용할 수 없을 정도로 높은 값이다.

제1도는 공급 전압(V_{IN})을 감지하기 위하여 레지스터(11)를 사용하는 전형적인 선행 기술의 전류원에 대한 개략적인 다이어 그램이다. 제1도의 회로는 입력 전압(V_{IN})에 응답하여 출력 전류(I_{OUT})를 제공한다. 제2도의 그래프에 도시된 바와같이, 입력 전압(V_{IN})이 증가함에 따라, 전류(I_R)가 증가하고, 이러한 전류(I_R)는 다이오드 형태로 접속된 트랜지스터(14)를 통해 흐른다. 트랜지스터(12)는 이와 같은 전류를 미러(mirror) 함으로써 트랜지스터(12)의해 싱크(sink)되는 전류원(13)으로부터 흐르는 전류(I)량을 증가시키므로 사용가능한 출력 전류(I_{OUT})를 감소시킨다.

제3도에는 선행 기술의 전류 제한 회로(300) 에 대한 개략적인 다이어 그램이 도시되어 있다. 리드(318) 에 인가되어 트랜지스터(316) 의 베이스를 구동시키는 오차 증폭기 신호가 제한 구동 능력을 지닌다고 가정하면, 차동 증폭기(311) 는 아날로그 방식으로 트랜지스터(317) 를 턴온시켜서 트랜지스터(316) 의 베이스 전류 구동을 감소시킨다. 전류원(310) 으로부터 발생된 전류(I)는 레지스터(312) 양단에 걸린 전압강하를 발생시킨다. 전류를 제한함에 있어서는, 레지스터(313) 의 전압강하가 레지스터(312) 의 전압강하와 동일할때까지 차동 증폭기(311) 가 전력 트랜지스터(316) 의 도통을 조정함으로써, I에 비례하는 I_o 을 만들어 내고 I_o/I 가 레지스터(312) 의 저항 대 레지스터(313) 의 저항에 대한 비율과 동일하다. I 를($V_{IN} - V_{OUT}$)에 반비례되게 함으로써 전력 트랜지스터(316) 의 전력 소비가 거의 일정하게 유지된다고 하자.

예컨대, 이는 제3도의 전류원(310) 으로서 선행기술의 제1도 회로를 사용함으로써 이루어진다. 레지스터(11) 에 의해($V_{IN} - V_{OUT}$)에 거의 비례하는 전류를 발생시키고 그러한 전류를 일정 전류(I_{13})로 부터 감산한으로써 전류(I)가 제공되어, 제2도에 그래프로 도시된 I_{OUT} 를 제공한다.

제3도의 트랜지스터(316) 와 같은 통과 트랜지스터의 거의 일정한 전력 소비를 제공하는 다른 방법은 부하 전류(I_0)의 샘플을 레지스터에 의해 분할된 공급 전압으로 증배시키는 방법에 따르는 것이다. 그러한 방법은 상기와 같은 증배 동작을 이행하기 위해 전압 분할기를 이루는 큰 저항값을 지닌 레지스터를 필요로 할뿐만 아니라 보다 정확한 오차 증폭기를 필요로 한다.

제4도는 전형적인 선행 기술의 증배 전력 제한 회로(200) 에 대한 개략적인 다이어 그램이다. 회로(200) 는 차동 증폭기(230) 를 포함하며 상기 차동 증폭기(230) 는 제어 신호를 출력 트랜지스터(205) 의 베이스에 제공하고 상기 출력 트랜지스터(205) 는 다시 출력 전압(V_{OUT}) 을 제어한다. 출력 리드(203) 상에서 사용될 수 있는 출력 전류는 리드(201) 에 인가된 입력 전압(V_{IN}) 에 응답하여 차동 증폭기(230)에 의해 제어된다. 출력 트랜지스터(205) 를 통해 흐르는 전류를 미러시키기 위해 트랜지스터(206) 는 출력 트랜지스터(205) 와 병렬로 접속된다. PNP 트랜지스터(207) 는 베이스에 접속되며 다시 트랜지스터(206) 의 콜렉터에 접속된 콜렉터중 한 콜렉터(207 - 1)를 지니는 부하 디바이스로서 접속된다. 트랜지스터(207) 의 콜렉터(207 - 2)는 트랜지스터(207) 의 콜렉터(207 - 1)를 통해 흐르는 전류를 미러시킨 전류를 제공한다. 이와 같이 미러된 전류는 부하 디바이스(208) 에 인가되고, 상기 부하 디바이스(208) 에 의해 다시 전류원(209) 이 트랜지스터(208)를 통해 흐르는 전류를 미러시킨다. 전류원(209) 은 차동 트랜지스터 쌍(213,214) 을 구비하되, 트랜지스터(213) 는 출력 리드(203) 로부터 발생된 베이스 구동 입력신호를 수신한다. 레지스터(210,211)(저항(R_1,R_2)을 지니는)로 구성된 전압 분할기는 V_{IN} 리드(201) 및 V_{OUT} 리드(203) 사이에 접속되어 차동 트랜지스터(214) 의 베이스에 전압을

제공한다. 트랜지스터(215) 는 V_{IN} 리드(201) 및 트랜지스터(213) 의 콜렉터 사이에 접속된 부하 디바이스로서 사용된다. 트랜지스터(216) 는 트랜지스터 부하 디바이스(215) 를 통해 흐르는 전류를 미러시키며 차동 증폭기(230) 의 반전 입력 리드 및 차동 입력 트랜지스터(214) 의 콜렉터에 접속된 콜렉터를 지닌다. 차동 증폭기(230) 의 비반전 입력 리드는 바이어스 회로(204) 에 의해 제공되는 접지보다 높은 바이어스 전압에 접속된다.

음(-) 피드 백 루프는 증폭기(230), 통과 트랜지스터(205), 및 트랜지스터(209, 213, 214, 215, 216) 로 이루어진 상기 콘덕턴스 증폭기를 포함한다. 상기 루프 이득이 높기 때문에, 증폭기(230) 의 반전 리드 및 비반전 리드상에 걸린 전압은 동일하게 된다. 그러므로, 레지스터(212)(저항(R_3) 을 지니는) 양단에 걸린 전압은 도면 번호(231) 로서 도시된 오프셋 전압($V_{오프셋}$)과 동일하다.

I_X가 상호 콘덕턴스 증폭기의 출력 전류인 경우에,

$$I_X = \frac{V_{오프셋}}{R_3} \qquad (1)$$

가 된다. 또한,

$$I_X = G_M V_{R2} \qquad (2)$$

가 되는데, 여기서

V_{R2} = 저항 (R_2) 을 지니는 레지스터 (210) 양단에 걸린 전압강하

$$= \frac{(V_{IN} - V_{OUT})R_2}{R_1 + R_2} \qquad (3)$$

이며

$$G_M = \text{상호콘덕턴스} = \frac{I_{C209}}{2V_T} \qquad (4)$$

인데, 여기서

V_T = 열(thermal) 전압($\frac{KT}{q}$) 이며, 트랜지스터(205, 206, 207 및 208, 209)가 형성하는 전류 미러에

$$I_{C209} = \frac{I_{OUT}}{N}$$

기인한다. 인데, 여기서 I_{C209}는 트랜지스터(209)의 콜랙터 전류이고, I_{OUT} 는 통과 트랜지스터(205) 의 에미터 전류이며, N 은 비례계수이다.

따라서 식(2)는

$$I_X = \frac{I_{OUT}}{2NV_T} \times \frac{(V_{IN} - V_{OUT})R_2}{R_1 + R_2} \qquad (5)$$

가 된다. 이를 식(1)과 동일하게 놓는 경우, 본 발명자는

$$\frac{I_{OUT}(V_{IN} - V_{OUT})K}{2NV_T} = \frac{V_{오프셋}}{R_3} \qquad (6)$$

이라는 관계식을 얻는데, 여기서

$$K = \frac{R_2}{R_1 + R_2}$$ 이고, 또한

$$I_{OUT}(V_{IN} - V_{OUT}) = \frac{2NV_T \times V_{오프셋}}{KR_3} \qquad (7)$$

이라는 관계식을 얻는다.

$I_{OUT}(V_{IN} - V_{OUT})$ 가 통과 트랜지스터(205) 의 전력 소비와 동일하기 때문에, 제4도 회로는 일정한 전력을 소비한다.

그러나, 불행히도 선행 기술의 제4도 회로(200) 는 제조 허용 범위, 예컨대 차동 증폭기(230) 의 고유 DC 오프셋 전압($V_{오프셋}$)에 영향을 받는다는것이 바람직스럽지 않다. 더군다나, 선행 기술의 회로(200) 는 V_{IN} 리드(201) 및 V_{OUT} 리드(203) 사이에 접속된 큰 저항 값을 지닌 레지스터(210, 211) 를 필요로하는데, 이러한 레지스터(210, 211) 는 정확한 허용 범위로 집적 회로상에 제조하는데 어려운 점이 있으며 큰 집적 회로 면적을 필요로 한다.

본 발명의 목적인($V_{IN} - V_{OUT}$) 가 증가함에 따라 출력 전류가 감소하는 전류원을 제공하는 것이다.

본 발명의 다른 목적인($V_{IN} - V_{OUT}$) 의 함수값이 넓은 범위를 취함에 따라 출력 전류가 비례적으로 변할 수 있는 전류원을 제공하는 것이다.

본 발명의 또 다른 목적은 큰 저항값을 지난 레지스터가 없이도 전류, 즉 공급 전류의 절대값에 따라 출력 전류를($V_{IN} - V_{OUT}$)의 함수로서 제공하는 것이다.

[발명의 요약]

본 발명의 교습에 따르면, 전력 트랜지스터의 도통을 안전 동작 영역(safe operating area ; 이하 SOA) 내로 제한하기 위해, 출력 전류가 전력 공급 전압에 비례하며 상기 출력 전류의 절대값이 임의적으로 낮아질 수 있는 능동 전류원이며 합성 저항값이 큰 레지스터를 포함하는 회로가 갖추어져 있다. 복합 SOA 기능을 이행하기 위하여, 본 발명의 SOA 회로는 전압에 대한 비선형 부분인 전류를 합성하며 전류원의 출력 전류가 접합 온도 및 기계 상태와 같은 여러 변수의 함수일 수 있는 위상을 지닌다.

본 발명의 위상(topology) 은 합성될 수 있는 전달 함수에 대하여 유연성이 있게 하며, 본 발명은 전압 - 전류 전달 함수가 선형 레지스터, 비선형 레지스터 및 음(-) 레지스터와 같은 다양한 기능을 합성할 수 있는 전류원에 관한 것이다. 상기 전달함수는 이 전달 함수를 생성하는데 정확성을 기하기 위해 필요하다면 여러 부분으로 나누어 구분적 근사치를 구하는 함수이다.

본 발명은 전반적으로는 제어 전압에 대한 구분(區分)적 함수인 전류를 발생시키는 기술에 관한 것이다.

본 발명의 교습에 따르면, 입력 전압에 응답하여 출력 전류 레벨을 제어하도록 하나 이상의 제어 전압을 발생시키기 위한 수단을 포함하는 신규한 구분적 전류원이 제공되어 있다. 본 발명의 한 실시예에서는, 제어 신호 수단 각각은 피드 백 수단 및 가산 노드를 포함하므로 제어 신호를 입력으로서 사용되는 경우 하나이상의 기능이 이행되고 그 결과가 상기 가산 노드로 피드백된다. 이와 같이, 출력전류의 크기를 제어하기 위한 합성기능은 용이하게 제공될 수 있다.

본 발명의 한 실시에에서는, 사용가능하게 제공되는 출력 전류를 제한하기 위해 하나이상의 제어신호가 하나이상의 포화전류미러에 의해 제공된다.

본 발명의 한 실시예에서는, 상기 포화 전류 미러는 한 콜렉터가 출력 전류를 제공하며 하나이상의 다른 콜렉터가 입력 전압에 대한 전류 특성을 지니는 회로 요소에 접속되어 있다. 한 실시예에서는, 이러한 다른 콜렉터가 하나이상의 제너 다이오드에 접속되므로 해서 입력 전압이 미리 결정된 레벨이상으로 증가할 경우 상기 콜렉터를 통한 전류 경로를 제공하여 사용가능한 출력 전류를 감소시킨다. 본 발명의 한 실시예에서는, 상기 콜렉터에 접속된 회로 요소가 출력 전류대 입력 전압 전달 함수의 동일한 계단 크기를 제공하는데 비하여, 또 다른 실시예에서는 이러한 계단 크기가 어느 바람직한 구성에서는 동일하

지 않다. 본 발명의 또 다른 실시예에서는, 콜렉터 면적이 여러 콜렉터 사이에서 서로 다르므로써 전달 함수의 계단 응답사이에 바람직한 비율을 제공한다.

본 발명의 또 다른 실시예에서는, 바람직한 전달함수를 제공하도록 복수개의 콜렉터를 지니는 바이폴라 트랜지스터가 바람직한 비율의 채널폭을 지니는 복수개의 MOS 트랜지스터로 교체된다.

[본 발명의 바람직한 실시예에 대한 상세한 설명]

본 발명의 목적은 제5b도의 그래프와 같이 동작하는 제5a도의 회로(600) 로서 도시된 본 발명의 실시예로 달성된다. V_{IN}이 고전압($V_{OUT} - V_{BE} + 7V + 7V \geq 20$볼트이상)일 경우 다중 콜렉터 수평형 PNP 트랜지스터(604)의 모든 콜렉터(606 -1내지 606 - 4) 가 활성상태로 되어 상기 트랜지터(604) 가 도통된다(콜렉터(606 -1 내지 606 - 4) 가 정합되는 경우도 마찬가지이다). 콜렉터(606 -1내지 606 - 4)가 정합되기 때문에, 전류원(603) 에 의해 제공되는 전류(I) 중 I/3는 콜렉터(606 - 4) 를 거쳐 트랜지스터(602)를 통해 흐르고, I/3는 콜렉터(606 - 3) 를 통해 흐르며, I/3는 콜렉터(606 - 2) 를 통해 흐른다. 그러므로 I/3는 콜렉터(606 - 1)로 부터 단순성을 위해 본 도면에서 접지된 것으로 도시된 레지스터(607) 를 통해 흐른다. V_{IN}이 전압 강하됨에 따라, 우선적으로 콜렉터(606 - 2) 가 포화되는데, 콜렉터(606 - 2)에 의해 도통된 전류는 0 값까지 떨어진다. 소수 캐리어를 이웃하는 콜렉터에 방출시키는 콜렉터(606 - 2)의 제어가능 효과를 무시하면, 현상태에서는 I/2가 콜렉터(606 - 4) 로부터 트랜지스터(602)를 통해 흐르고, I/2가 콜렉터(606 - 3) 를 통해 흐르며, I/2가 출력 전류로서 콜렉터(606 - 1)를 통해 흐른다. 결과적으로 생성된 출력 전압은 제5b도의 그래프에 있는 포인트(609)로서 도시된 바와같이 증가한다. V_{IN}이 더욱 전압강하됨에 따라, 콜렉터(606 - 3) 가 포화되고 콜렉터 전류는 0값까지 떨어진다. 현상태에서는 피드백 전류가 존재하므로 개방 루프상태로 회로가 동작하며, 트랜지스터(602) 는 콜렉터(606 - 4)로 부터 발생된 전류(I)를 도통시키고, 콜렉터(606 - 1)는 전류(I)를 출력 전류로서 도통시킨다. 그리하여 제5b도 그래프의 포인터(610) 로 도시된 바와같이, 출력 전압은 더욱 상승된다.

한 실시예에 의하면, V_{IN}은 5 볼트이고, 편리성 위해, 그리고 회로(600) 가 대략 2.5 볼트만큼 낮은 V_{IN}으로 동작되게 하도록 트랜지스터(602)의 베이스에 인가되는 V_{OUT} 는 2.5볼트의 일정 전압이다. 트랜지스터(604) 의 각각의 콜렉터의 상대적인 폭(width)은 원하는 전달 함수를 제공하도록 선택된다. 예를들면, 제5b도에 도시된 바와같이 정합된 콜렉터를 위한 회로(600) 의 전달함수는 낮은 V_{IN} 에서 보다 큰 전력을 소비할 수 있는데, 이러한 경우에는 전력 트랜지스터(도시되지 않았지만, 제어 전압($V_{제어}$) 에 의해 제어되는 전압 레귤레이터 집적회로로서 형성되는 것이 전형적임)가 보다 많은 양의 전력을 소비할 수 있다.

한 실시예에 의하면, 트랜지스터(604)는 공통으로 접속된 에미터 및 공통으로 접속된 베이스를 지니는 4개로 분리된 트랜지스터로서 형성된다. 콜렉터(606 -2내지 606 - 4)의 크기에 비해 콜렉터(606 - 1)의 크기를 효과적으로 감소시키고 출력 저항을 증가시키기 위해, 콜렉터(606 - 1)와 연관된 베이스 폭은 콜렉터(606 -2내지 606 - 4)와 연관된 베이스폭보다 넓다. 한 실시예에 의하면, 포화된 콜레터에 의해 방출된 소수 캐리어가 대개 활성상태에 있는 콜렉터에 의해 집결되는 것을 최소화하기 위해 p형 가이드링(guard ring)을 포함하는 트랜지스터(604) 가 형성된다.

제6도는 본 발명의 또 다른 실시예에 대한 개략도이다. 회로(500) 는 비반전 입력 리드상에 입력 전압(V_{IN})을 수신하는 차동 증폭기(510) 를 포함한다. 상기 차동증폭기(510) 의 반전 입력 리드는 출력 리드에 접속되어 있으며, 상기 출력 리드는 다시 포화전류 미러(504)에 접속되어 있다. 포화 전류 미러(504) 는 여러개의 전압원(V_1 내지 V_N) 각각에 접속되어 있는 여러개의 출력 리드(504 -1내지 504 - N)를 포함한다. 이러한 전압원은, 입력 전압(V_{IN})이 각각의 전압 레벨(V_1 내지 V_N)보다 높이 증가함에 따라 각각의 전류(I_1 내지 I_N) 에 대한 전류경로를 제공함으로써, 출력 전류(I_{OUT})가, 입력 전압(V_{IN}) 을 증가시킴에 따라 감소되게 하는데 사용된다. 원하는 크기로된 필요한 전압(V_1 내지 V_N)군을 사용함으로써, 출력 전류 함수는 원하는 정도로 정확하게 V_{IN}의 함수로서 마무리된다. 예를들면, 전압(V_1 내지 V_N) 사이에 존재하는 매우 작은 계단 크기에 있어, 입력 전압(V_{IN})에 응답하여 얻어진 출력 전류(I_{OUT})의 계단 크기는 작게된다. 필요하다면, 전압(V_1 내지 V_N) 사이에 존재하는 계단 크기는, 반드시 동일할 필요는 없지만, 동일하다.

또한, 회로(500) 는 비반전 입력 단자상에서 바이어스 전압($V_{바이어스}$)을 수신하는 차동증폭기(501) 를 포함하며, 상기 차동증폭기(501) 의 출력 리드는 출력 전류(I_{OUT})를 제공하기 위해 트랜지스터(502) 를 구동시킨다. 물론, 포화 전류미러(504)에 의해 트랜지스터(502)에 인가된 전압은 전압(V_1 내지 V_N)으로 각각 설정됨에 따라 전류(I_1 내지 I_N)량 만큼 설정된다.

제7a도는 본 발명의 교습에 따라 구성된 또 다른 회로의 개략도이다. 제7a도의 회로 동작은 제7b도에 도시된 출력 전류 대입력 전압의 그래프를 참조하면 용이하게 이해될 수 있다. PNP 트랜지스터(704) 에 대한 포화 전압을 0.1 볼트로 가정하고, 베이스 - 에미터 전압은 0.7 순방향 바이어스 전압만큼 강하되고 제너 전압은 7 볼트의 전압만큼 강하된다고 가정하기로 한다. 이때, 제너 다이오드(709 내지 712)는 다음과 같은 포화 전압에 대해 도통한다. 즉,

(a) 모든 제너 다이오드(709 내지 712)는

$V_{IN} \geq V_{OUT} + 0.1V + (2 \times 7V) + (5 \times 0.7V) = V_{OUT} + 17.6V$ 와 같은 전압을 도통시킨다. 이는 $V_{IN} - V_{OUT} \geq 17.6$ 는 결과를 만들어낸다.

(b) 17.6V $V_{IN} - V_{OUT} \geq 14.1V$ 일 경우,

제너 다이오드(710) 는 오프(off)된다.

(c) 14.1V $V_{IN} - V_{OUT} \geq 10.6V$ 일 경우,

제너 다이오드(710, 712)는 오프된다.

(d) 10.6V $V_{IN} - V_{OUT} \geq 7.1V$ 일 경우,

제너 다이오드(709, 710, 712)는 오프된다.

(e) 7.1V $V_{IN} - V_{OUT}$일 경우,

모든 제너 다이오드(709 내지 712)는 오프된다. 이들에 대한 조건 :

(a) $I = 5I_X$ (b) $I_{Xe} = 4I_X$ (c)$I_X = I/3$, (e)$I_X = I$인데,여기서,

$I_X = I/5$, $I_X = I/4$, (d)$I_X=I/2$, I_X=PNP 트랜지스터(704)의 콜렉터당 전류이다.

제7b도에 도시된 바와같이, 리드(708) 상에서 사용될 수 있는 출력 전류는 턴온된 제너 다이오드(709 내지 712) 의 수에 해당하는 계단 함수를 지닌다. $V_{IN}-V_{OUT}$의 전압값이 낮은 경우에, 모든 제너 다이오드(709 내지 712)가 도통되지 않으며 레지스터(707) 양단에 걸린 최대 전압강하(결과적으로는 최대 출력 전류) 가 얻어진다. 대략 $V_{IN} - V_{OUT} = 7.1$볼트에서, 제너 다이오드(711)는 도통하기 시작하므로써 레지스터(707)양단에 걸린 전압 강하를 감소시킨다. 레지스터(704) 양단에 걸린 전압강하에 있어 제2의 구분적 감소는 $V_{IN} - V_{OUT}$ 가 대략 10.6볼트로 증가할 경우, 즉 제너 다이오드(709)가 도통하기 시작할 경우에 생긴다. 추가적인 구분적 감소는 $V_{IN} - V_{OUT}$ 가 대략 14.6 볼트 및 16.6 볼트로 증가 할 경우, 즉 제너 다이오드(712, 710)가 각각 도통할 경우에 생긴다.

제8도는 제너 다이오드(809 내지 812) 가 연관된 트랜지스터(819 내지 822) 각각을 통해 전류를 도통되게 하기위해, 즉 입력 전압(V_{IN})이 증가함에 따라 리드상에서 사용될 수 있는 출력 전류(I_{OUT})를 구분적으로 감소시키기 위해 바이폴라 트랜지스터보다는 오히려 MOS 트랜지스터를 사용하는 본 발명의 또 다른 실시예에 대한 개략도이다.

제8도에 도시된 실시예에서, I_X를, 적절한 크기로 형성된 P 채널 MOS 트랜지스터를 통해 흐르는 전류라고 놓기로 하자.

(a) $V_{IN} - V_{OUT}$ $7V + V_{gs}$일 경우, 모든 제너 다이오드(809 내지 812)가 오프되므로 해서 $I_X = I_{IN}$이 된다.

(b) $7V \leq V_{IN} - V_{OUT} - V_{gs}$ 14V일 경우, 제너 다이오드(812)만이 온(ON)되어 $I_{IN}=2I_X$가 되며 이를 다시 쓰면 $I_X=I_{IN}/2$가 된다.

(c) $14V \leq V_{IN} - V_{OUT}-V_{gs}$ 21V일 경우, 제너 다이오드(812,811)가 온되므로 IX=IIN/3이 된다.

(d) $21V \leq V_{IN} -V_{OUT} - V_{gs}$ 28V일 경우, 제너 다이오드(810,811,812)가 온되므로 $I_X = I_{IN}/4$가 된다.

(e) $28V + V_{gs}$ $V_{IN} - V_{OUT}$일 경우, 모든 제너 다이오드(809 내지 812)가 온되어

$I_{IN} = 3I_X + 4I_X$가 되고, 결과적으로는,

$I_X = I_{IN}/7$이 된다.

본 발명의 한 실시예로서 제7a도의 실시예를 예로 들면, 콜렉터(706 -1내지 706 - 6)의 면적 크기는, 계단 크기 및 출력 전류가 동일하지 않도록 원하는 크기의 관계성으로 축소 확대된다. 예를 들면, 다른 콜렉터보다2배 넓은 면적을 지니는 콜렉터에 대하여는, 사용될 수 있는 출력 전류의 감소 효과가2배 정도이다. 본 발명의 또다른 실시예로서 제8도의 실시예를 예로들면, 트랜지스터(819 내지 822) 의 채널 폭은, 마찬가지 효과를 지니도록 축소.확대된다.

전술한 발명이 명확한 이해를 위해 예시 및 실시예를 들어 어느 정도 상세히 기술되었지만, 본 발명의 교습에 비추어 볼때 본 기술에 통상의 지식을 지닌자라면 첨부된 특허청구의 범위나 사상으로부터 벗어나지 않고서도 변경 및 수정될 수 있다는 것을 용이하게 알수 있을 것이다.

(57) 청구의 범위

청구항 1

입력 전압을 수신하는 입력 리드; 출력 전류를 제공하는 출력 리드; 상기 입력 전압에 응답하여 입력 신호를 수신하도록 연결된 입력리드, 복수개의 제어 리드 , 및 출력 리드를 지니는 전류 미러; 상기 전류 미러의 제어 리드 각각에 각기 연결되어 있으며, 상기 입력 전압이 출력 전류 제어 수단과 연관된 미리 결정된 레벨에 도달될 경우 상기 전류 미러로 부터 전류를 각기 도통시켜, 상기 전류 미러의 출력 리드상에 이용될 수 있는 전류에 영향을 주는 복수개의 출력 전류 제어 수단; 및 상기 입력 전압을 수신하는 입력 리드 및 상기 전류 미러의 입력리드에 연결된 출력 리드를 지니는 버퍼를 포함하는 전류원.

청구항 2

제1항에 있어서, 상기 전류원은, 제어 리드, 상기 전류원의 입력 리드로서 사용되는 제1전류 조정리드, 및 상기 제어 단자에 연결되어 있으며 전류원에 연결된 제2전류 조정 리드를 지니는 제1트랜지스터; 상기 제1트랜지스터의 제어 단자에 연결된 제어 단자, 상기 제1트랜지스터의 제1전류 조정 리드에 연결된 제1전류 조정 리드 및 상기 전류 미러의 복수개의 제어 리드중 하나로서 사용되는 제2전류 조정 리드를 각기 지니는 복수개의 추가 트랜지스터를 포함하는 전류원.

청구항 3

입력 전압을 수신하는 입력 리드; 출력 전류를 제공하는 출력 리드; 상기 입력 전압에 응답하여 입력 신호를 수신하도록 연결된 입력리드, 복수개의 제어 리드, 및 출력 리드를 지니는 전류 미러; 및 상기 전류 미러의 제어 리드 각각에 연결되어 있으며, 상기 입력전압이 출력 전류 제어 수단과 연관된 미리 결정된 레벨에 도달될 경우 상기 전류미러로 부터 전류를 각기 도통시켜, 상기 전류 미러의 출력 리드상에 이용될 수 있는 전류에 영향을 주는 복수개의 출력 전류 제어 수단을 포함하며, 상기 복수개의 출력 전류 제어 수단은 상기 입력 전압에 대하여 상기 출력 전류에서의 복수개의 단계(step)를 제공하고, 상기 복수개의 단계는 상기 입력 전압에 대하여 동일값인 특징으로 하는 전류원.

청구항 4

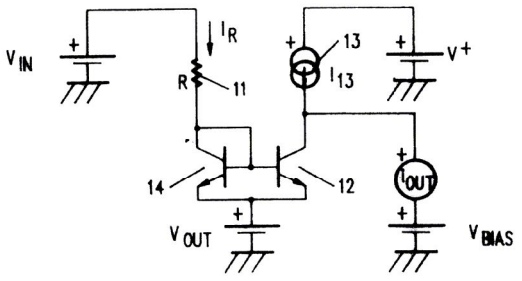
제3항에 있어서, 상기 복수개의 출력 전류 제어 수단은 직렬 접속되어 있으며, 상기 전류 미러의 복수개의 제어 리드는 상기 복수개의 출력 전류 제어 수단 사이의 상호 접속부중 하나에 접속되어 인는 전류원.

청구항 5

제3항에 있어서, 상기 전류원은, 제어 리드, 상기 전류원의 입력 리드로서 사용되는 제1전류 조정 리드, 및 상기 제어 단자에 연결되어 있으며 전류원에 연결된 제 2전류 조정 리드를 지니는 제1트랜지스터; 상기 제1트랜지스터의 제어 단자에 연결된 제어 단자, 상기 제1트랜지스터의 제1전류 조정 리드에 연결된 제1전류 조정 리드, 및 상기 전류 미러의 복수개의 제어 리드중 하나로서 사용되는 제2전류 조정 리드를 각기 지니는 복수개의 추가 트랜지스터를 포함하는 전류원.

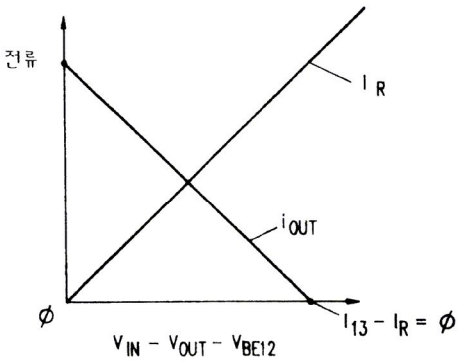
도면

도면1

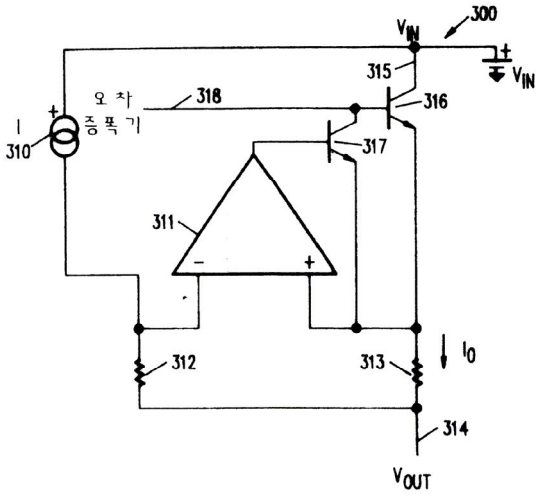


(선행기술)

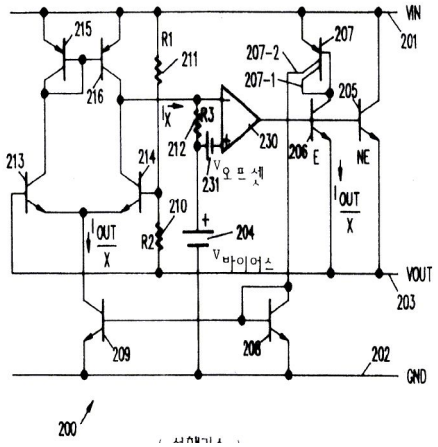
도면2



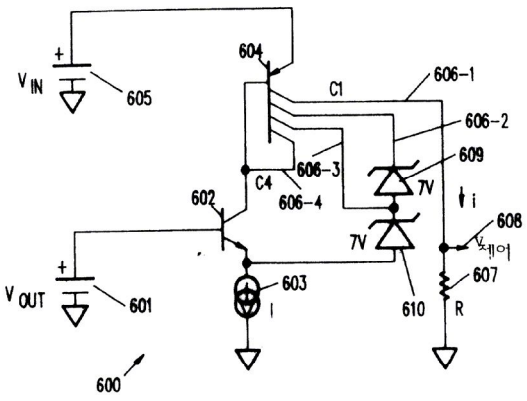
도면3


300
VIN
315
VIN
오 차
증 폭 기
318
316
I
310
317
311
312
313
I0
314
VOUT

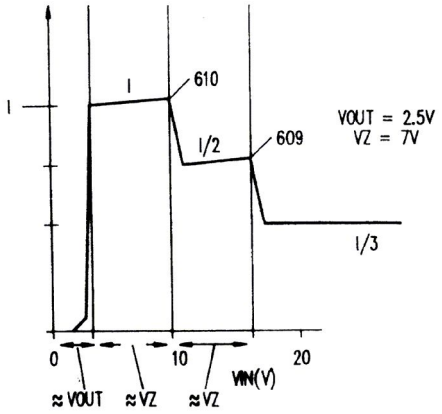
도면4


VIN
201
215
R1
211
207-2
207
207-1
205
216
IX
R3
212
230
206
E
NE
213
214
231
V오프셋
210
IOUT/X
R2
204
V바이어스
VOUT
203
209
208
202
GND
200

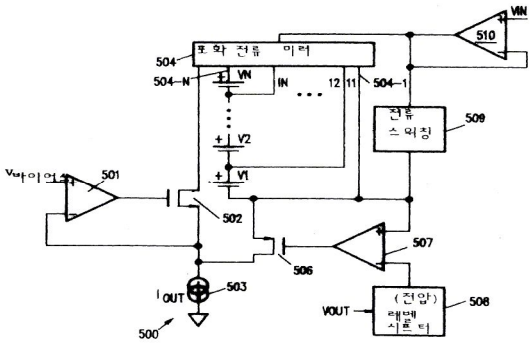
도면5a


604
VIN
605
C1
606-1
606-2
609
606-3
C4
606-4
7V
i
602
608
7V
V제어
607
VOUT
601
603
I
610
R
600

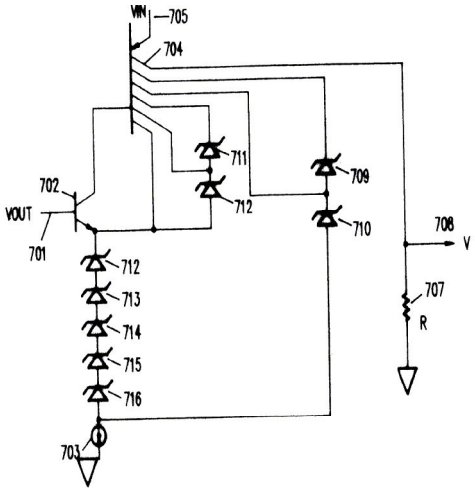
도면5b



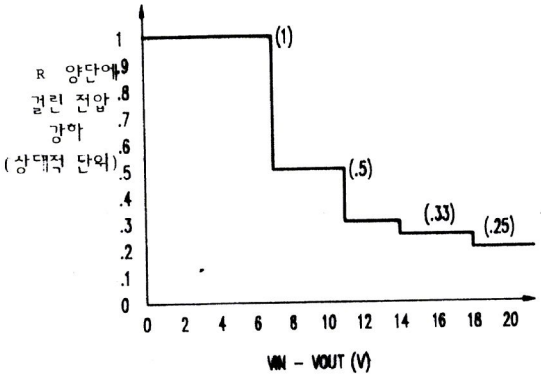
도면6



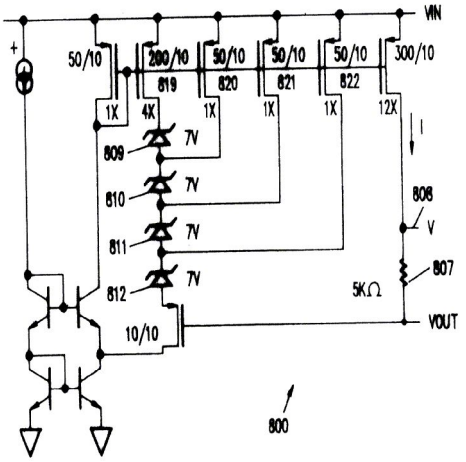
도면7a



도면7b


R 양단에 걸린 전압 강하 (상대적 단위)
1
.9
.8
.7
.6
.5
.4
.3
.2
.1
0
(1)
(.5)
(.33)
(.25)
0 2 4 6 8 10 12 14 16 18 20
VIN - VOUT (V)

도면8


VIN
50/10
200/10
819
50/10
820
50/10
821
50/10
822
300/10
1X
4X
1X
1X
1X
12X
809
7V
810
7V
811
7V
812
7V
10/10
I
808
V
807
5KΩ
VOUT
800