



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

239 507

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 30 06 81
(21) PV 4995-81

(51) Int. Cl.
G 06 F 7/50

(40) Zveřejněno 13 06 85

(45) Vydáno 01 06 87

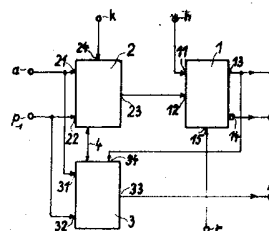
(75)
Autor vynálezu

HOLUB IGOR ing., PRAHA

(54)

Zapojení stupně dvojkové sčítačky

Zapojení řeší problém zjednodušení logické struktury kombinace sčítačka-strádač s možností inverze obsahu strádače. Podstatou zapojení je použití klopného obvodu typu T namísto klopného obvodu typu D ve strádači a současném vypuštění toho vstupu klasické sčítačky, který bývá v dosud známých případech spojen s výstupem strádače. Zbývající dva vstupy sčítačky, přenosový a vstup druhého sčítance jsou přes obvod "výlučné nebo" a součtový logický obvod spojeny se signálovým vstupem klopného obvodu typu T. Druhý vstup obvodu "nebo" slouží k inverzi obsahu strádače. Přenos do vyššího řádu sčítačky je generován běžným, dosud známým obvodem. Zapojení může být využito ve výpočetní, měřicí a řídicí technice.



Vynález se týká zapojení stupně dvojkové sčítačky, jehož součástí je odpovídající bistabilní klopný obvod strádače a který je případně vybaven vstupem pro inverzi obsahu tohoto strádače, jež slouží k přičítání a případně též k odečítání dvojkových čísel od obsahu strádače.

Dosud známá zapojení stupně dvojkové sčítačky jsou kombinační obvody, vybavené dvěma sčítacími vstupy, jedním vstupem pro přenos z nižšího řádu sčítačky, jedním výstupem součtu a jedním přenosovým výstupem do vyššího řádu sčítačky. Součástí zařízení, sestaveného z těchto stupňů bývá prakticky vždy strádač, tvořený obvykle klopnými obvody typu D. Takto vytvořená sčítačka není optimální vzhledem k množství základních logických prvků, potřebných k její realizaci. Navíc nelze jednoduchým způsobem realizovat inverzi obsahu strádače, umožňující provádět též odčítání.

Výše uvedené nevýhody odstraňuje zapojení stupně dvojkové sčítačky s odpovídající paměťovou buňkou strádače podle vynálezu. Jeho podstatou je, že paměťová buňka strádače je tvořena klopným obvodem typu T, jehož signálový vstup je spojen s výstupem kombinačního logického obvodu pro generaci řídicího signálu a jehož přímý výstup je spojen s pomocným vstupem kombinačního logického obvodu pro generaci přenosu do vyššího řádu jenž je nejvýše dvou vodičovým vedením spojen s kombinačním logickým obvodem pro generaci řídicího signálu a jehož hlavní vstupy jsou spojeny jednak s hlavními vstupy kombinačního logického obvodu pro generaci řídicího signálu, jednak s přenosovým vstupem zapojení a přičítacím vstupem zapojení a jehož výstup je spojen s přenosovým výstupem zapojení, přičemž pomocný vstup kombinačního logického obvodu pro generaci řídi-

cího signálu je spojen se vstupem zapojení pro komplementaci obsahu střádače a dále hodinový vstup klopného obvodu typu T je spojen s hodinovým vstupem zapojení, nulovací vstup tohoto obvodu je spojen s nulovacím vstupem zapojení a přímý a negovaný výstup tohoto obvodu jsou spojeny s přímým a negovaným výstupem zapojení. Jednou z možných konkrétních realizací kombinačního logického obvodu pro generaci řídicího signálu klopného obvodu typu T je sériové zapojení logického obvodu výlučné nebo a logického obvodu negace logického součinu.

Výhoda zapojení podle vynálezu spočívá v tom, že stav klopného obvodu typu T, použitého ve střádači, vždy reprezentuje hodnotu jednoho sčítance a proto vlastní sčítačka zpracovává pouze dva vstupní signály - přenos z nižšího řádu a vstup druhého sčítance. Tím je redukována i její obvodová struktura, protože klasická funkce "aritmetický součet" se redukuje na logickou funkci "výlučné nebo". Kromě toho lze u zapojení podle vynálezu přímo provádět inverzi obsahu střádače, což u dosud známých zapojení není možné. K tomu slouží zdvojení signálových vstupů klopných obvodů střádače.

Na připojeném výkresu představuje obr.1 blokové schéma zapojení podle vynálezu a obr.2 jednu z možných realizací tohoto zapojení pomocí elementárních logických obvodů.

Na obr.1 je paměťová buňka střádače tvořena klopným obvodem 1 typu T, jehož signálový vstup 12 je spojen s výstupem 23 kombinačního logického obvodu 2 pro generaci řídicího signálu a jehož přímý výstup 13 je spojen s pomocným vstupem 34 kombinačního logického obvodu 3 pro generaci přenosu do vyššího řádu jenž je nejvýše dvou vodičovým vedením 4 spojen s kombinačním logickým obvodem 2 pro generaci řídicího signálu a jehož hlavní vstupy 31, 32 jsou spojeny jednak s hlavními vstupy 21, 22 kombinačního logického obvodu 2 pro generaci řídicího signálu, jednak s přenosovým vstupem p-1 zapojení a přiřítacím vstupem a zapojení a jehož výstup 33 je spojen s přenosovým výstupem p zapojení, přičemž pomocný vstup 24 kombinačního logického obvodu 2 pro generaci řídicího signálu je spojen se vstupem k zapojení pro komplementaci obsahu střádače a dále hodinový vstup 11 klopného obvodu 1 typu T je spojen s hodinovým vstupem h zapojení, nulovací vstup 15 tohoto

obvodu je spojen s nulovacím vstupem $\bar{r}$ zapojení a přímý a negovaný výstup 13, 14 tohoto obvodu jsou spojeny s přímým a negovaným výstupem $\bar{h}$, $\bar{h}$ zapojení.

Na obr.2 je kombinační logický obvod 2 pro generaci řídicího signálu klopného obvodu 1 typu T tvořen sériovým zapojením logického obvodu 25 výlučné nebo a logického obvodu 26 negace logického součinu.

Činnost zapojení vyplývá z elementárních pravidel pro sčítání ve dvojkové číselné soustavě. Jelikož jeden ze sčítanců je dán stavem klopného obvodu 1 před příchodem aktivní hrany hodinového impulzu, zatímco stav po jejím příchodu je obrazem aritmetického součtu obou sčítanců, je změna stavu tohoto obvodu dána logickou funkcí "výlučné nebo" o dvou proměnných, jimiž jsou druhý sčítanec a přenos z nižšího řádu sčítačky. Tuto funkci realizuje kombinační logický obvod 2 se vstupy 21, 22 a výstupem 23, který řídí ovládací vstup 12 bistabilního obvodu 1. Pokud je požadována nezávislá možnost inverze obsahu střádače, je součástí logického obvodu 2 ještě dvouvstupové hradlo "nebo" vřazené mezi výstup hradla "výlučné nebo" a ovládací vstup 12 klopného obvodu, jehož druhý vstup slouží k provádění této reverzace. Na obr.2 je toto hradlo realizováno obvodem "negace logického součinu" s negovanými vstupními signály. Logický signál přenosu do vyššího řádu je vytvořen realizací stejné logické funkce jako u klasické, dosud známé sčítačky, kombinačním obvodem 3, který realizuje logickou funkci: $p = ab + ap_{-1} + bp_{-1}$. Oba kombinační logické obvody 2 a 3 mohou mít při praktické realizaci některé části společné, což je na obr.1 vyznačeno jejich spojením 4.

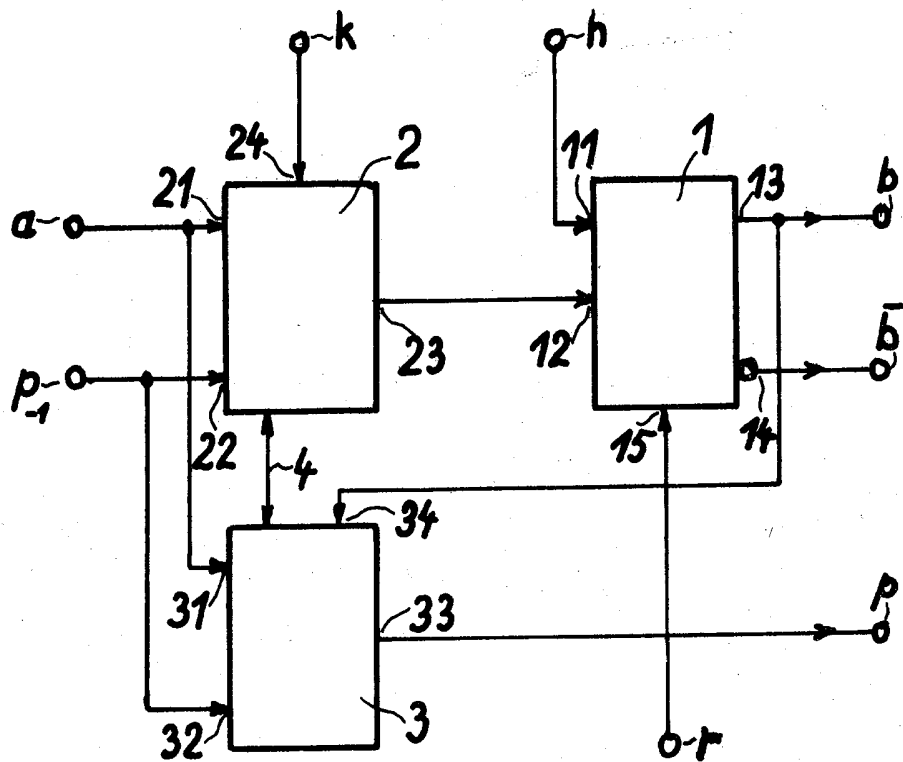
Vynález může být využit ve výpočetní, měřicí a řídicí technice.

PŘEDMĚT VYNÁLEZU

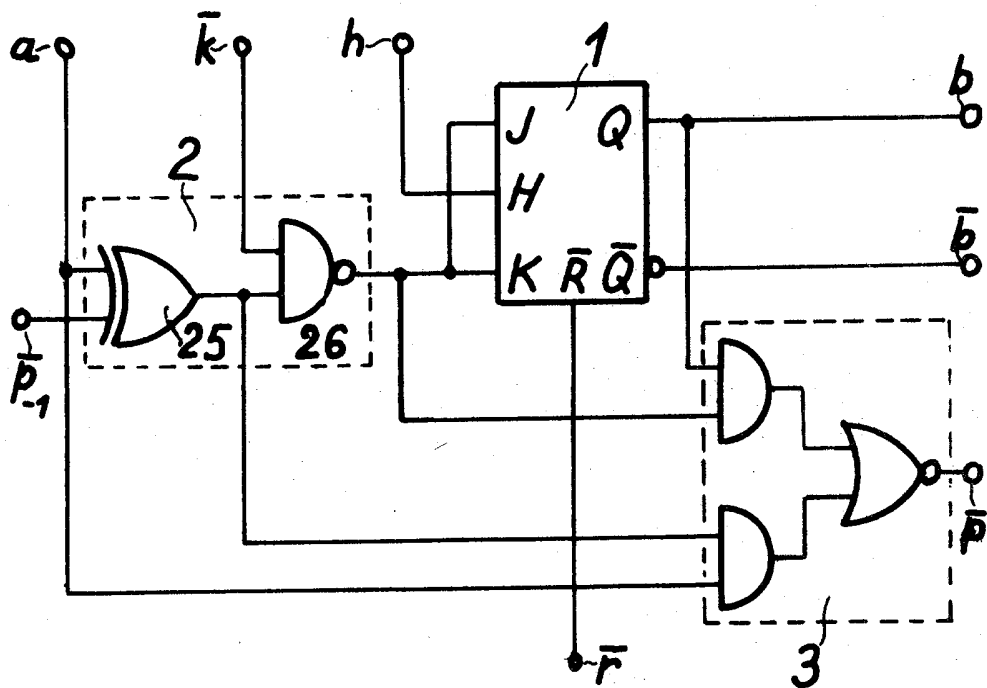
239 507

1. Zapojení stupně dvojkové sčítačky s odpovídající pamětovou buňkou strádače, vyznačené tím, že pamětová buňka strádače je tvořena klopným obvodem /1/ typu T, jehož signálový vstup /12/ je spojen s výstupem /23/ kombinačního logického obvodu /2/ pro generaci řídicího signálu a jehož přímý výstup /13/ je spojen s pomocným vstupem /34/ kombinačního logického obvodu /3/ pro generaci přenosu do vyššího řádu, jenž je nejvýše dvouvodíčovým vedením /4/ spojen s kombinačním logickým obvodem /2/ pro generaci řídicího signálu a jehož hlavní vstupy /31, 32/ jsou spojeny jednak s hlavními vstupy /21, 22/ kombinačního logického obvodu /2/ pro generaci řídicího signálu, jednak s přenosovým vstupem /p₁/ zapojení a přičítacím vstupem /a/ zapojení a jehož výstup /33/ je spojen s přenosovým výstupem /p/ zapojení, přičemž pomocný vstup /24/ kombinačního logického obvodu /2/ pro generaci řídicího signálu je spojen se vstupem /k/ zapojení pro komplementaci obsahu strádače a dále hodinový vstup /11/ klopného obvodu /1/ typu T je spojen s hodinovým vstupem /h/ zapojení, nulovací vstup /15/ tohoto obvodu je spojen s nulovacím vstupem /r/ zapojení a přímý a negovaný výstup /13, 14/ tohoto obvodu jsou spojeny s přímým a negovaným výstupem /b, $\bar{b}$ / zapojení.
2. Zapojení podle bodu 1, vyznačené tím, že kombinační logický obvod /2/ pro generaci řídicího signálu klopného obvodu /1/ typu T je tvořen sériovým zapojením logického obvodu /25/ výlučné nebo a logického obvodu /26/ negace logického součinu.

1 výkres



Obr. 1



Obr. 2