

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成22年3月18日 (2010.3.18)

【公表番号】特表2007-533055(P2007-533055A)

【公表日】平成19年11月15日 (2007.11.15)

【年通号数】公開・登録公報2007-044

【出願番号】特願2007-507348(P2007-507348)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

G 1 1 C 17/00 6 1 1 F

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

G 1 1 C 17/00 6 1 1 E

G 1 1 C 17/00 6 1 1 A

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 4 1

【誤訳訂正書】

【提出日】平成22年1月4日 (2010.1.4)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

非揮発性メモリをプログラミングする方法であり、

第 1 セットの一又は複数の非揮発性記憶要素を第 1 フィジカル 状態にプログラミングすること、及び

第 2 セットの一又は複数の非揮発性記憶要素を前記第 1 フィジカル 状態にプログラミングすることを備え、

前記第 1 フィジカル 状態は、前記第 1 セットの一又は複数の非揮発性記憶要素のためのミニマム電圧より低い、前記第 2 セットの一又は複数の非揮発性記憶要素のためのミニマム電圧を含むことを特徴とする方法。

【請求項 2】

前記第 1 フィジカル 状態は、前記第 1 セットのための第 1 ミニマム閾電圧と、前記第 2 セットのための第 2 ミニマム閾電圧とを含み、

前記第 2 ミニマム閾電圧は、前記第 1 ミニマム閾電圧より小さいことを特徴とする請求項 1 の方法。

【請求項 3】

前記第 1 フィジカル 状態に前記第 1 セットをプログラミングするステップは、第 1 ターゲットレベルを利用して前記第 1 セットをプログラミングすることを含み、

第 2 セットをプログラミングするステップは、第 2 ターゲットレベルを利用して前記第

2 セットをプログラミングすることを含むことを特徴とする請求項 2 の方法。

【請求項 4】

前記第 1 セットをプログラミングするステップは、前記第 1 フィジカル 状態への前記第 1 セットのプログラミングをベリファイすることを含み、

そのベリファイすることは、前記第 1 セットの一又は複数の非揮発性記憶要素の閾電圧が前記第 1 ターゲットレベルに到達したのか否かを決定することを含み、

前記第 2 セットをプログラミングするステップは、前記第 1 フィジカル 状態への前記第 2 セットのプログラミングをベリファイすることを含み、

そのベリファイすることは、前記第 2 セットの一又は複数の非揮発性記憶要素の閾電圧が前記第 2 ターゲットレベルに到達したのか否かを決定することを含むことを特徴とする請求項 3 の方法。

【請求項 5】

前記第 1 ターゲットレベルは、前記第 1 ミニマム閾電圧に等しく、

前記第 2 ターゲットレベルは、前記第 2 ミニマム閾電圧に等しいことを特徴とする請求項 4 の方法。

【請求項 6】

前記第 2 セットをプログラミングするステップは、前記第 1 セットをプログラミングするステップの後に実行されることを特徴とする請求項 1 の方法。

【請求項 7】

前記第 1 セットの非揮発性記憶要素と前記第 2 セットの非揮発性記憶要素は、NAND ストリングの一部であり、

前記第 2 セットの一又は複数の非揮発性記憶要素は、前記 NAND ストリングのための所定のワードラインに接続されており、

前記第 1 セットの一又は複数の非揮発性記憶要素は、前記 NAND ストリングのための他のワードラインに接続されていることを特徴とする請求項 6 の方法。

【請求項 8】

前記所定のワードラインは、プログラミングオペレーションの間に前記 NAND ストリングのためにプログラムされるべき最後のワードラインであることを特徴とする請求項 7 の方法。

【請求項 9】

前記第 1 セットをプログラミングするステップは、前記第 1 セットを前記第 1 フィジカル 状態にプログラムするために第 1 マキシマムプログラム電圧を供給することを予定することを含み、

前記第 2 セットをプログラミングするステップは、前記第 2 セットを前記第 1 フィジカル 状態にプログラムするために第 2 マキシマムプログラム電圧を供給することを予定することを含み、

前記第 2 マキシマムプログラム電圧は、前記第 1 マキシマムプログラム電圧より小さいことを特徴とする請求項 1 の方法。

【請求項 10】

前記第 1 セットを読み込むこと、及び、

前記第 2 セットを読み込むことをさらに備え、

前記第 1 セットを読み込むステップは、前記第 1 セットの一又は複数の記憶素子が前記第 1 フィジカル 状態にプログラムされたことを決定するために、一又は複数の第 1 読み込み値を供給することを含み、

前記第 2 セットを読み込むステップは、前記第 2 セットの一又は複数の記憶素子が前記第 1 フィジカル 状態にプログラムされたことを決定するために、一又は複数の第 2 読み込み値を供給することを含み、

一又は複数の前記第 2 読み込み値は、一又は複数の前記第 1 読み込み値より小さいことを特徴とする請求項 1 の方法。

【請求項 11】

前記第 1 フィジカル状態は、前記第 1 セットのフィジカル状態群を表すものの中の最も大きい閾電圧範囲と、前記第 2 セットのフィジカル状態群を表すものの中の最も大きい閾電圧範囲とに対応していることを特徴とする請求項 1 の方法。

【請求項 1 2】

前記第 1 セットの一又は複数の非揮発性記憶要素と、前記第 2 セットの一又は複数の非揮発性記憶要素は、一又は複数のバイナリ非揮発性記憶要素のセットであることを特徴とする請求項 1 の方法。

【請求項 1 3】

前記第 1 セットの一又は複数の非揮発性記憶要素と、前記第 2 セットの一又は複数の非揮発性記憶要素は、一又は複数のマルチ状態非揮発性記憶要素のセットであることを特徴とする請求項 1 の方法。

【請求項 1 4】

前記第 1 セットの一又は複数の非揮発性記憶要素と、前記第 2 セットの一又は複数の非揮発性記憶要素は、フラッシュメモリ装置であることを特徴とする請求項 1 の方法。

【請求項 1 5】

前記第 1 セットと前記第 2 セットは、フラッシュメモリ装置のアレイの一部であり、そのアレイは、ホストシステムに接続され、そのアレイは、そのホストシステムから着脱可能であることを特徴とする請求項 1 の方法。

【請求項 1 6】

非揮発性メモリシステムであり、
非揮発性記憶要素群のセットと、
非揮発性要素群に接続される管理回路とを備え、
非揮発性要素群のセットは、第 1 セットのフィジカル状態を有する非揮発性要素群の第 1 サブセットと、前記第 1 セットのフィジカル状態を有する非揮発性要素群の第 2 サブセットとを有し、
一又は複数の前記第 1 セットのフィジカル状態は、前記第 1 サブセットの非揮発性記憶要素群が高電圧であり、前記第 2 サブセットの非揮発性記憶要素群が低電圧であることを特徴とする非揮発性メモリシステム。

【請求項 1 7】

一又は複数の前記第 1 セットのフィジカル状態は、前記第 1 サブセットの非揮発性記憶要素群のためのミニマム閾電圧より低い、前記第 2 サブセットの非揮発性記憶要素群のためのミニマム閾電圧を含むことを特徴とする請求項 1 6 の非揮発性メモリシステム。

【請求項 1 8】

前記管理回路は、前記第 1 サブセットの非揮発性記憶要素群を一又は複数の前記第 1 セットのフィジカル状態にプログラムするために、一又は複数の第 1 ターゲットレベルを利用するとともに、前記第 2 サブセットの非揮発性記憶要素群を一又は複数の前記第 1 セットのフィジカル状態にプログラムするために、一又は複数の第 2 ターゲットレベルを利用することを特徴とする請求項 1 6 の非揮発性メモリシステム。

【請求項 1 9】

一又は複数の前記第 2 ターゲットレベルは、一又は複数の前記第 1 ターゲットレベルより低いことを特徴とする請求項 1 8 の非揮発性メモリシステム。

【請求項 2 0】

一又は複数の前記第 1 ターゲットレベルは、前記第 1 サブセットの非揮発性記憶要素群のための一又は複数の前記第 1 セットのフィジカル状態の一又は複数のミニマム閾電圧であり、

一又は複数の前記第 2 ターゲットレベルは、前記第 2 サブセットの非揮発性記憶要素群のための一又は複数の前記第 1 セットのフィジカル状態の一又は複数のミニマム閾電圧であることを特徴とする請求項 1 9 の非揮発性メモリシステム。

【請求項 2 1】

非揮発性記憶要素群の前記セットは、マルチ状態フラッシュ非揮発性記憶要素群のセットであることを特徴とする請求項 16 の非揮発性メモリシステム。

【請求項 22】

前記管理回路は、コントローラと状態機械とセンス増幅器の少なくとも 1 つを含むことを特徴とする請求項 16 の非揮発性メモリシステム。

【請求項 23】

非揮発性記憶要素群の前記セットは、フラッシュメモリ装置のアレイの一部であり、そのアレイは、ホストシステムに接続され、

そのアレイは、そのホストシステムから着脱可能であることを特徴とする請求項 16 の非揮発性メモリシステム。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0014

【訂正方法】変更

【訂正の内容】

【0014】

本発明は、簡単に言うと、メモリデバイスの非揮発性記憶要素のプログラミング、ベリファイ、及び、読み込みのための技術に関する。様々な実施形態に対応するシステム及び方法は、メモリデバイスの選択記憶要素をプログラミング、ベリファイ、及び、読み込みする際に、可変のプログラムターゲットレベル、ベリファイレベル、読み込みレベル、及びステップサイズを利用することができる。これらのシステム及び方法は、選択記憶要素をターゲットフィジカル状態にプログラムするためにより小さなプログラム電圧を利用することによって、プログラム妨害を抑制し、メモリデバイスにおける優れたデータ保存を実現する。プログラミング速度を上げるために、増加されたステップサイズも利用される。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0015

【訂正方法】変更

【訂正の内容】

【0015】

一つの実施形態では、メモリシステムをプログラミングする際に、少なくとも 2 つのセットのベリファイ又はターゲットレベルが利用される。選択されたワードラインをプログラミングする際に利用されるベリファイレベルは、他のワードラインをプログラミングする際に利用される通常のベリファイレベルと異なる。

例えば、記憶要素群のグループの最後のワードライン、又は、グループの最後のワードラインに近いワードラインは、第 2 セットのベリファイレベルを利用してプログラミングされることができる。上記の最後のワードラインは、プログラムオペレーションの間にそのグループのための最後にプログラムされるべきラストワードラインでもよい。

第 2 セットのベリファイレベルは、記憶要素がプログラムされるそれぞれのフィジカル状態についての第 2 レベルを含んでもよい。また、第 2 セットのベリファイレベルは、状態を示す最も高い閾電圧範囲に対応するフィジカル状態のような選択フィジカル状態のためのみの第 2 レベルを含んでもよい。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0016

【訂正方法】変更

【訂正の内容】

【0016】

最後のワードライン又は最後のワードラインに近いワードラインに接続されるメモリセ

ルは、他のメモリセルよりタイトな閾区分（フィジカル状態を示す閾区分）を有していてもよい。第2セットのベリファイレベルは、これを利用してよく、状態を示すより低い閾電圧に選択されたメモリセルがプログラムされるように選択されてもよい。よりタイトな区分は、状態間の適切なセパレーションをもたらすとともに、閾電圧範囲を小さくさせる。このために、選択された状態にメモリセルを上昇させるために利用されるプログラム電圧を低減させることができる。小さいプログラム電圧を利用することによって、メモリデバイスのためのプログラム妨害を抑制することができる。特に、記憶要素群のグループの中の最後のワードライン又は最後のワードラインに近いワードラインに接続される記憶要素によって引き起こされるプログラム妨害を抑制することができる。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0017

【訂正方法】変更

【訂正の内容】

【0017】

一つの実施形態では、第2セットの読み込みレベルも利用される。第2セットの読み込みレベルは、選択されたフィジカル状態を示す低減された閾電圧分布を有するメモリセルを読み込むために選択されることができる。

【誤訳訂正6】

【訂正対象書類名】明細書

【訂正対象項目名】0018

【訂正方法】変更

【訂正の内容】

【0018】

一つの実施形態は、非揮発性メモリをプログラミングする方法を含む。この方法は、第1セットの一又は複数の非揮発性記憶要素を第1フィジカル状態にプログラミングすること、及び、第2セットの一又は複数の非揮発性記憶要素を上記の第1フィジカル状態にプログラミングすることを備える。第1フィジカル状態は、上記の第1セットの一又は複数の非揮発性記憶要素のためのミニマム電圧より低い、上記の第2セットの一又は複数の非揮発性記憶要素のためのミニマム電圧を含む。

【誤訳訂正7】

【訂正対象書類名】明細書

【訂正対象項目名】0019

【訂正方法】変更

【訂正の内容】

【0019】

他の実施形態は、非揮発性メモリをプログラミングする方法を含む。この方法は、第1ターゲットレベルを利用して第1セットの一又は複数の非揮発性記憶要素を第1フィジカル状態にプログラミングすること、及び、第2ターゲットレベルを利用して第2セットの一又は複数の非揮発性記憶要素を上記の第1フィジカル状態にプログラミングすることを備える。上記の第2ターゲットレベルは、上記の第1ターゲットレベルより小さい。

【誤訳訂正8】

【訂正対象書類名】明細書

【訂正対象項目名】0039

【訂正方法】変更

【訂正の内容】

【0039】

図8は、各メモリセルが4つのフィジカル状態の中で2ビットのデータを記憶する場合において、メモリセルアレイのための閾電圧分布の一例を示す。

区分502は、消去状態（「11」を保存している）のセル群の閾電圧の区分を示す。

このセル群は、負の閾電圧レベルを持っている。区分504は、「10」を保存している第1プログラム状態にあるセル群の閾電圧の区分を示す。区分506は、「00」を保存している第2プログラム状態にあるセル群の閾電圧の区分を示す。区分508は、「01」を保存している第3プログラミング状態にあるセル群の閾電圧の区分を示す。

この例では、2ビットのそれぞれが単一のメモリセルに保存され、2ビットのそれぞれは異なる論理ページである。即ち、各メモリセルに記憶される2ビットのそれぞれのビットは、異なる論理ページアドレスをもたらす。

四角で示されるビットは、下側ページに対応する。丸で示されるビットは、上側ページに対応する。1つの実施形態では、これらの論理状態は、グレイコードオリエンテーション(11、10、00、01)を利用してメモリセル群のフィジカル状態に割り当てられる。その結果、浮遊ゲートの閾電圧が誤ってシフトしても、1ビットのみが影響を受ける。

【誤訳訂正9】

【訂正対象書類名】明細書

【訂正対象項目名】0041

【訂正方法】変更

【訂正の内容】

【0041】

第2プログラミングパスでは、上側論理ページにプログラミングされるビットに従って、セルの閾電圧レベルが設定される。上側論理ページのビットが論理「1」を保存している場合、セルは閾電圧区分502又は504に対応するフィジカル状態にあるので、プログラミングは行われない。閾電圧区分502と504はどちらも上側ページビット「1」を有しており、セルの状態が閾電圧区分502と504のどちらに対応するのは、下側ページビットのプログラミングに依存する。

しかしながら、上側ページビットが論理「0」の場合、セルは、2回目のプログラミングが実行される。第1パスの結果、セルが閾区分502に対応する消去状態のままだった場合、第2段階では、矢印516で示すように閾電圧が閾区分508内まで上げられるようにセルがプログラミングされる。第1パスの結果、セルが閾区分504に対応する状態にプログラミングされた場合、第2パスでは、矢印514で示すように閾電圧が閾区分506内まで上げられるようにセルがプログラミングされる。第2パスでは、第1プログラミングパスの結果を変更せずに、上側ページに論理「0」を保存するように指定された状態にプログラミングされる。

【誤訳訂正10】

【訂正対象書類名】明細書

【訂正対象項目名】0042

【訂正方法】変更

【訂正の内容】

【0042】

なお、4つのフィジカル状態より多いメモリがオペレートされる場合、メモリセル群の定義された閾電圧ウィンドウの中で、その状態の数に等しい閾電圧区分の数が存在する。

また、各区分やフィジカル状態には特定のビットパターンが割り当てられているが、これと異なるビットパターンが割り当てられてもよい。その場合、プログラミングが実行される状態は、図9や図10に示されるものと異なってよい。

【誤訳訂正11】

【訂正対象書類名】明細書

【訂正対象項目名】0044

【訂正方法】変更

【訂正の内容】

【0044】

タイトな区分は、幅広い読込みマージン及びプログラムマージン(状態間の距離)をも

たらず。このために、信頼性を高めるためにはフィジカル状態の個々の閾区分をタイト（細かい区分）にする方が好ましい。しかしながら、メモリセル群の浮遊ゲートの間にカップリングするチャージは、浮遊ゲート上に保存される「見かけ上のチャージ（*apparent charge*）」を増加させる。見かけ上のチャージの増加は、個々のメモリセルの閾電圧を増加させ、いくつかのフィジカル状態に対応する広い電圧の区分を引き起こす。

【誤訳訂正 1 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 4 6

【訂正方法】変更

【訂正の内容】

【0 0 4 6】

メモリアレイの所定のメモリセル群は、ユピン効果が低いレベルであるか、あるいは、全くないことがある。例えば、図 4 において、NAND スtrings 群のプログラミングは、ソース側からドレイン側に行なわれるものとする。この場合、最後のワードライン W_{L3} に接続されるメモリセル群は、ユピン効果が低いレベルであるか、あるいは、全くないことがある。これらのセル群は、プログラムオペレーションの間に String のためのプログラムされるべき最後のメモリセル群であるために、後にプログラムされる浮遊ゲート群からのチャージカップリングが少ないか、あるいは、全くない。

しかしながら、他のワードラインのメモリセルは、ワードライン 0, 1, 又は 2 をプログラミングした後にプログラムされることがある。例えば、メモリセル 2 2 8 の浮遊ゲートに保存されるチャージは、そのメモリセルのためのターゲット フィジカル 状態を示す所望のレベルにプログラムされる。メモリセル 2 2 8 のプログラミングの後に、ワードライン 1 に接続されているメモリセル群がプログラムされる。メモリセル 2 2 6 の浮遊ゲートに保存されるチャージは、そのプログラムオペレーションの後工程の間に増加することがある。メモリセル 2 2 6 の浮遊ゲートからの電界は、プログラミングされた後に、メモリセル 2 2 8 の浮遊ゲートの見かけ上のチャージレベルに影響を与えることがある。メモリセル 2 2 8 の浮遊ゲートの見かけ上のチャージの増加は、メモリセルの閾電圧を増加させることを引き起こす。セルアレイのメモリセル群の浮遊ゲート群における見かけ上のチャージの増加は、メモリセルの フィジカル 状態の閾電圧区分を広げることを引き起こす。

【誤訳訂正 1 3】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 4 8

【訂正方法】変更

【訂正の内容】

【0 0 4 8】

図 1 0 は、図 4 や図 6 に示されるようなメモリアレイの閾電圧区分を示す。各メモリセルは、2 ビットのデータ（4 つの フィジカル 状態（0, 1, 2, 3）の中の 1 つの状態）を記憶する。

図 1 0 は、ワードライン群の第 1 セット（例えば W_{L0} ~ W_{L2}）に接続されているメモリセル群のための閾電圧区分を表す第 1 セットの区分 5 2 2, 5 2 4, 5 2 6 を示す。区分 5 2 0 は、消去状態にある全てのセルの区分を示す。最後のワードライン（例えば W_{L3}）に接続されているメモリセル群の閾電圧区分を表す第 2 セットの区分 5 3 2, 5 3 4, 5 3 6 も示されている。なお、他の構成を利用することができることは明らかである（例えば、3 ビットあるいはより大きいデータを記憶する String 毎に、1 6、3 2、あるいはより多いセル群を設けることもできる）。

【誤訳訂正 1 4】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 0

【訂正方法】変更

【訂正の内容】

【0050】

信頼性の高いデータ保存は、マルチ状態メモリセルの複数範囲の閾電圧レベルが、十分なマージンによって互いに分けられていることを要求する。これにより、明確なマナーでメモリセルのレベルがプログラム又は読み込みされる。

典型的なメモリデバイスでは、所定のメモリセルが接続されているワードラインを考慮せずに、システムの全てのメモリセルにおいて、1つのセットの読み込みレベル及びベリファイレベルが利用される。例えば、システムのいずれのメモリセルを状態2にプログラミングする場合であっても、 V_{v2} のようなプログラムベリファイレベルが利用される。これらのレベルは、閾電圧範囲群の明確なセパレーションを維持するポジションに設けられるとともに、隣接する浮遊ゲート群からのクロスカップリングによって引き起こされる閾電圧区分の幅広化の原因になる。例えば、プログラムベリファイレベル V_{v2} は、フィジカル状態1の最も高い可能な閾電圧と、フィジカル状態2の最も低い可能な閾電圧との間において、明確なセパレーションを維持するポジションに設けられる。このレベルは、ユピン効果を原因として広い閾電圧区分が与えられた状態の間において、明確なセパレーションを維持する。

【誤訳訂正15】

【訂正対象書類名】明細書

【訂正対象項目名】0053

【訂正方法】変更

【訂正の内容】

【0053】

図11は、2セットのプログラムベリファイレベルを利用した閾電圧区分の一例を示す。状態2及び3のための低いプログラムベリファイレベルは、 $WL3$ に接続されているセル群の閾電圧区分のシフトをもたらす。

$WL0 \sim WL2$ に接続されているメモリセル群は、フィジカル状態1, 2, 3のそれぞれについて、符号522, 524, 526で示される閾電圧区分を有する。 $WL0 \sim WL2$ に接続されているメモリセルは、プログラムベリファイレベル V_{v1} （例えば0.4V）、 $V_{v2} \sim WL0 - 2$ （例えば1.5V）、 $V_{v3} \sim WL0 - 2$ （例えば2.8V）を利用して、状態1, 2, 3にプログラムされる。例えば、 $WL0$ に接続されていて状態2にプログラムされるべきであるメモリセルは、その閾電圧がプログラムベリファイレベル $V_{v2} \sim WL0 - 2$ を超えるようにプログラムされる。

一実施形態では、ベリファイレベルに等しい制御ゲート電圧ベリフィケーションパラメータが、メモリセルに供給される。レベル $V_{v3} \sim WL0 - 2$ に等しい制御ゲート電圧が供給されてメモリセルがコンダクティブになり、レベル $V_{v2} \sim WL0 - 2$ に等しい制御ゲート電圧が供給されてもコンダクティブにならない場合に、メモリセルが状態2にプログラムされたものとベリファイされる。

【誤訳訂正16】

【訂正対象書類名】明細書

【訂正対象項目名】0054

【訂正方法】変更

【訂正の内容】

【0054】

$WL3$ に接続されているメモリセル群は、状態1, 2, 3のそれぞれについて、符号532, 534, 536で示される閾電圧区分を有している。フィジカル状態2及び3は、プログラムされる最後のワードライン（例えば $WL3$ ）のためにより低いターゲットレベルを有している。この結果、図11に示されるシフトされた区分534及び536が存在する。 $WL3$ に接続されているメモリセル群をプログラミングする場合に、より低いプログラムベリファイレベル $V_{v2} \sim WL3$ （例えば1.3V）と $V_{v3} \sim WL3$ （例えば2.4V）が利用される。

例えば、状態 2 にプログラムされるべきメモリセルは、その閾電圧がプログラムベリファイレベル $V_v 2 \text{ } \underline{\text{WL}} 3$ 以上になるまでプログラムされる。最後のワードラインのための閾電圧区分がシフトしても、 $\text{WL } 0 - 2$ のためのフィジカル状態 2 は、 $\text{WL } 3$ のためのフィジカル状態 2 と同じフィジカル状態である。状態 2 及び 3 は、より低いターゲットレベル（例えば $V_v 2 \text{ } \underline{\text{WL}} 3$ と $V_v 2 \text{ } \underline{\text{WL}} 0 - 2$ を比較して）を有する。この結果、プログラムされる最後のワードライン（例えば $\text{WL } 3$ ）のためのミニマム電圧は、他のワードラインのためのミニマム電圧よりも低くなる。

他の実施形態では、最後のワードラインのための追加のベリファイレベルは、状態 1 にも利用される。

【誤訳訂正 1 7】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 6

【訂正方法】変更

【訂正の内容】

【0 0 5 6】

読み込みオペレーションの間の読み込みが特定のフィジカル状態を示す場合に、閾電圧の範囲は、追加の読み込みレベルが利用される際にもシフトする。例えば、 $\text{WL } 3$ に接続されているセルのプログラムされた閾電圧が $V_r 2 \text{ } \underline{\text{WL}} 3$ と $V_r 3 \text{ } \underline{\text{WL}} 3$ の間にあると決定された場合、そのセルはフィジカル状態 2 が読み込まれる。しかしながら、 $\text{WL } 0 - 2$ に接続されているセルは、そのプログラムされた閾電圧が $V_r 2 \text{ } \underline{\text{WL}} 0 - 2$ と $V_r 3 \text{ } \underline{\text{WL}} 0 - 2$ の間にあると決定された場合に、フィジカル状態 2 が読み込まれる。

電圧の範囲が異なっても、最後のワードラインのためのフィジカル状態は、他のワードラインのためのフィジカル状態と同じである。1 セットの読み込みレベルが利用される実施形態では、読み込みが所定の状態を示す場合に、閾電圧群の範囲は、ワードラインにかかわらず同じである。しかしながら、追加のセットのベリファイ又はターゲットレベルを原因として、実施の閾電圧の区分はシフトされる。

【誤訳訂正 1 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 6 2

【訂正方法】変更

【訂正の内容】

【0 0 6 2】

プログラムプロセスが終了すると、メモリセル群の閾電圧は、プログラム用の一又は複数の閾電圧区分の中、又は、消去用の閾電圧区分の中にあるはずである。一実施形態では、ストリングの最後のワードラインに接続されているメモリセルが、所定のフィジカル状態を表す第 1 電圧区分内にプログラムされる一方において、そのストリングの他のワードライン群の 1 つに接続されているメモリセルが、同じフィジカル状態を表す第 2 閾電圧区分内にプログラムされる。

【誤訳訂正 1 9】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 6 3

【訂正方法】変更

【訂正の内容】

【0 0 6 3】

選択されたメモリセル又はメモリセル群にプログラム電圧又はパルスを供給した後に、実施形態に従って様々なベリフィケーションパラメータが利用される。メモリセルのプログラム可能な閾電圧が所定のフィジカル状態のためのミニマムベリファイレベル以上にあること又はターゲットレベルにあることをベリファイすることによって、メモリセルがそのターゲット状態に到達したのか否が決定するために、ベリフィケーションパラメータを利用することができる。一実施形態では、例えば、メモリセルの検知されたドレインソー

ス電流が、ベリフィケーションパラメータとして利用される。

【誤訳訂正 20】

【訂正対象書類名】明細書

【訂正対象項目名】0072

【訂正方法】変更

【訂正の内容】

【0072】

【図1】NANDストリングの平面図を示す。

【図2】図1のNANDストリングの等価回路図を示す。

【図3】図1のNANDストリングの断面図を示す。

【図4】3つのNANDストリング群の回路図を示す。

【図5】本発明の様々な態様が実施される非揮発性メモリシステムの一例のブロック図を示す。

【図6】メモリアレイの構成を例示する。

【図7】実施形態に対応する選択ワードラインに供給されることができるプログラム／ベリファイ電圧信号の一例を示す。

【図8】4つのフィジカル状態のデータの2つのビットを記憶する記憶要素の閾分布を例示する。

【図9】記憶要素の閾電圧分布を例示する。4つのフィジカル状態にマルチ状態メモリセルをプログラミングするための技術の一例を示す。

【図10】4つのフィジカル状態にプログラムされる記憶要素群のグループの閾電圧分布の一例を示す。

【図11】一実施形態に従ってプログラムされるメモリセルアレイのための閾電圧分布とベリファイレベルの一例を示す。

【図12】一実施形態のプログラミングプロセスのフローチャートを示す。

【図13】一実施形態のプログラミングプロセスのフローチャートを示す。