

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 17 日(17.12.2015)



(10) 国際公開番号
WO 2015/190488 A1

- (51) 国際特許分類:
G11C 19/28 (2006.01) *G09G 3/36* (2006.01)
G09G 3/20 (2006.01) *G11C 19/00* (2006.01)
- (21) 国際出願番号: PCT/JP2015/066621
- (22) 国際出願日: 2015 年 6 月 9 日(09.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-122391 2014 年 6 月 13 日(13.06.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 田中 耕平(TANAKA Kohhei). 野間 健史(NOMA Takeshi). 西山 隆之(NISHIYAMA Takayuki). 米林 諒(YONEBAYASHI Ryo). 小川 康行(OGAWA Yasuyuki). 山本 薫(YAMAMOTO Kaoru).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜 2 丁目 2 番

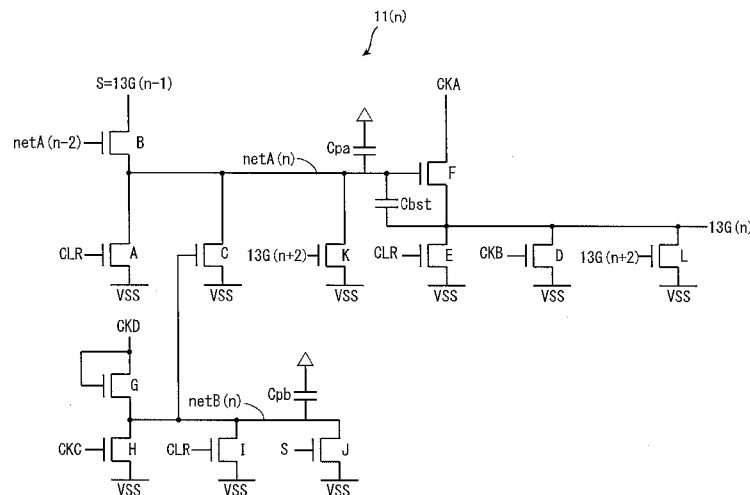
2 8 号堂島アクシビル インテリクス特許法律事務所 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SHIFT-REGISTER CIRCUIT AND DISPLAY DEVICE CONTAINING SAME

(54) 発明の名称: シフトレジスタ回路、及びそれを備えた表示装置



(57) Abstract: Each driver circuit in this shift register comprises an output section, a precharge section, a voltage-increasing section, a gate-voltage discharge section, a gate-wire discharge section, and internal wiring (netA). The output section contains a TFT (F) that outputs a selection voltage to a gate wire. The precharge section contains a TFT (B) that outputs a control voltage that operates the TFT in the output section. The voltage-increasing section increases the gate voltage of the TFT in the output section via a capacitor (Cbst). The gate-voltage discharge section contains a TFT (K) that lowers said gate voltage during a period during which the gate wire is not selected. The gate-wire discharge section contains a TFT (L) that outputs a non-selection voltage to the gate wire during said period. The internal wiring is connected to the gate terminal of the TFT in the output section, the precharge section, the gate-voltage discharge section, and the voltage-increasing section. The gate terminal of at least one of the TFTs in the precharge section, the gate-voltage discharge section, and the gate-wire discharge section is connected to the internal wiring in another driver circuit.

(57) 要約:

[続葉有]

WO 2015/190488 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

シフトレジスタにおける各駆動回路は、出力部、プリチャージ部、昇圧部、ゲート電圧放電部、ゲート線放電部、内部配線 *net A* を備える。出力部は、ゲート線に選択電圧を出力する T F T (F) を含む。プリチャージ部は、出力部の T F T を動作させる制御電圧を出力する T F T (B) を含む。昇圧部は、キャパシタ (C b s t) を介して、出力部の T F T のゲート電圧を昇圧する。ゲート電圧放電部は、ゲート線の非選択期間に、このゲート電圧を引き下げる T F T (K) を含む。ゲート線放電部は、ゲート線の非選択期間に、ゲート線に非選択電圧を出力する T F T (L) を含む。内部配線は、出力部の T F T のゲート端子、プリチャージ部、ゲート電圧放電部、昇圧部に接続される。プリチャージ部、ゲート電圧放電部、及びゲート線放電部の少なくとも一の T F T のゲート端子は、他の駆動回路における内部配線に接続される。

明 細 書

発明の名称 : シフトレジスタ回路、及びそれを備えた表示装置 技術分野

[0001] 本発明は、シフトレジスタ回路、及びそれを備えた表示装置に関する。

背景技術

[0002] 従来、アクティブマトリクス基板に設けられた複数のゲート線を順次走査するシフトレジスタ回路が知られている。シフトレジスタ回路は、ゲート線を選択状態に切り替える出力用トランジスタと、出力用トランジスタのゲート電圧をプリチャージするプリチャージ用トランジスタと、プリチャージ電圧を昇圧するブートストラップコンデンサとを含む駆動回路をゲート線ごとに備える。プリチャージ用トランジスタには、ダイオード接続されたトランジスタが用いられており、プリチャージ電圧は、プリチャージ用トランジスタの閾値電圧だけ降下した電圧値となる。トランジスタの劣化による閾値電圧の上昇によりプリチャージ電圧が低下すると、出力用トランジスタのゲート電圧も低下し、駆動回路の動作が不安定となる。その結果、シフトレジスタ回路の動作マージンが低下する。

[0003] 特表 2 0 0 8 - 5 0 8 6 5 4 号公報には、プリチャージ用トランジスタの閾値電圧に依存して出力用トランジスタのゲート電圧が低下することを抑制するシフトレジスタ回路が開示されている。このシフトレジスタ回路は、プリチャージ用トランジスタのドレイン端子に前段の行パルスが入力され、そのゲート端子には、プリチャージ用トランジスタのゲート電圧を昇圧するためのプレ充電回路が接続されている。特表 2 0 0 8 - 5 0 8 6 5 4 号公報では、プリチャージ用トランジスタの閾値電圧が変動しても、プレ充電回路により、プリチャージ用トランジスタのゲート電圧が昇圧され、プリチャージ電圧の低下が抑制される。

発明の開示

[0004] 上記特表 2 0 0 8 - 5 0 8 6 5 4 号公報のように、プレ充電回路を設ける

ことで、出力用トランジスタのゲート電圧をプリチャージする際の電圧低下を抑制することができるが、各駆動回路の回路素子数が増加し、シフトレジスタ回路の回路規模が大きくなる。

[0005] また、ゲート線を非選択状態に遷移させる際の、出力用トランジスタのゲート電圧及びゲート線の放電が不十分である場合、ゲート線に意図しないノイズが入力されてゲート線を適切に走査することができず、シフトレジスタ回路の動作マージンの低下を引き起こす。

[0006] 本発明は、シフトレジスタ回路における各駆動回路を安定して動作させ、シフトレジスタ回路の動作マージンを向上させる技術を提供することを目的とする。

[0007] 本発明に係るシフトレジスタ回路は、アクティブマトリクス基板に設けられた複数のゲート線の各々を選択状態又は非選択状態に切り替えるシフトレジスタ回路であって、前記シフトレジスタ回路は、個々のゲート線に接続され、当該ゲート線を選択状態又は非選択状態に切り替える駆動回路を複数有し、前記駆動回路の各々は、一のゲート線に接続され、前記一のゲート線を選択状態に切り替える選択電圧を出力するスイッチング素子を含む出力部と、前記出力部におけるスイッチング素子を動作させるための制御電圧を出力するスイッチング素子を含むプリチャージ部と、キャパシタと、前記キャパシタを充電するスイッチング素子とを有し、前記キャパシタを介して、前記出力部におけるスイッチング素子のゲート電圧を昇圧する昇圧部と、前記一のゲート線を非選択状態に切り替える非選択期間に、前記ゲート電圧を引き下げるスイッチング素子を含むゲート電圧放電部と、前記一のゲート線の非選択期間に、前記一のゲート線に非選択電圧を出力するスイッチング素子を含むゲート線放電部と、前記出力部におけるスイッチング素子のゲート端子、前記プリチャージ部、前記ゲート電圧放電部、前記昇圧部が接続されている内部配線と、を備え、前記プリチャージ部、前記ゲート電圧放電部、及び前記ゲート線放電部におけるスイッチング素子のうちの少なくとも一のスイッチング素子のゲート端子は、他の駆動回路における前記内部配線に接続さ

れている。

[0008] 本発明の構成によれば、シフトレジスタ回路における各駆動回路を安定して動作させ、シフトレジスタ回路の動作マージンを向上させることができる。

図面の簡単な説明

[0009] [図1]図1は、第1実施形態に係る液晶表示装置の概略構成を示した模式図である。

[図2]図2は、図1に示すアクティブマトリクス基板の概略構成を示す模式図である。

[図3]図3は、図1に示すアクティブマトリクス基板とアクティブマトリクス基板と接続されている各部の概略構成を示す模式図である。

[図4]図4は、第1実施形態におけるクロック信号の波形を例示した図である。

[図5]図5は、図3に示す駆動回路の等価回路の一例を示す図である。

[図6A]図6Aは、図5に示す駆動回路の素子の配置例を示す模式図である。

[図6B]図6Bは、図5に示す駆動回路の素子の配置例を示す模式図である。

[図6C]図6Cは、図5に示す駆動回路の素子の配置例を示す模式図である。

[図6D]図6Dは、図5に示す駆動回路の素子の配置例を示す模式図である。

[図7]図7は、第1実施形態における駆動回路がゲート線を駆動する際のタイミングチャートである。

[図8]図8は、従来の駆動回路の等価回路の一例を示す図である。

[図9]図9は、従来の駆動回路と第1実施形態における駆動回路におけるnet Aの電位の変化を説明する図である。

[図10]図10は、第1実施形態の応用例における駆動回路の等価回路の一例を示す図である。

[図11]図11は、図10に示す駆動回路の素子の配置例を示す模式図である。

[図12]図12は、第1実施形態の応用例における駆動回路がゲート線を駆動

する際のタイミングチャートである。

[図13]図13は、第2実施形態における駆動回路の等価回路を示す図である。

[図14A]図14Aは、図13に示す駆動回路の一部の素子の配置例を示す模式図である。

[図14B]図14Bは、図13に示す駆動回路の一部の素子の配置例を示す模式図である。

[図15]図15は、第2実施形態における駆動回路がゲート線を駆動する際のタイミングチャートである。

[図16]図16は、第3実施形態における駆動回路の等価回路の一例を示す図である。

[図17A]図17Aは、図16に示す駆動回路の一部の素子の配置例を示す模式図である。

[図17B]図17Bは、図16に示す駆動回路の一部の素子の配置例を示す模式図である。

[図18]図18は、第3実施形態における駆動回路がゲート線を駆動する際のタイミングチャートである。

[図19]図19は、第4実施形態における駆動回路の等価回路の一例を示す図である。

[図20A]図20Aは、図19に示す駆動回路の一部の素子の配置例を示す模式図である。

[図20B]図20Bは、図19に示す駆動回路の一部の素子の配置例を示す模式図である。

[図20C]図20Cは、図19に示す駆動回路の一部の素子の配置例を示す模式図である。

[図20D]図20Dは、図19に示す駆動回路の一部の素子の配置例を示す模式図である。

[図20E]図20Eは、図19に示す駆動回路の一部の素子の配置例を示す模式

図である。

[図20F]図20Fは、図19に示す駆動回路の一部の素子の配置例を示す模式図である。

[図21]図21は、第4実施形態における駆動回路がゲート線を駆動する際のタイミングチャートである。

[図22]図22は、第5実施形態における駆動回路の等価回路の一例を示す図である。

[図23A]図23Aは、図22に示す駆動回路の一部の素子の配置例を示す模式図である。

[図23B]図23Bは、図22に示す駆動回路の一部の素子の配置例を示す模式図である。

[図23C]図23Cは、図22に示す駆動回路の一部の素子の配置例を示す模式図である。

[図23D]図23Dは、図22に示す駆動回路の一部の素子の配置例を示す模式図である。

[図24]図24は、第5実施形態における駆動回路が一部のゲート線を駆動する際のタイミングチャートである。

[図25]図25は、変形例1におけるアクティブマトリクス基板の概略構成を示す模式図である。

[図26]図26は、変形例1におけるクロック信号の波形を例示した図である。

[図27]図27は、変形例1における駆動回路の等価回路を例示した図である。

[図28A]図28Aは、図27に示す駆動回路の一部の素子の配置例を示す模式図である。

[図28B]図28Bは、図27に示す駆動回路の一部の素子の配置例を示す模式図である。

[図28C]図28Cは、図27に示す駆動回路の一部の素子の配置例を示す模式

図である。

[図28D]図28Dは、図27に示す駆動回路の一部の素子の配置例を示す模式図である。

[図28E]図28Eは、図27に示す駆動回路の一部の素子の配置例を示す模式図である。

[図29]図29は、変形例1における駆動回路がゲート線を駆動する際のタイミングチャートである。

[図30]図30は、変形例2における駆動回路が一部のゲート線を駆動する際のタイミングチャートである。

発明を実施するための形態

[0010] 本発明の一実施形態に係るシフトレジスタ回路は、アクティブマトリクス基板に設けられた複数のゲート線の各々を選択状態又は非選択状態に切り替えるシフトレジスタ回路であって、前記シフトレジスタ回路は、個々のゲート線に接続され、当該ゲート線を選択状態又は非選択状態に切り替える駆動回路を複数有し、前記駆動回路の各々は、一のゲート線に接続され、前記一のゲート線を選択状態に切り替える選択電圧を出力するスイッチング素子を含む出力部と、前記出力部におけるスイッチング素子を動作させるための制御電圧を出力するスイッチング素子を含むプリチャージ部と、キャパシタと、前記キャパシタを充電するスイッチング素子とを有し、前記キャパシタを介して、前記出力部におけるスイッチング素子のゲート電圧を昇圧する昇圧部と、前記一のゲート線を非選択状態に切り替える非選択期間に、前記ゲート電圧を引き下げるスイッチング素子を含むゲート電圧放電部と、前記一のゲート線の非選択期間に、前記一のゲート線に非選択電圧を出力するスイッチング素子を含むゲート線放電部と、前記出力部におけるスイッチング素子のゲート端子、前記プリチャージ部、前記ゲート電圧放電部、前記昇圧部が接続されている内部配線と、を備え、前記プリチャージ部、前記ゲート電圧放電部、及び前記ゲート線放電部におけるスイッチング素子のうちの少なくとも一のスイッチング素子のゲート端子は、他の駆動回路における前記内部

配線に接続されている（第１の構成）。

[0011] つまり、第１の構成は、各ゲート線に接続された複数の駆動回路を有する。駆動回路の各々は、出力部、プリチャージ部、昇圧部、ゲート電圧充電部、ゲート線放電部、及び内部配線を備える。出力部は、一のゲート線に選択電圧を出力するスイッチング素子を含む。プリチャージ部は、出力部のスイッチング素子を動作させる制御電圧を出力するスイッチング素子を含む。昇圧部は、キャパシタとキャパシタを充電するスイッチング素子を含み、キャパシタを介して出力部のスイッチング素子のゲート電圧を昇圧する。ゲート電圧放電部は、一のゲート線の非選択期間に、出力部のスイッチング素子のゲート電圧を引き下げるスイッチング素子を含む。ゲート線放電部は、一のゲート線の非選択期間に、一のゲート線に非選択電圧を出力するスイッチング素子を含む。内部配線は、出力部のスイッチング素子のゲート端子、プリチャージ部、昇圧部と接続される。プリチャージ部、ゲート電圧放電部、及び前記ゲート線放電部におけるスイッチング素子のうち、少なくとも一のスイッチング素子のゲート端子は、他の駆動回路における内部配線に接続されている。

[0012] 第１の構成によれば、プリチャージ部から出力される制御電圧は、内部配線を介して、出力部のスイッチング素子のゲート端子に入力される。また、内部配線には昇圧部が接続され、内部配線を介して、出力部のスイッチング素子のゲート電圧が昇圧される。つまり、内部配線の電位は、プリチャージ部から出力される制御電圧以上に昇圧される。プリチャージ部とゲート電圧放電部とゲート線放電部のスイッチング素子の少なくとも一のスイッチング素子は、他の駆動回路における内部配線の電位によってオンに切り替わる。そのため、プリチャージ部とゲート電圧放電部とゲート線放電部のスイッチング素子の劣化により閾値電圧の変動が生じて、プリチャージ部とゲート電圧放電部とゲート線放電部の少なくとも１つを安定して動作させることができる。その結果、ゲート線への選択電圧の印加、ゲート線の非選択期間におけるゲート電圧の引き下げ、及びゲート線への非選択電圧の印加のいずれ

かを確実に行うことができ、シフトレジスタ回路の動作マージンを向上させることができる。

[0013] 第2の構成は、第1の構成において、前記プリチャージ部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、他のゲート線に接続されていることとしてもよい。

[0014] 第2の構成によれば、プリチャージ部のスイッチング素子の閾値電圧に依存することなく、ゲート電圧を他のゲート線の電位に充電することができる。

[0015] 第3の構成は、第1の構成において、前記プリチャージ部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、一定周期ごとに、前記選択状態に対応する電位と前記非選択状態に対応する電位との間で切り替わる制御信号が供給されることとしてもよい。

[0016] 第2の構成のように、ゲート線の電位をプリチャージ部のスイッチング素子のドレイン端子に入力する場合、ゲート線の出力波形が鈍ると、プリチャージ部による充電能力が低下し、十分に内部配線を充電できなくなる場合がある。第3の構成によれば、プリチャージ部のスイッチング素子のドレイン端子には、一定周期ごとに、ゲート線の選択状態に対応する電位と非選択状態に対応する電位との間で切り替わる制御信号が入力される。そのため、第2の構成と比べ、ゲート線の出力波形に依存せずにプリチャージ部を動作させることができるので、プリチャージ部による充電能力の低下を抑制することができる。

[0017] 第4の構成は、第1の構成において、前記ゲート電圧放電部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、一定周期ごとに、前記選択状態に対応する電位と前記非選択状態に対応する電位との間で切り替わる制御信号が供給されることとしてもよい。

- [0018] 第4の構成によれば、ゲート電圧放電部のスイッチング素子のドレイン端子に、一定周期ごとに、ゲート線の選択状態に対応する電位と非選択状態に対応する電位との間で切り替わる制御信号が入力されるため、ゲート線の非選択期間において適切なタイミングでゲート電圧を引き下げることができる。
- [0019] 第5の構成は、第1の構成において、前記ゲート線放電部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、一定周期ごとに、前記選択状態に対応する電位と前記非選択状態に対応する電位との間で切り替わる制御信号が供給されることとしてもよい。
- [0020] 第5の構成によれば、ゲート線放電部のスイッチング素子のソース端子に、一定周期ごとに、ゲート線の選択状態に対応する電位と非選択状態に対応する電位との間で切り替わる制御信号が入力されるため、ゲート線の非選択期間において適切なタイミングでゲート線を非選択状態にすることができる。
- [0021] 第6の構成は、第1から第5のいずれかの構成において、前記出力部におけるスイッチング素子は、ソース端子が前記一のゲート線に接続され、ドレイン端子は、前記選択状態に対応する電位を示す直流電圧信号が供給されることとしてもよい。
- [0022] 第6の構成によれば、出力部のスイッチング素子のドレイン端子には、ゲート線の選択状態に対応する電位を示す直流電圧信号が入力される。そのため、一定周期ごとに、選択状態に対応する電位と非選択状態に対応する電位とを繰り返す制御信号を入力する場合と比べ、出力部を動作させるための負荷及び消費電力を低減することができる。
- [0023] 第7の構成は、第1から第5のいずれかの構成において、前記出力部のスイッチング素子は、ソース端子が前記一のゲート線に接続され、ドレイン端子は、前記選択状態及び前記非選択状態の一方に対応する電位を示す指示信号が供給されることとしてもよい。

[0024] 第7の構成によれば、出力部のスイッチング素子のドレイン端子には選択状態又は非選択状態に対応する電位を示す指示信号が入力されるため、任意のゲート線を選択状態に切り替えることができる。

[0025] 第8の構成は、第1から第7のいずれかの構成において、前記アクティブマトリクス基板に、前記複数のゲート線の各々と交差する複数のソース線が設けられ、前記駆動回路は、前記複数のゲート線と前記複数のソース線とで規定される表示領域に設けられていることとしてもよい。

[0026] 第8の構成によれば、駆動回路は表示領域に設けられているため、表示領域の外側に設けられる場合と比べ、アクティブマトリクス基板における額縁領域を小さくすることができる。また、表示領域に駆動回路を設けることで、駆動回路とゲート線及びソース線との間に寄生容量が生じるが、プリチャージ部、ゲート電圧放電部、及びゲート線放電部の少なくとも一のスイッチング素子がより確実に駆動されるので、駆動回路を安定して動作させることができ、シフトレジスタ回路の動作マージンを向上させることができる。

[0027] 本発明の一実施形態に係る表示装置は、第1から第8のいずれかのシフトレジスタ回路を備えるアクティブマトリクス基板と、カラーフィルタを有する対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層と、を有する（第9の構成）。

[0028] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0029] <第1実施形態>

（液晶表示装置の構成）

図1は、本実施形態に係る液晶表示装置の概略構成を示した模式図である。液晶表示装置1は、表示パネル2、ソースドライバ3、表示制御回路4、及び電源5を有する。表示パネル2は、アクティブマトリクス基板20aと、対向基板20bと、これら基板に挟持された液晶層（図示略）とを有する。図1において図示を省略しているが、アクティブマトリクス基板20aと対向基板20bとを挟むように、一对の偏光板が設けられている。対向基板

20bには、ブラックマトリクスと、赤（R）、緑（G）、青（B）の3色のカラーフィルタと、共通電極（いずれも図示略）が形成されている。

[0030] 図1に示すように、アクティブマトリクス基板20aは、フレキシブル基板に形成されたソースドライバ3と電氣的に接続されている。表示制御回路4は、表示パネル2、ソースドライバ3、及び電源5と電氣的に接続されている。表示制御回路4は、ソースドライバ3と、アクティブマトリクス基板20aに設けられた後述のシフトレジスタ回路（以下、ゲートドライバ）に制御信号を出力する。電源5は、表示パネル2、ソースドライバ3、及び表示制御回路4と電氣的に接続されており、各々に電源電圧信号を供給する。

[0031] （アクティブマトリクス基板の構成）

図2は、アクティブマトリクス基板20aの概略構成を示す模式図である。アクティブマトリクス基板20aにおいて、X軸方向の一端から他端までM（M：自然数）本のゲート線13G（1）～13G（M）が一定の間隔で略平行に形成されている。以下、ゲート線を区別しないときは、ゲート線13Gと称する。アクティブマトリクス基板20aには、各ゲート線13Gと交差するように複数のソース線15Sが形成されている。ゲート線13Gとソース線15Sとで囲まれる領域が1つの画素を形成し、各画素は、カラーフィルタのいずれかの色に対応している。

[0032] 図3は、アクティブマトリクス基板20aと、アクティブマトリクス基板20aと接続されている各部の概略構成を示す模式図である。図3では、便宜上、ソース線15Sの図示を省略している。図3の例に示すように、アクティブマトリクス基板20aには、表示領域201の領域201aと201bの各々に、ゲートドライバ11A、11Bが設けられている。ゲートドライバ11Aは、ゲート線13G（1）、13G（3）、…13G（M）の奇数行のゲート線13Gに対して設けられ、配線15Lを介して接続された複数の駆動回路11を有する。また、ゲートドライバ11Bは、ゲート線13G（2）、13G（4）、…13G（M-1）の偶数行のゲート線13Gに対して設けられ、配線15Lを介して接続された複数の駆動回路11を有す

る。

[0033] 図3に示すアクティブマトリクス基板20aにおいて、ソースドライバ3が設けられている辺の額縁領域202には、端子部12gが設けられている。端子部12gは、表示制御回路4及び電源5と接続されている。端子部12gは、表示制御回路4及び電源5から出力される制御信号や電源電圧信号等の信号を受け取る。端子部12gに入力された制御信号及び電源電圧信号等の信号は、配線15Lを介して各駆動回路11に供給される。駆動回路11は、供給される信号に応じて、接続されているゲート線13Gに対し、選択状態と非選択状態の一方を示す電圧信号を出力する。以下の説明において、ゲート線13Gが選択されている状態をゲート線13Gの駆動と呼ぶ。

[0034] また、アクティブマトリクス基板20aにおける額縁領域202には、ソースドライバ3とソース線15S（図2参照）とを接続する端子部12sが設けられている。ソースドライバ3は、表示制御回路4から入力される制御信号に応じて、各ソース線15S（図2参照）にデータ信号を出力する。

[0035] 表示制御回路4は、制御信号として、2水平期間ごとに、電位がHレベル（VDD）とLレベル（VSS）とを繰り返す信号（以下、クロック信号）と、クロック信号のHレベルと同じ電位の信号（以下、リセット信号）とを端子部12gへ供給する。

[0036] 図4は、クロック信号の波形を例示した図である。本実施形態では、クロック信号として、位相が1/4周期ずつずれた4相のクロック信号CKA、CKC、CKB、及びCKDが端子部12gへ供給される。なお、この例において、4相のクロック信号を用いるが、例えば、1水平走査期間毎にHレベル（VDD）とLレベル（VSS）とを繰り返し、位相が1/2周期ずれた2相のクロック信号等、位相が異なる複数のクロック信号を用いてもよい。

[0037] （回路構成）

次に、本実施形態における駆動回路11の構成について説明する。図5は、ゲート線13G（n）を駆動する駆動回路11（以下、駆動回路11（n）

)の等価回路の一例を示す図である。

[0038] 図5に示すように、駆動回路11(n)は、スイッチング素子として、アルファベットA~Lで示す薄膜トランジスタ(TFT:Thin Film Transistor)(以下、TFT-A~TFT-L)と、キャパシタCbstとを有する。

[0039] 図5において、TFT-Bのソース端子と、TFT-A、TFT-C、及びTFT-Kのドレイン端子と、TFT-Fのゲート端子と、キャパシタCbstの一方の電極とが接続されている内部配線をnet Aと称する。また、TFT-Gのソース端子と、TFT-H、TFT-I、及びTFT-Jのドレイン端子と、TFT-Cのゲート端子とが接続されている内部配線をnet Bと称する。

[0040] 本実施形態において、駆動回路11は、表示領域内に設けられるため、net Aとnet Bは、ソース線15S(図2参照)や画素に設けられる他の素子との間で寄生容量Cpa、Cpbを各々有する。

[0041] TFT-Aのドレイン端子はnet Aと接続され、ゲート端子にリセット信号CLRが供給され、ソース端子に電源電圧信号VSSが供給される。TFT-Aは、リセット信号CLRの電位に応じて、net A(n)をLレベル(VSS)に引き下げる。

[0042] TFT-Bのゲート端子には、ゲート線13G(n-2)を駆動する駆動回路11(以下、駆動回路11(n-2))におけるnet A(以下、net A(n-2))が接続され、ドレイン端子は、ゲート線13G(n-1)と接続され、ソース端子は、駆動回路11(n)におけるnet A(以下、net A(n))と接続されている。TFT-Bは、セット信号Sとして、ゲート線13G(n-1)の電位を受け取る。なお、ゲート線13G(1)を駆動する駆動回路11におけるTFT-Bは、セット信号Sとして、表示制御回路4から出力されるゲートスタートパルス信号を受け取る。

[0043] つまり、この例において、駆動回路11(n)におけるTFT-Bのゲート端子は、ゲート線13G(n)の駆動タイミングより2水平走査期間前に駆動されるゲート線13G(n-2)に対して設けられた駆動回路11(n

− 2) の $net A(n-2)$ の電位が入力される。TFT-Bは、 $net A(n-2)$ の電位に応じて、セット信号Sの電位を $net A(n)$ に出力し、 $net A(n)$ を充電（プリチャージ）する。

[0044] TFT-Cは、ゲート端子が $net B(n)$ と接続され、ドレイン端子が $net A(n)$ と接続され、ソース端子に電源電圧信号VSSが供給される。TFT-Cは、 $net B(n)$ の電位に応じて、 $net A(n)$ をLレベル（VSS）に引き下げる。

[0045] TFT-Kは、ゲート端子が、ゲート線13G(n+2)と接続され、ドレイン端子は $net A(n)$ と接続され、ソース端子に電源電圧信号VSSが供給される。TFT-Kは、ゲート線13G(n+2)の電位に応じて、 $net A(n)$ をLレベル（VSS）に引き下げる。

[0046] TFT-Fは、ゲート端子が $net A(n)$ と接続され、ソース端子がゲート線13G(n)に接続され、ドレイン端子にクロック信号CKAが供給される。TFT-Fは、 $net A(n)$ の電位に応じて、クロック信号CKAの電位をゲート線13G(n)に出力してキャパシタCbstを充電し、ゲート線13G(n)を選択状態に切り替える。なお、TFT-Fは、比較的負荷の重いゲート線を駆動するため、チャネル幅を大きくする必要がある。図5に示す等価回路においては、TFT-Fを1つのTFTで表しているが、TFT-Fは、複数のTFTを接続して構成される。TFT-Fの具体的な構成例は後述する。

[0047] キャパシタCbstは、一方の電極が $net A(n)$ と接続され、他方の電極がゲート線13G(n)と接続されている。キャパシタCbstは、TFT-Fから出力されるクロック信号CKAの電位に応じて、 $net A(n)$ の電位を昇圧する。

[0048] TFT-Eは、ドレイン端子がゲート線13G(n)と接続され、ゲート端子にリセット信号CLRが供給され、ソース端子に電源電圧信号VSSが供給される。TFT-Eは、リセット信号CLRの電位に応じて、ゲート線13G(n)の電位をLレベル（VSS）に引き下げる。

- [0049] T F T − D は、ドレイン端子がゲート線 1 3 G (n) と接続され、ゲート端子にクロック信号 C K B が供給され、ソース端子に電源電圧信号 V S S が供給される。T F T − D は、クロック信号 C K B の電位に応じて、ゲート線 1 3 G (n) の電位を L レベル (V S S) に引き下げる。
- [0050] T F T − L は、ドレイン端子がゲート線 1 3 G (n) と接続され、ゲート端子がゲート線 1 3 G (n + 2) と接続され、ソース端子に電源電圧信号 V S S が供給される。T F T − L は、ゲート線 1 3 G (n + 2) の電位に応じて、ゲート線 1 3 G (n) の電位を L レベル (V S S) に引き下げる。
- [0051] T F T − G は、ゲート端子とドレイン端子とが接続され、ゲート端子とドレイン端子にクロック信号 C K D が供給され、ソース端子が n e t B (n) に接続されている。T F T − G は、クロック信号 C K D の電位に応じて、n e t B (n) に、(クロック信号 C K D の H レベルの電位 − 閾値電圧) の電位を出力する。
- [0052] T F T − H は、ドレイン端子が n e t B (n) に接続され、ゲート端子にクロック信号 C K C が供給され、ソース端子に電源電圧信号 V S S が供給される。T F T − H は、クロック信号 C K C の電位に応じて、n e t B (n) を L レベル (V S S) の電位に引き下げる。
- [0053] T F T − I は、ドレイン端子が n e t B (n) と接続され、ゲート端子にリセット信号 C L R が供給され、ソース端子に電源電圧信号 V S S が供給される。T F T − I は、リセット信号 C L R の電位に応じて、n e t B (n) を L レベル (V S S) の電位に引き下げる。
- [0054] T F T − J は、ドレイン端子が n e t B (n) と接続され、ゲート端子がゲート線 1 3 G (n − 1) と接続され、ソース端子に電源電圧信号 V S S が供給される。T F T − J は、セット信号 S として、ゲート線 1 3 G (n − 1) の電位を受け取る。なお、ゲート線 1 3 G (1) を駆動する駆動回路 1 1 における T F T − J は、セット信号 S として、表示制御回路 4 から出力されるゲートスタートパルス信号を受け取る。T F T − J は、セット信号 S の電位に応じて、n e t B (n) を L レベル (V S S) の電位に引き下げる。

[0055] つまり、本実施形態において、 $TFT-F$ は、ゲート線 $13G(n)$ に、選択状態に対応する選択電圧を出力する出力部として機能する。 $TFT-B$ は、 $TFT-F$ を動作させるための制御電圧を $netA(n)$ に出力し、 $netA(n)$ を充電するプリチャージ部として機能する。 $TFT-F$ とキャパシタ $Cbst$ は、 $netA(n)$ の電位を昇圧することにより、 $TFT-F$ のゲート電圧を昇圧する昇圧部として機能する。また、 $TFT-A$ 、 $TFT-K$ 、及び $TFT-C$ は、 $netA(n)$ の電位を引き下げるゲート電圧放電部として機能する。 $TFT-E$ 、 $TFT-D$ 、及び $TFT-L$ は、ゲート線 $13G$ に非選択電圧を出力するゲート線放電部として機能する。

[0056] (配置例)

次に、本実施形態における駆動回路 11 の配置例について説明する。図 $6A$ ～図 $6D$ は、駆動回路 $11(n)$ 及び駆動回路 $11(n+2)$ の配置例を示す模式図である。なお、図 $6A$ ～図 $6D$ では、便宜上、アルファベット A ～ L のみ記載し、“ TFT ”の表記を省略しているが、 A ～ L は、図 5 に示した $TFT-A$ ～ $TFT-L$ に対応している。また、図 $6A$ ～ $6D$ に示す各表示領域は、列 201 ～ 204 において連続しているものとする。

[0057] 図 $6A$ ～ $6D$ に示すように、駆動回路 $11(n)$ を構成する各素子は、ゲート線 $13G(n-2)$ ～ $13G(n)$ の各ゲート線の間に配置されている。また、駆動回路 $11(n+2)$ を構成する各素子は、ゲート線 $13G(n)$ ～ $13G(n+2)$ の各ゲート線の間に配置されている。駆動回路 $11(n)$ は、ゲート線 $13G(n-1)$ 、ゲート線 $13G(n)$ 、及びゲート線 $13G(n+2)$ と接続され、駆動回路 $11(n+2)$ は、ゲート線 $13G(n+1)$ 、ゲート線 $13G(n+2)$ 、及び図示しないゲート線 $13G(n+4)$ と接続されている。

[0058] 図 $6A$ 、 $6B$ 、及び $6D$ に示すように、駆動回路 $11(n)$ と駆動回路 $11(n+2)$ の $TFT-E$ 、 $TFT-I$ 、 $TFT-H$ 、 $TFT-G$ 、 $TFT-J$ 、 $TFT-C$ 、 $TFT-A$ 、 $TFT-K$ 、 $TFT-D$ 、 $TFT-L$ は、電源電圧信号 VSS を供給する配線 $15L$ を介して接続されている。また、

図6 Aに示すように、これら駆動回路1 1のT F T－H、T F T－Gは、クロック信号C K C、及びC K Dを各々供給する配線1 5 Lを介して接続されている。

[0059] 配線1 5 Lは、アクティブマトリクス基板2 0 aにおけるソース線1 5 Sが形成されたソース層において、ソース線1 5 Sと略平行に設けられる。また、駆動回路1 1におけるn e t Aの配線は、ゲート線1 3 Gが形成されたゲート層において、ゲート線1 3 Gと略平行に設けられる。

[0060] 図6 A及び図6 Bに示すように、電源電圧信号V S Sを供給する配線1 5 Lは、T F T－E、T F T－I、T F T－H、T F T－G、T F T－J、T F T－C、T F T－A、T F T－Kが配置された列とは異なる他の列において、端子部1 2 g（図3 参照）からソース線1 5 Sと略平行となるように配線され、これらT F Tが配置された画素まで引き回されている。また、図6 Dにおいても、電源電圧信号V S Sを供給する配線1 5 Lは、T F T－D、T F T－Lが配置された列とは異なる他の列において、端子部1 2 g（図3 参照）からソース線1 5 Sと略平行となるように配線され、これらT F Tが配置された画素まで引き回されている。

[0061] また、図6 Aにおいて、駆動回路1 1（n）におけるT F T－Hのゲート端子はクロック信号C K Cを供給する配線1 5 Lに接続され、駆動回路1 1（n + 2）におけるT F T－Hのゲート端子は、クロック信号C K Dを供給する配線1 5 Lに接続されている。また、駆動回路1 1（n）におけるT F T－Gのゲート端子はクロック信号C K Dを供給する配線1 5 Lに接続され、駆動回路1 1（n + 2）におけるT F T－Gのゲート端子は、クロック信号C K Cを供給する配線1 5 Lに接続されている。

[0062] また、図6 Cに示すように、T F T－Fは、3つのT F Tが並列に接続されて構成されている。接続されるT F Tの数はこれに限らず、1つ以上のT F Tが接続されていればよい。また、T F T－F以外の他のT F T及びキャパシタC b s tについても、必要に応じて複数のT F T及びキャパシタを並列に接続して構成してもよい。

[0063] 図6Cにおいて、駆動回路11(n)における3つのTF $\overline{T}$ Fの各ドレイン端子は、クロック信号CKAが供給される配線15Lに接続されている。一方、駆動回路11(n+2)における3つのTF $\overline{T}$ の各ドレイン端子は、クロック信号CKBが供給される配線15Lに接続されている。また、各TF $\overline{T}$ Fにクロック信号CKA、CKBを供給する配線15Lは、TF $\overline{T}$ Fが配置された列と異なる列において、端子部12g(図3参照)からソース線15Sと略平行となるように配線され、各TF $\overline{T}$ Fが配置された画素まで引き回されている。

[0064] このように、ゲートドライバ11A、11Bにおける各駆動回路11は、ゲートドライバにおいて隣接する駆動回路11に供給されるクロック信号と逆位相のクロック信号が供給される。また、隣接するゲート線13Gを駆動する駆動回路11に供給されるクロック信号は互いに位相が1/4周期ずれている。例えば、駆動回路11(n)におけるTF $\overline{T}$ Fのドレイン端子にクロック信号CKAが入力される場合、駆動回路11(n-2)及び駆動回路11(n+2)におけるTF $\overline{T}$ Fのドレイン端子にはクロック信号CKBが入力される。また、駆動回路11(n-1)におけるTF $\overline{T}$ Fのドレイン端子にはクロック信号CKD、駆動回路11(n+1)におけるTF $\overline{T}$ Fのドレイン端子には、クロック信号CKCが入力される。

[0065] (動作例)

次に、駆動回路11の動作について説明する。図7は、駆動回路11(n)がゲート線13G(n)を駆動する際のタイミングチャートである。

[0066] 駆動回路11(n)には、表示制御回路4から供給されるクロック信号CKA、CKB、CKC、及びCKDが入力される。なお、図7では図示を省略しているが、1垂直走査期間毎に一定期間H(High)レベルとなるリセット信号CLRが表示制御回路4から各駆動回路11に入力される。リセット信号CLRが入力されると、駆動回路11(n)におけるnetA(n)、netB(n)、及びゲート線13Gの電位はL(Low)レベルに遷移する。

[0067] 時刻t1のタイミングで、ゲート線13G(n-1)が選択状態に切り替

えられ、駆動回路 11 (n) の T F T - B のドレイン端子に、セット信号 S として、ゲート線 13 G (n - 1) の H レベルの電位が入力される。T F T - B のゲート端子には、n e t A (n - 2) の電位が入力される。n e t A (n - 2) の電位は、時刻 t 1 より前に H レベルとなっており、T F T - B は、時刻 t 1 においてオン状態となっている。T F T - B は、n e t A (n - 2) の電位が L レベルに遷移する時刻 t 2 までオン状態となり、時刻 t 1 から t 2 の間、n e t A (n) は、ゲート線 13 G (n - 1) の H レベルの電位 (V D D) にプリチャージされる。

[0068] T F T - F のゲート端子には、n e t A (n) の H レベルの電位が入力され、オン状態となる。時刻 t 1 において、T F T - D のゲート端子にはクロック信号 C K B の H レベルの電位が入力されるため、T F T - D はオン状態となり、ゲート線 13 G (n) に L レベルの電位 (V S S) が入力される。

[0069] また、時刻 t 1 において、クロック信号 C K D の電位は H レベルであり、クロック信号 C K C の電位は L レベルである。これにより、T F T - G はオン状態、T F T - H はオフ状態となる。T F T - J のゲート端子には、セット信号 S として、ゲート線 13 G (n - 1) の H レベルの電位が入力され、T F T - J はオン状態になる。そのため、n e t B (n) は L レベルの電位に維持され、T F T - C はオフ状態となる。

[0070] 時刻 t 2 において、クロック信号 C K A の電位が H レベルとなり、T F T - F を介してクロック信号 C K A の H レベルの電位がゲート線 13 G (n) に入力される。ゲート線 13 G (n) の電位の上昇に伴って、n e t A (n) とゲート線 13 G (n) の間に接続されたキャパシタ C b s t により、n e t A (n) は、クロック信号 C K A の H レベルの電位よりも高い電位まで充電される。つまり、n e t A (n) は、(プリチャージ電圧 V D D + T F T - F の閾値電圧 V t h) よりも高い電位に充電される。

[0071] 時刻 t 2 において、ゲート線 13 G (n - 1) の電位は H レベルであり、T F T - J はオン状態を維持する。時刻 t 3 において、クロック信号 C K C の電位が H レベルに遷移し、T F T - H がオン状態となる。そのため、時刻

t_2 から t_4 の間、 $net\ B(n)$ は L レベルの電位に維持される。

[0072] また、時刻 t_2 において、クロック信号 $CK\ B$ の電位が H レベルから L レベルに遷移し、 $TFT-D$ はオフ状態となる。これにより、時刻 t_2 から t_4 において、ゲート線 $13\ G(n)$ に、クロック信号 $CK\ A$ の H レベルの電位（選択電圧）が出力されてゲート線 $13\ G(n)$ が選択状態に切り替えられる。

[0073] なお、ゲート線 $13\ G(n+1)$ を駆動する駆動回路 $11(n+1)$ は、ゲート線 $13\ G(n)$ をセット信号 S として、駆動回路 $11(n)$ と同様に動作し、ゲート線 $13\ G(n+1)$ は、時刻 t_3 のタイミングで選択状態に切り替えられる。また、ゲート線 $13\ G(n+2)$ を駆動する駆動回路 $11(n+2)$ は、ゲート線 $13\ G(n+1)$ をセット信号 S として、駆動回路 $11(n)$ と同様に動作し、ゲート線 $13\ G(n+2)$ は、時刻 t_4 のタイミングで選択状態に切り替えられる。

[0074] 時刻 t_4 において、クロック信号 $CK\ B$ の電位が H レベルに遷移し、 $TFT-D$ はオン状態となる。また、時刻 t_4 において、ゲート線 $13\ G(n+2)$ の電位が H レベルに遷移するため、 $TFT-K$ と $TFT-L$ もオン状態となる。これにより、 $TFT-D$ 及び $TFT-L$ を介してゲート線 $13\ G(n)$ に L レベルの電位が入力され、ゲート線 $13\ G(n)$ は非選択状態に切り替えられる。また、 $TFT-K$ を介して $net\ A(n)$ には L レベルの電位が入力される。このとき、クロック信号 $CK\ C$ の電位は H レベルであり、 $TFT-H$ はオン状態を維持するため、 $net\ B(n)$ の電位は L レベルに維持される。

[0075] 続いて、時刻 t_5 において、クロック信号 $CK\ D$ の電位が H レベル、クロック信号 $CK\ C$ の電位が L レベルに遷移すると、 $TFT-H$ はオフ状態、 $TFT-G$ はオン状態となる。これにより、 $net\ B(n)$ は、クロック信号 $CK\ D$ の H レベルの電位より $TFT-G$ の閾値電圧分小さい電位に充電される。このとき、 $TFT-K$ 及び $TFT-L$ はオン状態となっており、 $TFT-C$ はオン状態となるため、 $net\ A(n)$ とゲート線 $13\ G(n)$ は L レ

ベルの電位に維持される。

[0076] 時刻 t_6 以降は、クロック信号 CKB が H レベルの電位となるタイミングで、ゲート線 $13G(n)$ は、 $TFT-D$ を介して L レベルの電位に維持される。

[0077] また、時刻 t_6 以降は、クロック信号 CKD が H レベルの電位となるタイミングで、 $netB(n)$ の電位が H レベルに充電され、 $netA(n)$ は、 $TFT-C$ を介して L レベルの電位に維持される。

[0078] つまり、 $netB(n)$ は、 $TFT-C$ を介して $netA(n)$ の電位を L レベルに維持するためのものである。ただし、ゲート線 $13G(n)$ を選択状態に切り替える際、 $TFT-C$ はオフ状態である必要がある。そのため、ゲート線 $13G(n)$ の非選択期間に、クロック信号 CKD の電位に応じて $TFT-C$ がオン状態となるように、駆動回路 $11(n)$ は構成されている。また、 $TFT-F$ は、クロック信号 CKA を供給する配線 $15L$ との間で寄生容量を持つ。そのため、 $netA(n)$ を L レベルの電位に保持する期間に、その寄生容量を介して $netA(n)$ にクロック信号 CKA に同期したノイズが入る。このノイズを回避するため、クロック信号 CKA の電位が H レベルとなるタイミングで $TFT-C$ がオン状態となるように、クロック信号 CKD と同じタイミングで $netB(n)$ の電位を H レベルに遷移させている。

[0079] ここで、図 8 に、ダイオード接続された $TFT-B$ を用いた従来の駆動回路 $100(n)$ の等価回路を示す。図 8 に示す駆動回路 $100(n)$ は、 $TFT-B$ のゲート端子及びドレイン端子に、ゲート線 $13G(n-2)$ の電位を入力する点を除き、駆動回路 $11(n)$ と同じ構成である。

[0080] 図 9 の (a) は、表示領域の外側に駆動回路 $100(n)$ を配置した場合の、 $netA(n)$ のプリチャージ期間 T_p と、ゲート線 $13G(n)$ の選択期間 T_s における $netA(n)$ の電位変化を表した図である。また、図 9 の (b) は、表示領域内に駆動回路 $100(n)$ を配置した場合の、 $netA(n)$ のプリチャージ期間 T_p と、ゲート線 $13G(n)$ の選択期間 T

sにおける $net A(n)$ の電位変化を表した図である。

[0081] 図9の(a)に示すように、表示領域外に設けられた駆動回路100(n)では、プリチャージ期間 T_p において、ゲート線13G(n-2)のHレベルの電位(V_{DD})よりTFT-Bの閾値電圧($V_{th}(B)$)分だけ小さい電位($V_{DD} - V_{th}(B)$)が、 $net A(n)$ にプリチャージされる。選択期間 T_s では、TFT-Fを介してクロック信号CKAのHレベルの電位がゲート線13G(n)に入力され、キャパシタ C_{bst} によって、 $net A(n)$ の電位は、プリチャージ電圧よりも高い電位($V_{DD} + \alpha$)まで突き上げられる。

[0082] 一方、表示領域内に駆動回路100(n)を設ける場合、駆動回路100(n)は、表示領域に設けられたソース線15S等の他の素子との間に寄生容量を持ち、 $net A(n)$ の寄生容量は、表示領域外に設ける場合よりも大きくなる。その結果、キャパシタ C_{bst} を介した $net A(n)$ の電位の上昇効率が低下し、図9の(b)に示すように、選択期間 T_s における $net A(n)$ の電位($V_{DD} + \beta$ ($\beta < \alpha$))は、表示領域の外側に駆動回路100(n)を配置する場合よりも小さくなる。これにより、TFT-Fのゲート電圧が低下し、駆動回路を安定して動作させることができず、ゲートドライバの動作マージンが低下する。

[0083] これに対し、上述した第1実施形態では、TFT-Bのゲート端子に $net A(n-2)$ の電位を入力し、ドレイン端子にゲート線13G(n-1)の電位をセット信号として入力する。これにより、図9の(c)に示すように、プリチャージ期間 T_p における $net A(n)$ のプリチャージ電圧は、TFT-Bの閾値電圧分だけ低下することなく、ゲート線13G(n)のHレベルの電位(V_{DD})となる。これにより、表示領域内に設けた駆動回路11(n)の $net A(n)$ の寄生容量の影響によって $net A(n)$ の電位の上昇効率が低下しても、選択期間 T_s における $net A(n)$ の電位を図9の(a)と同等以上まで引き上げることができ、駆動回路を安定して動作させ、ゲートドライバの動作マージンを向上させることができる。

[0084] <第1実施形態の応用例>

上述した第1実施形態では、駆動回路11(n)のTF T-Bに入力されるセット信号Sとしてゲート線13G(n-1)の電位を入力する例について説明した。本応用例では、TF T-Bに入力されるセット信号Sとしてクロック信号を入力する例について説明する。以下の説明において、第1実施形態と異なる構成について説明する。

[0085] (回路構成)

図10は、本応用例における駆動回路110の等価回路を例示した図である。図10に示すように、ゲート線13G(n)を駆動する駆動回路110(n)は、TF T-Bのドレイン端子に、クロック信号CKDが入力される点を除き、駆動回路11(n)と同じ構成を有する。

[0086] (配置例)

図11は、表示領域における駆動回路110(n)と、ゲート線13G(n+2)を駆動する駆動回路110(n+2)のTF T-Bの接続例を示す模式図である。なお、図11では、便宜上、“TF T-”の表記を省略しているが、図11においてアルファベットで示すTF Tは、図10における同じアルファベットが付されたTF Tと対応している。図11に示すように、駆動回路110(n)におけるTF T-Bのドレイン端子は、クロック信号CKDが供給される配線15Lに接続されている。また、駆動回路110(n+2)におけるTF T-Bのドレイン端子は、クロック信号CKDと逆位相のクロック信号CKCが供給される配線15Lに接続されている。

[0087] (動作例)

図12は、駆動回路110(n)がゲート線13G(n)を駆動する際のタイミングチャートである。以下、第1実施形態と異なる動作について説明する。

[0088] 時刻t1において、クロック信号CKDの電位はHレベルとなり、このときTF T-Bはオン状態となっているため、TF T-Bを介してnet A(n)にクロック信号CKDのHレベル(VDD)の電位がプリチャージされ

る。なお、クロック信号CKDは、2水平走査期間ごとにHレベルに遷移するが、TF_T-Bは、net A (n-2)の電位がHレベルとなっている期間以外はオフ状態となるため、時刻t₂以降は、TF_T-Bを介して、クロック信号CKDのHレベルの電位がnet A (n)に入力されない。

[0089] ゲート線13Gは、寄生容量が比較的大きく、ゲート線13Gの出力波形は鈍りやすい。そのため、第1実施形態のように、TF_T-Bのドレイン端子に、ゲート線13G (n-1)の電位を入力すると、ゲート線13G (n-1)の出力波形の鈍りの影響を受け、TF_T-Bを介してnet A (n)をプリチャージする能力が低下する。また、駆動回路110における各TF_Tの劣化に伴って、ゲート線13Gの出力波形の鈍りは次第に大きくなる。その結果、net A (n)をプリチャージする能力がより低下し、駆動回路の動作が不安定になる。第1実施形態の応用例では、TF_T-Bのドレイン端子にクロック信号を入力するため、ゲート線13Gの出力波形の鈍りの程度に関係なく、net Aを適切にプリチャージすることができる。

[0090] <第2実施形態>

上述の第1実施形態とその応用例では、net Aのプリチャージ電圧の低下を抑制し、ゲートドライバの動作マージンを向上させる例を説明した。ゲートドライバの動作マージンの低下の要因として、ゲート線を非選択期間に切り替える際のnet Aの電位の引き下げが不十分であることが挙げられる。特に、表示領域内にゲートドライバを配置する場合には、表示領域内に配置されたソース線15Sや配線15L等の素子との間に生じる寄生容量の影響を受け、net Aを確実にLレベルに引き下げることができないことがある。本実施形態では、ゲートドライバの動作マージンを向上させるべく、ゲート線を非選択状態に遷移させる際にnet Aの電位の引き下げをより確実に行う例を説明する。以下、第1実施形態と異なる構成について説明する。

[0091] (回路構成)

図13は、本実施形態における駆動回路111の等価回路を示す図である。図13に示すように、ゲート線13G (n)を駆動する駆動回路111 (

n) は、 $net A(n)$ のプリチャージ用の T F T-B は、ダイオード接続されている。T F T-B のゲート端子とドレイン端子には、ゲート線 1 3 G ($n-2$) の電位が入力される。また、T F T-K のゲート端子には、ゲート線 1 3 G ($n+2$) を駆動する駆動回路 1 1 1 ($n+2$) における $net A(n+2)$ の電位が入力され、ドレイン端子には、クロック信号 C K A の電位が入力される。

[0092] (配置例)

図 1 4 A 及び 1 4 B は、表示領域における駆動回路 1 1 1 (n) と、駆動回路 1 1 1 ($n+2$) の T F T-K、及び T F T-B の接続例を示す模式図である。なお、図 1 4 A 及び 1 4 B では、便宜上、“T F T-” の表記を省略しているが、図 1 4 A 及び 1 4 B においてアルファベットで示す T F T は、図 1 3 における同じアルファベットが付された T F T と対応している。

[0093] 図 1 4 A に示すように、駆動回路 1 1 1 (n) における T F T-K のゲート端子は、 $net A(n+2)$ に接続され、駆動回路 1 1 1 ($n+2$) における T F T-K のゲート端子は、 $net A(n+4)$ に接続されている。駆動回路 1 1 1 (n) における T F T-K のドレイン端子は、クロック信号 C K A を供給する配線 1 5 L に接続され、駆動回路 1 1 1 ($n+2$) における T F T-K のドレイン端子は、クロック信号 C K B を供給する配線 1 5 L に接続されている。

[0094] また、図 1 4 B に示すように、駆動回路 1 1 1 (n) における T F T-B のゲート端子とドレイン端子は、ゲート線 1 3 G ($n-2$) に接続され、駆動回路 1 1 1 ($n+2$) における T F T-B のゲート端子とドレイン端子は、ゲート線 1 3 G (n) に接続されている。

[0095] (動作例)

図 1 5 は、駆動回路 1 1 1 (n) がゲート線 1 3 G (n) を駆動する際のタイミングチャートである。以下、第 1 実施形態と異なる動作について説明する。

[0096] 図 1 5 に示す時刻 t_0 から t_2 において、ゲート線 1 3 G ($n-2$) が選

択状態となり、駆動回路 111 (n) における T F T-B のゲート端子とドレイン端子に、ゲート線 13 G (n-2) の H レベルの電位が入力される。これにより、T F T-B がオン状態となり、n e t A (n) に、T F T-B を介して、ゲート線 13 G (n-2) の H レベルの電位より T F T-B の閾値電圧だけ小さい電位がプリチャージされる。

[0097] 図 15 に示す時刻 t 2 から t 4 において、クロック信号 C K A の H レベルの電位が T F T-F を介してゲート線 13 G (n) に入力される。n e t A (n) の電位は、キャパシタ C b s t を介してクロック信号 C K A の H レベルよりも高い電位まで突き上げられ、この n e t A (n) の電位が T F T-F のゲート端子に入力され、ゲート線 13 G (n) にクロック信号 C K A の H レベルの電位が入力されて選択状態となる。

[0098] 駆動回路 111 (n) における T F T-J は、ゲート線 13 G (n-1) の電位が H レベルとなる時刻 t 1 から時刻 t 3 の期間にオン状態となり、T F T-H は、クロック信号 C K C の電位が H レベルとなる時刻 t 3 から時刻 t 5 の期間にオン状態となる。これにより、時刻 t 1 から時刻 t 5 において、n e t B (n) は、L レベルの電位に維持される。

[0099] 図 15 に示すように、n e t A (n+1) は、時刻 t 1 にプリチャージが開始され、時刻 t 3 に、ゲート線 13 G (n+1) は選択状態に切り替えられる。また、n e t A (n+2) は、時刻 t 2 でプリチャージが開始され、時刻 t 4 に、ゲート線 13 G (n+2) は選択状態に切り替えられる。

[0100] 時刻 t 4 において、n e t A (n+2) の電位が H レベルに遷移すると、T F T-K がオン状態となる。このとき、クロック信号 C K A の電位は L レベルであるため、n e t A (n) の電位は、T F T-K を介して H レベル (V D D) から L レベル (V S S) に引き下げられる。また、T F T-L のゲート端子にゲート線 13 G (n+2) の H レベルの電位が入力され、T F T-L がオン状態となるため、ゲート線 13 G (n) は H レベル (V D D) から L レベル (V S S) の電位に遷移する。

[0101] 時刻 t 6 以降は、n e t A (n+2) の電位が L レベルとなるため、T F

T-F-T-Kはオフ状態となるが、クロック信号CKDの電位がHレベルとなるタイミングで、net B (n) の電位がHレベルとなり、net A (n) は、T-F-T-Kを介してLレベルの電位に維持される。

[0102] 上述した第2実施形態では、net A (n) をLレベルに引き下げるT-F-T-Kのゲート端子に、net A (n+2) が接続される。駆動回路111におけるnet Aは、ゲート線13Gの選択期間において、キャパシタCbstを介して選択電圧よりも高い電位まで突き上げられる。そのため、T-F-T-Kのゲート電圧が向上し、T-F-T-Kのドレイン端子からソース端子へと流れる電流値が大きくなり、T-F-T-Kの駆動力が向上する。その結果、表示領域内に駆動回路111を配置することにより、net Aに寄生容量Cpaが生じて、ゲート線13Gの非選択期間の遷移時に、T-F-T-Kを介してnet Aの電位を十分引き下げることができ、駆動回路111を安定して動作させることができる。

[0103] <第3実施形態>

上述した第2実施形態では、ゲートドライバの動作マージンを向上させるべく、ゲート電圧放電部として機能するT-F-T-Kのゲート端子に、他の駆動回路のnet Aを接続し、T-F-T-Kの駆動力を向上させる例を説明した。本実施形態では、ゲート線の非選択期間の遷移時におけるゲート線の放電を強化し、ゲートドライバの動作マージンの向上を図る。以下、第2実施形態と異なる構成について説明する。

[0104] (回路構成)

図16は、本実施形態における駆動回路112の等価回路を例示した図である。図16に示すように、ゲート線13G (n) を駆動する駆動回路112 (n) において、net A (n) の電位を引き下げるためのT-F-T-Kは、ゲート端子にゲート線13G (n+2) が接続され、ドレイン端子にnet A (n) が接続され、ソース端子に電源電圧信号VSSが入力されている。また、ゲート線13G (n) に非選択電圧を出力するT-F-T-Lは、ゲート端子に、駆動回路112 (n+2) におけるnet A (n+2) が接続さ

れ、ドレイン端子にクロック信号CKAが入力され、ソース端子にゲート線13G(n)が接続されている。

[0105] (配置例)

図17A及び17Bは、表示領域における駆動回路112(n)と、駆動回路112(n+2)のTF-T-K、及びTF-T-Lの接続例を示す模式図である。なお、図17A及び17Bでは、便宜上、“TF-T-”の表記を省略しているが、図17A及び17Bにおいてアルファベットで示すTF-Tは、図16における同じアルファベットが付されたTF-Tと対応している。

[0106] 図17Aに示すように、駆動回路112(n)におけるTF-T-Kのゲート端子は、ゲート線13G(n+2)に接続され、駆動回路112(n+2)におけるTF-T-Kのゲート端子は、ゲート線13G(n+4)に接続されている。駆動回路112(n)と駆動回路112(n+2)におけるTF-T-Kのソース端子は、電源電圧信号VSSを供給する配線15Lに接続されている。

[0107] また、図17Bに示すように、駆動回路112(n)におけるTF-T-Lのゲート端子は、net A(n+2)に接続され、ドレイン端子は、クロック信号CKAを供給する配線15Lに接続されている。駆動回路112(n+2)におけるTF-T-Lのゲート端子は、net A(n+4)に接続され、ドレイン端子は、クロック信号CKBを供給する配線15Lに接続されている。

[0108] (動作例)

次に、駆動回路112(n)の動作について説明する。図18は、駆動回路112(n)がゲート線13G(n)を駆動する際のタイミングチャートである。以下、第2実施形態と異なる駆動回路112(n)の動作について、図18及び図16を用いて説明する。

[0109] 図18に示す時刻t4において、net A(n+2)の電位がHレベルに遷移し、ゲート線13G(n+2)が選択状態に遷移すると、TF-T-LとTF-T-Kがオン状態となる。このとき、クロック信号CKAの電位はLレ

ベルであるため、ゲート線 13G (n) は、TF T-L を介して L レベル (VSS) の電位が印加される。また、net A (n) は、TF T-K を介して L レベル (VSS) の電位に引き下げられる。

[0110] 時刻 t 6 以降は、net A (n+2) の電位が L レベルとなるため、TF T-L はオフ状態となるが、クロック信号 CK B の電位が H レベルとなるタイミングで、TF T-D がオン状態となり、TF T-D を介して、ゲート線 13G (n) は L レベルの電位に維持される。また、時刻 t 6 以降、ゲート線 13G (n+2) の電位は L レベルとなり、TF T-K はオフ状態となるが、クロック信号 CK D の電位が H レベルとなるタイミングで、net B (n) は TF T-G を介して H レベルの電位が入力される。これにより、TF T-C がオン状態となり、net A (n) は L レベルの電位に維持される。

[0111] 表示領域内に駆動回路 112 を配置する場合、クロック信号や電源電圧信号を供給するための配線 15L が画素に設けられるため、表示領域外に駆動回路 112 を配置する場合と比べて、配線 15L とゲート線 13G との間の寄生容量が増加し、ゲート線 13G を非選択状態に遷移させる際、ゲート線 13G を確実に非選択状態にできない場合がある。上述の第 3 実施形態では、ゲート線 13G (n) に非選択電圧を出力する TF T-L のゲート端子に net A (n+2) を接続して TF T-L のゲート電圧を向上させ、TF T-L の駆動力を上げることができるので、ゲート線を非選択状態に遷移させる期間に、ゲート線 13G (n) をより確実に非選択状態に遷移させることができる。

[0112] <第 4 実施形態>

上述した第 1 実施形態から第 3 実施形態では、出力部として機能する TF T のドレイン端子と、ゲート線放電部として機能する TF T のドレイン端子にクロック信号を入力し、クロック信号を用いてゲート線を充電する例を説明した。本実施形態では、H レベル (VDD) の直流電圧信号を用いて充電する例について説明する。

[0113] (回路構成)

図19は、本実施形態における駆動回路113の等価回路を例示した図である。図19に示すように、ゲート線13G(n)を駆動する駆動回路113(n)は、以下の点において、第1実施形態の応用例の駆動回路と異なっている。

[0114] 駆動回路113(n)は、TFT-P、内部配線netC(n)、TFT-N、及びTFT-Mを備える。

[0115] netC(n)は、TFT-Fのソース端子、キャパシタCbst、TFT-Eのドレイン端子、TFT-Dのドレイン端子が接続されており、netC(n)の電位R(n)は、駆動回路113(n-2)のTFT-Lのゲート端子に入力される。

[0116] TFT-Fは、netA(n)の電位に応じて、クロック信号CKAの電位をnetC(n)に出力し、キャパシタCbstを充電する。

[0117] TFT-Eは、ゲート端子に入力されるリセット信号CLRの電位に応じて、netC(n)をLレベルの電位に引き下げる。

[0118] TFT-Dは、ゲート端子に入力されるクロック信号CKBの電位に応じて、netC(n)をLレベルの電位に引き下げる。

[0119] TFT-Lは、ゲート端子に、ゲート線13G(n+2)を駆動する駆動回路113(n+2)におけるnetCの電位R(n+2)が入力される。TFT-Lは、電位R(n+2)に応じて、ゲート線13G(n)に非選択電圧を印加し、Lレベルの電位に引き下げる。

[0120] TFT-Nは、ゲート端子にリセット信号CLRが入力され、ドレイン端子にゲート線13G(n)が接続され、ソース端子に電源電圧信号VSSが入力される。TFT-Nは、リセット信号CLRの電位に応じて、ゲート線13G(n)に非選択電圧を印加し、Lレベルの電位に引き下げる。

[0121] TFT-Mは、ゲート端子にnetB(n)が接続され、ドレイン端子にゲート線13G(n)が接続され、ソース端子に電源電圧信号VSSが入力される。TFT-Mは、netB(n)の電位に応じて、ゲート線13G(n)に非選択電圧を印加し、Lレベルの電位に引き下げる。

[0122] TFT-Pは、ゲート端子が $net A(n)$ と接続され、ドレイン端子にHレベル(VDD)の直流電圧信号が入力され、ソース端子がゲート線13G(n)に接続されている。TFT-Pは、 $net A(n)$ の電位に応じて、ゲート線13G(n)をHレベル(VDD)の電位に充電し、選択状態に切り替える。

[0123] つまり、本実施形態において、TFT-Pは出力部として機能し、TFT-FとキャパシタCbstは昇圧部として機能する。また、TFT-L、TFT-M、TFT-Nは、ゲート線放電部として機能する。

[0124] (配置例)

次に、本実施形態における駆動回路の表示領域における配置例について説明する。図20A～20Fは、表示領域における駆動回路113(n)と駆動回路113(n+2)の配置例を示す模式図である。図20A～20Fは、列211～215において連続しているものとする。また、各図では、便宜上、“TFT”の表記を省略しているが、A～N、Pが付されたTFTは、図19に示すTFT-A～TFT-N、及びTFT-Pを示している。以下、主に、第1実施形態の応用例と異なる構成の配置について説明する。

[0125] 図20A～20Fにおいて、駆動回路113(n)の各素子は、ゲート線13G(n)からゲート線13G(n-2)の間に配置され、駆動回路113(n+2)の各素子は、ゲート線13G(n+2)からゲート線13G(n)の間に配置されている。

[0126] 図20Aに示すように、駆動回路113(n)及び駆動回路113(n+2)の各々におけるTFT-NとTFT-Lは、各ゲート端子に、リセット信号CLRを供給する配線15Lが接続されている。また、図20Bに示すように、駆動回路113(n)におけるTFT-Mのゲート端子は、 $net B(n)$ と接続され、駆動回路113(n+2)におけるTFT-Mのゲート端子は、 $net B(n+2)$ と接続されている。また、駆動回路113(n)及び駆動回路113(n+2)の各々におけるTFT-Mのソース端子は、図20Aに配置された電源電圧信号VSSを供給する配線15Lに接続

されている。

[0127] 本実施形態では、図20Cに示すように、出力部として機能するTFTPは、3つのTFTPを並列に接続して構成される。図20Cにおいて、Hレベル(VDD)の直流電圧信号を供給する配線15Lは、各TFTPが配置された画素まで引き回され、各TFTPのドレイン端子と接続されている。

[0128] また、図20Dに示すように、本実施形態では、ゲート線放電部として機能するTFTLは、3つのTFTLを並列に接続して構成される。図20D及び図20Eに示すように、駆動回路113(n)における各TFTLのゲート端子は、駆動回路113(n+2)におけるnetC(n+2)と接続され、netC(n+2)の電位R(n+2)が入力される。また、駆動回路113(n+2)における各TFTLのゲート端子は、図示しない駆動回路113(n+4)におけるnetC(n+4)と接続され、netC(n+4)の電位R(n+4)が入力される。また、図20Dに示すように、Lレベル(VSS)の直流電圧信号を供給する配線15Lは、駆動回路113(n)及び駆動回路113(n+2)における各TFTLが配置された画素まで引き回され、各TFTLのソース端子と接続されている。

[0129] 本実施形態では、図20Eに示すように、昇圧部として機能するTFTEは1つのTFTEで構成される例を説明するが、TFTEは、複数のTFTEを並列に接続して構成されていてもよい。図20Eにおいて、駆動回路113(n)におけるTFTEのソース端子及びキャパシタCbstの一方の電極が接続されたnetC(n)は、図示しない駆動回路113(n-2)におけるTFTLのゲート端子に接続され、そのゲート端子に電位R(n)が入力される。また、図20Fに示すように、駆動回路113(n)におけるTFTE及びTFTEのドレイン端子は、キャパシタCbstの一方の電極と接続されたnetC(n)に接続される。駆動回路113(n+2)におけるTFTE及びTFTEのドレイン端子も同様に、キャパシタCbstの一方の電極と接続されたnetC(n+2)に接続される。

[0130] (動作例)

次に、駆動回路 113 (n) の動作について説明する。図 21 は、駆動回路 113 (n) がゲート線 13G (n) を駆動する際のタイミングチャートである。以下、第 1 実施形態の応用例と異なる動作について、図 21 及び図 19 を用いて説明する。

[0131] 時刻 t_1 において、クロック信号 CKD の電位は H レベルとなり、net A (n-2) の電位は H レベルとなっている。そのため、時刻 t_1 において TFT-B はオン状態となっており、TFT-B を介して net A (n) にクロック信号 CKD の H レベル (VDD) の電位がプリチャージされる。これにより、TFT-P はオン状態となり、TFT-P を介して、ゲート線 13G (n) は、(VDD - TFT-P の閾値電圧) の電位に充電される。また、このとき、TFT-F もオン状態となるが、クロック信号 CKA の電位は L レベルであるため、net C (n) の電位 R (n) は L レベルに維持される。

[0132] 時刻 t_2 において、クロック信号 CKA の電位が H レベルとなる。TFT-F は、時刻 t_1 においてオン状態となっており、net C (n) に、TFT-F を介してクロック信号 CKA の H レベルの電位が入力される。そして、net C (n) の電位の上昇に伴い、プリチャージされた net A (n) の電位は、キャパシタ Cbst を介して突き上げられ、(VDD + TFT-P の閾値電圧) よりも大きい電位に充電される (以下、本チャージと称する)。これにより、TFT-P に閾値電圧より大きいゲート電圧が印加され、TFT-P を介して H レベル (VDD) の電位がゲート線 13G (n) に入力され、時刻 t_2 から時刻 t_4 の期間、ゲート線 13G (n) は選択状態となる。

[0133] 時刻 t_4 において、駆動回路 113 (n+2) における net C (n+2) の電位 R (n+2) が H レベルになると、駆動回路 113 (n) における TFT-K 及び TFT-L はオン状態となる。これにより、net A (n) の電位は、TFT-K を介して L レベル (VSS) に引き下げられ、ゲート

線 1 3 G (n) に、 T F T - L を介して L レベル (V S S) の電位が印加される。

[0134] 時刻 t_6 以降は、電位 $R(n+2)$ が L レベルとなるため、 T F T - K 及び T F T - L はオフ状態となるが、クロック信号 C K D の電位が H レベルとなるタイミングで、 $net B(n)$ は H レベルの電位が入力されるので、 $net A(n)$ は T F T - C を介して L レベルの電位に維持され、ゲート線 1 3 G (n) は T F T - M を介して L レベルの電位に維持される。

[0135] 上述した第 4 実施形態では、選択電圧に対応する H レベル (V D D) の電位を示す直流電圧信号を用いてゲート線 1 3 G の充電を行うため、駆動回路 1 1 3 にクロック信号を供給する負荷を軽減することができ、消費電力を軽減することができる。また、第 4 実施形態では、駆動回路 1 1 3 において、 T F T - P が追加されているため、駆動回路 1 1 3 における $net A$ の寄生容量 C_{pa} がさらに増加し、キャパシタ C_{bst} による $net A$ の電位の上昇効率が低下する。しかしながら、プリチャージ用の T F T - B のゲート端子に $net A(n-2)$ を接続することにより、 T F T - B をダイオード接続する場合と比べ、 $net A$ の電位の上昇効率の低下が抑制される。その結果、駆動回路 1 1 3 において、 T F T - P に高いゲート電圧が印加され、 T F T - P の駆動力が向上し、駆動回路 1 1 3 を安定して動作させることができる。

[0136] <第 5 実施形態>

上述した第 4 実施形態では、 M 本のゲート線 1 3 G を順次駆動する例について説明したが、本実施形態では、任意のゲート線 1 3 G を駆動させる例について説明する。

[0137] (回路構成)

図 2 2 は、本実施形態における駆動回路 1 1 4 の等価回路を例示した図である。図 2 2 に示すゲート線 1 3 G (n) を駆動する駆動回路 1 1 4 (n) は、第 4 実施形態における駆動回路 1 1 3 (n) と以下の点において異なる。

[0138] 駆動回路 114 (n) における T F T - P は、ドレイン端子に、行選択信号 E N A が入力される。また、T F T - K は、ゲート端子に n e t A (n + 2) が接続され、ドレイン端子にクロック信号 C K A が入力される。

[0139] T F T - J は、ゲート端子に n e t A (n + 2) が接続される。上述した第 1 実施形態～第 4 実施形態では、T F T - J のゲート端子に、隣接するゲート線 13 G (n - 1) が接続されていたが、本実施形態では、隣接するゲート線 13 G (n - 1) が駆動されない場合がある。そのため、本実施形態では、T F T - J のゲート端子には、隣接するゲート線 13 G の電位が入力されないように駆動回路 114 を構成している。

[0140] 行選択信号は、H レベル (V D D) 又は L レベル (V S S) の電位を示す信号である。表示制御回路 4 (図 1 及び図 3 参照) は、制御信号として、クロック信号に加え、行選択信号 E N A、E N B、E N C、E N D のいずれかを各駆動回路における T F T - P のドレイン端子に供給する。

[0141] (配置例)

図 23 A ～ 23 D は、駆動回路 114 (n) と、ゲート線 13 G (n + 2) を駆動する駆動回路 114 (n + 2) における T F T - J、T F T - K、T F T - P を含む一部の素子が配置された表示領域を示す模式図である。図 23 A ～ 23 D は、列 221 ～ 223 において連続しているものとする。また、図 23 A ～ 23 D において、便宜上、” T F T - ” の表記を省略しているが、各図においてアルファベットを付した T F T は、図 22 において同じアルファベットが付された T F T に対応している。

[0142] 図 23 A に示すように、駆動回路 114 (n) における T F T - J のゲート端子は、n e t A (n) と接続され、駆動回路 114 (n + 2) における T F T - J のゲート端子は、n e t A (n + 2) と接続されている。

[0143] また、図 23 B に示すように、駆動回路 114 (n) における各 T F T - P のドレイン端子は、行選択信号 E N A が供給される配線 15 L に接続されている。一方、駆動回路 114 (n + 2) における各 T F T - P のドレイン端子は、図 23 C に示すように、行選択信号 E N B が供給される配線 15 L

に接続されている。

[0144] なお、図示を省略するが、ゲート線 $13G(n-1)$ を駆動する駆動回路 $114(n-1)$ における $TFT-P$ のドレイン端子は、行選択信号 END が供給される配線 $15L$ に接続されている。また、ゲート線 $13G(n+1)$ を駆動する駆動回路 $114(n+1)$ における $TFT-P$ のドレイン端子は、行選択信号 ENC が供給される配線 $15L$ に接続されている。また、ゲート線 $13G(n-2)$ を駆動する駆動回路 $114(n-2)$ における各 $TFT-P$ のドレイン端子は、行選択信号 ENB が供給される配線 $15L$ に接続されている。

[0145] 図 $23C$ 及び $23D$ に示すように、駆動回路 $114(n)$ における $TFT-K$ のゲート端子は、駆動回路 $114(n)$ における $netA(n+2)$ に接続されている。駆動回路 $114(n+2)$ における $TFT-K$ のゲート端子は、図示しない駆動回路 $114(n+4)$ における $netA(n+4)$ に接続されている。

[0146] また、図 $23D$ に示すように、本実施形態では、 $TFT-K$ のゲート端子に $netC$ が接続されず、 $TFT-L$ の各ゲート端子に $netC$ が接続されるように配線されており、 $TFT-K$ と $TFT-L$ の各ゲート端子に $netC$ を接続する第4実施形態と比べ、 $netC$ の配線が短くなっている。

[0147] (動作例)

次に、本実施形態における駆動回路の動作について説明する。図 24 は、1フレームにおいて、一部のゲート線 $13G$ を駆動する際のタイミングチャートである。以下、第4実施形態と異なる動作について説明する。

[0148] 表示制御回路4 (図1又は図3参照) は、一のフレームにおいて、ゲート線 $13G(n-1) \sim 13G(n+1)$ を駆動させ、ゲート線 $13G(n-2)$ 及びゲート線 $13G(n+2)$ を駆動させないように、行選択信号 $ENA \sim END$ を出力する。具体的には、表示制御回路4は、図 24 に示す時刻 t_0 から t_3 の間、Hレベルの電位を示す行選択信号 END を出力し、時刻 t_1 から t_4 の間、Hレベルの電位を示す行選択信号 ENA を出力する。ま

た、表示制御回路4は、時刻 t_2 から t_5 の間、Hレベルの電位を示す行選択信号ENCを出力し、1フレームの間、Lレベルの電位を示す行選択信号ENBを出力する。

[0149] 図24において、時刻 t_0 から t_2 の間、 $net A(n-2)$ が本チャージされ、時刻 t_1 において、クロック信号CKDの電位がHレベルに遷移すると、駆動回路114(n)におけるTFT-Bはオン状態となり、 $net A(n)$ は、TFT-Bを介してHレベル(VDD)にプリチャージされる。これにより、TFT-Pはオン状態となる。このとき、行選択信号ENAの電位はHレベル(VDD)であるため、TFT-Pを介して、ゲート線13G(n)は、(VDD-TFT-Pの閾値電圧)の電位に充電される。また、このとき、TFT-Fもオン状態となるが、クロック信号CKAの電位はLレベルであるため、 $net C(n)$ の電位R(n)はLレベルに維持される。

[0150] 各駆動回路114における $net C$ の電位Rは、TFT-Fがオン状態において、TFT-Fのドレイン端子に入力されるクロック信号の電位に応じてHレベルに遷移する。この例では、図24に示すように、電位R(n-2)、R(n-1)、R(n)、R(n+1)、R(n+2)は、各々、クロック信号CKB、CKD、CKA、CKC、CKDの電位がHレベルとなるタイミングでHレベルに遷移する。

[0151] 時刻 t_0 から t_2 において、電位R(n-2)の上昇に伴い、 $net A(n-2)$ の電位はキャパシタCbstによって突き上げられ、本チャージされる。このとき、行選択信号ENBの電位はLレベルとなっているため、駆動回路114(n-2)におけるTFT-Pを介して、ゲート線13G(n-2)にLレベルの電位が入力され、ゲート線13G(n-2)は非選択状態を維持する。

[0152] また、時刻 t_1 から t_3 において、 $net A(n-1)$ は、上記 $net A(n-2)$ と同様、電位R(n-1)の上昇に伴って本チャージされる。こ

のとき、行選択信号 END の電位は H レベルとなっているため、駆動回路 114 ($n-1$) における $TFT-P$ を介して、ゲート線 13G ($n-1$) に H レベルの電位が入力され、ゲート線 13G ($n-1$) は選択状態となる。

[0153] 同様に、時刻 t_2 から t_4 において、 $net A(n)$ は電位 $R(n)$ の上昇に伴って本チャージされる。このとき、行選択信号 ENA の電位は H レベルであり、ゲート線 13G (n) は選択状態となる。また、時刻 t_3 から t_5 において、 $net A(n+1)$ は電位 $R(n+1)$ の上昇に伴って本チャージされる。このとき、行選択信号 ENC の電位は H レベルであり、ゲート線 13G ($n+1$) は選択状態となる。

[0154] 時刻 t_4 から t_6 において、 $net A(n+2)$ は電位 $R(n+2)$ の上昇に伴って本チャージされるが、行選択信号 ENB の電位は L レベルであり、ゲート線 13G ($n+2$) は非選択状態を維持する。

[0155] 上述した第5実施形態では、駆動回路 114 における $TFT-P$ のドレイン端子に行選択信号が入力されることにより、任意のゲート線 13G を駆動させることができる。そのため、例えば、連続する複数のゲート線のみを一定周波数で駆動させ、他のゲート線 13G は、その周波数よりも低い周波数で駆動させることができる。その結果、全てのゲート線 13G を一定周波数で駆動させる場合と比べ、ゲート線を駆動する際の消費電力を低減させることができる。また、表示データを更新すべき行のみデータ信号を入力すればよく、ソース線 15S を駆動する際の消費電力を低減することができる。

[0156] <変形例>

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形、又は組み合わせて実施することが可能である。以下、本発明の変形例について説明する。

[0157] (1) 上述した第1実施形態では、位相が互いに異なる4相のクロック信号を用いる例を説明したが、2相のクロック信号を用いてもよい。以下、2

相のクロック信号を用いる場合について、主に第1実施形態と異なる点を説明する。

[0158] (アクティブマトリクス基板の構成)

図25は、本変形例におけるアクティブマトリクス基板の概略構成を示す模式図である。なお、図25において、ソース線15S(図2参照)の図示は省略されている。図25に示すように、本変形例では、アクティブマトリクス基板20aにおける表示領域201において、ゲート線13Gごとに一の駆動回路115が設けられたゲートドライバ115Aを有する。各駆動回路115は、配線15Lを介して接続されている。

[0159] 表示制御回路41は、制御信号として、図26に示す2相のクロック信号CKa、CKbを端子部12gに出力する。クロック信号CKa、CKbは、図26に示すように、1水平走査期間ごとに、電位がHレベル(VDD)とLレベル(VSS)とを繰り返す信号である。

[0160] (回路構成)

図27は、駆動回路115の等価回路を例示した図である。図27に示すように、ゲート線13G(n)を駆動する駆動回路115(n)は、第1実施形態における駆動回路11を構成するTFTF、TFTG、TFTHに入力されるクロック信号と、TFTBのゲート端子に入力されるnetAの電位と、TFTK、及びTFTLのゲート端子に入力されるゲート線13Gの電位とが異なる点を除き、駆動回路11と同じ構成である。つまり、本実施形態では、TFTFのドレイン端子には、クロック信号CKaが入力される。TFTGのゲート端子及びドレイン端子には、クロック信号CKbが入力される。TFTHのゲート端子には、クロック信号CKaが入力される。TFTBのゲート端子には、ゲート線13G(n-1)を駆動する駆動回路115(n-1)におけるnetA(n-1)の電位が入力される。TFTK、及びTFTLのゲート端子には、ゲート線13G(n+1)の電位が入力される。

[0161] (配置例)

次に、表示領域における駆動回路 115 の配置例について説明する。図 28A～28E は、ゲート線 13G (n-1)～ゲート線 13G (n+1) を各々駆動する駆動回路 115 (n-1)、駆動回路 115 (n)、駆動回路 115 (n+1)、が配置された画素を示す模式図である。図 28A～28E では、便宜上、”TF T-” の表記は省略しているが、図 28A～28E の A～L で示す各 TF T は、図 27 に示す TF T-A～TF T-L に対応する。また、図 28A～28E は、列 231～234 において連続しているものとする。

[0162] 図 28A～28E において、駆動回路 115 (n-1) の各素子は、ゲート線 13G (n-1) とゲート線 13G (n-2) の間に配置され、駆動回路 115 (n) の各素子は、ゲート線 13G (n-1) とゲート線 13G (n) の間に配置されている。また、駆動回路 115 (n+1) の各素子は、ゲート線 13G (n) とゲート線 13G (n+1) の間に配置されている。

[0163] 図 28A において、駆動回路 115 (n-1) 及び駆動回路 115 (n+1) における TF T-G のゲート端子及びドレイン端子は、クロック信号 CK a が供給される配線 15L に接続されている。また、駆動回路 115 (n-1) 及び駆動回路 115 (n+1) における TF T-H のゲート端子は、クロック信号 CK b が供給される配線 15L に接続されている。駆動回路 115 (n) における TF T-G 及び TF T-H のゲート端子は、駆動回路 115 (n-1) 及び駆動回路 115 (n+1) における TF T-G 及び TF T-H と逆位相のクロック信号が供給される配線 15L に接続されている。

[0164] また、図 28C において、駆動回路 115 (n+1) における TF T-K のゲート端子は、図示しないゲート線 13G (n+2) に接続され、駆動回路 115 (n) における TF T-K のゲート端子は、ゲート線 13G (n+1) に接続されている。また、駆動回路 115 (n-1) における TF T-K のゲート端子は、ゲート線 13G (n) に接続されている。また、駆動回路 115 (n+1) における TF T-B のゲート端子は net A (n) に接続され、駆動回路 115 (n) における TF T-B のゲート端子は net A

($n-1$) に接続され、駆動回路 115 ($n-1$) における T F T-B のゲート端子は、図示しない $net A$ ($n-2$) に接続されている。

[0165] また、図 28 D において、駆動回路 115 ($n-1$) 及び駆動回路 115 ($n+1$) における T F T-F の各ドレイン端子は、図 28 E に示すように、クロック信号 $CK b$ が供給される配線 15 L に接続されている。駆動回路 115 (n) における T F T-F の各ドレイン端子は、図 28 E に示すように、クロック信号 $CK a$ が供給される配線 15 L に接続されている。

[0166] (動作例)

次に、本変形例における駆動回路 115 の動作について説明する。図 29 は、駆動回路 115 によるゲート線 13 G の駆動タイミングを示すタイミングチャートである。

[0167] 時刻 t_1 から t_2 において、T F T-B のゲート端子に、駆動回路 115 ($n-1$) における $net A$ ($n-1$) の電位が入力され、T F T-B のドレイン端子に、ゲート線 13 G ($n-1$) の電位が入力される。 $net A$ ($n-1$) の電位は、プリチャージ後、キャパシタ C_{bst} を介して突き上げられ、時刻 t_1 から t_2 において、 $net A$ ($n-1$) は、(Hレベル (V_{DD}) + T F T-F の閾値電圧) よりも高い電位に本チャージされる。

[0168] なお、時刻 t_1 から t_2 において、T F T-G のゲート端子及びドレイン端子には、クロック信号 $CK b$ の Hレベルの電位が入力されるが、T F T-J のゲート端子には、ゲート線 13 G ($n-1$) の Hレベルの電位が入力される。そのため、 $net B$ (n) は、T F T-J を介して Lレベルの電位を維持し、T F T-C はオフ状態となる。

[0169] その結果、時刻 t_1 から t_2 において、 $net A$ (n) がプリチャージされる電圧は、T F T-B の閾値電圧分だけ降下せず、Hレベル (V_{DD}) までプリチャージされる。これにより、T F T-F はオン状態となるが、時刻 t_1 から t_2 において、クロック信号 $CK a$ の電位は Lレベルのため、ゲート線 13 G (n) に Lレベルの電位が出力される。

[0170] 次に、時刻 t_2 において、クロック信号 $CK a$ の電位が Hレベルに遷移す

ると、プリチャージされた $net A(n)$ の電位が、駆動回路 115 (n) におけるキャパシタ C_{bst} を介して突き上げられ、(Hレベル (V_{DD}) + $TFT-F$ の閾値電圧) に本チャージされる。また、このとき、 $TFT-H$ を介して $net B(n)$ は L レベルの電位に維持され、 $TFT-C$ はオフ状態である。その結果、時刻 t_2 から t_3 において、 $TFT-F$ を介して、ゲート線 13G (n) にクロック信号 CK_a の H レベル (V_{DD}) の電位が出力され、ゲート線 13G (n) は選択状態に切り替えられる。

[0171] 次に、時刻 t_3 において、ゲート線 13G (n+1) が選択状態に切り替えられると、駆動回路 115 (n) における $TFT-K$ 及び $TFT-L$ のゲート端子に、ゲート線 13G (n+1) の H レベルの電位が入力される。これにより、 $net A(n)$ の電位は、 $TFT-K$ を介して L レベルの電位に引き下げられ、ゲート線 13G (n) の電位は、 $TFT-L$ を介して L レベルの電位に引き下げられる。

[0172] 時刻 t_4 以降は、ゲート線 13G (n+1) の電位は L レベルとなり、 $TFT-K$ 及び $TFT-L$ はオフ状態となるが、クロック信号 CK_b の電位が H レベルとなるタイミングで、 $TFT-G$ を介して、 $net B(n)$ が ($V_{DD} - TFT-G$ の閾値電圧) の電位に充電される。これにより、 $TFT-C$ がオン状態となり、 $net A(n)$ は、 $TFT-C$ を介して L レベル (V_{SS}) の電位に維持される。

[0173] 本変形例では、2相のクロック信号を用いて駆動回路 115 を動作させるため、第1実施形態と比べ、クロック信号を供給する配線 15L の配線数を削減することができ、クロック信号を供給する際の消費電力を低減することができる。

[0174] (2) 上述した第5実施形態では、4つの行選択信号を用いる例を説明したが、2つの行選択信号を用いて任意のゲート線 13G を駆動するように構成してもよい。この場合、例えば、駆動回路 114 (n) と駆動回路 114 (n-1) の $TFT-P$ のドレイン端子に行選択信号 ENA を入力する。また、駆動回路 114 (n+1) 及び駆動回路 114 (n+2) と、駆動回路

114 (n-2) 及びゲート線 13G (n-3) を駆動する駆動回路 114 (n-3) の各組における TFT-P のドレイン端子には行選択信号 ENB を入力する。つまり、隣接する 2 本のゲート線に対して設けられた 2 つの駆動回路 114 に対し、同じ行選択信号を入力する。

[0175] 図 30 は、本変形例におけるゲート線 13G の駆動タイミングを示すタイミングチャートである。表示制御回路 4 (図 3 参照) は、ゲート線 13G (n-1)、13G (n) を駆動する際に H レベルの行選択信号 ENA を出力し、ゲート線 13G (n-2)、13G (n+1)、13G (n+2) を駆動する際に H レベルの行選択信号 ENB を出力する。

[0176] 図 30 に示すように、時刻 t0 から t4 の期間、行選択信号 ENA の電位は H レベルとなり、時刻 t2 から t6 の期間、行選択信号 ENB の電位は H レベルとなっている。つまり、行選択信号 ENA の電位は、net A (n-1) 及び net A (n) のプリチャージ及び本チャージの期間に H レベルとなっており、行選択信号 ENB の電位は、net A (n+1) 及び net A (n+2) のプリチャージ及び本チャージの期間に H レベルとなっている。

[0177] その結果、行選択信号 ENA の H レベルの電位は、時刻 t0 から t3 において、駆動回路 114 (n-1) の TFT-P を介してゲート線 13G (n-1) に入力され、時刻 t1 から t4 において、駆動回路 114 (n) の TFT-P を介してゲート線 13G (n) に入力される。また、行選択信号 ENB の H レベルの電位は、時刻 t2 から t5 において、駆動回路 114 (n+1) の TFT-P を介してゲート線 13G (n+1) に入力され、時刻 t3 ~ t6 において、駆動回路 114 (n+2) の TFT-P を介してゲート線 13G (n+2) に入力される。

[0178] なお、時刻 t0 から t2 において、行選択信号 ENB の電位は L レベルとなっているため、駆動回路 114 (n-2) の TFT-P を介してゲート線 13G (n-2) に L レベルの電位が入力され、ゲート線 13G (n-2) は非選択状態に維持される。

[0179] 本変形例では、2 つの行選択信号を用いて、2 本のゲート線単位にゲート

線の駆動を制御することができるため、第5実施形態と比べ、行選択信号を供給する配線15Lの数を削減することができ、行選択信号を供給する際の消費電力を低減することができる。

[0180] (3) 上述した第1実施形態から第5実施形態では、ゲートドライバの各駆動回路を表示領域201に設ける例について説明したが、ゲートドライバは、表示領域201の外側に設けられていてもよい。

[0181] (4) 上述した第1実施形態又は第1実施形態の応用例に、第2実施形態及び／又は第3実施形態を適用してもよい。つまり、駆動回路11, 110におけるTF-T-Kのゲート端子にnet A (n+2)の電位を入力し、ドレイン端子にクロック信号を入力してもよい。また、駆動回路11, 110におけるTF-T-Lのゲート端子にnet A (n+2)の電位を入力し、ドレイン端子にクロック信号を入力してもよい。

請求の範囲

- [請求項1] アクティブマトリクス基板に設けられた複数のゲート線の各々を、選択状態、又は非選択状態に切り替えるシフトレジスタ回路であって、
- 、
- 前記シフトレジスタ回路は、個々のゲート線に接続され、当該ゲート線を選択状態又は非選択状態に切り替える駆動回路を複数有し、
- 前記駆動回路の各々は、
- 一のゲート線に接続され、前記一のゲート線を選択状態に切り替える選択電圧を出力するスイッチング素子を含む出力部と、
- 前記出力部におけるスイッチング素子を動作させるための制御電圧を出力するスイッチング素子を含むプリチャージ部と、
- キャパシタと、前記キャパシタを充電するスイッチング素子とを有し、前記キャパシタを介して、前記出力部におけるスイッチング素子のゲート電圧を昇圧する昇圧部と、
- 前記一のゲート線を非選択状態に切り替える非選択期間に、前記ゲート電圧を引き下げるスイッチング素子を含むゲート電圧放電部と、
- 前記一のゲート線の非選択期間に、前記一のゲート線に非選択電圧を出力するスイッチング素子を含むゲート線放電部と、
- 前記出力部におけるスイッチング素子のゲート端子、前記プリチャージ部、前記ゲート電圧放電部、前記昇圧部が接続されている内部配線と、を備え、
- 前記プリチャージ部、前記ゲート電圧放電部、及び前記ゲート線放電部におけるスイッチング素子のうちの少なくとも一のスイッチング素子のゲート端子は、他の駆動回路における前記内部配線に接続されている、シフトレジスタ回路。
- [請求項2] 前記プリチャージ部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、他のゲート線に接続されている

、請求項 1 に記載のシフトレジスタ回路。

[請求項3] 前記プリチャージ部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、一定周期ごとに、前記選択状態に対応する電位と前記非選択状態に対応する電位との間で切り替わる制御信号が供給される、請求項 1 に記載のシフトレジスタ回路。

[請求項4] 前記ゲート電圧放電部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、一定周期ごとに、前記選択状態に対応する電位と前記非選択状態に対応する電位との間で切り替わる制御信号が供給される、請求項 1 に記載のシフトレジスタ回路。

[請求項5] 前記ゲート線放電部のスイッチング素子は、ゲート端子が、前記他の駆動回路における前記内部配線に接続され、ソース端子は、前記内部配線に接続され、ドレイン端子は、一定周期ごとに、前記選択状態に対応する電位と前記非選択状態に対応する電位との間で切り替わる制御信号が供給される、請求項 1 に記載のシフトレジスタ回路。

[請求項6] 前記出力部におけるスイッチング素子は、ソース端子が前記一のゲート線に接続され、ドレイン端子は、前記選択状態に対応する電位を示す直流電圧信号が供給される、請求項 1 から 5 のいずれか一項に記載のシフトレジスタ回路。

[請求項7] 前記出力部のスイッチング素子は、ソース端子が前記一のゲート線に接続され、ドレイン端子は、前記選択状態、及び前記非選択状態の一方に対応する電位を示す指示信号が供給される、請求項 1 から 5 のいずれか一項に記載のシフトレジスタ回路。

[請求項8] 前記アクティブマトリクス基板に、前記複数のゲート線の各々と交差する複数のソース線が設けられ、

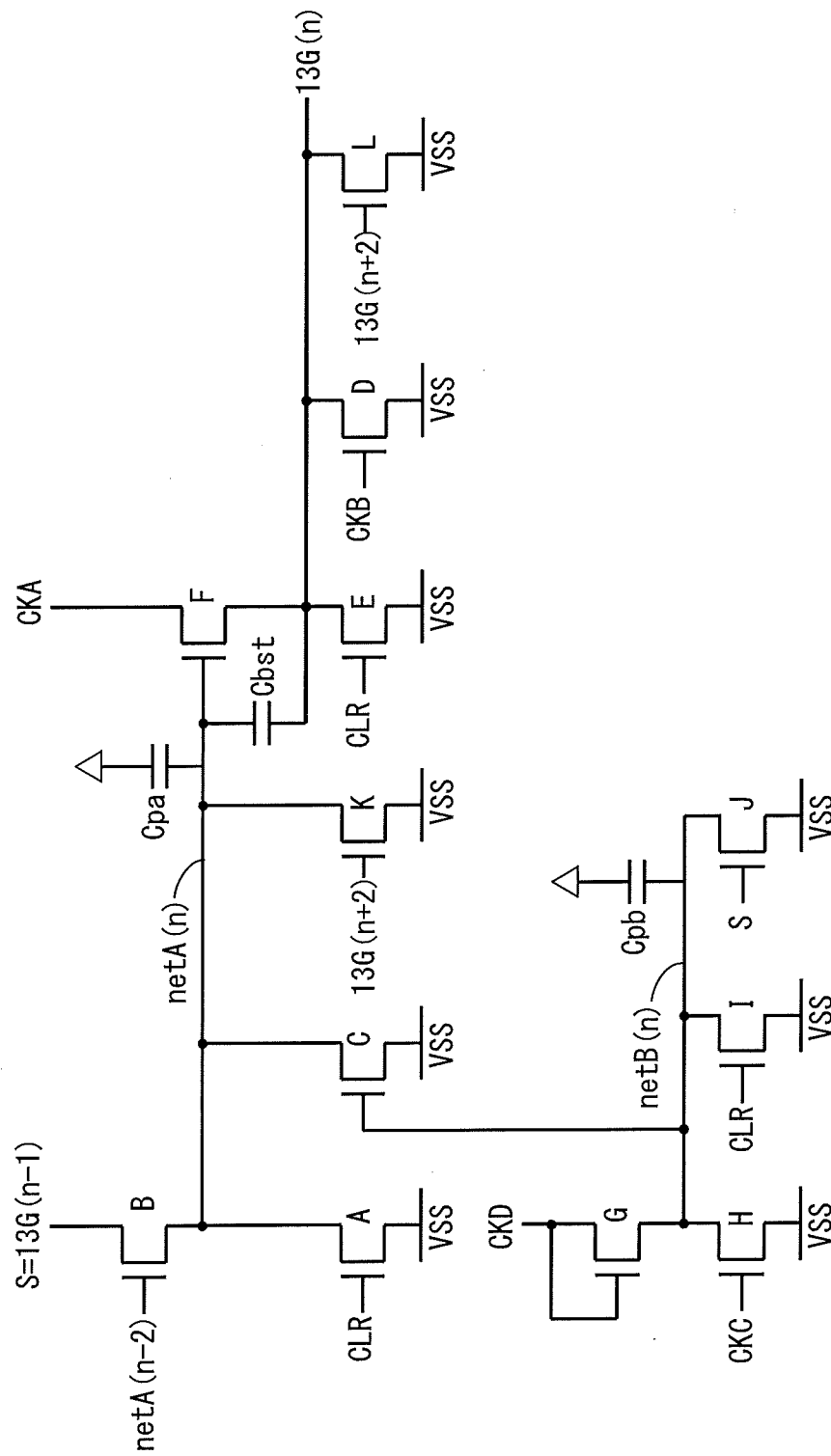
前記駆動回路は、前記複数のゲート線と前記複数のソース線とで規定される表示領域に設けられている、請求項 1 から 7 のいずれか一項

に記載のシフトレジスタ回路。

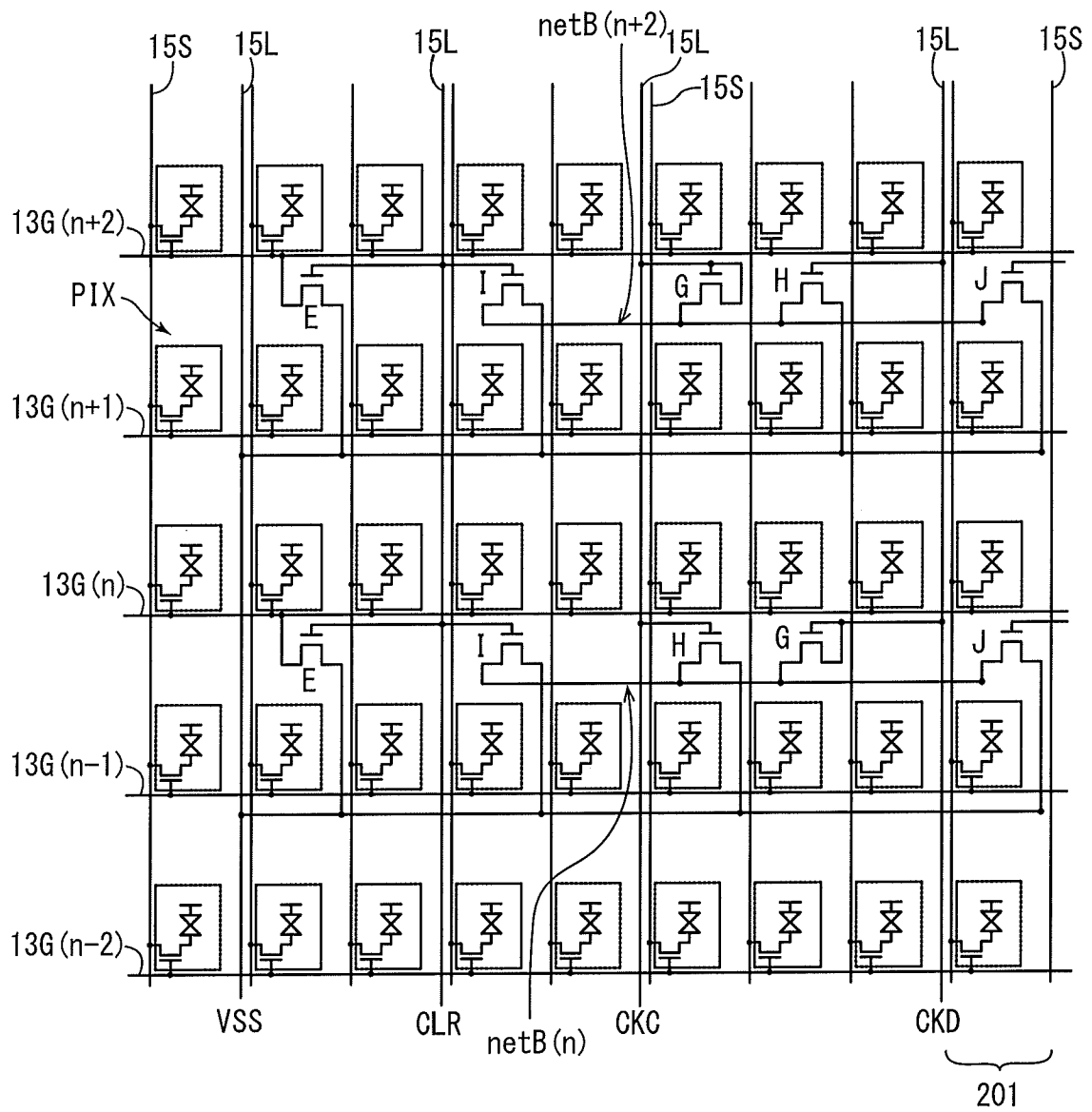
- [請求項9] 請求項 1 から 8 のいずれか一項に記載のシフトレジスタ回路を備えるアクティブマトリクス基板と、
- カラーフィルタを有する対向基板と、
- 前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層と、
- を有する表示装置。

[illegible]

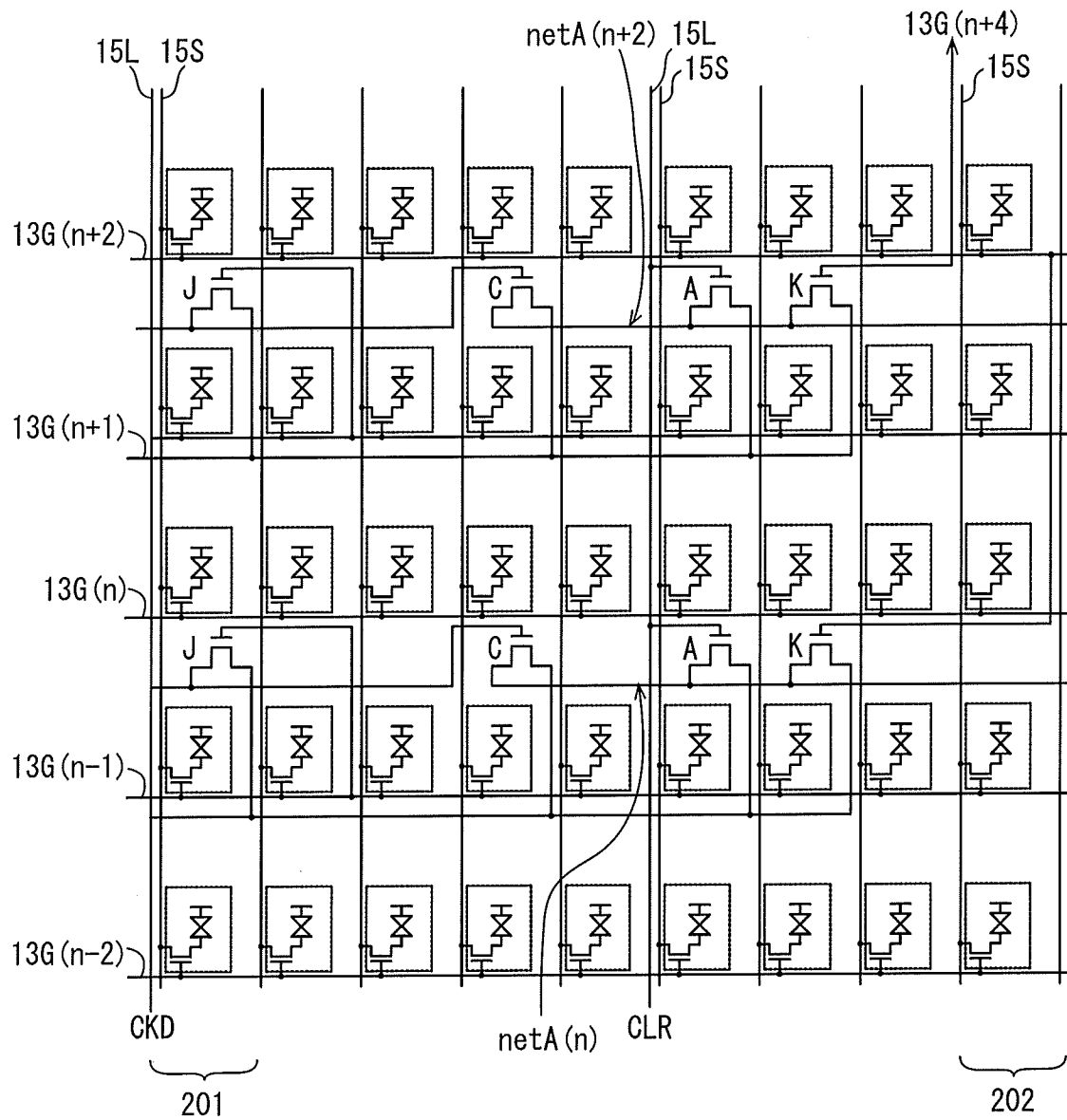
$11(n)$



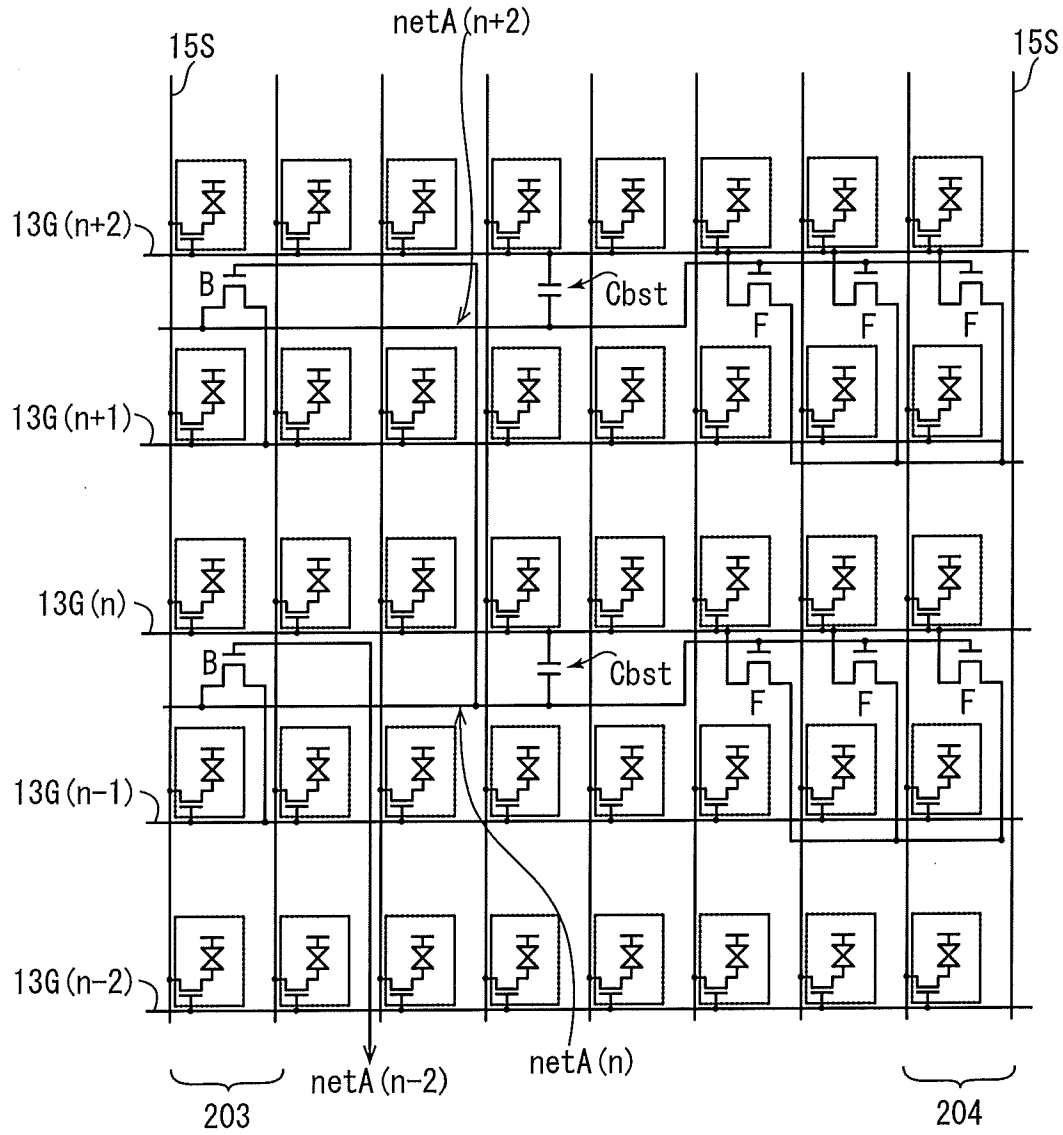
[図6A]



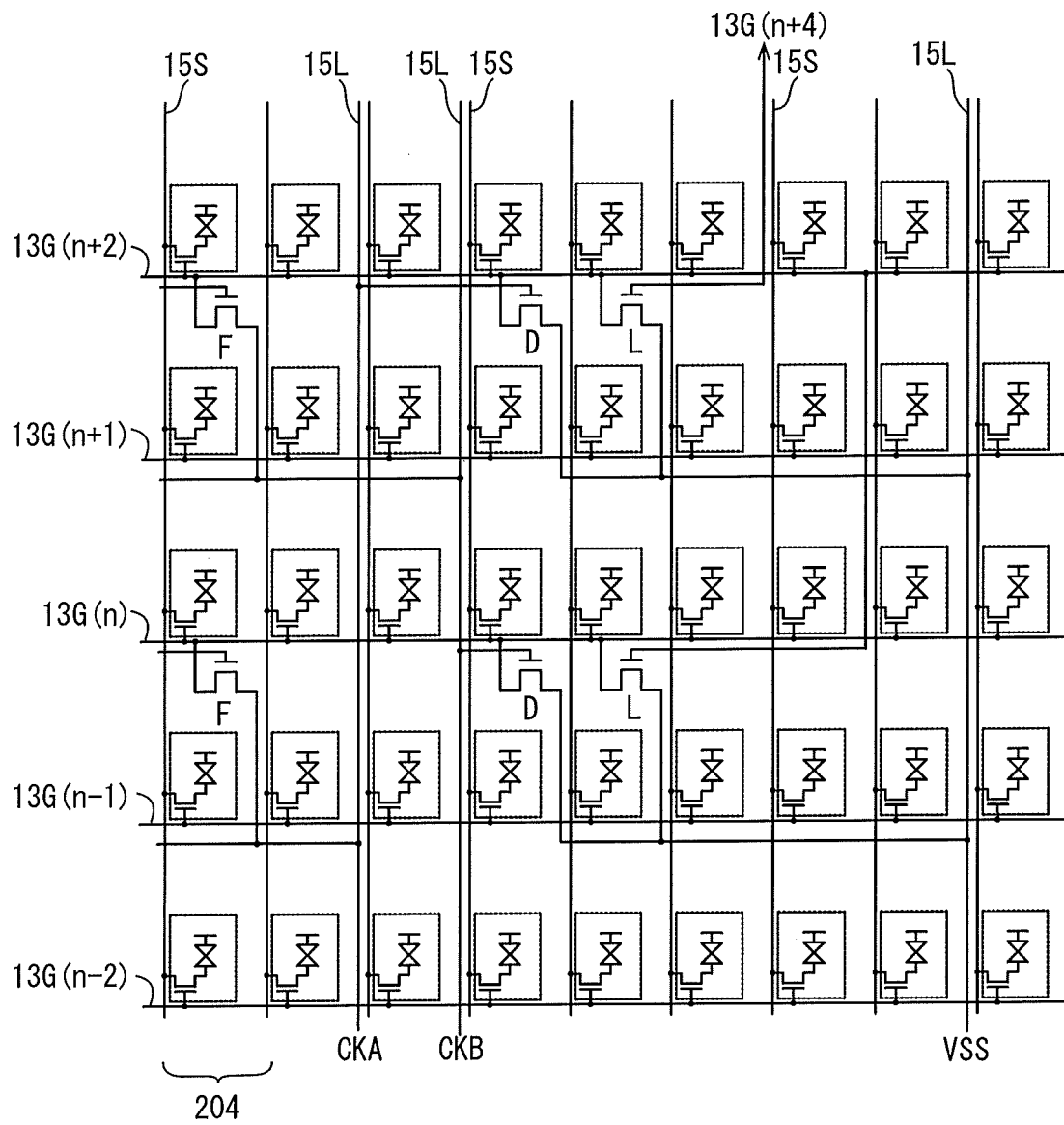
[図6B]



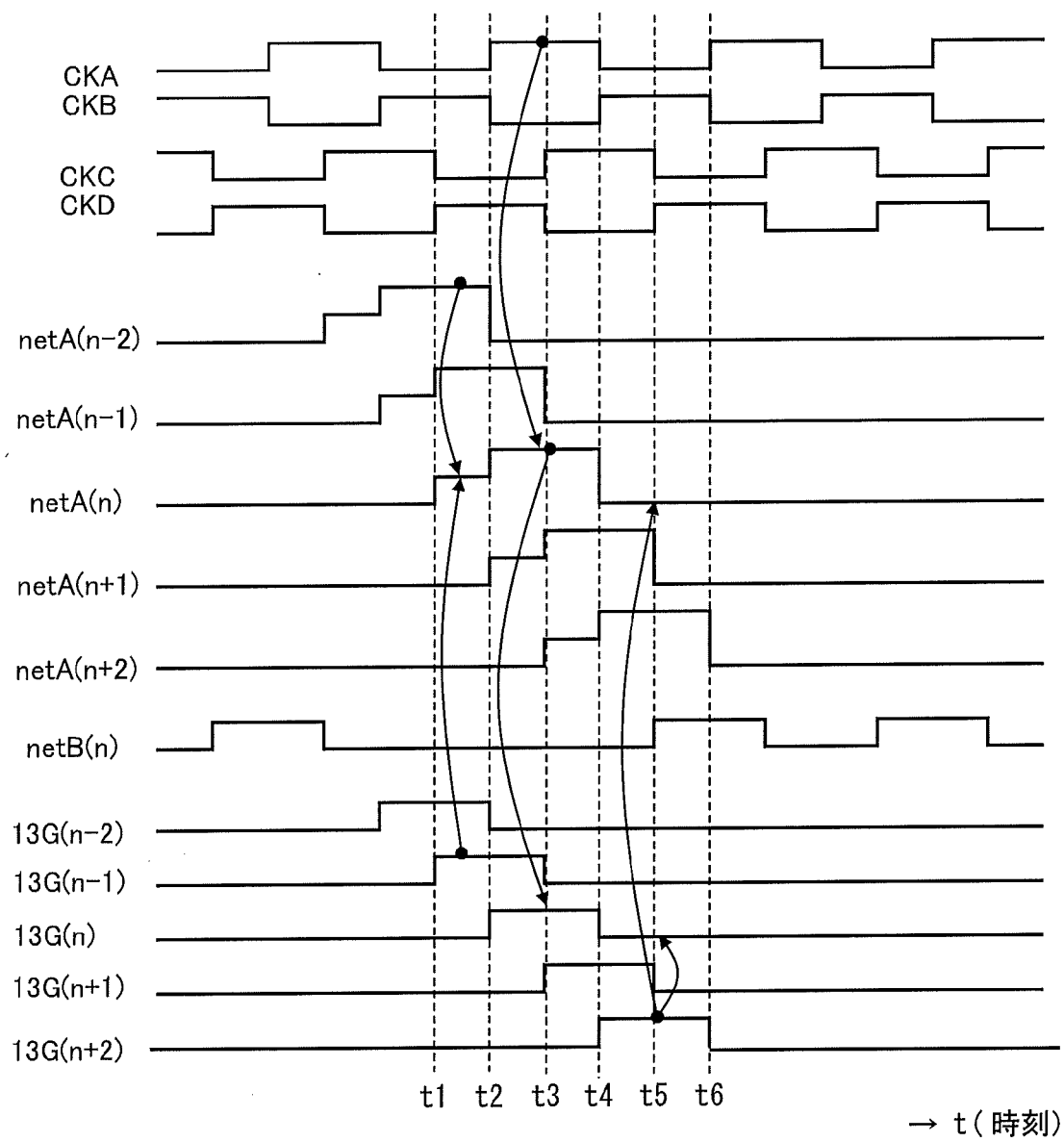
[図6C]



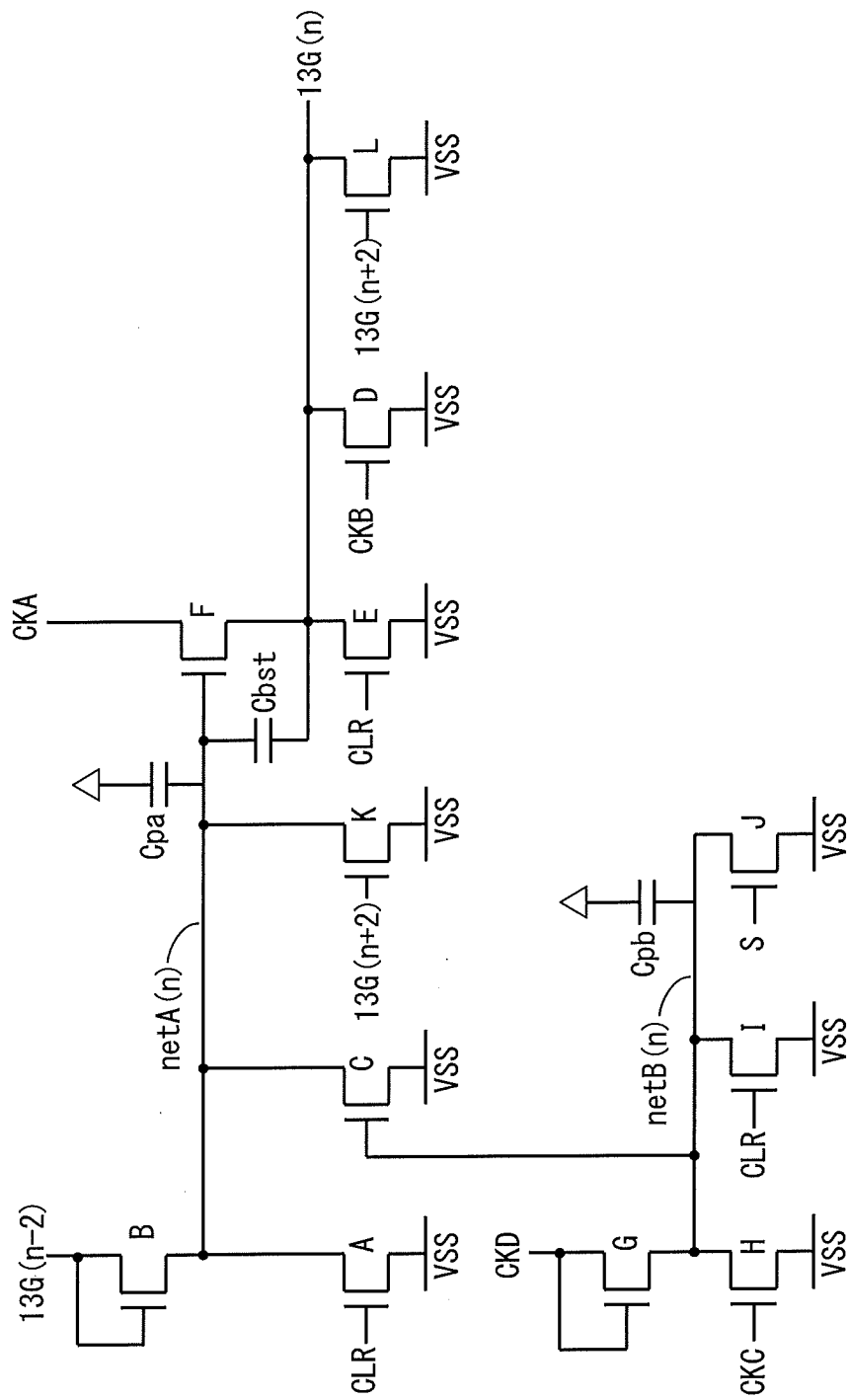
[図6D]



[図7]

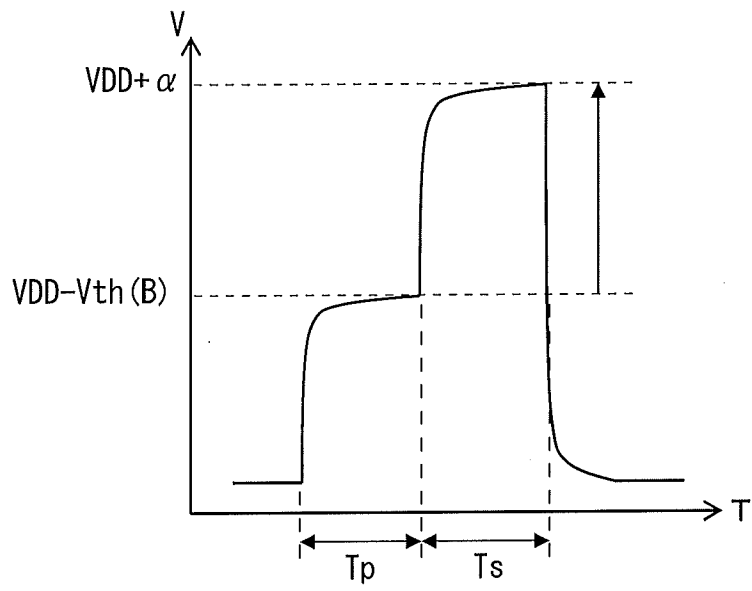


$100(n)$

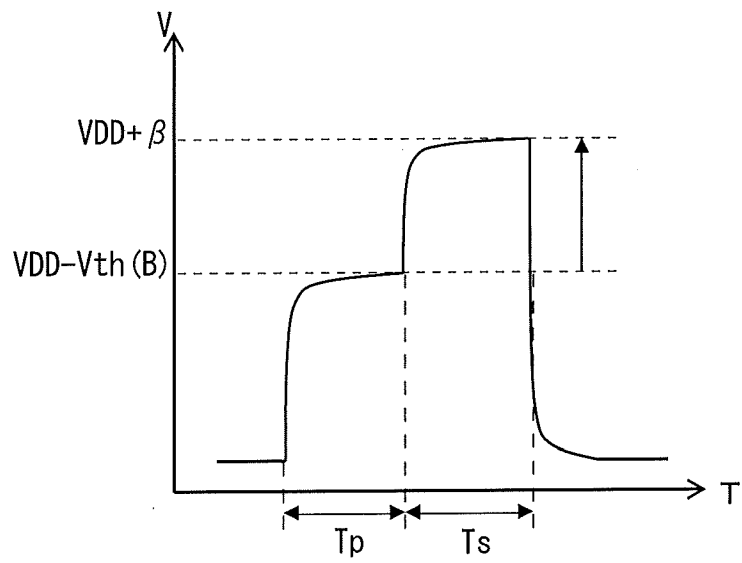


[図9]

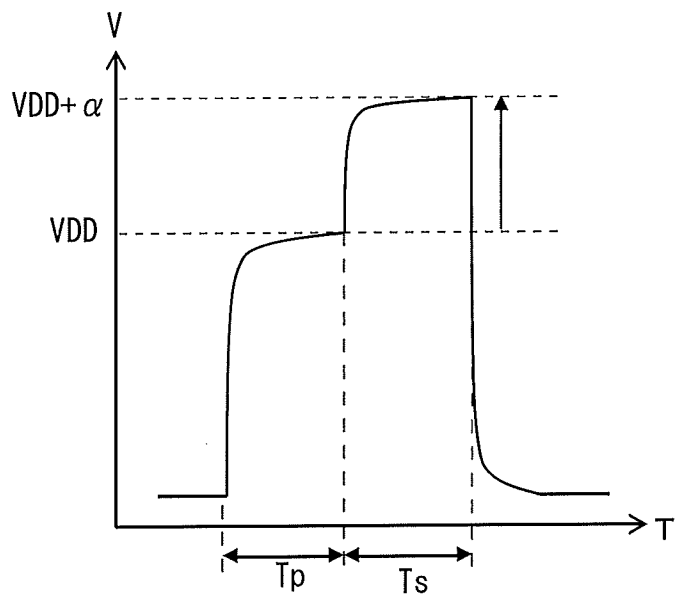
(a)



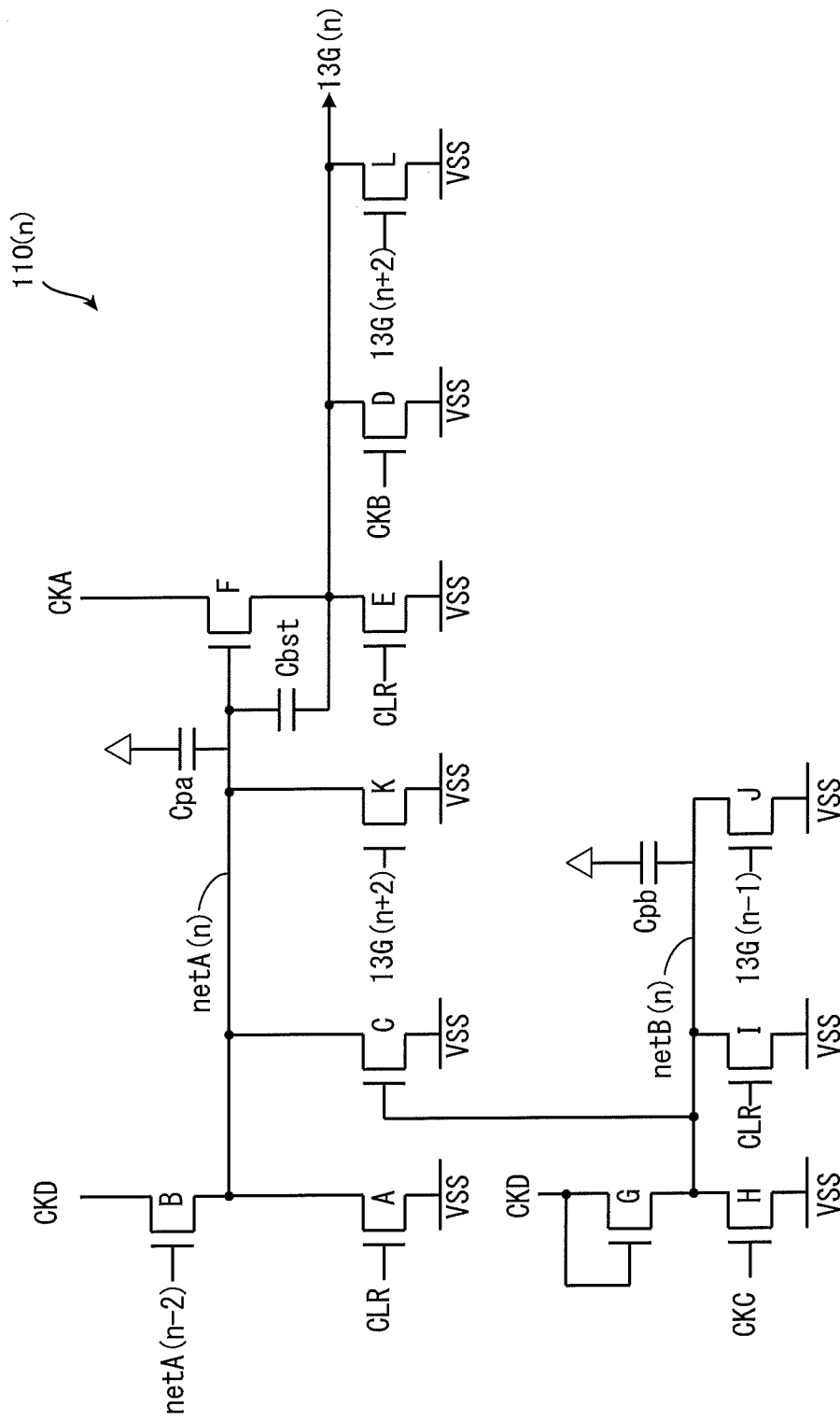
(b)

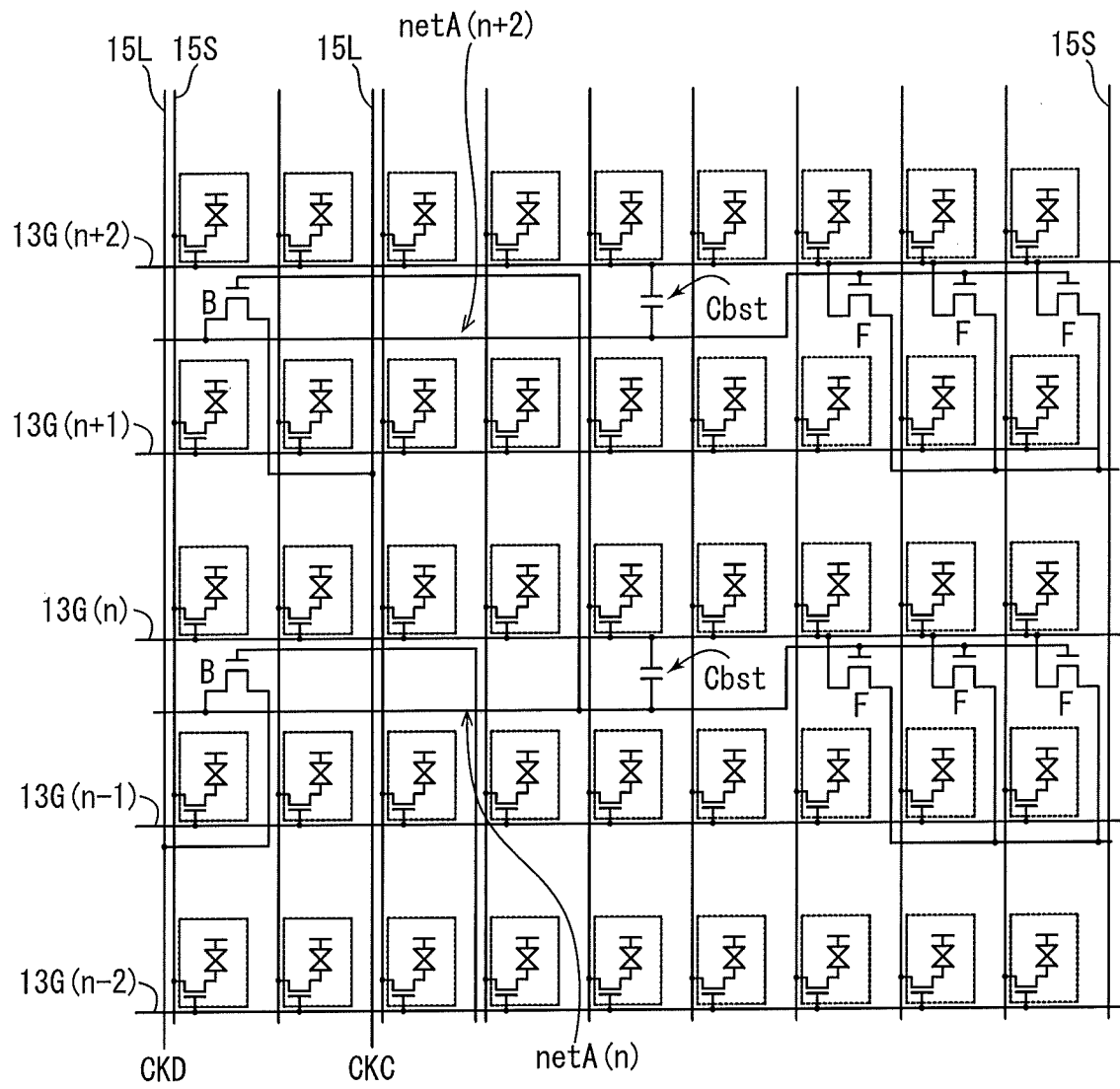


(c)

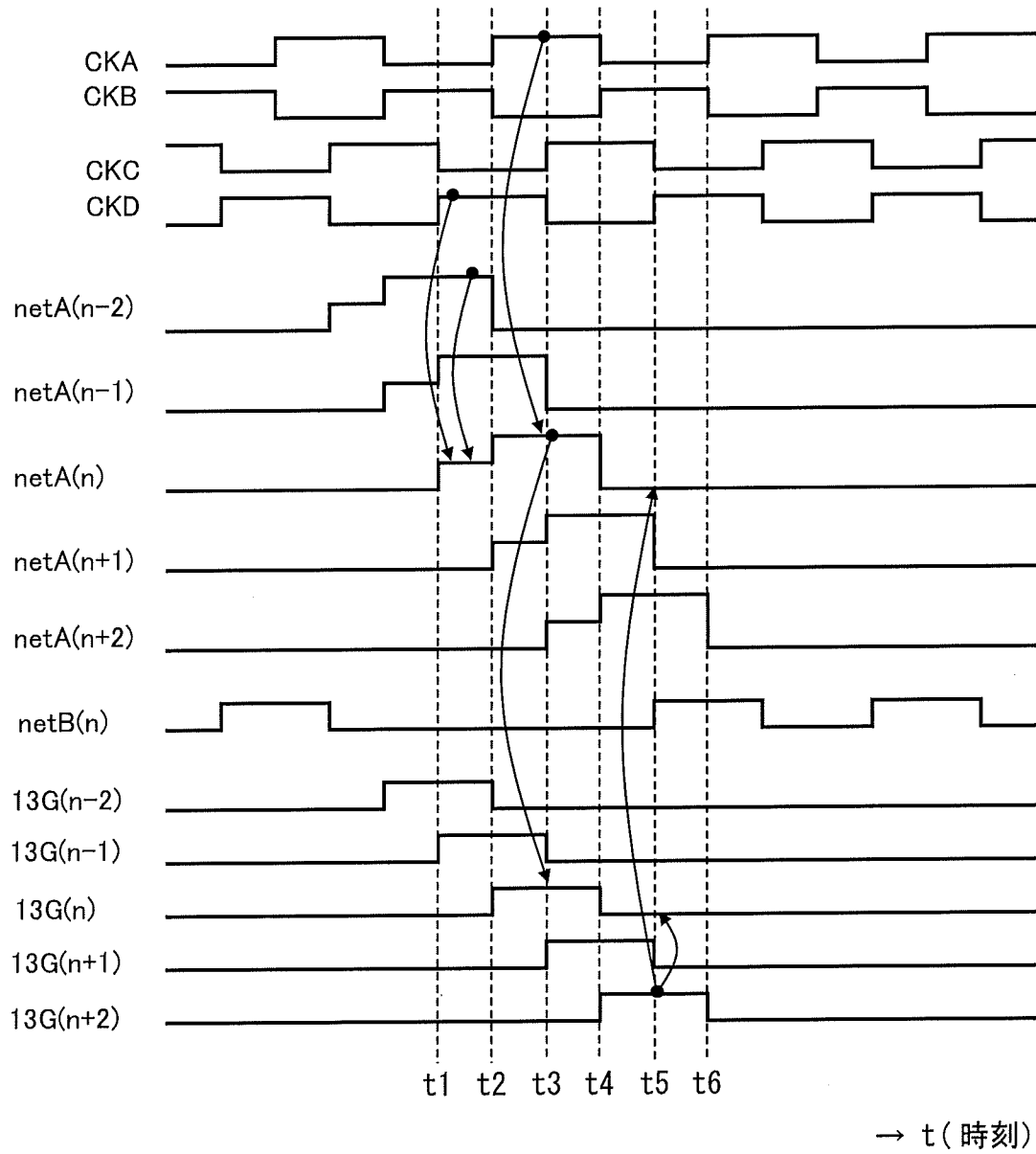


[図10]

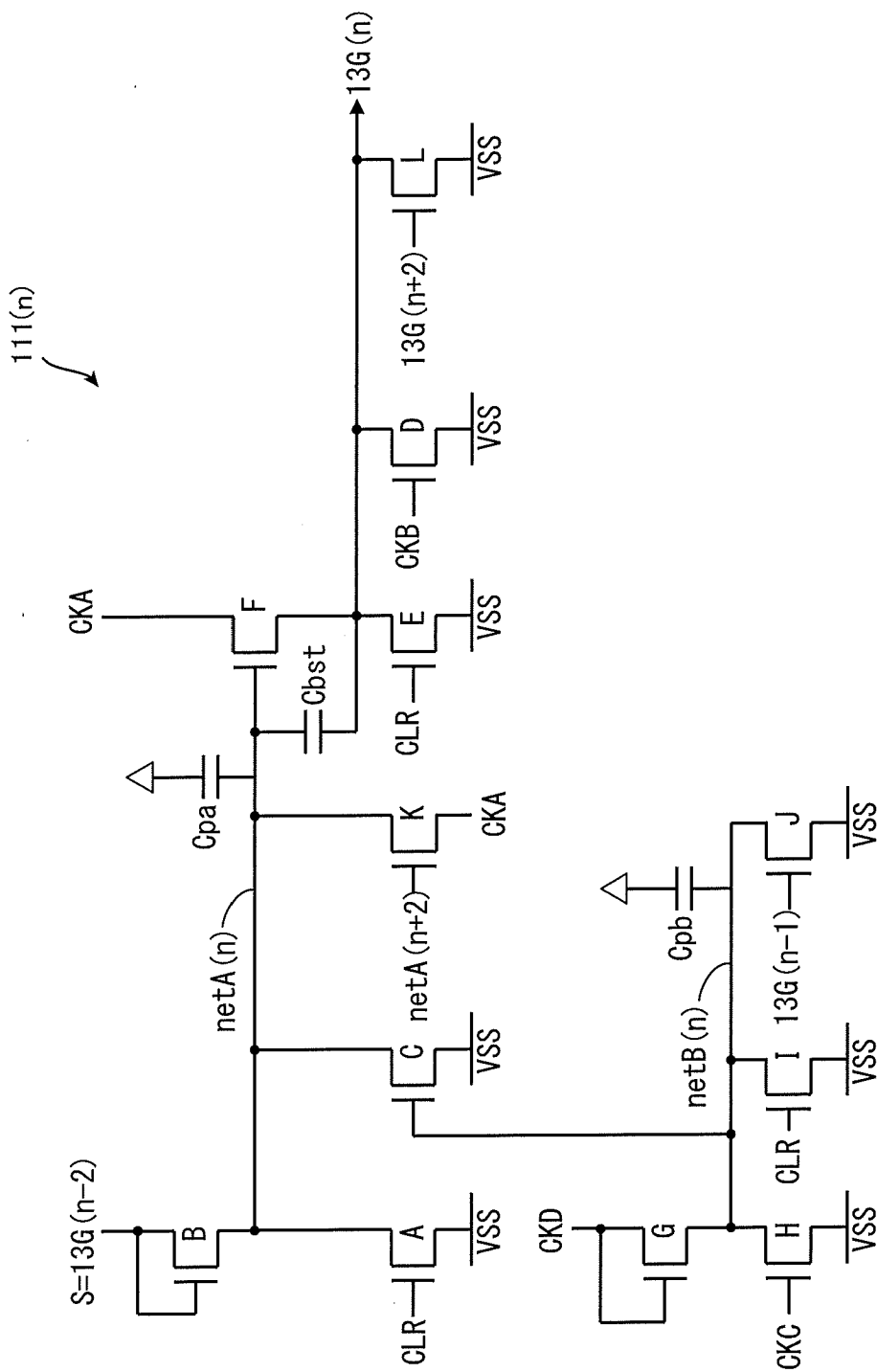




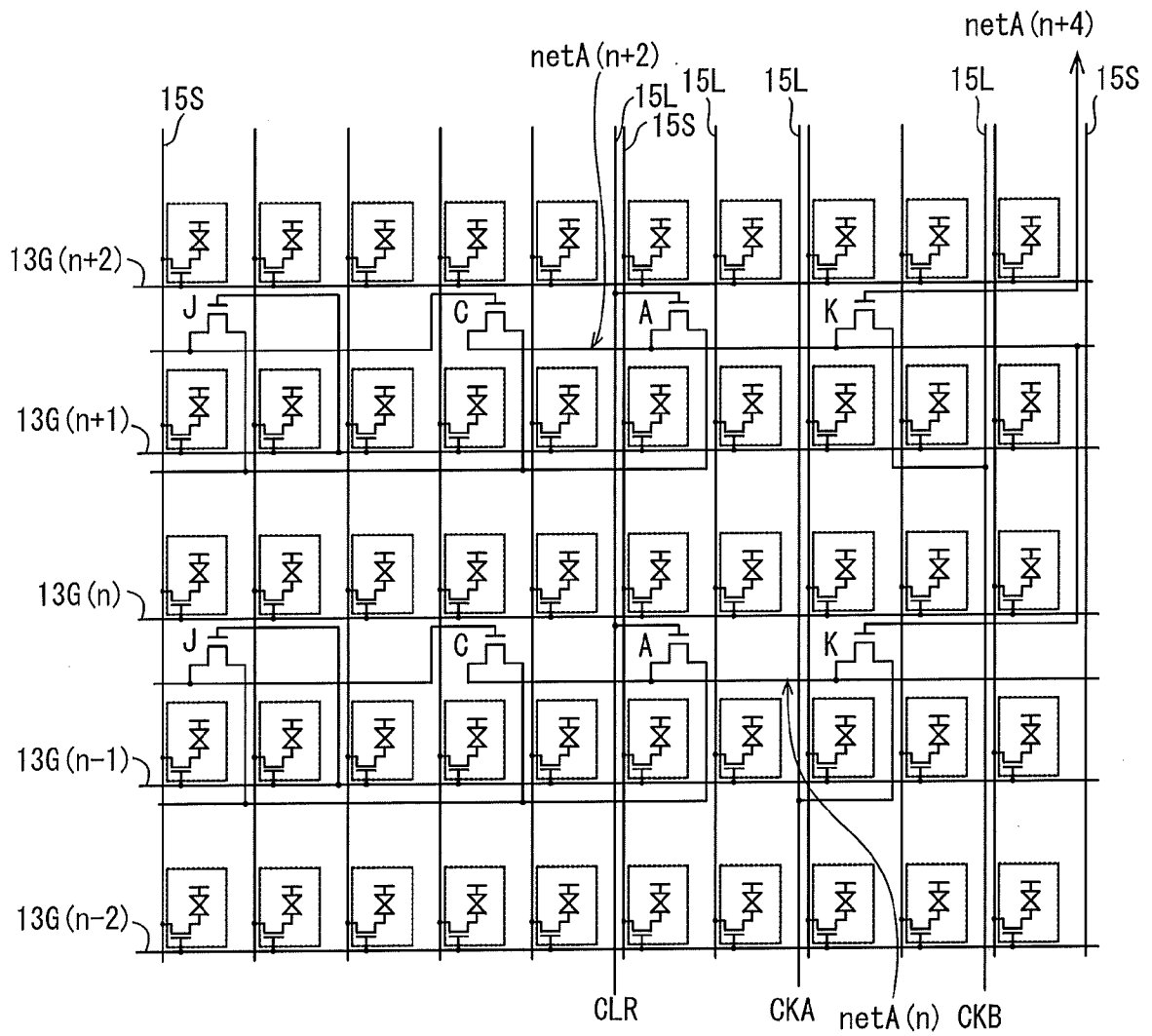
[図12]



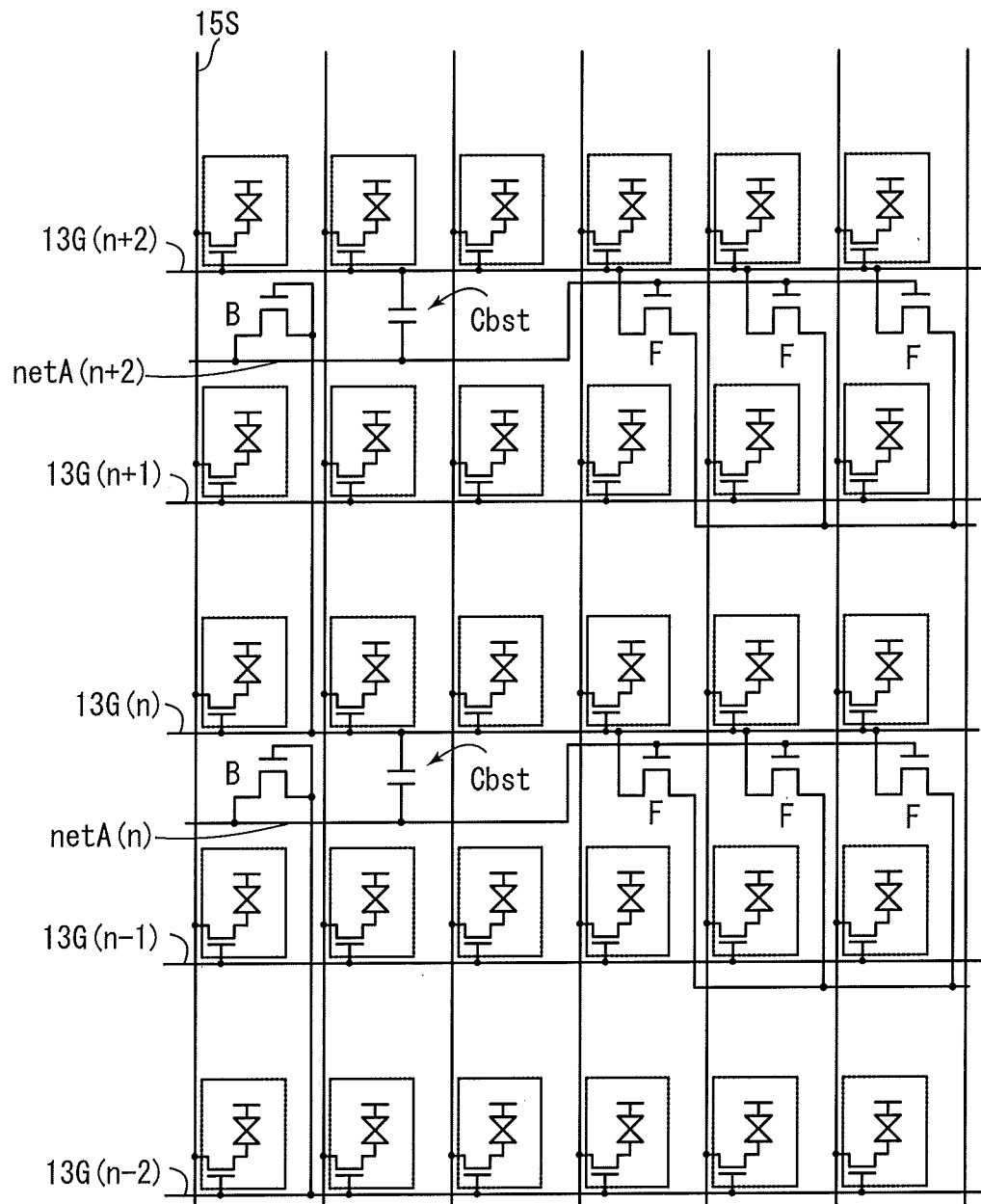
$111(n)$



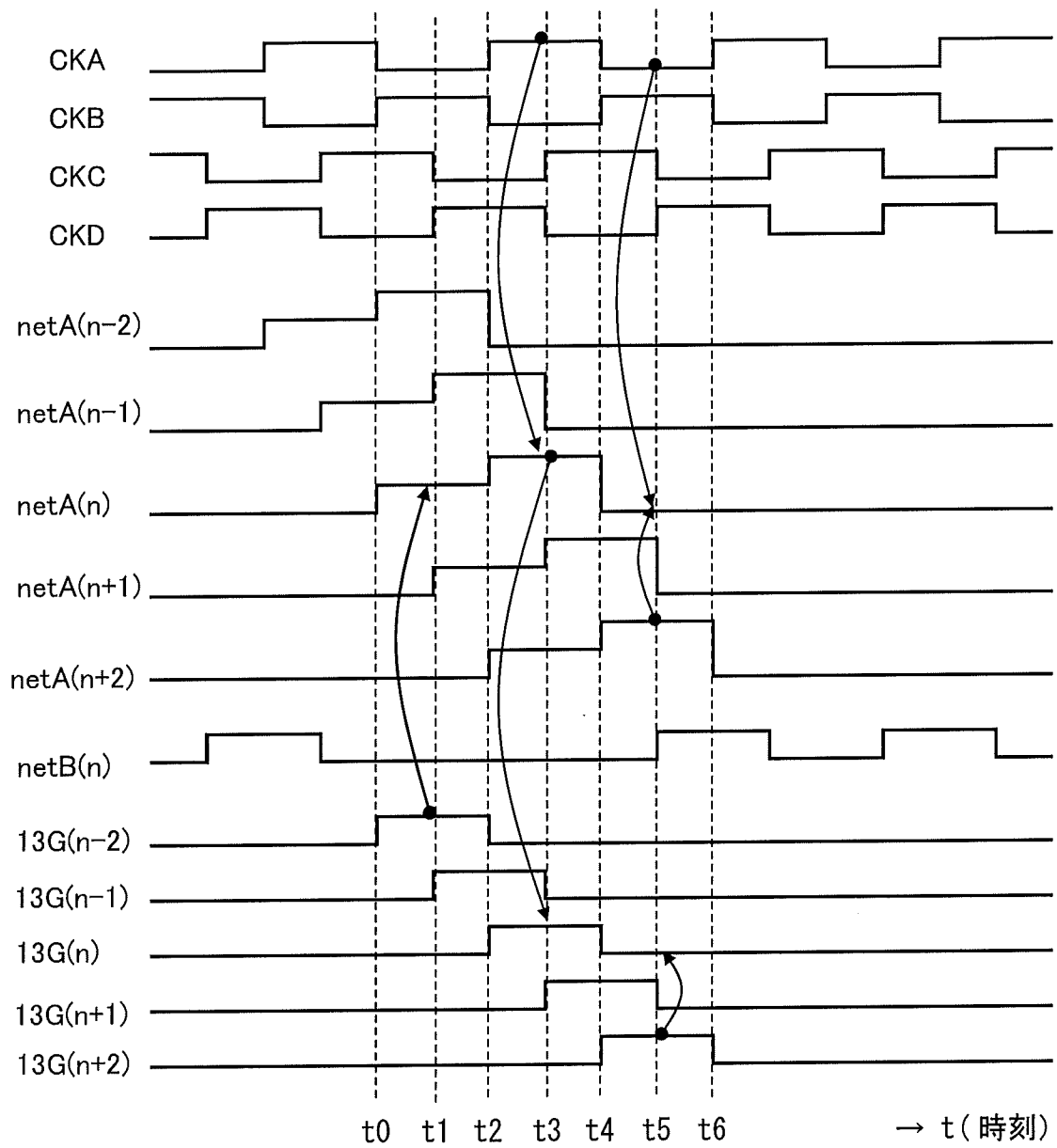
[図14A]



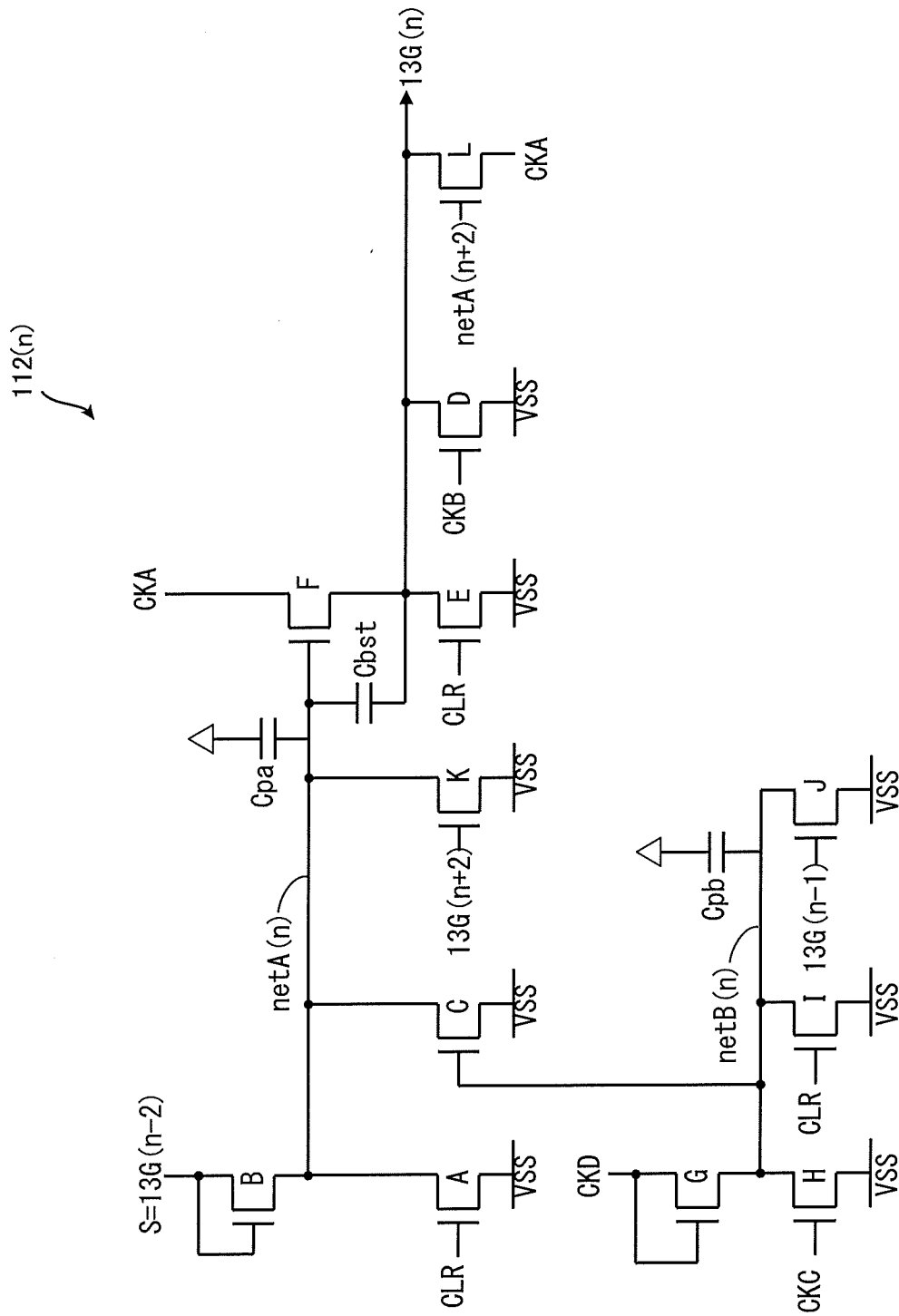
[図14B]



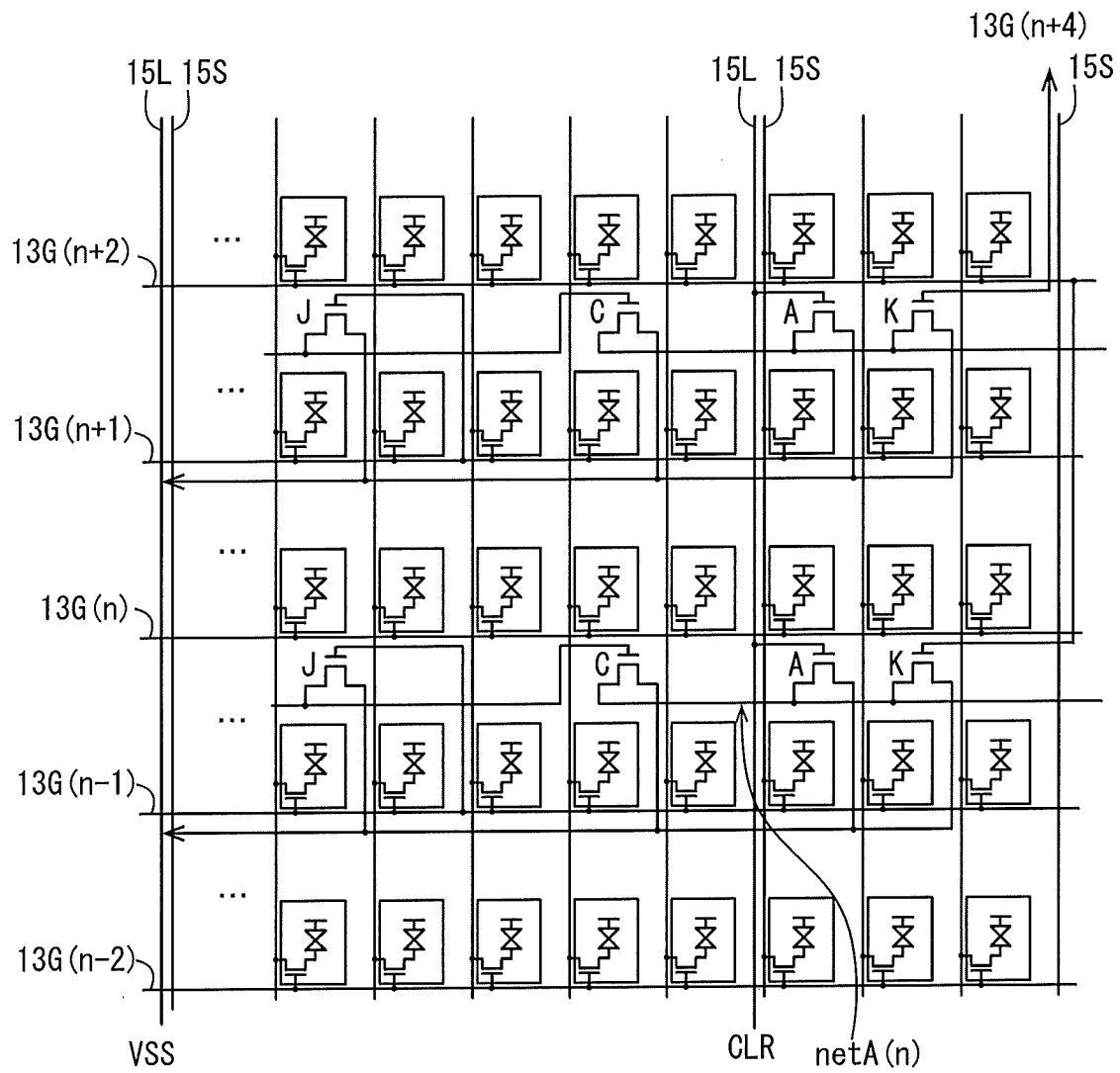
[図15]

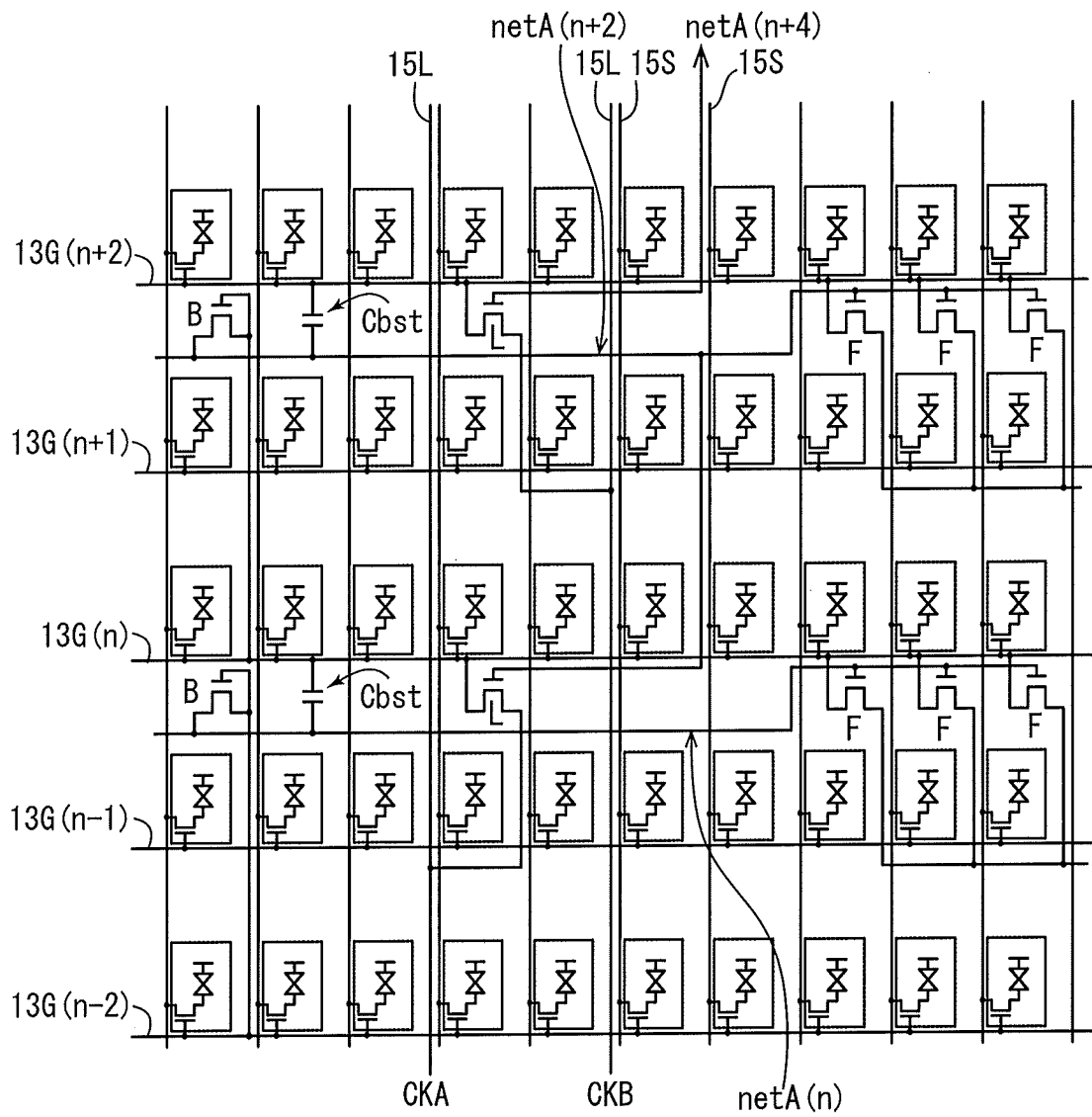


[図16]

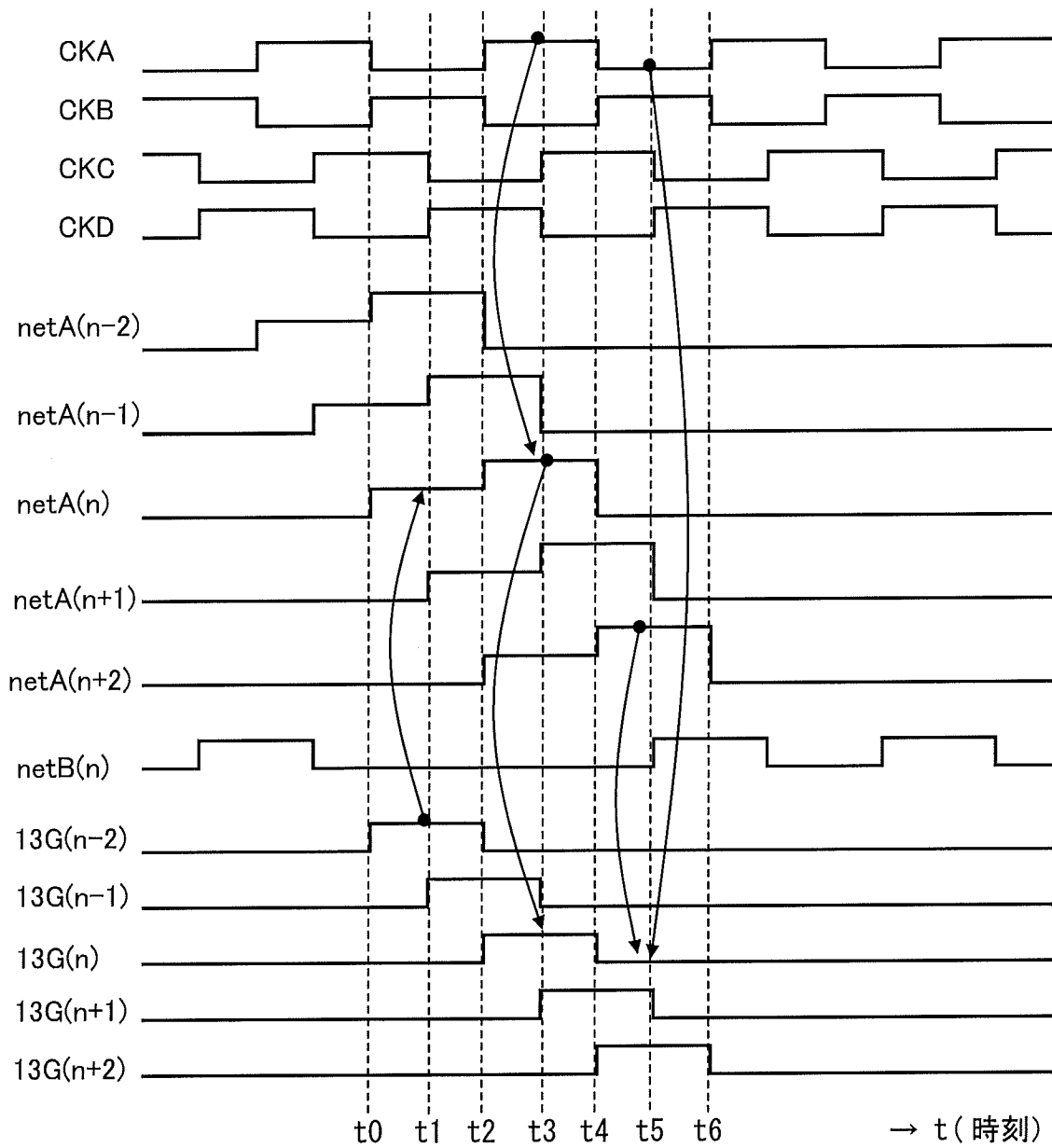


[図17A]

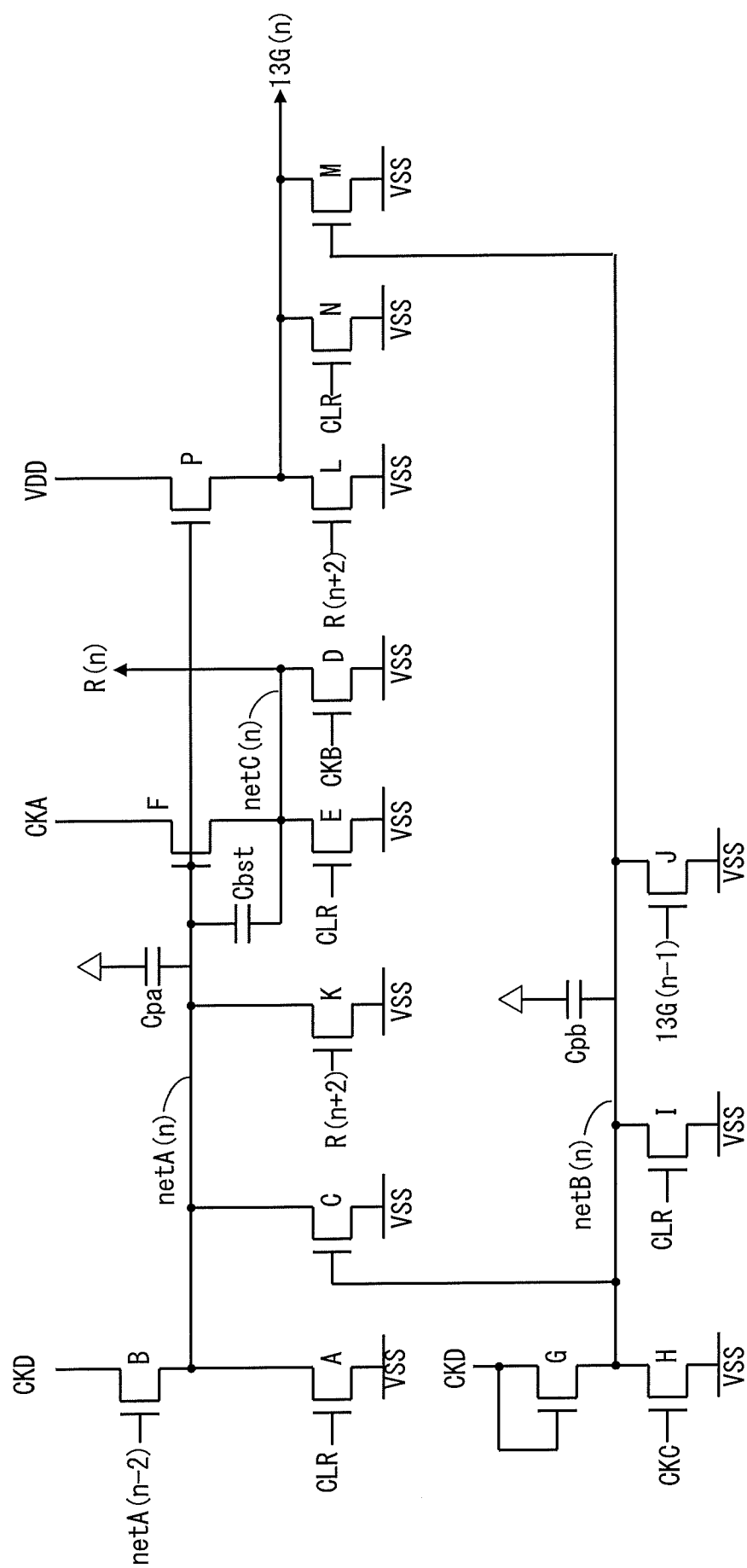




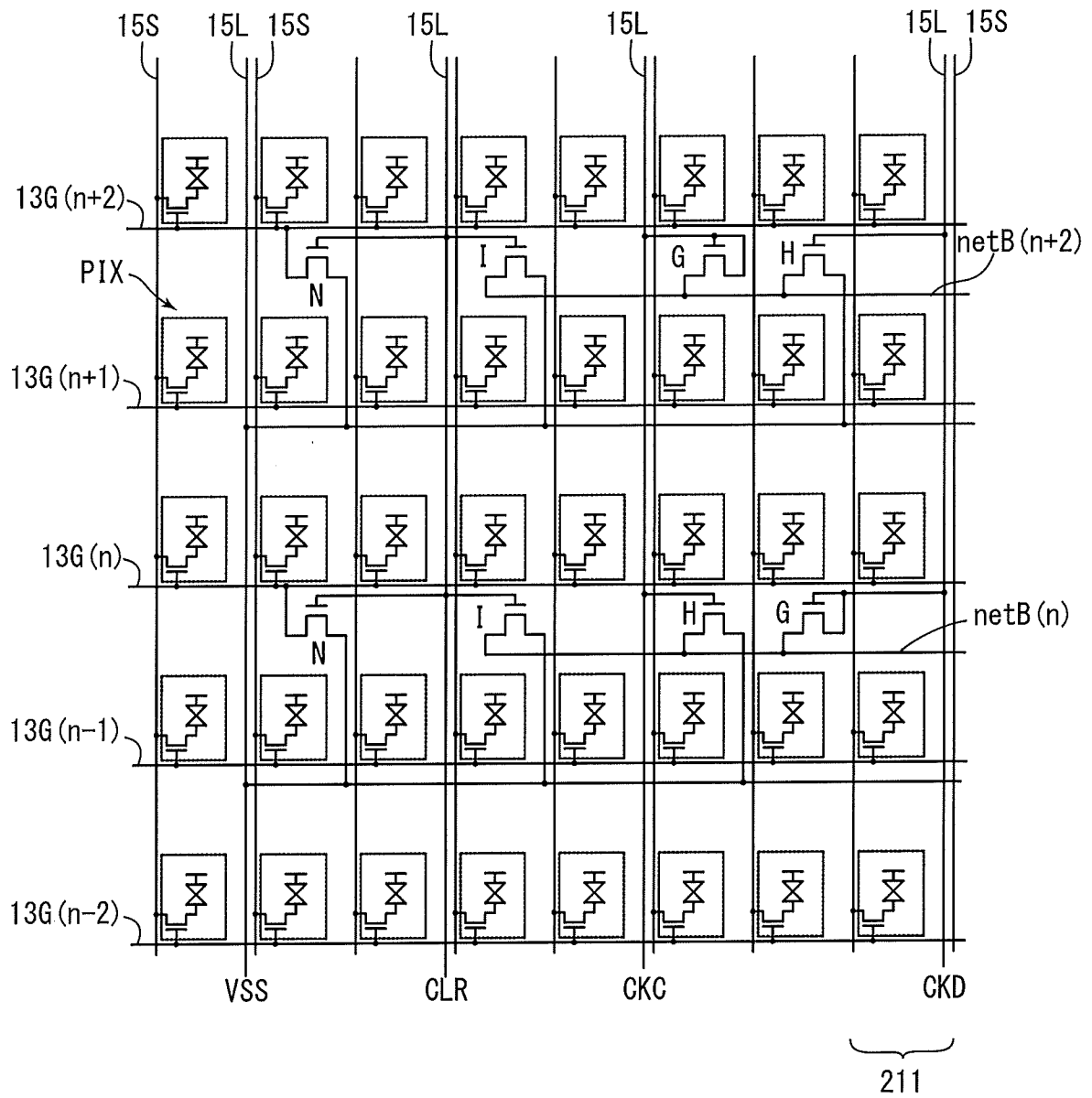
[図18]



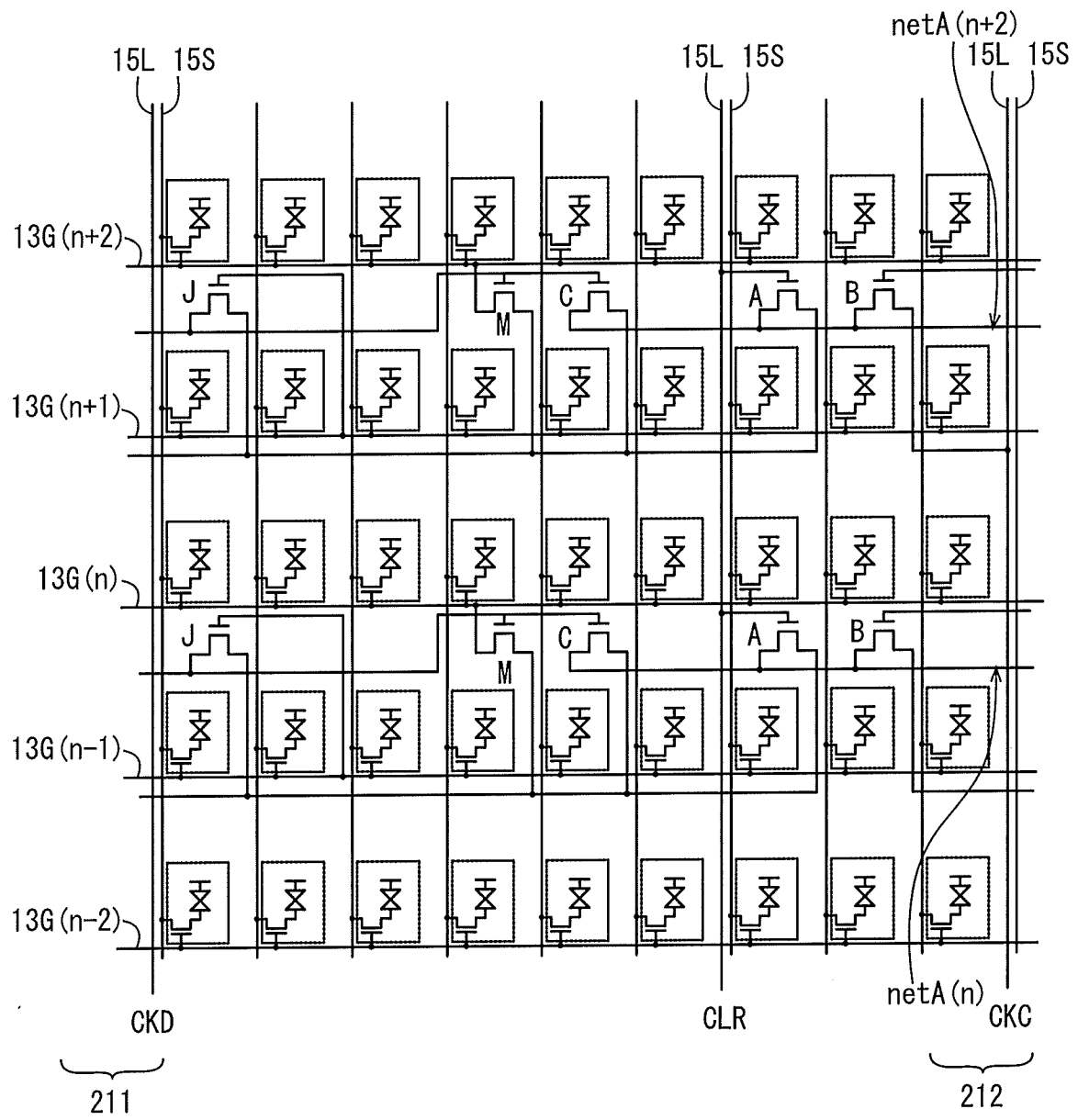
113(n)



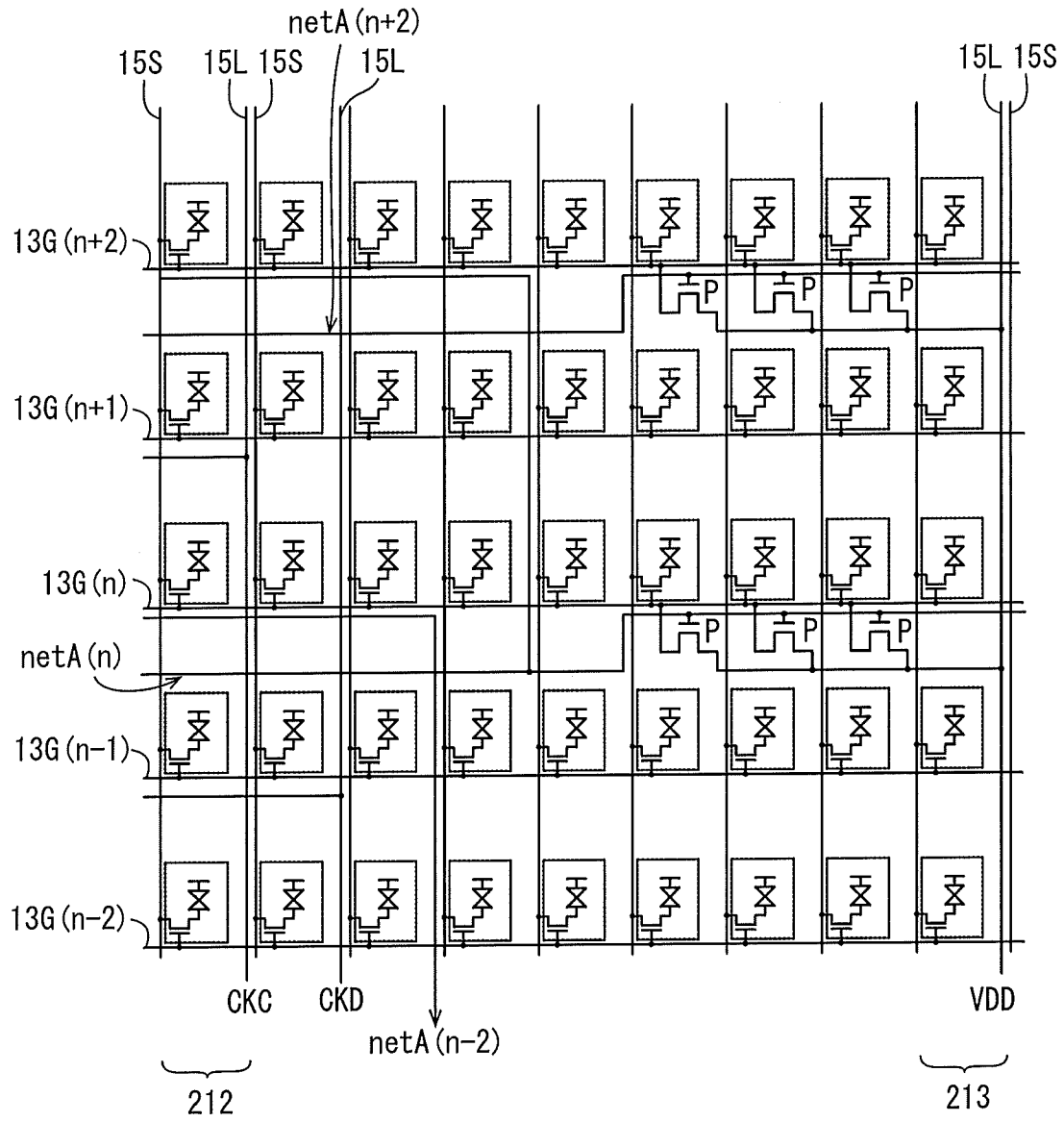
[図20A]



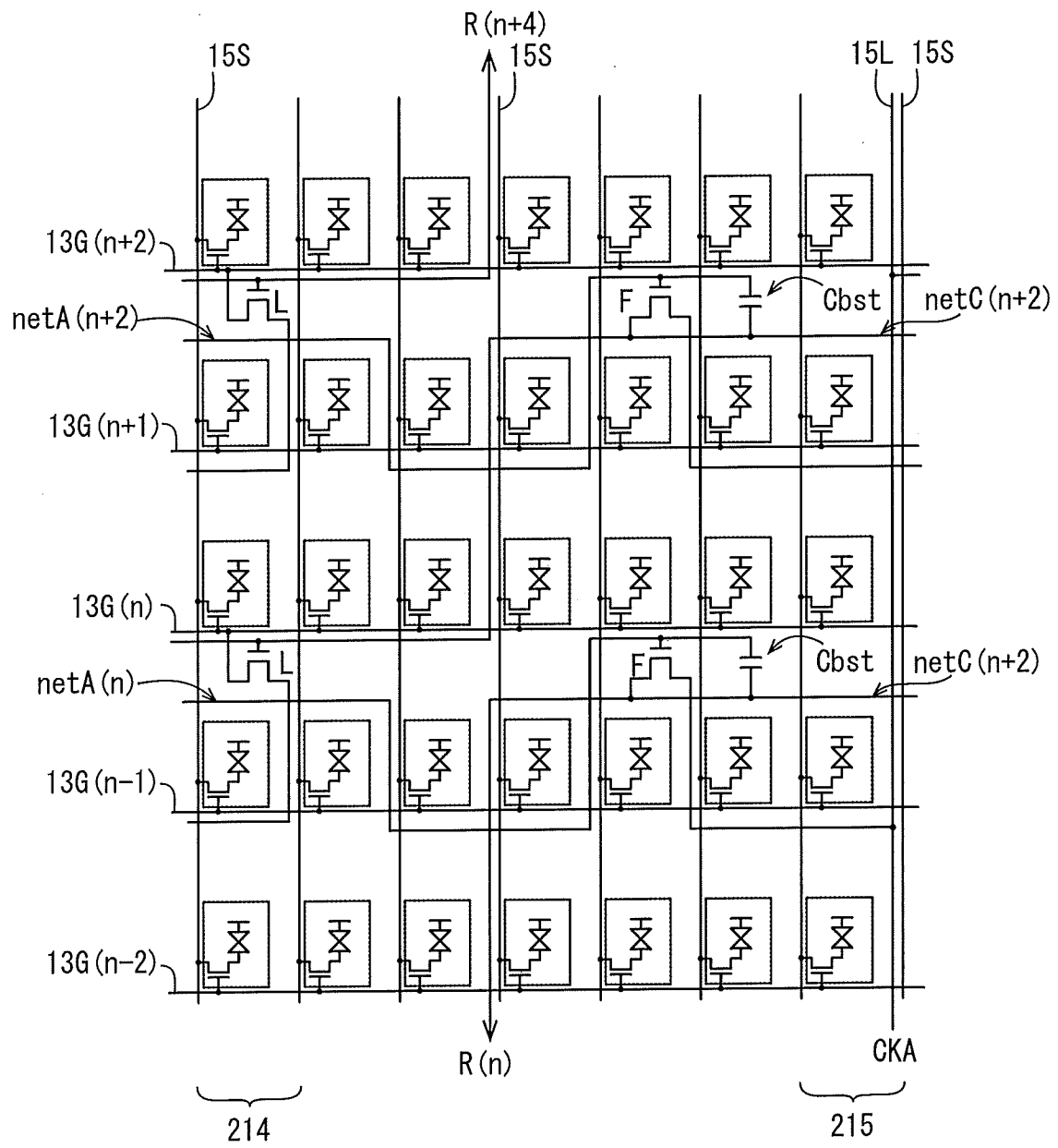
[図20B]



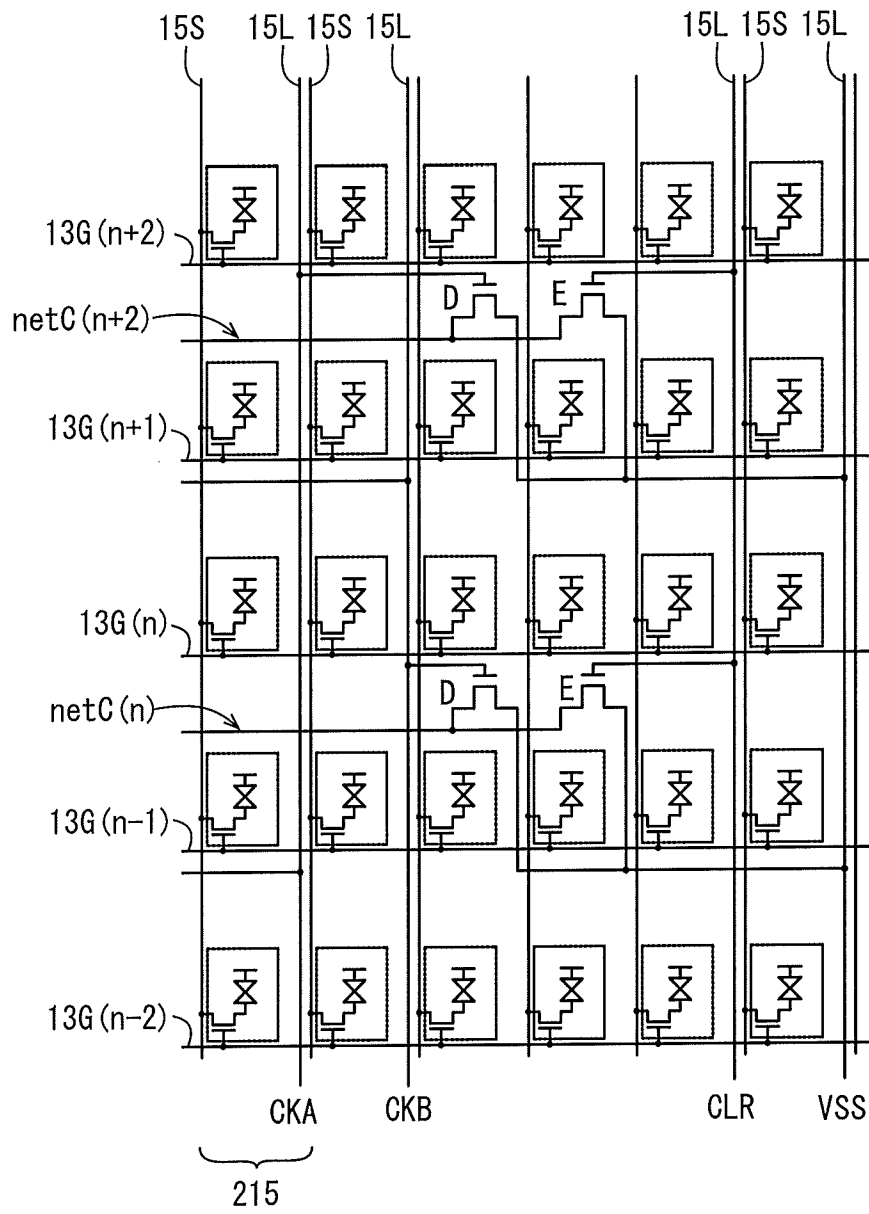
[図20C]



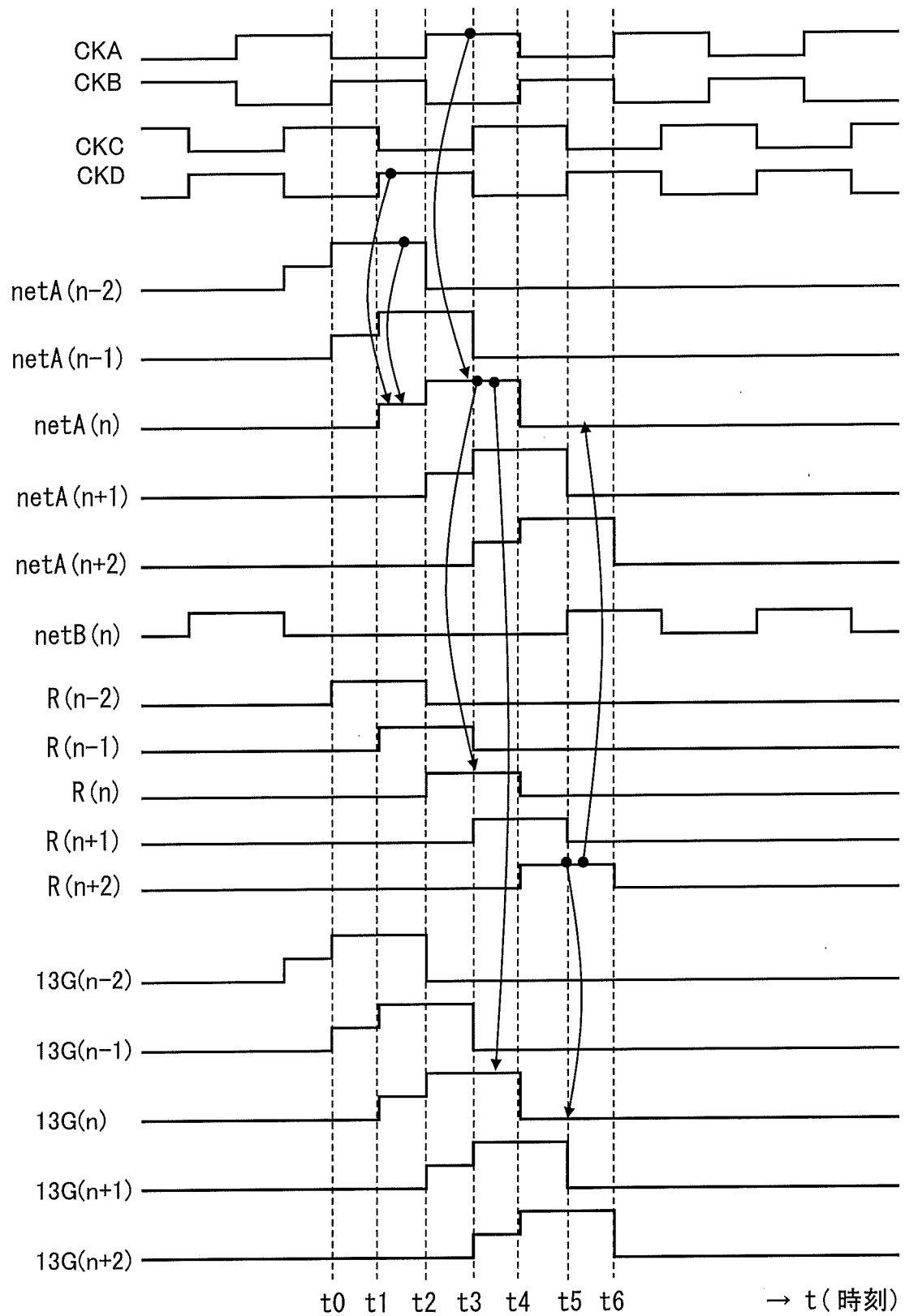
[図20E]



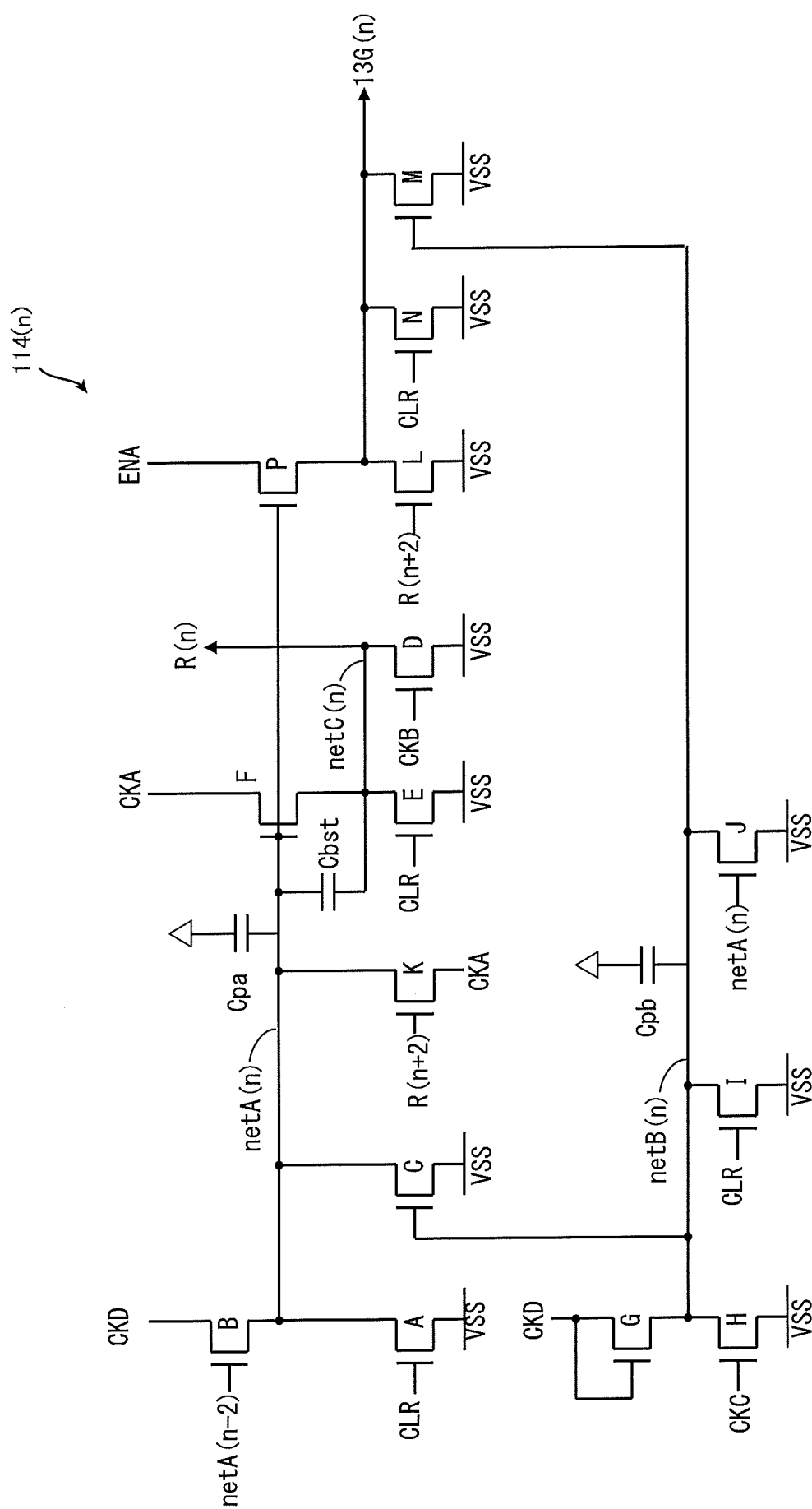
[図20F]



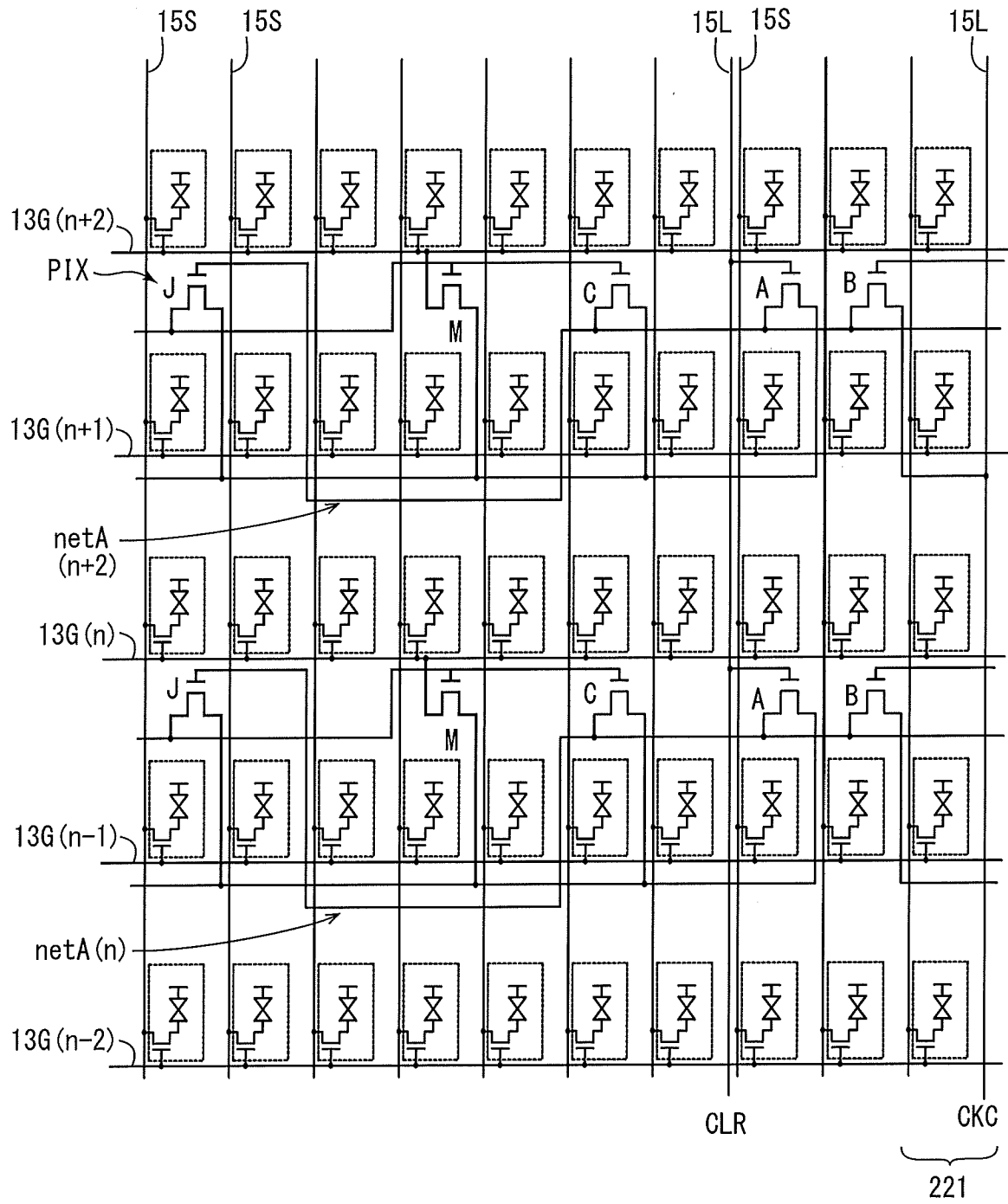
[図21]



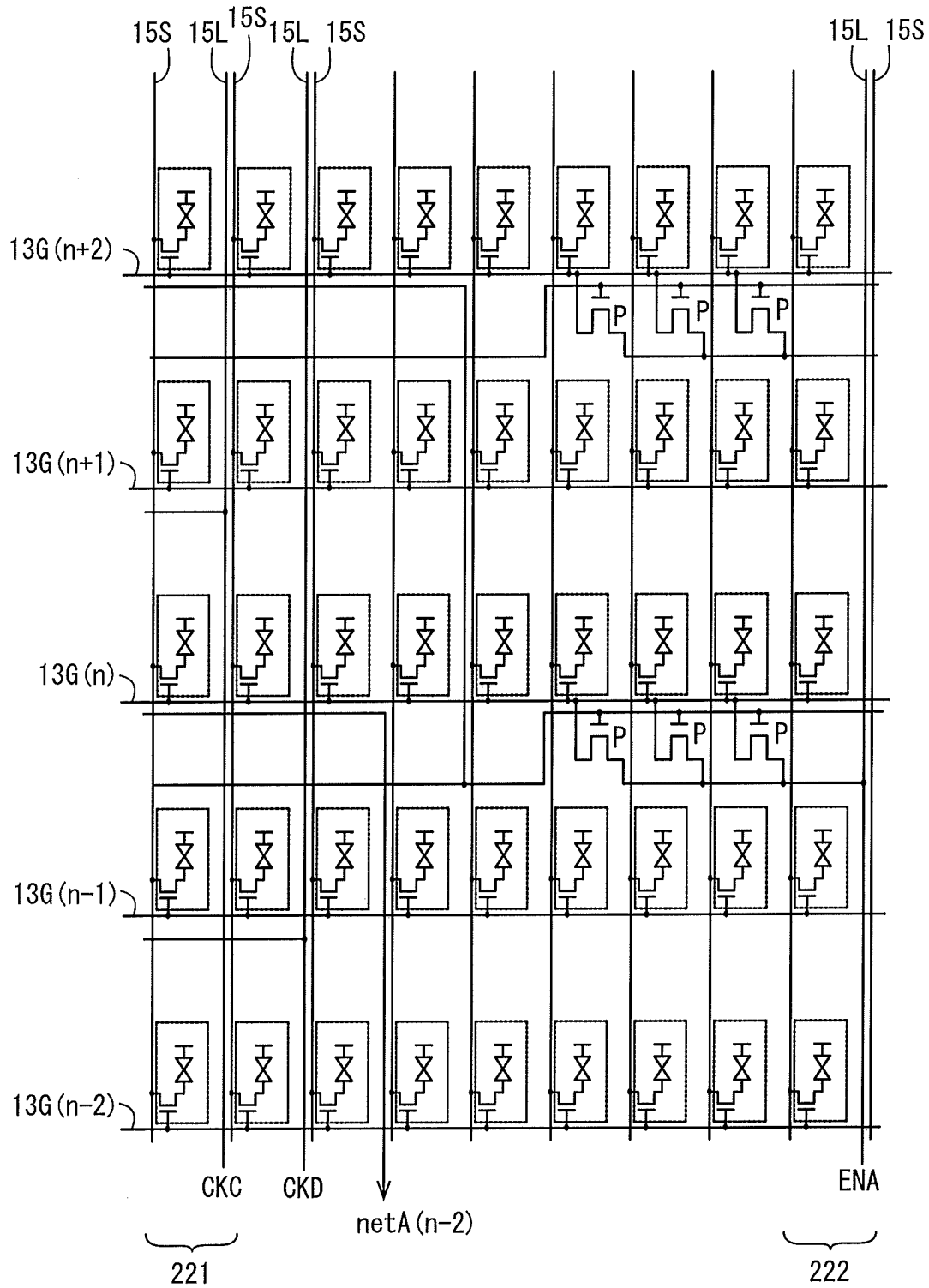
[図22]



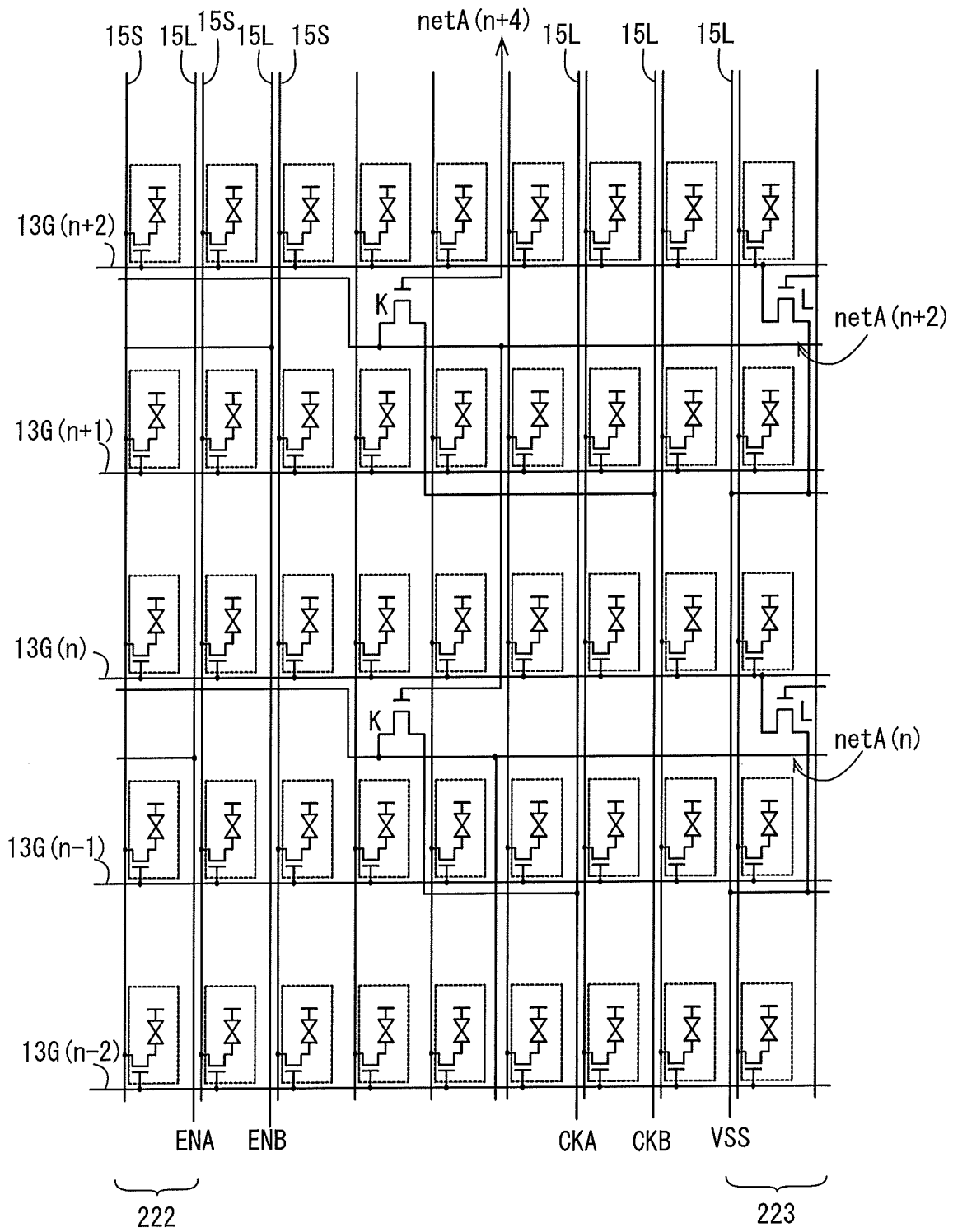
[図23A]



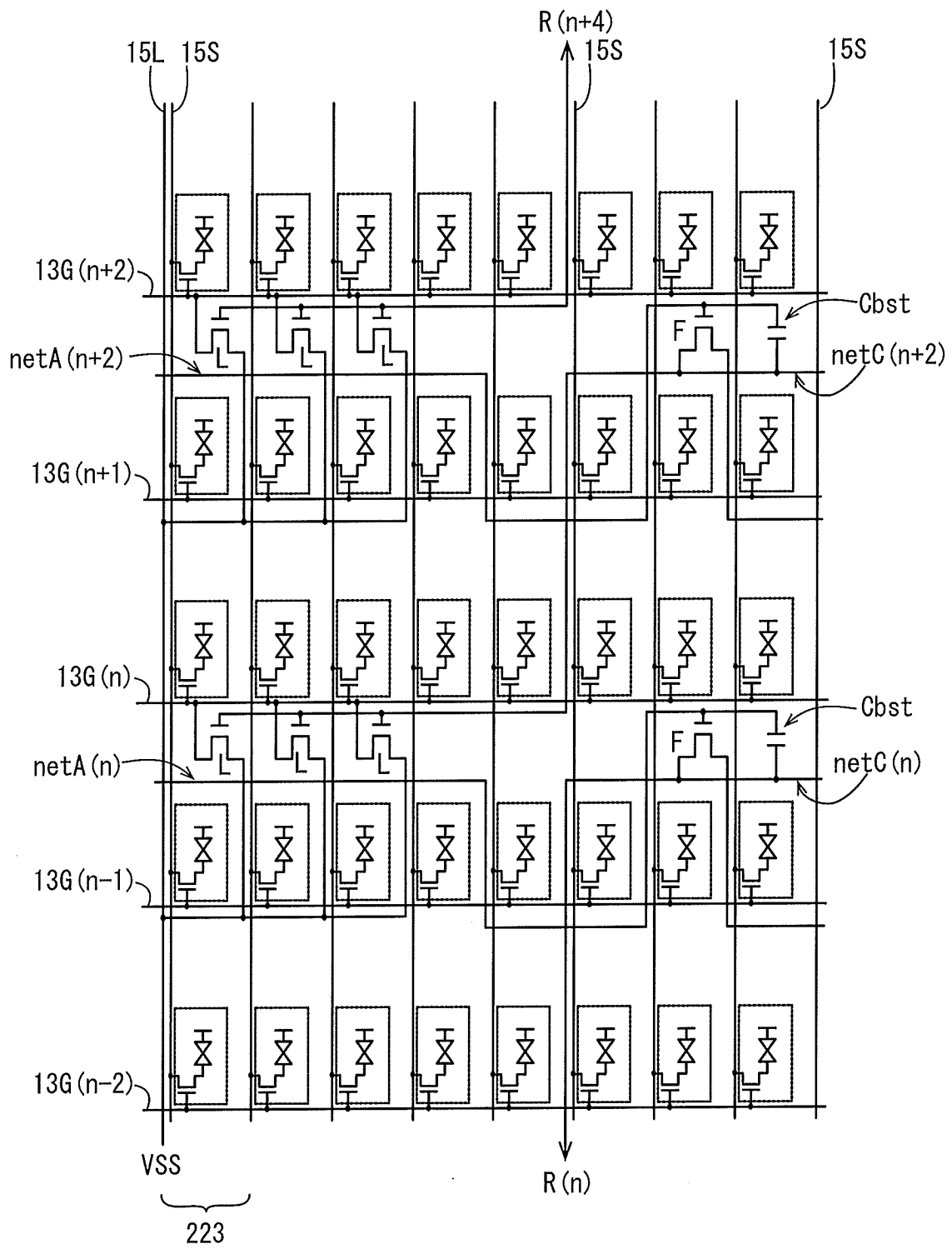
[図23B]



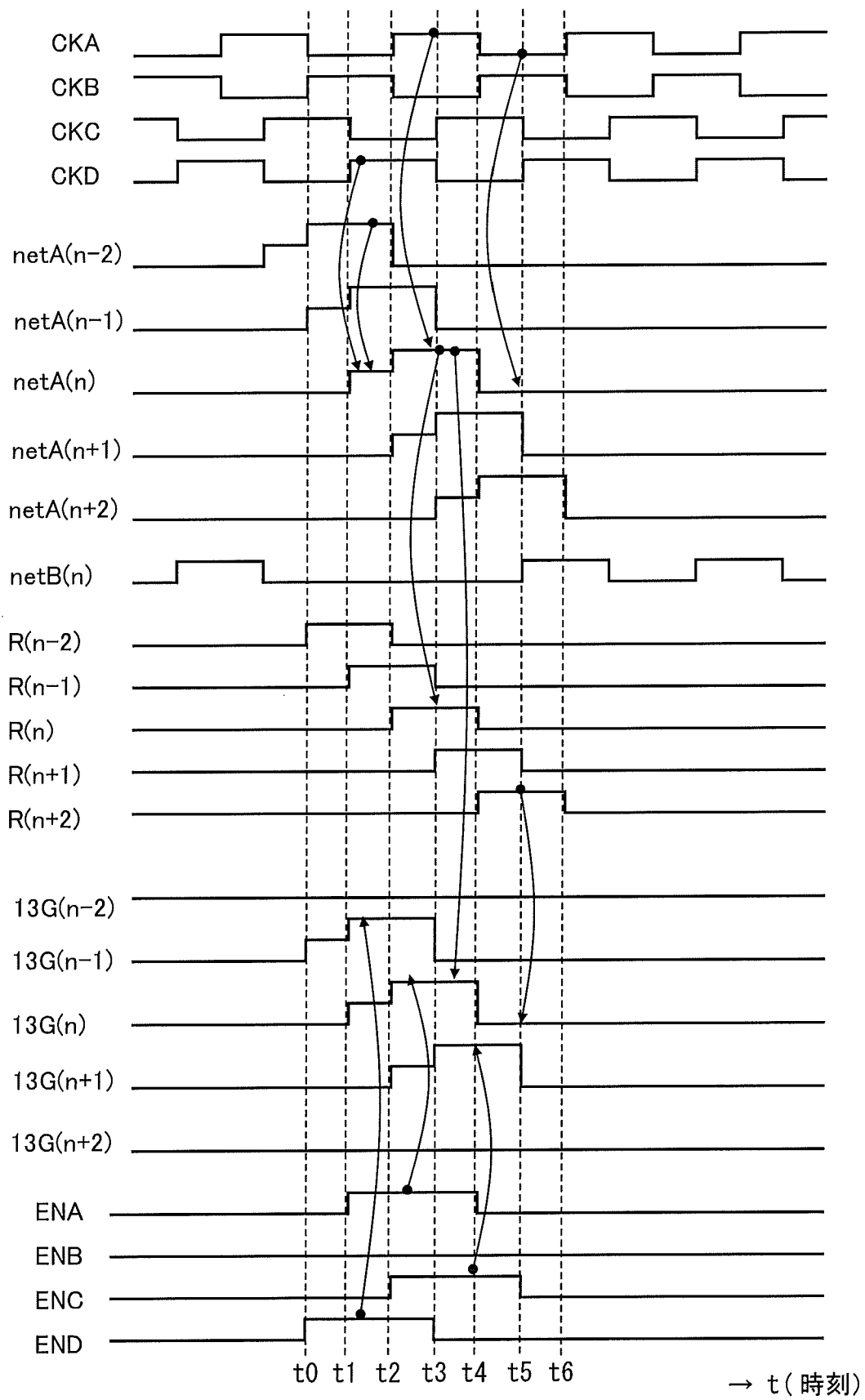
[図23C]



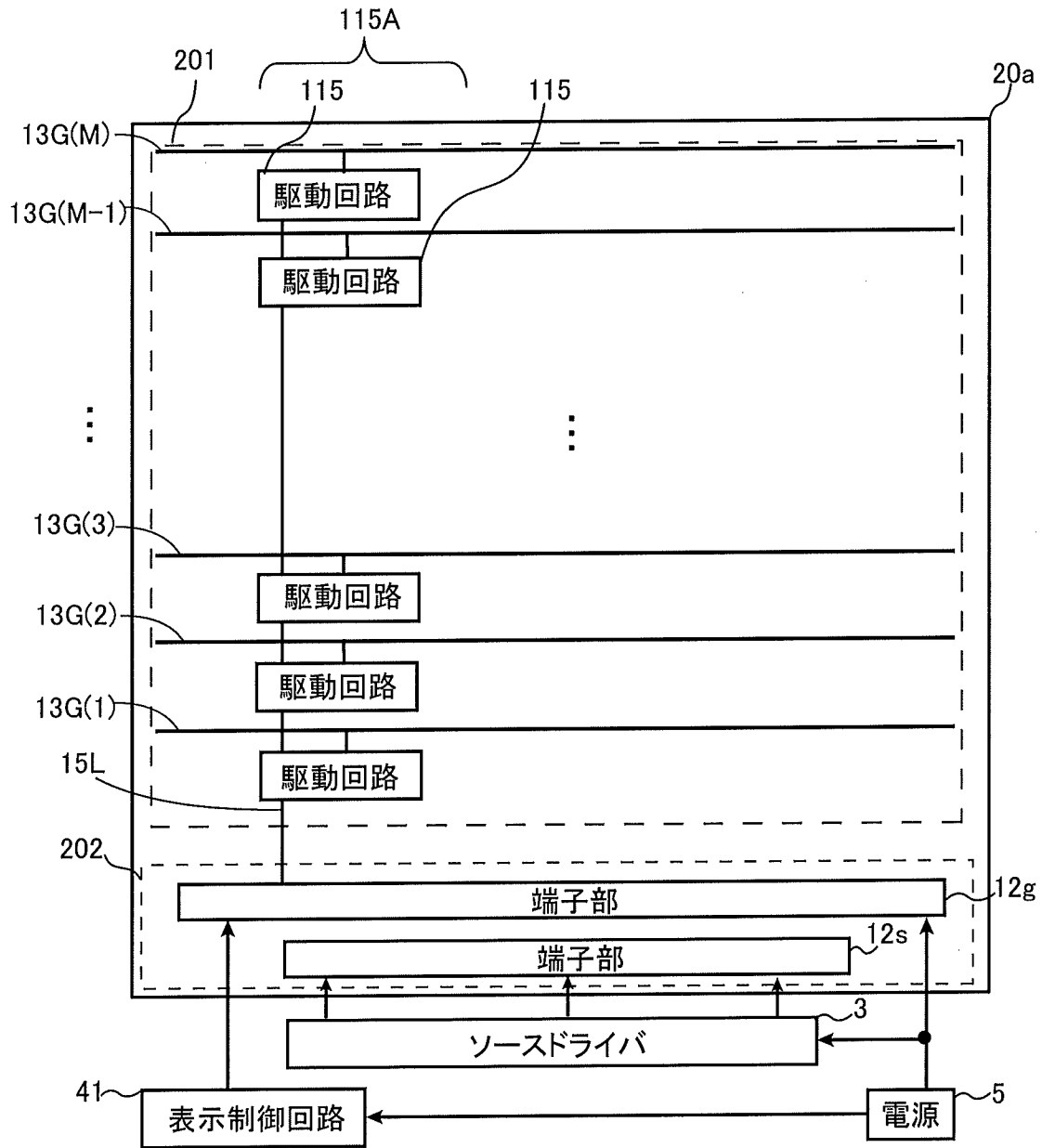
[図23D]



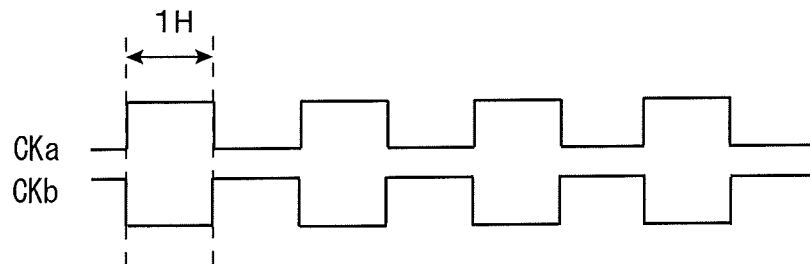
[図24]



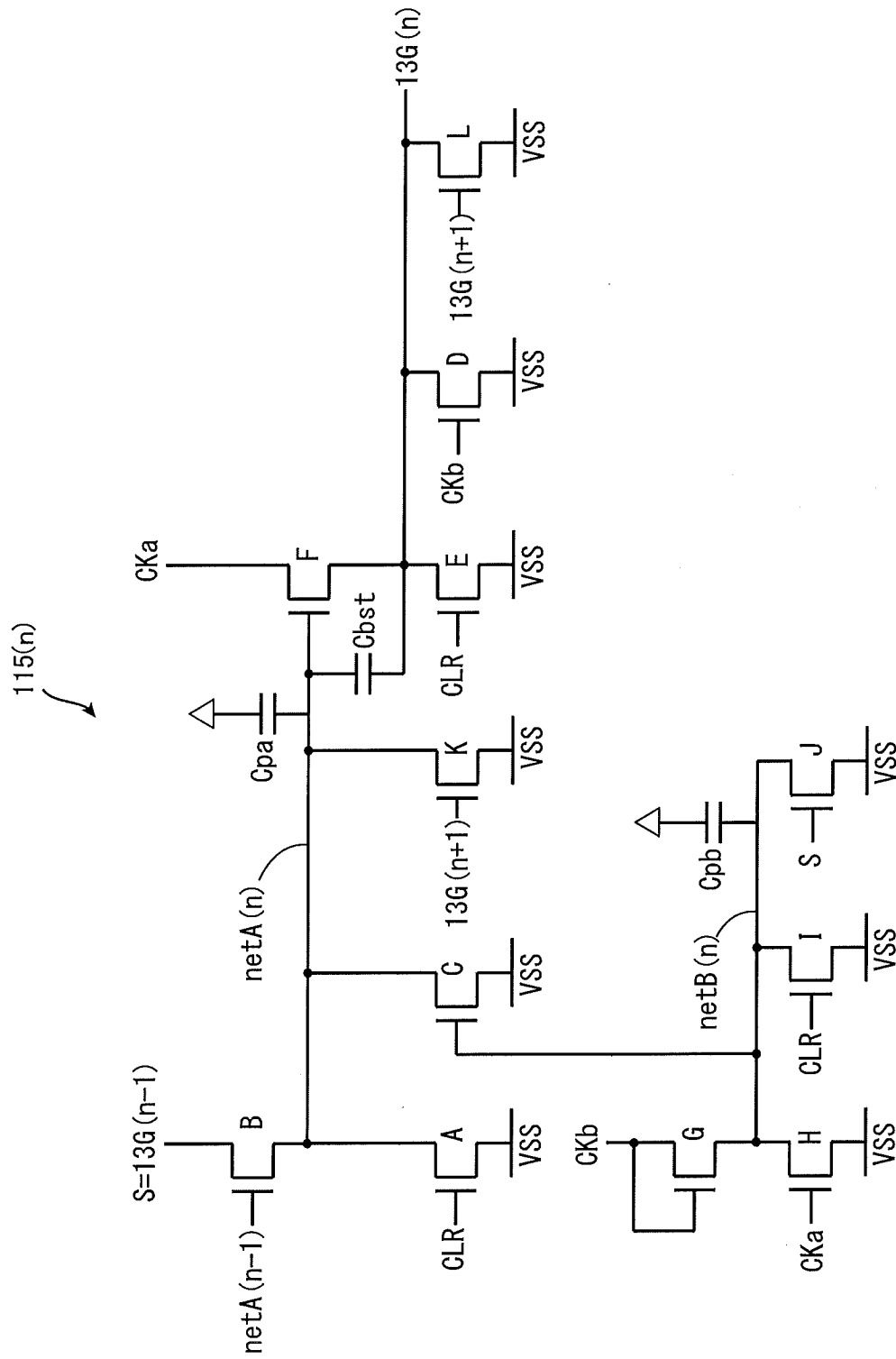
[図25]



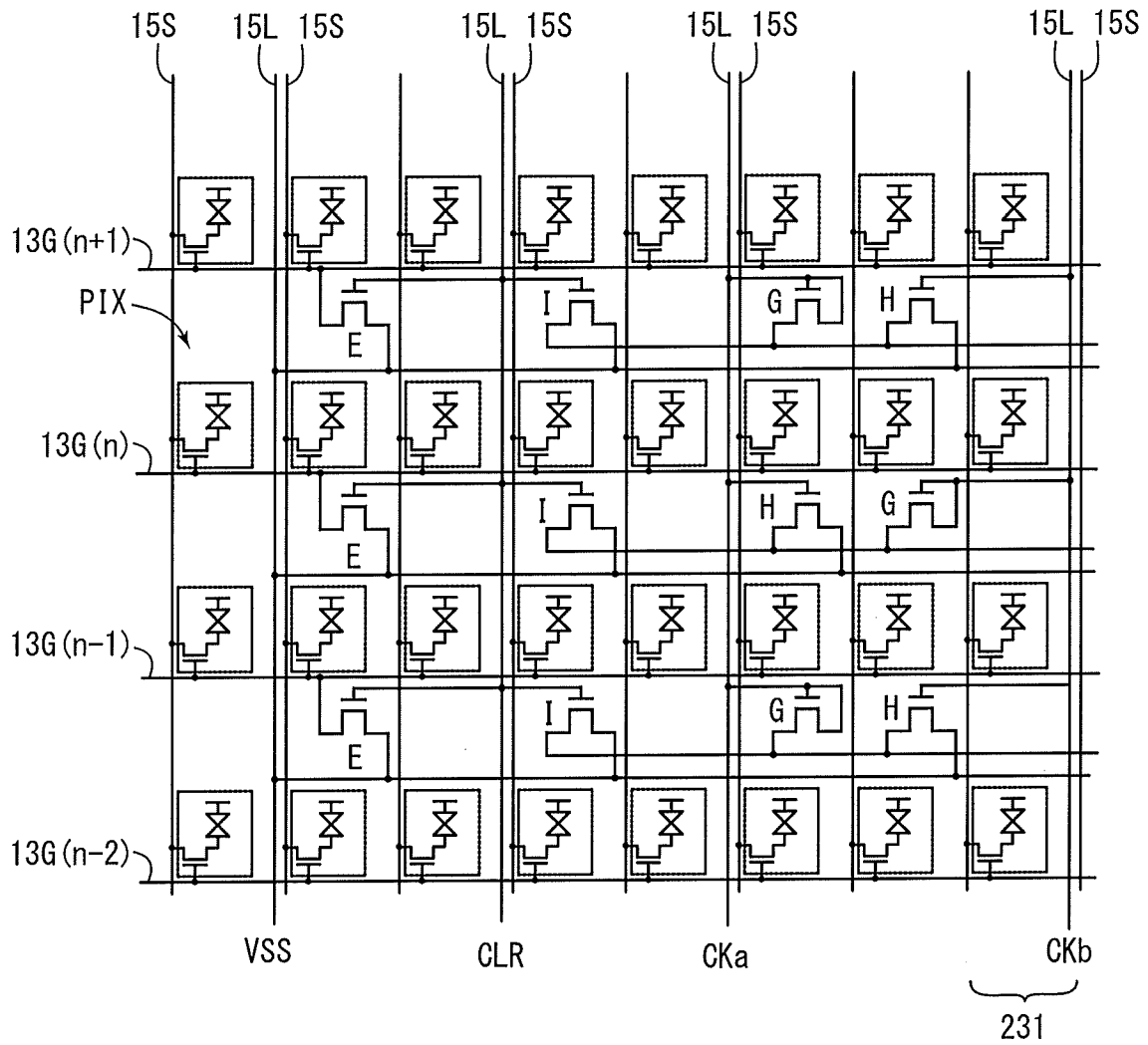
[図26]



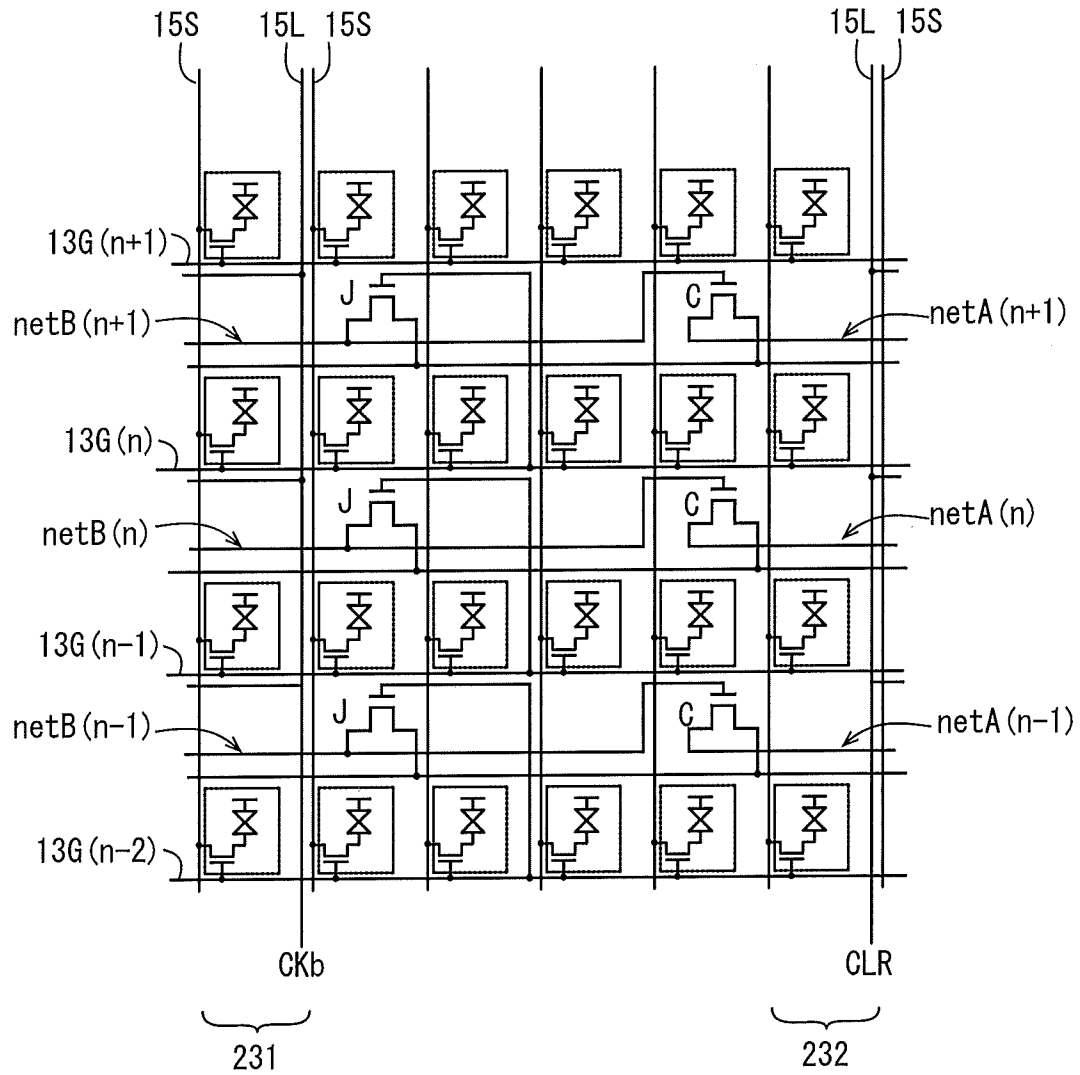
[図27]



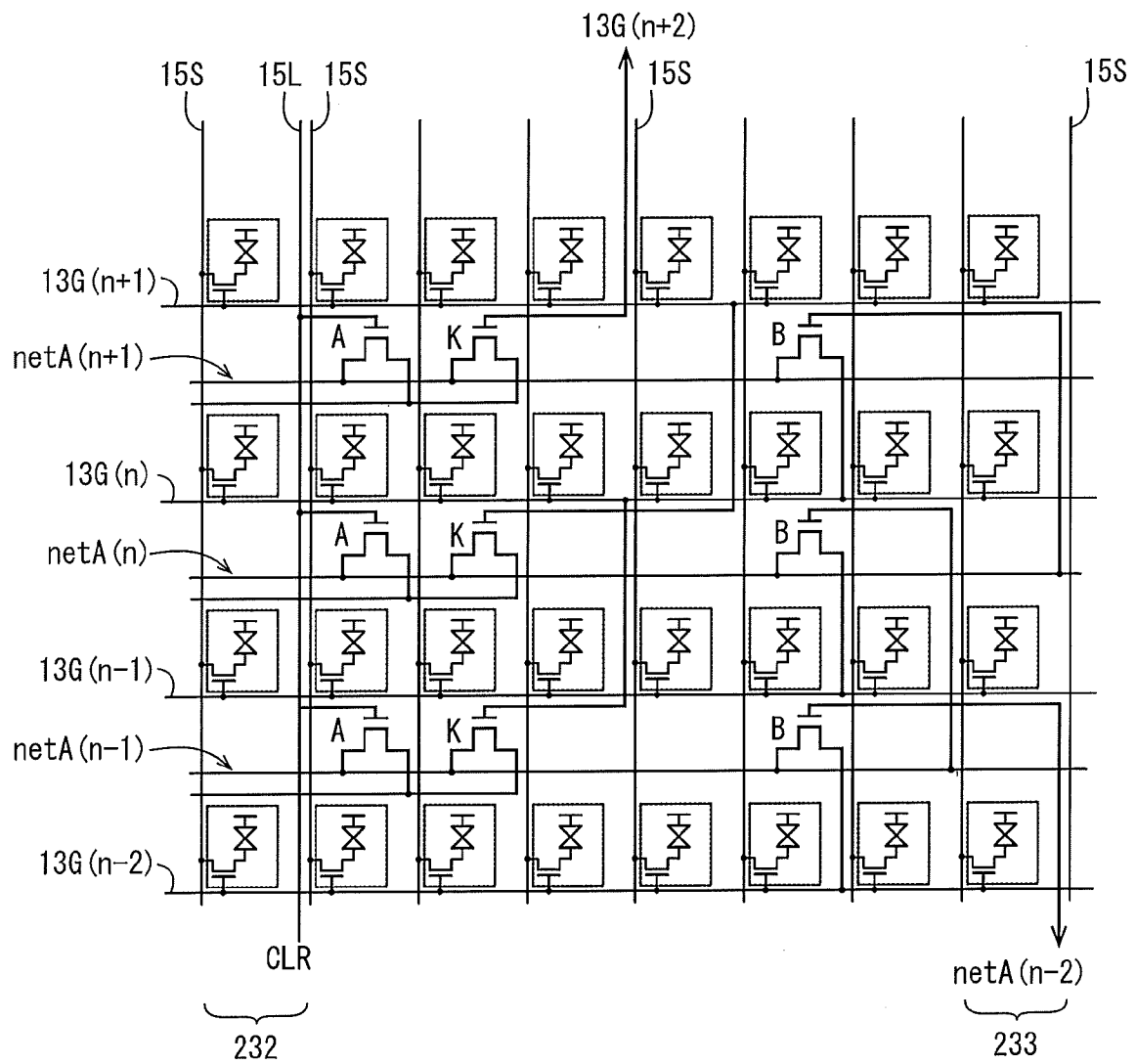
[図28A]



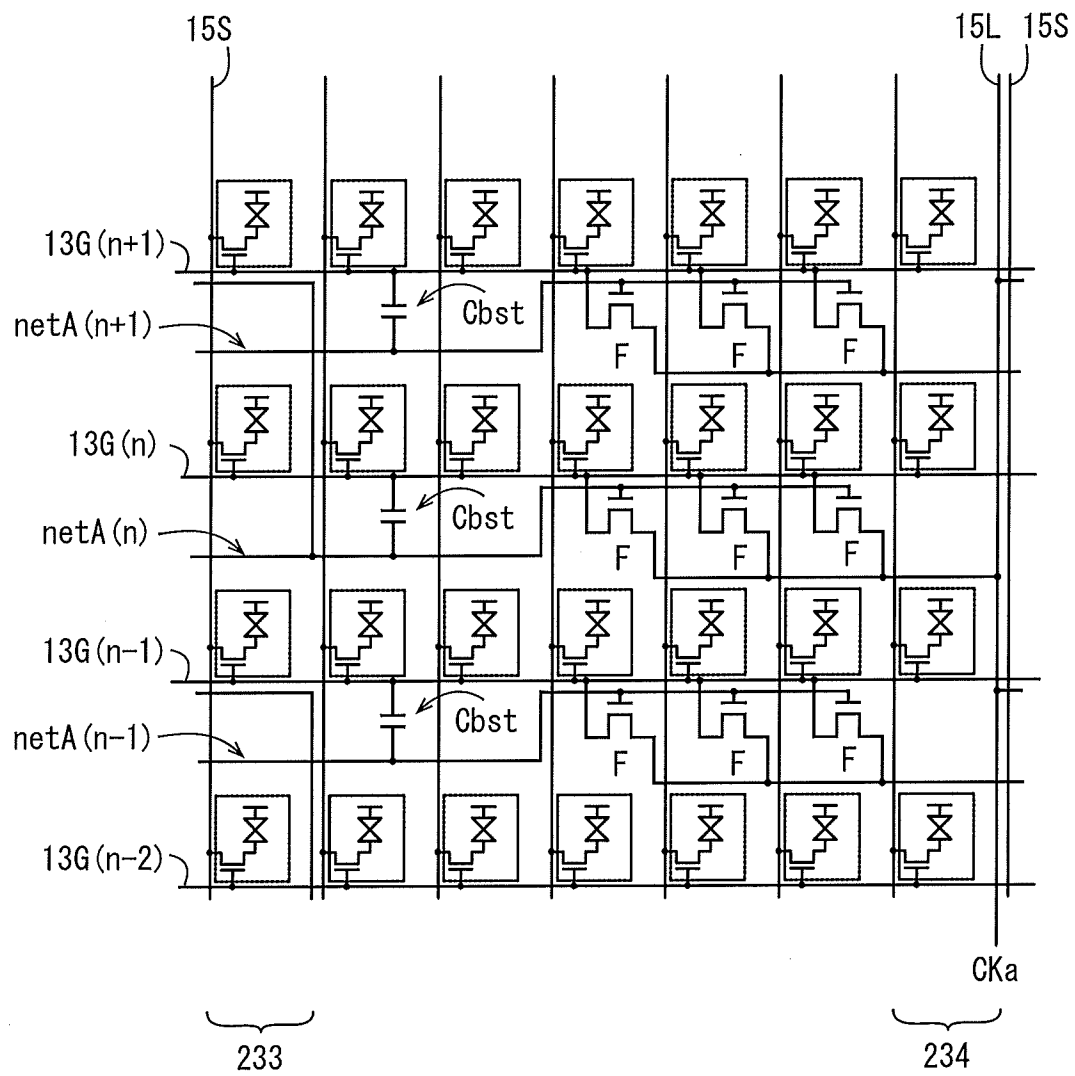
[図28B]



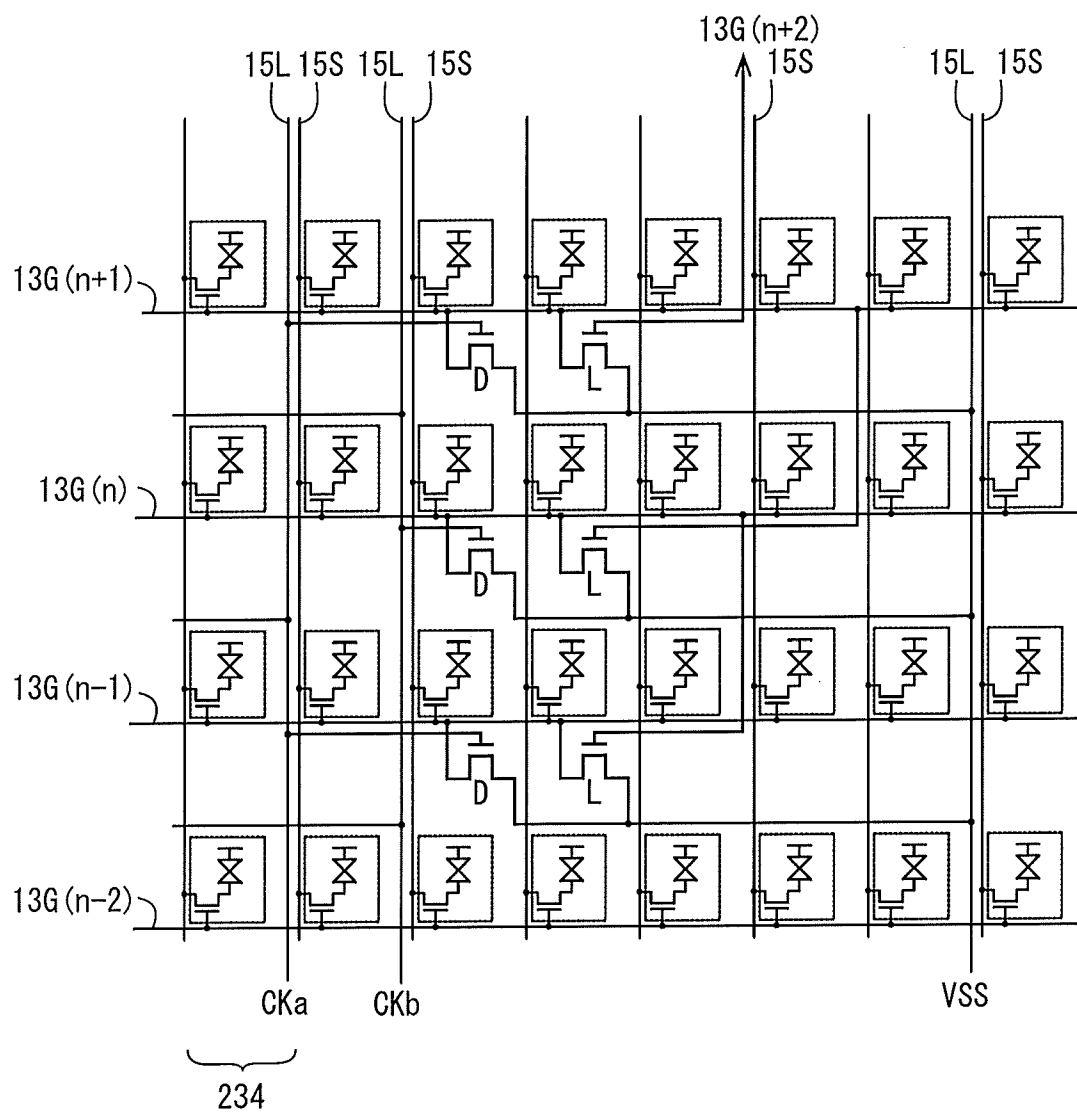
[図28C]



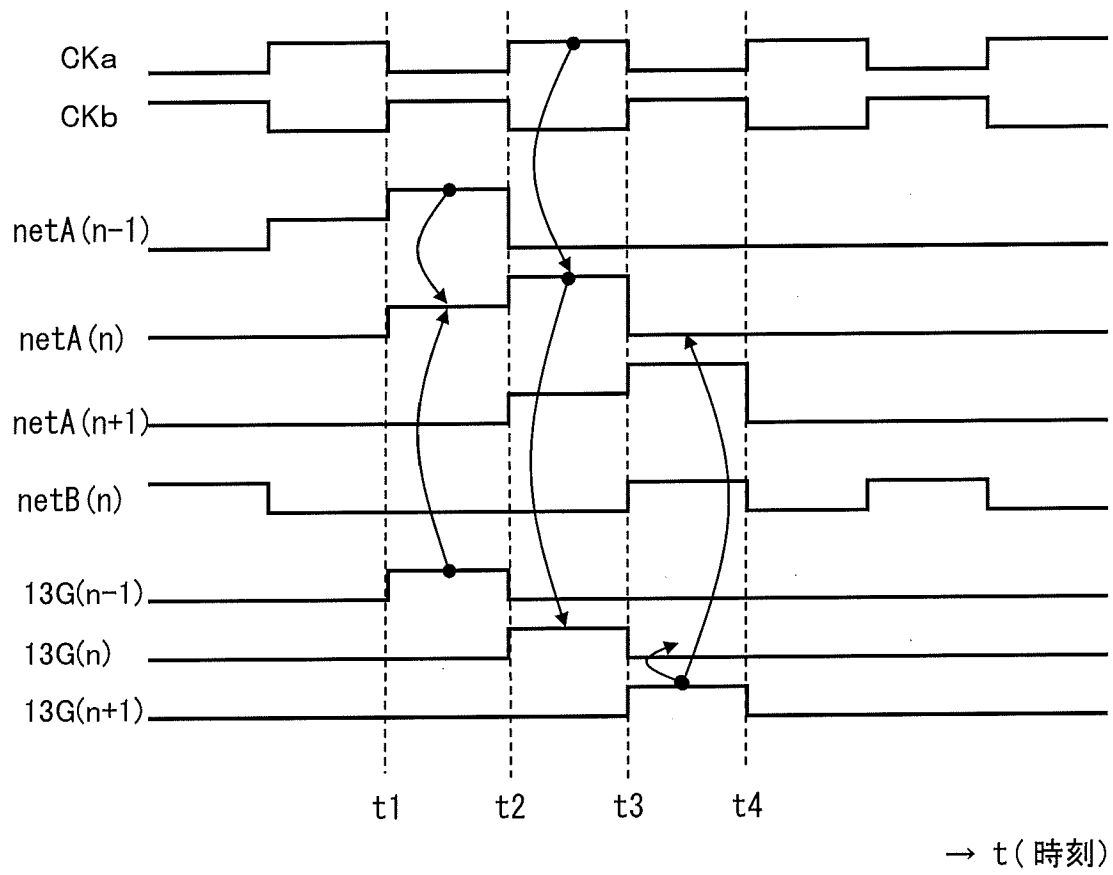
[図28D]



[図28E]



[図29]



The diagram illustrates the timing relationships between various signals over time, marked by vertical dashed lines at t_0 through t_6 . The signals are:

- CKA, CKB, CKC, CKD:** Clock signals. CKC and CKD are shown as a single signal.
- netA(n-2), netA(n-1), netA(n), netA(n+1), netA(n+2):** A sequence of net signals.
- netB(n):** A net signal.
- R(n-2), R(n-1), R(n), R(n+1), R(n+2):** A sequence of register signals.
- 13G(n-2), 13G(n-1), 13G(n), 13G(n+1), 13G(n+2):** A sequence of 13G signals.
- ENA, ENB:** Enable signals.

Arrows indicate dependencies and data flow between signals at different time steps:

- netA(n-2) at t_1 feeds into netA(n) at t_3 .
- netA(n-1) at t_2 feeds into netA(n) at t_3 .
- netA(n) at t_3 feeds into netA(n+1) at t_4 .
- netA(n+1) at t_4 feeds into netA(n+2) at t_5 .
- netA(n) at t_3 feeds into R(n) at t_4 .
- netA(n+1) at t_4 feeds into R(n+1) at t_5 .
- netA(n+2) at t_5 feeds into R(n+2) at t_6 .
- netB(n) at t_5 feeds into R(n+2) at t_6 .
- 13G(n-1) at t_3 feeds into 13G(n) at t_4 .
- 13G(n) at t_4 feeds into 13G(n+1) at t_5 .
- 13G(n+1) at t_5 feeds into 13G(n+2) at t_6 .
- ENA at t_0 feeds into R(n-2) at t_1 .
- ENB at t_2 feeds into R(n-1) at t_3 .

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/066621

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2012/0155604 A1 (Yu-Chung YANG), 21 June 2012 (21.06.2012), paragraphs [0017] to [0027]; fig. 2 to 4 & TW 201228232 A & CN 102054426 A	1-2, 9 3-8
Y	US 2008/0016139 A1 (WINTEK CORP.), 17 January 2008 (17.01.2008), paragraphs [0133] to [0139]; fig. 32 to 39 & TW 200805243 A & CN 101105978 A	3-5
Y	US 2011/0142192 A1 (Chin-Ying LIN), 16 June 2011 (16.06.2011), paragraphs [0023] to [0046]; fig. 2 to 6 & TW 201121241 A	6-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 August 2015 (11.08.15)

Date of mailing of the international search report

25 August 2015 (25.08.15)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/066621

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-197851 A (Toshiba Corp.), 31 July 1998 (31.07.1998), paragraphs [0007] to [0020]; fig. 1 to 2 (Family: none)	8
A	US 2012/0170707 A1 (Kuo-Hua HSU), 05 July 2012 (05.07.2012), paragraphs [0024] to [0033]; fig. 3 to 4 & TW 201227650 A & CN 102184697 A	1-9
P, A	WO 2014/142183 A1 (Sharp Corp.), 18 September 2014 (18.09.2014), entire text; all drawings (Family: none)	6-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C19/28, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 2012/0155604 A1 (Yu-Chung YANG) 2012.06.21, 段落【0017】 - 【0027】, 第 2-4 図 & TW 201228232 A & CN 102054426 A	1-2, 9 3-8
Y	US 2008/0016139 A1 (WINTEK CORPORATION) 2008.01.17, 段落【0133】 - 【0139】, 第 32-39 図 & TW 200805243 A & CN 101105978 A	3-5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 8 . 2 0 1 5

国際調査報告の発送日

2 5 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

堀田 和義

5 U

8 8 4 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2011/0142192 A1 (Chin-Ying LIN) 2011.06.16, 段落【0023】-【0046】, 第2-6図 & TW 201121241 A	6-7
Y	JP 10-197851 A (株式会社東芝) 1998.07.31, 段落【0007】-【0020】, 第1-2図 (ファミリーなし)	8
A	US 2012/0170707 A1 (Kuo-Hua HSU) 2012.07.05, 段落【0024】-【0033】, 第3-4図 & TW 201227650 A & CN 102184697 A	1-9
P, A	WO 2014/142183 A1 (シャープ株式会社) 2014.09.18, 全文, 全図 (ファミリーなし)	6-8