



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I450192 B

(45)公告日：中華民國 103 (2014) 年 08 月 21 日

(21)申請案號：099133459

(22)申請日：中華民國 94 (2005) 年 03 月 24 日

(51)Int. Cl. : G06F9/38 (2006.01)

(30)優先權：2004/03/31 美國 10/813,628

(71)申請人：輝達科技英國有限公司 (英國) NVIDIA TECHNOLOGY UK LIMITED (GB)
英國

(72)發明人：納利斯 賽門 KNOWLES, SIMON (GB)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

TW	559709	TW	200401187A
EP	1050810A1	US	5956518
US	6115806	US	6292845B1
US	2002/0049964A1	US	2002/0078323A1

審查人員：吳兆平

申請專利範圍項數：6 項 圖式數：3 共 0 頁

(54)名稱

用於處理器中之控制處理的裝置及方法

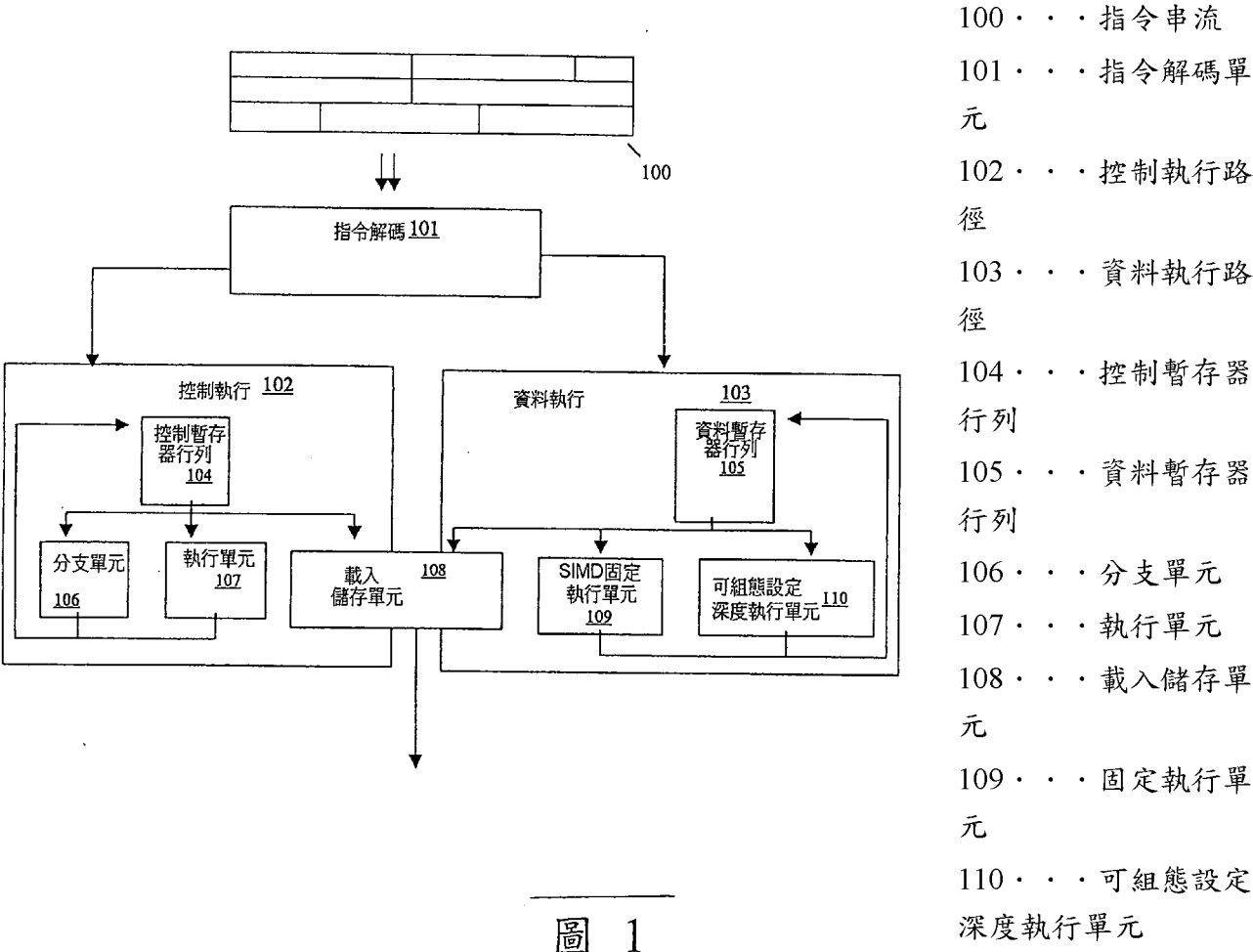
APPARATUS AND METHOD FOR CONTROL PROCESSING IN PROCESSOR

(57)摘要

根據本發明一具體實施例，茲揭示一種電腦處理器架構；且特別是一種電腦處理器、操作該者之方法及運用對於該電腦之指令集的電腦程式產品。在一根據本發明之具體實施例裡，提供一種電腦處理器，該處理器包含：一用以解碼來自一記憶體之指令封包串流的解碼單元，各指令封包含有複數個指令；一第一處理通道，其中包含複數個功能單元且可運作以執行控制處理運算；一第二處理通道，其中包含複數個功能單元且可運作以執行資料處理運算；其中該解碼單元可運作以接收一指令封包，並以偵測該指令封包是否定義下列各者：(i)複數個控制指令，或是(ii)複數個指令，而該等之一或更多係一資料處理指令，且其中當該解碼單元偵測到該指令封包包含複數個控制指令時，會將該等控制指令供應給該第一處理通道以按程式順序予以執行。

According to embodiments of the invention, there is a computer processor architecture; and in particular a computer processor, a method of operating the same, and a computer program product that makes use of an instruction set for the computer. In one embodiment according to the invention, there is provided a computer processor comprising: a decode unit for decoding a stream of instruction packets from a memory, each instruction packet comprising a plurality of instructions; a first processing channel comprising a plurality of functional units and operable to perform control processing operations; a second processing channel comprising a plurality of functional units and operable to perform data processing operations; wherein the decode unit is operable to receive an instruction packet and to detect if the instruction defines (i) a plurality of control instructions or (ii) a plurality of instructions one or more of which is a data processing instruction, and wherein when the decode unit detects that the instruction packet comprises a plurality of

control instructions said control instructions are supplied to the first processing channel for execution in program order.



發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99133459

※ 申請日期： 94.3.24

※IPC 分類： G06F 9/38 (2006.01)

原申請案號：094109124

一、發明名稱：(中文/英文)

用於處理器中之控制處理的裝置及方法

APPARATUS AND METHOD FOR CONTROL PROCESSING
IN PROCESSOR

二、中文發明摘要：

根據本發明一具體實施例，茲揭示一種電腦處理器架構；且特別是一種電腦處理器、操作該者之方法及運用對於該電腦之指令集的電腦程式產品。在一根據本發明之具體實施例裡，提供一種電腦處理器，該處理器包含：一用以解碼來自一記憶體之指令封包串流的解碼單元，各指令封包含有複數個指令；一第一處理通道，其中包含複數個功能單元且可運作以執行控制處理運算；一第二處理通道，其中包含複數個功能單元且可運作以執行資料處理運算；其中該解碼單元可運作以接收一指令封包，並以偵測該指令封包是否定義下列各者：(i)複數個控制指令，或是(ii)複數個指令，而該等之一或更多係一資料處理指令，且其中當該解碼單元偵測到該指令封包包含複數個控制指令時，會將該等控制指令供應給該第一處理通道以按程式順序予以執行。

三、英文發明摘要：

According to embodiments of the invention, there is a computer processor architecture; and in particular a computer processor, a method of operating the same, and a computer program product that makes use of an instruction set for the computer. In one embodiment according to the invention, there is provided a computer processor comprising: a decode unit for decoding a stream of instruction packets from a memory, each instruction packet comprising a plurality of instructions; a first processing channel comprising a plurality of functional units and operable to perform control processing operations; a second processing channel comprising a plurality of functional units and operable to perform data processing operations; wherein the decode unit is operable to receive an instruction packet and to detect if the instruction defines (i) a plurality of control instructions or (ii) a plurality of instructions one or more of which is a data processing instruction, and wherein when the decode unit detects that the instruction packet comprises a plurality of control instructions said control instructions are supplied to the first processing channel for execution in program order.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	指令串流
101	指令解碼單元
102	控制執行路徑
103	資料執行路徑
104	控制暫存器行列
105	資料暫存器行列
106	分支單元
107	執行單元
108	載入儲存單元
109	固定執行單元
110	可組態設定深度執行單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種電腦處理器，一種操作該者之方法，以及一種包含一用於該電腦之指令集的電腦程式產品。

【先前技術】

為提高電腦處理器速度，先前技藝架構既已採用雙執行路徑以執行各項指令。雙執行路徑處理器可根據單一指令多重資料(SIMD)原理來運算，利用運算平行化以提高處理器速度。

然而，雖利用雙執行路徑及 SIMD 處理作業，仍有對於提高處理器速度的持續需要。典型的雙執行路徑處理器利用兩個大致等同的通道，因此各個通道會處置控制碼及資料路徑碼兩者。已知的處理器雖支援 32 位元標準編碼及 16 位元「密集」編碼的組合，然此等法則卻受於數項缺點之苦，包含在 16 位元格式內的少數幾個位元裡缺少語意內容。

此外，傳統的一般目的性數位信號處理器無法適配於對於多項目的之應用特定演算法，包含執行特定化運算像是迴旋運算、快速傅黎葉轉換、Trellis/Viterbi 編碼、共相關性、有限脈衝響應過濾以及其他運算。

【發明內容】

根據本發明一具體實施例，茲提供一種電腦處理器。

該電腦處理器包含：(a)一用以解碼來自一記憶體之指令封包串流的解碼單元，各指令封包含有複數個指令；(b)一第一處理通道，其中包含複數個功能單元且可運作以執行控制處理運算；以及(c)一第二處理通道，其中包含複數個功能單元且可運作以執行資料處理運算；其中該解碼單元可運作以接收一指令封包，並以偵測該指令封包究係定義(i)複數個控制指令，或是(ii)複數個指令，而該等之一或更多者係一資料處理指令，且其中當該解碼單元偵測到該指令封包包含複數個控制指令時，會將該等控制指令供應給該第一處理通道以按程式順序予以執行。

在相關具體實施例裡，該電腦處理器的解碼單元可運作以偵測一包含三個控制指令的指令封包，並控制該控制處理，以按其中該等出現於該指令封包內之順序執行三個控制指令的各者。該解碼單元亦可運作以偵測含複數個具相等長度之控制指令的指令封包；或以在一指令封包內偵測一具有 18 與 24 位元之間的位元長度控制指令；且特別是，以偵測各者具 21 位元之位元長度的複數個控制指令。該解碼單元可運作以接收及解碼具 64 位元之位元長度的指令封包。

在進一步的相關具體實施例裡，該解碼單元可運作以偵測當在該指令封包內有至少一資料處理指令時，回應於此，以將相關資料供應至該資料處理通道。該解碼單元亦可運作以偵測該指令封包，其含有至少一資料處理指令，以及從一或更多下者所選定之進一步指令：一記憶體接取

指令、一控制指令及一資料處理指令。可同時地執行該至少一資料處理指令及該進一步指令。該第二處理通道可為專屬於該資料處理運算之執行作業，且可按組合語言來提供資料處理指令。該控制處理運算可對各運算元執行達一第一預設位元寬度，而且可對資料執行該資料處理運算達一第二預設位元寬度，該第二預設位元寬度係大於該第一預設位元寬度。

在一進一步相關具體實施例裡，該第一處理通道可包含自如下所選定之一或更多的單元：一控制暫存器行列、一控制執行單元、一分支執行單元及一載入/儲存單元。該第二處理通道可包含一含可組態設定資料執行單元之資料執行路徑。該第二處理通道亦可包含一含固定資料執行單元之資料執行路徑。使用上，一或更多的可組態設定及固定資料執行單元可根據單一指令多重資料原理而運作。該資料處理通道可包含一或更多的資料暫存器行列及一載入/儲存單元。一單一載入/儲存單元可由該控制處理通道及該資料處理通道兩者透過個別的機埠所接取。

在一進一步相關具體實施例裡，該解碼單元可運作以偵測一包含至少一資料處理指令之指令封包，其中該至少一資料處理指令之位元長度係位於 30 與 38 位元之間；例如該位元長度可為 34 位元。該解碼單元亦可運作以偵測含一資料處理運算及一記憶體接取指令之指令封包。該記憶體接取指令的位元長度可為例如 28 位元。該解碼單元亦可運作以偵測含一資料處理指令及一控制處理指令之指

令封包。該控制處理指令可為按 C 程式碼或一相關變化項目。該解碼單元亦可運作以偵測一按組合語言之資料處理指令。

在本發明之另一具體實施例，茲提供一種操作一電腦處理器之方法，其中包含第一及第二處理通道，各者具有複數個功能單元，其中該第一處理通道能夠執行控制處理運算而該第二處理通道能夠執行資料處理運算。該方法包含(a)接收來自一記憶體之一序列的指令封包，該等指令封包各者包含複數個定義各運算之指令；(b)又再藉決定該指令封包究係定義下列何者來解碼各指令封包：(i)複數個控制指令；或(ii)至少一資料處理指令；且其中當該解碼單元偵測到該指令封包包含複數個控制指令時，將該等複數個控制指令供應給該第一處理通道以按該序列加以執行。

在另一根據本發明之具體實施例裡，茲提供一種電腦程式產品，包含程式碼裝置以令一電腦根據前述方法而運作。

在根據本發明之進一步具體實施例中，茲提供一種電腦程式產品，其包含一序列的指令以令一電腦根據前述方法而運作。

在另一根據本發明之具體實施例，茲揭示一種用於一電腦之指令集，其包含一第一類型之指令封包，各者包含供以循序地執行的複數個控制指令，以及一第二類型之指令封包，各者包含供以同時地執行之至少一處理指令及一進一步指令，該進一步指令係自如下一或更多者所選出：

一記憶體接取指令、一控制指令及一資料處理指令。

本發明額外優點及新式特性將如後說明裡部份地陳述，且部份地可由熟諳本項技藝之人士經閱覽後文及各隨附圖式所顯見，或可為由本發明實作而習知。

【實施方式】

圖 1 係一根據本發明一具體實施例之非對稱執行路徑電腦處理器的區塊圖。該圖 1 之處理器將一單一指令串流 100 分割成兩個不同的硬體執行路徑：一控制執行路徑 102，這是專屬於處理控制碼，以及一資料執行路徑 103，這是專屬於處理資料碼。這兩個執行路徑 102、103 的資料寬度、運算子及其他特徵會根據不同的控制碼及資料路徑碼特徵而互異。通常，控制碼傾向於較少、較窄的暫存器，不容易平行化，且通常(但非獨一地)按 C 或另一高階語言程式碼所撰寫，且其程式碼密度一般說來會比起速度效能更為重要。相對地，資料路徑碼通常會偏向於較大行列的寬式暫存器、可被高度平行化，且係按組合語言所撰寫，同時其效能會比其程式碼密度更重要。在如圖 1 的處理器裡，兩種不同執行路徑 102 及 103 係專屬於處置兩種不同類型的程式碼，各側具有其本身的架構暫存器行列，像是控制暫存器行列 104 及資料暫存器行列 105，不同在於暫存器的寬度及數量；各控制暫存器會按位元數目而為較窄寬度(在一範例裡為 32 位元)，而資料暫存器具有較寬的寬度(在一範例裡 642 位元)。該處理器因此為不對稱，

這是在於其兩個執行路徑具有不同位元寬度，此因該等各者執行不同、特定化功能之事實的緣故。

在如圖 1 的處理器裡，該指令串流 100 是由一系列的指令封包所組成。所供應的各指令封包會被一指令解碼單元 101 所解碼，此者會分隔控制指令及資料指令，即如後文所進一步詳述。該控制執行路徑 102 處理該指令串流之控制流程操作，並且利用一分支單元 106、一執行單元 107 及一載入儲存單元 108，這在本例裡是與該資料執行路徑 103 所共享，來管理該機器的狀態暫存器。僅該處理器之控制側需要被像是 C、C++ 或 Java 語言的編譯器，或其他的高階語言編譯器，所看見。在該控制側內，該分支單元 106 及該執行單元 107 係按照熟諳本項技藝之人士所眾知的傳統處理器而設計。

該資料執行路徑 103 在該固定執行單元 109 及一可組態設定深度執行單元 110 兩者內採用 SIMD (單一指令多重資料) 平行化。即如後文所進一步詳述，該可組態設定深度執行單元 110，除傳統 SIMD 處理器的寬度維度以外，另提供一種深入維度的處理作業以提高每一指令的工作量。

如經解碼之指令定義一控制指令，則會將此者施加於在該機器之控制執行路徑上的適當功能單元(即如該分支單元 106、該執行單元 107 及/或該載入/儲存單元 108)。如經解碼之指令定義一具一固定或可組態設定資料處理運算之指令，則會將此者施加於該資料處理執行路徑。在該指令封包的資料指令部份內，經指定位元表示該指令究係一

固定或可組態設定的資料處理指令，且在一可組態設定指令的情況下，進一步的經指定位元會定義該組態資訊。按照經解碼之資料處理指令的子型態而定，會將資料供應給該機器之資料處理路徑的固定或可組態設定執行子路徑。

在此，「可組態設定」表示從複數個預先定義（「虛仿-靜態」）運算子組態之中選擇一項運算子組態的能力。運算子的虛仿-靜態組態會有效於令一運算子(i)執行某一種運算，或(ii)按某一方式互連於各相關要素，或是(iii)一上述(i)及(ii)的組合。實作上，一選定虛仿-靜態組態可一次決定許多運算子的行為及互連性。這亦可控制切換關聯於該資料路徑的組態。在一較佳具體實施例裡，至少部份的複數個虛仿-靜態組態會由一資料處理指令之運算碼局部所選定，即如後文所詳述。同時亦根據本較佳具體實施例，一「可組態設定指令」可按一多位元層級提供自訂化運算的效能；例如，按四個以上位元的多位元數值，或一字組層級。

經指出經執行於該機器之個別不同側的控制及資料處理指令兩者可定義記憶體接取(載入/儲存)以及基本算術運算。可對該控制暫存器行列 104 往返提供用於控制運算的各輸入/運算元，而會對該暫存器行列 105 往返提供用於資料處理的各資料/運算元。

根據本發明之一具體實施例，各資料處理運算的至少一輸入可為一向量。在此觀點，該可組態設定運算子及/或該可組態設定資料路徑的切換電路可被視為是可組態設

定，以藉由於其間所執行及/或互連的運算性質執行向量運算。例如，對一資料處理運算之 64 位元向量輸入可包含四個 16 位元純量運算元。在此，「向量」係一純量運算元的組合。可對複數個純量運算元執行向量算術，且可包含純量元素的轉向、移動及排列。並非一向量運算之所有運算元皆需為向量；例如，一向量運算可具有一純量及至少一向量兩者作為輸入；而一結果的輸出可為一純量或一向量。

在此，「控制指令」包含專屬於程式流程之指令，及分支與位址產生作業；但無資料處理。「資料處理指令」包含用於邏輯運算或算術運算的指令，對此至少一輸入會是一向量。資料處理指令可運算於多個資料指令，例如暫存器 SIMD 處理裡，或在資料元素的更寬、短向量處理時。上述的控制指令及資料處理指令基本功能並不重疊；然而，一共同性為兩種數碼皆具有邏輯及純量算術功能。

圖 2 顯示對如圖 1 之處理器的三種指令封包。各種的指令封包具有 64 位元長度。指令封包 211 係一 3 純量型態，用於密集的控制碼，且包含三個 21 位元控制指令(c21)。指令封包 212 及 213 為 LIW (長型指令字組)型態，用於平行地執行該資料路徑碼。在本具體實施例裡，各指令 212、213 包含兩個指令，但若有需要可為不同數目。該指令封包 212 包含一 34 位元資料指令(d34)及一 38 位元記憶體指令(m28)；並且藉一資料側載入-儲存運算(m28 指令)而用於平行地執行該資料側算術(d34 指令)。可利用來自該控

制側的位址，自該處理器之控制側或資料側讀取，或予寫入，記憶體-類別指令(m28)。指令封包 213 包含一 34 位元資料指令(d34)及一 21 位元控制指令(c21)；且係用以藉一像是一控制側算術、分支或載入-儲存運算之控制側運算(該 c21 指令)，平行地執行資料側算術(該 d34 指令)。

如圖 1 之具體實施例的指令解碼單元 101 利用各指令封包的初始識別位元，或是一些其他在預設位元位置處的經指配識別位元，來決定要解碼哪一種封包。例如，即如圖 2 所示，一初始位元「1」表示一純量控制指令型態的指令封包，具三個控制指令；而初始位元「01」及「00」表示型態 212 及 213 的指令封包，在封包 212 內具一資料及記憶體指令，而在封包 213 裡具一資料及控制指令。在解碼各指令封包的初始位元之後，該圖 1 的指令解碼單元 101 會根據該指令封包的型態而定，將各封包的指令適當地傳給該控制執行路徑 102 或該資料執行路徑 103。

為執行圖 2 之指令封包，如圖 1 具體實施例之處理器的指令解碼單元 101 會從記憶體中循序地前往取獲程式封包；且會循續地執行各程式封包。在一指令封包內，會循序地執行該封包 211 的各指令，而會先執行在該 64 位元字組最低顯著端的 21 位元指令，然後是次一 21 位元控制指令，接著是在最高顯著端的 21 位元控制指令。在指令封包 212 及 213 內，可同時地執行各指令(然在根據本發明之具體實施例裡並非必然地需為此情況)。如此，在如圖 1 具體實施例之處理器的程式順序，會循序地執行各程式封

包；不過在一封包內的指令可循序地執行，如對於封包型態 211，或是同時地執行，如對於封包型態 212 及 213。底下，將型態 212 及 213 的指令封包分別地簡稱為 MD 及 CD 封包(分別地包含一記憶體及一資料指令；以及一控制指令及一資料指令)。

在利用 21 位元控制指令裡，該圖 1 之具體實施例可克服在具其他長度之指令的處理器裡發現到的數項缺點，且特別是支援資料指令之 32 位元標準編碼以及控制碼之 16 位元「密集」編碼的組合之處理器。在這種雙 16/32 位元處理器裡，會有一從對各指令使用雙編碼處理或是使用兩個具一藉分支、取獲位址或其他方式而在各編碼法則間切換之裝置的個別解碼器而出現的冗餘。根據本發明具體實施例，可藉由對所有控制指令利用單一 21 位元長度而移除此冗餘。此外，使用 21 位元控制指令可移除從 16 位元「密集」編碼法則裡不足夠的語意內容而出現缺點。由於語意內容並不足夠，因此使用 16 位元法則的處理器通常會要求一些設計妥協的混合，像是：使用雙運算元破壞性運算，具相對應的數碼膨脹以供複製；使用透窗接取至一暫存器行列之子集合，而具對溢露/填充或透窗指標操縱之數碼膨脹；或是對 32 位元格式的頻繁反置，因為並非所有的運算皆可按 16 位元格式裡極少數的可用運算碼位元來表示。在一本發明具體實施例裡，可藉利用 21 位元控制指令來減輕這些缺點。

可根據本發明一具體實施例使用各種的指令。例如，

指令簽跡可為如下任一種，其中 C-格式、M-格式及 D-格式，分別地表示控制、記憶體接取及資料格式：

指令簽跡	引數	使用於
Instr	指令沒有引數	僅 C-格式
Instr dst	指令具有一單一目的地引數	僅 C-格式
Instr src0	指令具有一單一來源引數	僅 C-或 D-格式
Instr dst, src0	指令具有一單一目的地引數、單一來源引數	D-及 M-格式指令
Instr dst, src0, src1	指令具有一單一目的地引數、兩個來源引數	C-、D-及 M-格式指令

亦根據本發明一具體實施例，各 C-格式指令皆提供 SISD (單一指令單一資料) 運算，而 M-指令及 D-格式指令提供 SISD 或 SIMD 運算。例如，控制指令可提供一般算術、比較及邏輯指令；控制流程指令；記憶體載入及儲存指令等等。資料指令可提供一般算術、位移、邏輯及比較指令；重排、排序、位元組延伸及排列指令；線性回饋位移暫存器；以及，透過可組態設定深度執行單元 110 (如後詳述)，使用者-定義之指令。記憶體指令可提供記憶體載入及儲存；用於控制暫存器的複製選定資料暫存器；對資料暫存器之複製廣播控制暫存器；以及隨後於各暫存器指令。

根據本發明之一具體實施例，如圖 1 之處理器特性為一第一、固定資料執行路徑及一第二可組態設定資料執行路徑。該第一資料路徑具有一按類似於傳統 SIMD 處理設

計之方式分割成各通巷的固定 SIMD 執行單元。該第二資料路徑具有一可組態設定深度執行單元 110。該「深度執行」是指一處理器在將一結果送返至該暫存器行列之前，對由單一發出指令所提供之資料執行多個接續運算的能力。其一深度執行範例可在 MAC 運算(乘法及累加)中發現，這會執行對來自於一單一指令的資料兩個運算(一乘法及一加法)，並因此具有一數階為二的深度。深度執行之特徵亦可為運算元輸入的數量等於結果輸出的數量；或是等同地，該入價數等於出價數。如此，例如，一具有一結果的傳統雙運算元加法即非一較佳深度執行的範例，因為運算元的數量並不等於結果的數量，然而迴旋運算、快速傅黎葉轉換、Trellis/Viterbi 編碼、共相關器、有限脈衝響應過濾器以及其他信號處理演算法皆為深度執行的範例。應用特定數位信號處理器(DSP)演算法確執行深度執行，通常是在位元層級且按一記憶體對映的方式。不過，傳統的暫存器對映一般目的性 DSP 並不執行深度運算，而是在該 MAC 運算裡於數階最多為二的深度執行指令。相對地，如圖 1 之處理器提供一暫存器對映之一般處理器，能夠在大於二的數階而深度執行動態可組態設定之字組層級指令。在圖 1 之處理器裡，該深度執行指令(待予執行的數學函式圖)可由該指令本身之組態資訊而予以調整/自訂。在該較佳具體實施例裡，格式指令含有被配置予組態資訊的位元位置。為提供此功能，該深度執行單元 110 具有可組態設定執行資源，這表示可上載各運算子模式、互連性及常數

以適符於各種應用。深度執行將一深度維度加到該執行平行化，這是正交於由 SIMD 及 LIW 處理之早期概念所提供的寬度維度；這因此代表一用以增加一般目的性處理器之逐一指令工作量的額外維度。

圖 3 顯示一根據本發明一具體實施例之可組態設定深度執行單元 310 的各元件。即如圖 1 所示，該可組態設定深度執行單元 110 係該資料執行路徑 103 之一部份，且可因此由來自圖 2 之 MD 及 CD 指令封包 212 及 213 的資料側指令所指示。在圖 3 裡會將來自圖 1 之指令解碼單元 101 及資料暫存器行列 105 之指令 314 及運算元 315 供應給該深度執行單元 310。一在該經解碼指令 314 內之多位元組態碼，會被用來接取一控制映圖 316，這會將該多位元組態碼展開成一組相當複雜的組態信號，以組態設定該深度執行單元的各運算子。該控制映圖 316 可例如被嵌入作為一查核表，其中會將該指令之不同的可能多位元碼對映到不同的深度執行單元之可能運算子組態。根據諮詢該控制映圖 316 之查核表的結果，一交跨橫棒互連 317 會依任何必要排置方式來組態設定一組運算子 318 - 321，以執行如該多位元指令碼所表示的運算子組態。各運算子例如包含一乘法運算子 318、一算術邏輯單元 (ALU) 運算子 319、一狀態運算子 320 或交跨通巷排列子 321。在一具體實施例裡，該深度執行單元包含十五種運算子：一個乘法運算子 318、八個 ALU 運算子 319、四個狀態運算子 320 以及兩個交跨通巷排列子 321；然其他數量的運算子亦屬可能。

被供應給該深度執行單元的各運算元 315 可為例如兩個 16 位元運算元；這些會被供應給一可將各運算元供應給適當運算子 318 - 321 的第二交跨橫棒互連 322。該第二交跨橫棒互連接 322 也會從各運算子 318 - 321 接收一中介結果的回饋 324，然後亦可又由該第二交跨橫棒互連 322 供應給適當的運算子 318 - 321。一第三交跨橫棒互連 323 將來自該等運算子 318 - 321 的結果予以多工處理，並輸出一最終結果 325。可利用各種控制信號以組態設定各運算子；例如，圖 3 之具體實施例的控制映圖 316 不必然地需要被按一單一查核表而嵌入，而是可具體實作為一系列的兩個以上經曝序排列之查核表。該第一查核表內之一項目可指離於一給定多位元指令碼而至一第二查核表，藉此降低對複雜運算子組態之各查核表的所需儲存量。例如，該第一查核表可經組織成為一組態範疇存館，因此可將多個多位元指令在該第一查核表內歸組合一，而各群組指向一對於該群組內之各多位元碼提供特定組態的後續查核表。

根據如圖 3 之具體實施例，各運算子會有利地預組態設定成各種運算子類別。在實作上，這可藉一硬體接線之策略層級而達成。這種方式之其一優點在於這意味著需要儲存較少的預定定義組態，且該控制電路可較為簡單。例如，運算子 318 為經預組態設定為在乘法運算子之類別內；該等運算子 319 係經預組態設定為 ALU 運算子；各運算子 320 經預組態設定為狀態運算子；而運算子 321 經預組態設定為交跨通巷排列子；而其他經預組態設定之運算子亦

屬可能。不過，即使是運算子類別係經預組態設定，仍會有對於各指令的執行時間彈性，以便能夠排置至少：(i)在各類別內之各運算子的連接性；(ii)與來自其他類別之各運算子的連接性；(iii)任何相關切換裝置之連接性；對於一用以實作一給定演算法之特定組態的最終排置。

熟諳技藝之讀者應即瞭解，前揭既已描述所被視為最佳模式以及其中執行本發明之適當其他模式，然本發明不應被限制於如本較佳具體實施例之說明所揭示的特定設備組態或方法步驟。熟諳本項技藝之人士亦應認知本發明具有廣泛的應用範圍，且該具體實施例容納廣泛範圍之不同實作及修改，而不致悖離本發明概念。特別是，在此所述之示範性位元寬度並非為限制性，而稱為半字組、字組、長型等之位元寬度的任意選擇亦非如此。

【圖式簡單說明】

為更佳瞭解本發明，且為顯示如何可令該者產生實效，現將按僅屬示範方式參照於各隨附圖式而加以說明，其中：

圖 1 係一根據本發明一具體實施例之非對稱執行路徑電腦處理器的區塊圖；

圖 2 顯示根據本發明一具體實施例，用於如圖 1 之處理器的示範性指令類別；以及

圖 3 係一略圖，此圖顯示一根據本發明一具體實施例，可組態設定深度執行單元之各元件。

【主要元件符號說明】

100	指令串流
101	指令解碼單元
102	控制執行路徑
103	資料執行路徑
104	控制暫存器行列
105	資料暫存器行列
106	分支單元
107	執行單元
108	載入儲存單元
109	固定執行單元
110	可組態設定深度執行單元
211	指令封包
212	指令封包
213	指令封包
310	可組態設定深度執行單元
314	指令
315	運算元
316	控制映圖
317	交跨橫棒互連
318	乘法運算子
319	ALU 運算子
320	狀態運算子

- 321 交 跨 通 巷 排 列 子
- 322 第 二 交 跨 橫 棒 互 連
- 323 第 三 交 跨 橫 棒 互 連
- 324 回 饋
- 325 結 果

七、申請專利範圍：

1.一種電腦處理器，該電腦處理器包含：

一用以解碼來自一記憶體之指令封包串流的解碼單元，各指令封包含有複數個指令；以及

一處理通道，其包含複數個功能單元且可運作以執行控制處理運算；

其中該解碼單元可運作以接收並解碼具 64 位元之位元長度的指令封包，並基於該指令封包中的一個單一識別位元來偵測該指令封包是否定義三個控制指令，每一個控制指令具有 21 位元之位元長度，且其中當該解碼單元偵測到該指令封包包含三個此等控制指令時，會將該等控制指令供應給該處理通道以按它們出現在該指令封包的順序予以執行。

2.如申請專利範圍第 1 項所述之電腦處理器，其中該處理通道包含自如下所選定之一或更多的單元：一控制暫存器行列、一控制執行單元、一分支執行單元及一載入/儲存單元。

3.一種操作一電腦處理器之方法，該電腦處理器包含一處理通道和一解碼單元，該處理通道能夠執行具有複數個功能單元的控制處理運算，該方法包含：

(a)接收來自一記憶體之一序列的指令封包，該等指令封包各者包含複數個定義各運算之指令，該等指令封包包含具有 64 位元之位元長度的封包類型；

(b)依次解碼各指令封包，其係藉由基於該指令封包中

的一個單一識別位元來決定該指令封包是否定義三個控制指令，每一個控制指令具有 21 位元之位元長度；以及

(c)當該解碼單元偵測到該指令封包包含三個此等控制指令時，會將該複數個控制指令供應給該處理通道以按它們出現在該指令封包的順序予以執行。

4.一種電腦程式產品，其包含攜載程式碼的非暫時性電腦可讀取媒體，當該程式碼由電腦所執行時，得以令該電腦根據申請專利範圍第 3 項所述之方法而運作。

5.一種攜載程式碼的非暫時性電腦可讀取媒體，該程式碼包含一序列的指令以令一電腦根據申請專利範圍第 3 項所述之方法而運作。

6.一種攜載用於一電腦之指令集的非暫時性電腦可讀取媒體，該指令集包含一類型之指令封包，該等指令封包具有 64 位元之位元長度，該等指令封包各者包含供以循序地執行的三個控制指令和一個單一識別位元，該等三個控制指令各者具有 21 位元之位元長度，該單一識別位元指示具有 21 位元之位元長度的該等三個控制指令之存在。

八、圖式：

如次頁。

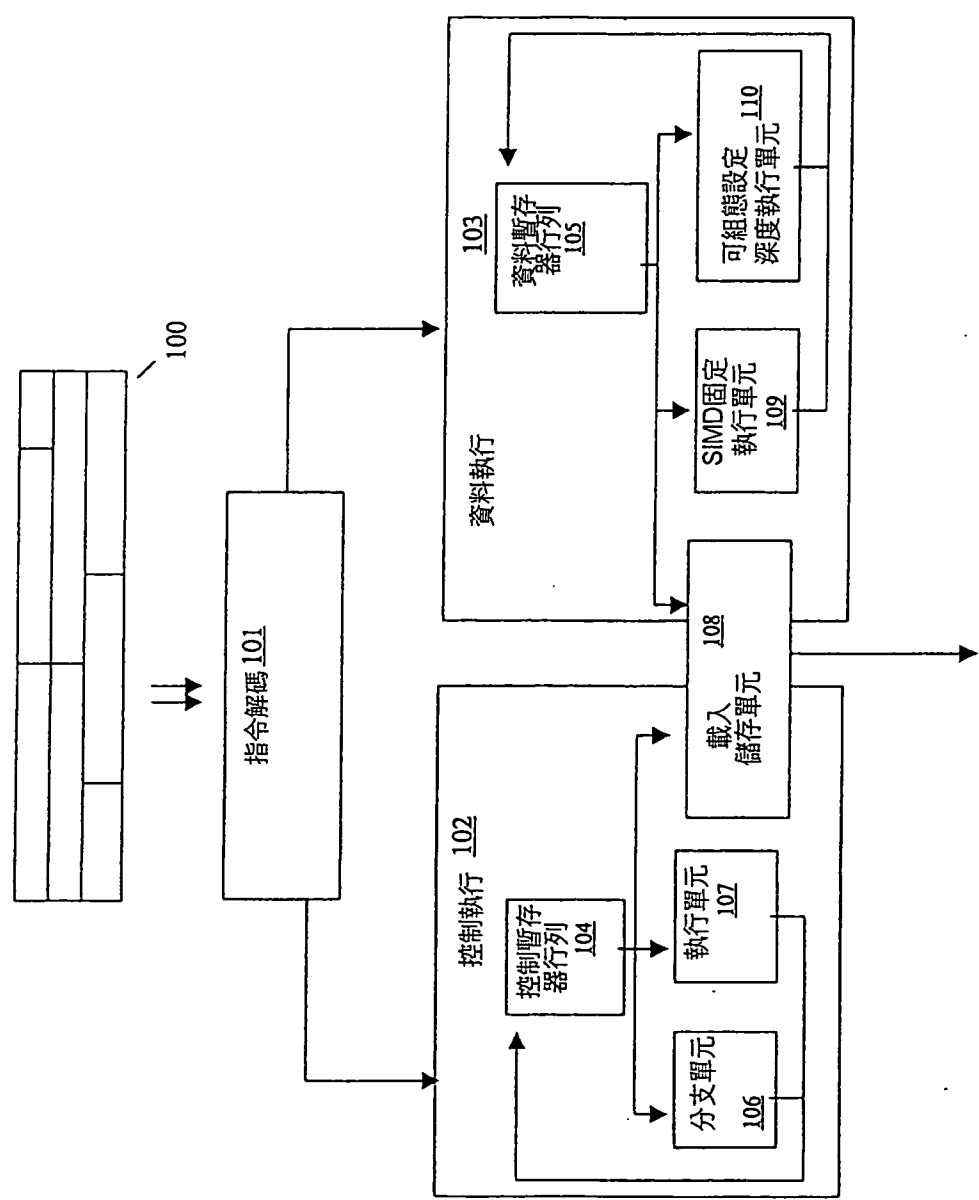


圖 1

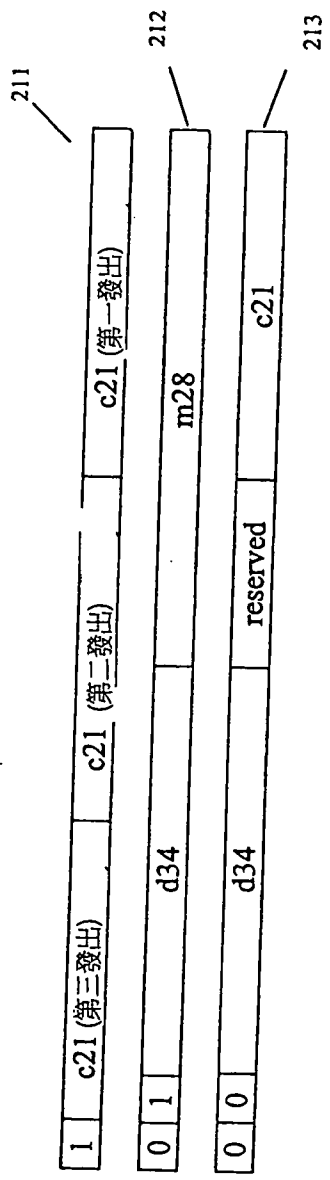


圖 2

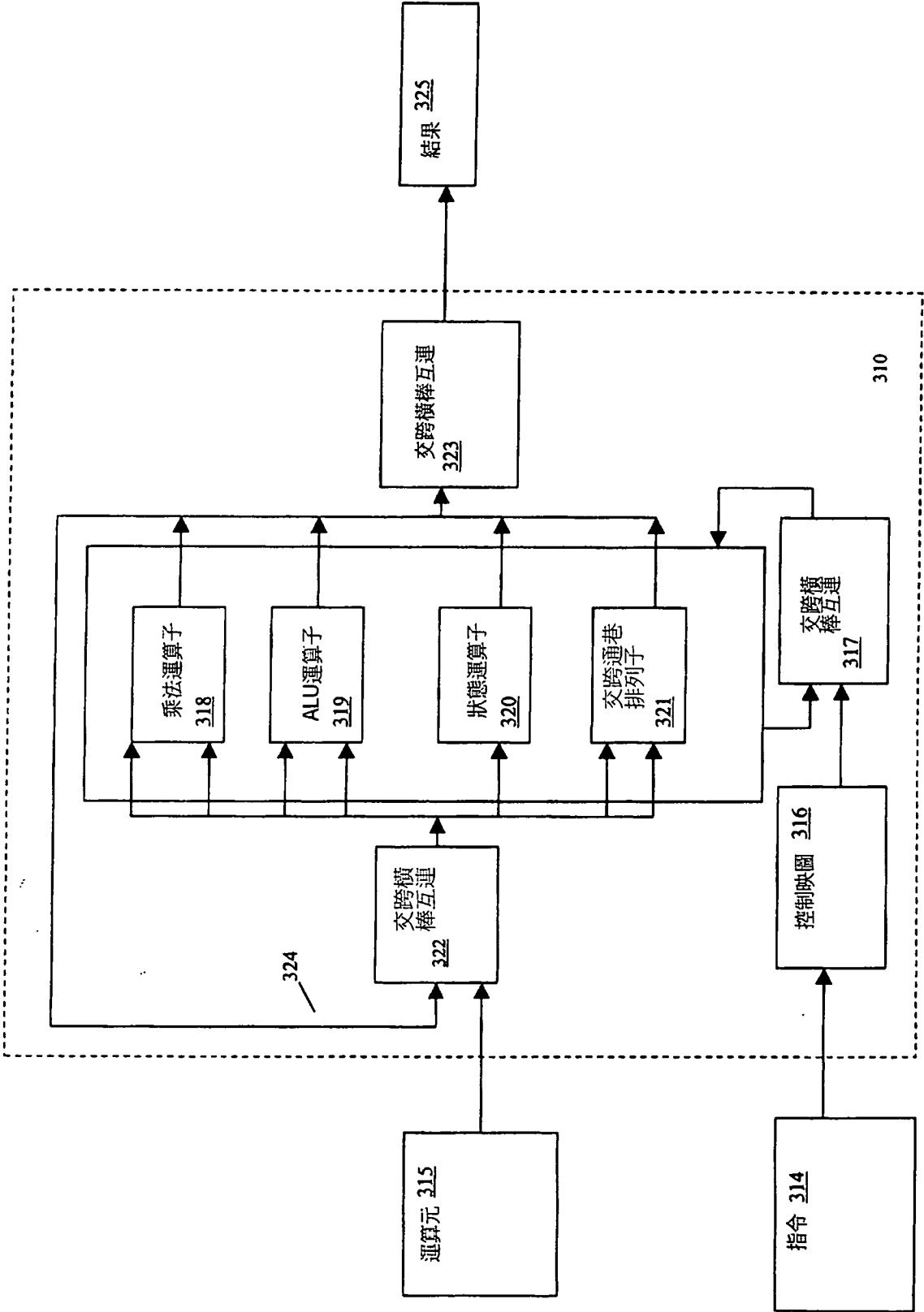


圖 3