(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3615914号
(P3615914)
(45)発行日　平成17年2月2日(2005.2.2)　(24)登録日　平成16年11月12日(2004.11.12)

(51)Int.Cl.[7]	F I		
H01L 21/027	H01L	21/30	541P
G03F 7/38	G03F	7/38	511
H01L 21/68	H01L	21/68	R
H01L 23/60	H01L	21/30	541L
	H01L	23/56	B

請求項の数 3　(全 12 頁)

(21)出願番号　特願平9-226520
(22)出願日　平成9年8月22日(1997.8.22)
(65)公開番号　特開平11-67646
(43)公開日　平成11年3月9日(1999.3.9)
審査請求日　平成14年8月12日(2002.8.12)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(73)特許権者　000233527
株式会社ルネサス東日本セミコンダクタ
東京都新宿区西新宿六丁目５番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　早川　肇
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　伊藤　博之
茨城県ひたちなか市市毛８８２番地　株式会社日立製作所　計測器事業部内

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】
【請求項１】
ウエハ上にレジスト膜を形成する工程と、前記レジスト膜上に導電膜を形成する工程と、前記導電膜を有するウエハを静電吸着法を用いて露光装置の試料台に固定する工程と、前記導電膜を接地する工程と、その後電子線を用いて前記レジスト膜を露光する工程とを有する露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、半導体集積回路装置のパターンを形成する工程とを有し、前記静電吸着法に用いる電極は単一電極であり、前記静電吸着法は前記ウエハに通電しない方式であることを特徴とする半導体集積回路装置の製造方法。
【請求項２】
請求項１記載の半導体集積回路装置の製造方法であって、前記レジスト膜は前記導電膜を除去した後、現像処理およびベーキング処理が行われることを特徴とする半導体集積回路装置の製造方法。
【請求項３】
請求項１または２に記載の半導体集積回路装置の製造方法であって、前記導電膜は、水溶液によって取り除くことができる材料が使用されていることを特徴とする半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、露光方法およびそれを用いた半導体集積回路装置の製造方法に関し、特に、試料台にウエハが静電吸着法を用いてセットされている場合においても高精度な露光が行える電子線露光装置などの露光方法およびそれを用いた半導体集積回路装置の製造方法に関するものである。

【０００２】

【従来の技術】

本発明者は、半導体集積回路装置の製造方法に使用されている電子線露光方法について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【０００３】

すなわち、電子線露光方法において、半導体集積回路装置を製造するための半導体基板などからなるウエハは、真空を保たれている試料室内に設置されている試料台（試料ステージ）にセット（搭載）されている。

【０００４】

なお、電子線露光装置（電子線描画装置）について記載されている文献としては、例えば１９８８年１２月１３日、工業調査会発行の「電子材料１９８８年１２月号別冊」ｐ８４～ｐ８９に記載されているものがある。

【０００５】

【発明が解決しようとする課題】

ところが、前述した電子線露光方法において、ウエハは真空を保たれている試料室内に設置されている試料台に搭載されていることにより、光露光装置で用いられているようなウエハの真空吸着法を採用することができないので、静電吸着法が用いられている。

【０００６】

したがって、本発明者の検討の結果、試料台にウエハが静電吸着法を用いてセットされている場合において、そこにリーク電流が発生し、ウエハが帯電して、電子線露光装置の電子線（電子ビーム）によってレジスト膜を露光（描画）してレジスト膜をパターン化する際に、パターン化されたレジスト膜のパターン位置に誤差が生じるという問題点が発生している。

【０００７】

そのため、電子線露光方法を使用して、半導体集積回路装置を製造するための半導体基板などからなるウエハにパターンを形成する際に、パターン位置の精度が低下するという問題点が発生している。

【０００８】

本発明の目的は、試料台にウエハが静電吸着法を用いてセットされている場合においても高精度な露光が行える電子線露光装置などの露光方法およびそれを用いた半導体集積回路装置の製造方法を提供することにある。

【０００９】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１０】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【００１１】

すなわち、本発明の露光方法は、例えば電子線露光装置の真空に保たれた試料室内に設置されている試料台にウエハが静電吸着法を用いてセットされている場合などにおいて、ウエハの上に塗布されているレジスト膜の上に導電膜を堆積した状態で、露光装置の試料台の上にウエハをセットし、導電膜を接地して、レジスト膜を露光するものである。

【００１２】

また、本発明の半導体集積回路装置の製造方法は、前述した露光方法を用いたリソグラフ

ィ技術および選択エッチング技術を使用して、半導体集積回路装置のパターンを形成する工程を有するものである。

【００１３】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【００１４】

（実施の形態１）

図１は、本発明の実施の形態１である電子線露光方法を説明するための概略断面図である。

【００１５】

本実施の形態の電子線露光方法に使用している電子線露光装置は、静電吸着法を用いた試料台４を有するものであり、露光される試料であるウエハ１が試料台４にセット（搭載）され、静電吸着法により固定されるものである。

【００１６】

この場合、本実施の形態のウエハ１は、その表面にレジスト膜２が塗布されており、そのレジスト膜２の上に静電シールド膜としての導電膜３を堆積していることを特徴としている。

【００１７】

また、本実施の形態のウエハ１は、半導体集積回路装置の製造工程に使用されているシリコンを材料としている半導体基板などからなる導電体としてのウエハである。

【００１８】

また、本実施の形態のウエハ１は、試料台４に搭載されていると共にウエハ１の上の導電膜３が接地用針１２によって接地（アース）１０に電気的に接続させている。この場合、接地用針１２は、試料台４の周辺に設置されているパレットホルダー８に電気的に接続されており、パレットホルダー８は接地１０に電気的に接続されていて、アース（０Ｖ）状態となっている。

【００１９】

また、本実施の形態の試料台４は、セラミックスなどからなる絶縁体５の上に電極６が配置されており、電極６の上にシリコンカーバイドなどからなる誘電体７が配置されている。そして、例えば３００Ｖの電源９の一方には、抵抗体１１を介して電極６が電気的に接続されており、電源９の他方には、接地１０が電気的に接続されている。

【００２０】

本実施の形態の電子線露光方法は、ウエハ１の上に塗布されているレジスト膜２の上に静電シールド膜としての導電膜３を堆積した状態で、電子線露光装置の試料台４の上にウエハ１をセットし、導電膜３を接地して、レジスト膜２を電子線（電子ビーム）によって露光する工程を行う。

【００２１】

次に、レジスト膜２を露光した後、導電膜３を取り除いた後、リソグラフィ技術におけるレジスト膜２の現像処理およびベーキング処理を行って、パターン化されたレジスト膜２を形成する工程を行う。

【００２２】

この場合、本実施の形態のウエハ１は、その表面にレジスト膜２が塗布されており、そのレジスト膜２の上に静電シールド膜としての導電膜３を堆積している。

【００２３】

図２は、ポリ化合物、例えばイソチアナフテンジイル－スルホネートを材料とした導電膜３の膜厚とその導電膜３の表面抵抗値との関係を示すグラフ図である。図２からも明かのように、導電膜３の膜厚が大きくなると導電膜３の表面抵抗値が小さくなる。この場合、導電膜３は、ポリ化合物のイソチアナフテンジイル－スルホネートと界面活性剤をあわせて１．４ｗｔ％含有している水溶液を用いてレジスト膜２の上に堆積した導電膜を適用し

ている。

【００２４】

本発明者の検討の結果、導電膜３の表面抵抗値を１×１０^{5}　Ω／ｃｍ^{2}　以下とすることにより、静電吸着法を有する試料台４からの１０μＡ程度のリーク電流によるウエハ１の帯電を電子線（電子ビーム）に対して完全にシールドすることができる。

【００２５】

その結果、本実施の形態の電子線露光方法によれば、０．０５μｍ　程の合わせ精度（精度）ができることにより、高精度な露光を行うことができる。

【００２６】

図３は、本実施の形態の電子線露光方法を使用した場合の合わせ精度を示す平面図である。また、図４は、従来の電子線露光方法を使用した場合の合わせ精度を示す平面図である。図３および図４において、１はウエハを示し、Ｃ（C_1　C_2　C_3　・・・，　C_{34}，　・，　C_{36}，　・）はチップを示し、Ｍ（M_1　M_2　M_3　・・・，　M_{34}，　・，　M_{36}，　・）は露光した後のパターン化されたレジスト膜２のパターンの誤差（設計仕様のパターンと比較した場合のパターン化されたレジスト膜２のパターンの誤差を形状化したもの）を示している。

【００２７】

本実施の形態の導電膜３は、ポリ化合物のイソチアナフテンジイル－スルホネートと界面活性剤をあわせて１．４ｗｔ％含有している水溶液を用いてレジスト膜２の上に堆積した導電膜を適用することにより、回転塗布法などの容易な製造プロセスによって、レジスト膜２の上に導電膜３を堆積することができる。また、レジスト膜２を露光した後に、水溶液を用いて導電膜３を取り除くことができることにより、容易な製造プロセスによって、導電膜３を取り除くことができる。

【００２８】

なお、本実施の形態の導電膜３の他の態様としては、前述したポリ化合物のイソチアナフテンジイル－スルホネートを材料としている導電膜以外に、導電性のポリ化合物を使用することができる。

【００２９】

前述した本実施の形態の電子線露光方法によれば、ウエハ１の上に塗布されているレジスト膜２の上に静電シールド膜としての導電膜３を堆積した状態で、電子線露光装置の試料台４の上にウエハ１をセットし、導電膜３を接地して、レジスト膜２を電子線（電子ビーム）によって露光していることにより、静電吸着法を有する試料台４からの１０μＡ程度のリーク電流によるウエハ１の帯電を電子線に対してシールドすることができる。

【００３０】

この場合、特に、導電膜３の表面抵抗値を１×１０^{5}　Ω／ｃｍ^{2}　以下とすることにより、静電吸着法を有する試料台４からの１０μＡ程度のリーク電流によるウエハ１の帯電を電子線に対して完全にシールドすることができる。

【００３１】

したがって、本実施の形態の電子線露光方法によれば、０．０５μｍ　度の精度（合わせ精度）ができることにより、高精度な露光を行うことができる。

【００３２】

（実施の形態２）

図５～図１０は、本発明の実施の形態２である半導体集積回路装置の製造工程を示す概略断面図である。本実施の形態の半導体集積回路装置の製造方法は、前述した実施の形態１の電子線露光方法を使用しているものである。同図を用いて、本実施の形態の半導体集積回路装置の製造方法を具体的に説明する。

【００３３】

まず、図５に示すように、例えば単結晶シリコンからなるｐ型の半導体基板（ウエハ）１３を用意し、半導体基板１３の表面の選択的な領域を熱酸化してＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）構造の酸化シリコン膜からなる素子分離

用のフィールド絶縁膜１４を形成する。

【００３４】

次に、半導体基板１の表面を熱酸化等を施して酸化シリコン膜（ゲート絶縁膜）１５を形成し、この酸化シリコン膜１５の上に、ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ　）法を使用して、多結晶シリコン膜１６を堆積する。この場合、多結晶シリコン膜１６は、ゲート電極となるものである。

【００３５】

次に、半導体基板１３の上に、ＣＶＤ法を使用して、酸化シリコン膜１７を形成した後、酸化シリコン膜１７の上に、レジスト膜１８を塗布した後、レジスト膜１８の上に導電膜１９を形成する。

【００３６】

この場合、導電膜１９は、前述した実施の形態１の導電膜であり、ポリ化合物のイソチアナフテンジイルースルホネートと界面活性剤をあわせて１．４ｗｔ％含有している水溶液を用いてレジスト膜１８の上に堆積した導電膜である。また、導電膜１９の表面抵抗値を１×１０^{5}　Ω／$ｃｍ^{2}$　以下とすることにより、静電吸着法有する試料台４からの１０μＡ程度のリーク電流による半導体基板１３の帯電を電子線（電子ビーム）に対して完全にシールドすることができるので、導電膜１９の膜厚を１５０ｎｍ以上としている。

【００３７】

次に、前述した実施の形態１の電子線露光方法を使用して、レジスト膜１８に電子線（電子ビーム）により露光（描画）して、ゲート電極パターンを形成するためのエッチング用マスクとしてのレジスト膜１８のパターンを形成するための露光を行う。なお、図５におけるレジスト膜１８ａは、露光された領域のレジスト膜１８を示すものである。

【００３８】

次に、図６に示すように、導電膜１９を水溶液を使用して取り除いた後、リソグラフィ技術におけるレジスト膜１８の現像処理およびベーキング処理を行って、パターン化されたレジスト膜１８を形成する。

【００３９】

その後、パターン化されたレジスト膜１８をエッチング用マスクとして用いて、ドライエッチングなどの選択エッチング技術を使用して、酸化シリコン膜１７、多結晶シリコン膜１６のパターン化を行い、多結晶シリコン膜１６にゲート電極としてのパターンを形成する。

【００４０】

この場合、前述した実施の形態１の露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、多結晶シリコン膜１６からなるゲート電極のパターンを形成していることによって、そのパターンを高精度な露光をもって形成することができるので、高精度でしかも微細加工をもってゲート電極を形成することができる。

【００４１】

次に、図７に示すように、半導体基板１３の上に、ＣＶＤ法を使用して、酸化シリコン膜を堆積した後、リソグラフィ技術と選択エッチング技術とを使用して、不要な領域の酸化シリコン膜を取り除いて、ゲート電極としての多結晶シリコン膜１６の側壁に、酸化シリコン膜からなる側壁絶縁膜（サイドウォールスペーサ）２０を形成する。

【００４２】

その後、半導体基板１３に、例えばリンなどのｎ型の不純物をイオン注入してソースおよびドレインとしてのｎ型の半導体領域２１を形成する。

【００４３】

次に、図８に示すように、ソースおよびドレインとしてのｎ型の半導体領域２１の上における表面が露出しているゲート絶縁膜としての酸化シリコン膜１５を取り除いた後、半導体基板１３の上に酸化シリコン膜（絶縁膜）２２を形成する。

【００４４】

その後、前述した実施の形態１の電子線露光方法を使用して、酸化シリコン膜２２の上に

塗布したレジスト膜２３を露光した後、レジスト膜２３のパターン化を行う。
【００４５】
次に、レジスト膜２３をエッチング用マスクとして使用して、ドライエッチングなどの選択エッチング技術を使用して、酸化シリコン膜２２の選択的な領域にスルーホール（接続孔）２４を形成する。
【００４６】
この場合、酸化シリコン膜２２は、例えば酸化シリコン膜をＣＶＤ法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された酸化シリコン膜２２を形成する。平坦化処理は、酸化シリコン膜２２の表面を例えばエッチバック法またはＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ　、化学機械研磨）法により平坦にする態様を採用することができる。
【００４７】
したがって、前述した実施の形態１の露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、スルーホール２４のパターンを形成していることによって、そのパターンを高精度な露光をもって形成することができるので、高精度でしかも微細加工をもってスルーホール２４を形成することができる。
【００４８】
次に、図９に示すように、半導体基板１３の上に、例えば導電性の多結晶シリコン層などからなる配線層２５を形成する。
【００４９】
その後、前述した実施の形態１の電子線露光方法を使用して、配線層２５の上に塗布したレジスト膜２６を露光した後、レジスト膜２６のパターン化を行う。
【００５０】
次に、レジスト膜２６をエッチング用マスクとして使用して、ドライエッチングなどの選択エッチング技術を使用して、配線層２５のパターン化を行う。
【００５１】
この場合、配線層２５は、例えば導電性の多結晶シリコン層をＣＶＤ法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された配線層２５を形成する。平坦化処理は、配線層２５の表面を例えばエッチバック法またはＣＭＰ法により平坦にする態様を採用することができる。
【００５２】
また、配線層２５を形成する前工程として、スルーホール２４に、例えば導電性の多結晶シリコン膜またはタングステンなどの導電性材料を埋め込んで、スルーホール２４にプラグ（ｐｌｕｇ）を形成する態様を適用することができる。
【００５３】
したがって、前述した実施の形態１の露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、配線層２５のパターンを形成していることによって、そのパターンを高精度な露光をもって形成することができるので、高精度でしかも微細加工をもって配線層２５を形成することができる。
【００５４】
次に、図１０に示すように、半導体基板１３の上に、例えば酸化シリコン膜などからなる層間絶縁膜としての絶縁膜２７を形成した後、前述した実施の形態１の電子線露光方法を用いたリソグラフィ技術および選択エッチング技術を用いて、絶縁膜２７の選択的な領域にスルーホールを形成する。
【００５５】
この場合、層間絶縁膜としての絶縁膜２７は、例えば酸化シリコン膜をＣＶＤ法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された絶縁膜２７を形成する。平坦化処理は、絶縁膜２７の表面を例えばエッチバック法またはＣＭＰ法により平坦にする態様を採用することができる。
【００５６】

また、絶縁膜２７は、例えばリンを含んでいる酸化シリコン膜であるＰＳＧ（Ｐｈｏｓｐｈｏ Ｓｉｌｉｃａｔｅ Ｇｌａｓｓ）膜またはホウ素およびリンを含んでいる酸化シリコン膜であるＢＰＳＧ（Ｂｏｒｏ Ｐｈｏｓｐｈｏ Ｓｉｌｉｃａｔｅ Ｇｌａｓｓ）膜あるいは回転塗布法により形成できるＳＯＧ（Ｓｐｉｎ Ｏｎ Ｇｌａｓｓ）膜などの酸化シリコンを有する絶縁膜を適用することができる。

【００５７】

その後、半導体基板１の上に、例えばアルミニウム層などからなる配線層２８を形成した後、前述した実施の形態１の電子線露光方法を用いたリソグラフィ技術および選択エッチング技術を用いて、配線層２８のパターン化を行う。

【００５８】

この場合、配線層２８は、例えばアルミニウム層をスパッタリング法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された配線層２８を形成する。平坦化処理は、配線層２８の表面を例えばエッチバック法またはＣＭＰ法により平坦にする態様を採用することができる。

【００５９】

その後、設計仕様に応じて、前述した層間絶縁膜と配線層との製造工程を繰り返し行って、多層配線層を形成した後、パシベーション膜を形成することにより、半導体集積回路装置の製造工程を終了する。

【００６０】

前述した本実施の形態の半導体集積回路装置の製造方法によれば、前述した実施の形態１の露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、多結晶シリコン膜１６からなるゲート電極、スルーホール２４、配線層２５などのパターンを形成していることによって、そのパターンを高精度な露光をもって形成することができるので、高精度でしかも微細加工をもって高製造歩留りの製造ができる。

【００６１】

本実施の形態の半導体集積回路装置の製造方法によれば、前述した実施の形態１の露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、多結晶シリコン膜１６からなるゲート電極、スルーホール２４、配線層２５などのパターンを形成していることによって、合わせ精度が高くてしかも微細加工が容易にできるリソグラフィ技術を達成できることにより、微細加工体である半導体集積回路装置の種々の品種および種々の製造工程に適用して、微細加工を高精度にしかも容易に行うことができる。

【００６２】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００６３】

例えば、本発明の露光方法に使用される露光装置は、電子線露光装置以外に、Ｘ線露光装置およびＳＲ（シンクロトロン放射光）露光装置などの種々の露光装置を使用することができる。

【００６４】

また、本発明の露光方法を用いた半導体集積回路装置の製造方法において、半導体基板またはＳＯＩ（Ｓｉｌｉｃｏｎ ｏｎ Ｉｎｓｕｌａｔｏｒ）基板などのウエハにＭＯＳＦＥＴ、ＣＭＯＳＦＥＴ、バイポーラトランジスタまたはＭＯＳＦＥＴとバイポーラトランジスタを組み合わせたＢｉＭＯＳあるいはＢｉＣＭＯＳ構造などの種々の半導体素子を組み合わせた態様の半導体素子を形成することができ、それらの半導体素子を使用したＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、ＳＲＡＭ（Ｓｔａｔｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ ）などのメモリ系またはロジック系などの種々の半導体集積回路装置の製造方法に適用できる。

【００６５】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【００６６】

（１）．本発明の露光方法によれば、ウエハの上に塗布されているレジスト膜の上に静電シールド膜としての導電膜を堆積した状態で、電子線露光装置などの露光装置の試料台の上にウエハをセットし、導電膜を接地して、レジスト膜を電子線（電子ビーム）などによって露光していることにより、静電吸着法を有する試料台からの１０μＡ程度のリーク電流によるウエハの帯電を電子線などに対してシールドすることができる。

【００６７】

この場合、特に、導電膜の表面抵抗値を1×10^{5}　Ω／cm^{2}　以下とすることにより、静電吸着法を有する試料台からの１０μＡ程度のリーク電流によるウエハの帯電を電子線に対して完全にシールドすることができる。

【００６８】

したがって、本発明の露光方法によれば、０．０５μｍ　程度の精度（合わせ精度）ができることにより、高精度な露光を行うことができる。

【００６９】

（２）．本発明の半導体集積回路装置の製造方法によれば、本発明の露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、ゲート電極、絶縁膜に形成するスルーホール、配線層などのパターンを形成していることによって、そのパターンを高精度な露光をもって形成することができるので、高精度でしかも微細加工をもって高製造歩留りの製造ができる。

【００７０】

（３）．本発明の半導体集積回路装置の製造方法によれば、本発明の露光方法を用いたリソグラフィ技術および選択エッチング技術を使用して、多ゲート電極、絶縁膜に形成するスルーホール、配線層などのパターンを形成していることによって、合わせ精度が高くてしかも微細加工が容易にできるリソグラフィ技術を達成できることにより、微細加工体である半導体集積回路装置の種々の品種および種々の製造工程に適用して、微細加工を高精度にしかも容易に行うことができる。

【図面の簡単な説明】

【図１】本発明の実施の形態１である電子線露光方法を説明するための概略断面図である。

【図２】ポリ化合物のイソチアナフテンジイル－スルホネートを材料とした導電膜の膜厚とその導電膜の表面抵抗値との関係を示すグラフ図である。

【図３】本発明の実施の形態１である電子線露光方法を使用した場合の合わせ精度を示す平面図である。

【図４】従来の電子線露光方法を使用した場合の合わせ精度を示す平面図である。

【図５】本発明の実施の形態２である半導体集積回路装置の製造工程を示す概略断面図である。

【図６】本発明の実施の形態２である半導体集積回路装置の製造工程を示す概略断面図である。

【図７】本発明の実施の形態２である半導体集積回路装置の製造工程を示す概略断面図である。

【図８】本発明の実施の形態２である半導体集積回路装置の製造工程を示す概略断面図である。

【図９】本発明の実施の形態２である半導体集積回路装置の製造工程を示す概略断面図である。

【図１０】本発明の実施の形態２である半導体集積回路装置の製造工程を示す概略断面図である。

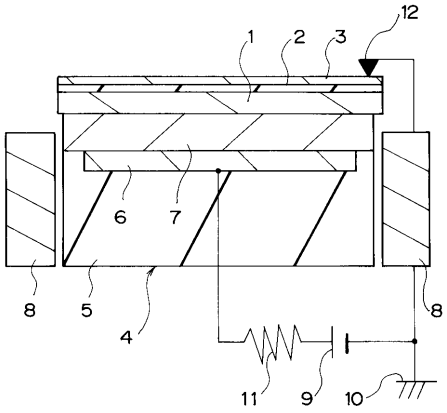
【符号の説明】

１　ウエハ

２　レジスト膜
３　導電膜
４　試料台
５　絶縁体
６　電極
７　誘電体
８　パレットホルダー
９　電源
１０　接地（アース）
１１　抵抗体
１２　接地用針
１３　半導体基板（ウエハ）
１４　フィールド絶縁膜
１５　酸化シリコン膜（ゲート絶縁膜）
１６　多結晶シリコン膜（ゲート電極）
１７　酸化シリコン膜
１８　レジスト膜
１９　導電膜
２０　側壁絶縁膜
２１　半導体領域
２２　酸化シリコン膜
２３　レジスト膜
２４　スルーホール
２５　配線層
２６　レジスト膜
２７　絶縁膜
２８　配線層
C_1　C_2　C_3　C_{34}，　C_{36}　チップ
M_1　M_2　M_3　M_{34}，　M_{36}　レジスト膜のパターンの誤差を形状化したもの

【図１】

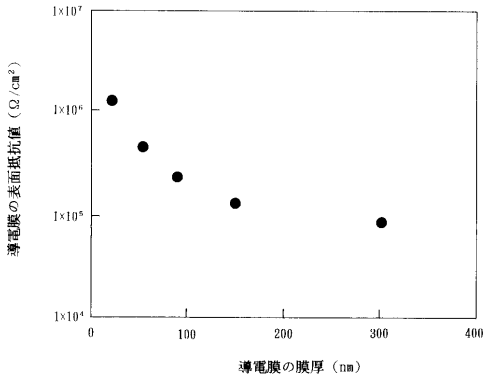
図 1



1：ウエハ　　3：導電膜
2：レジスト膜　4：試料台

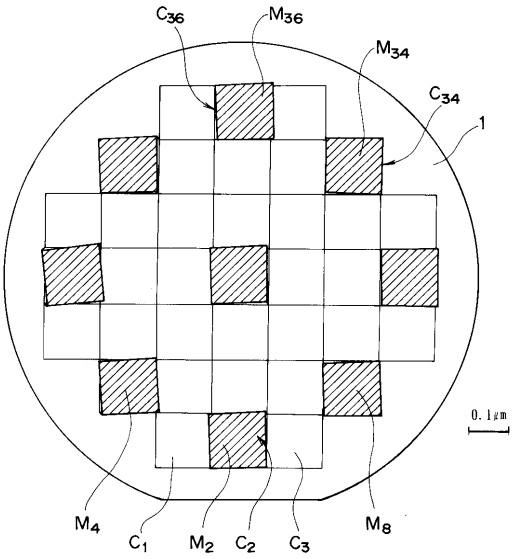
【図２】

図 2



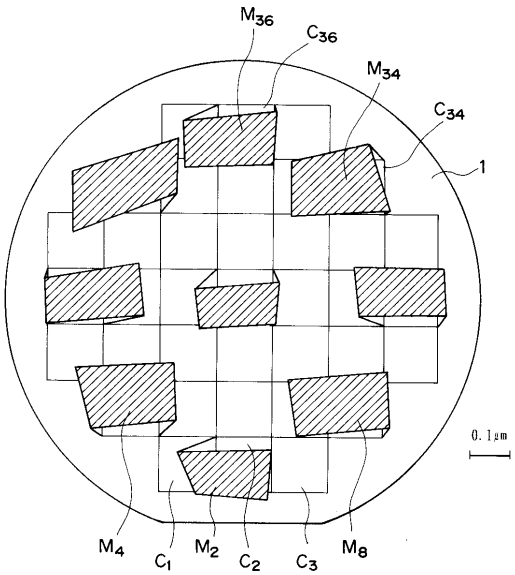
【図３】

図 3



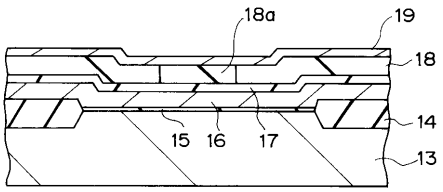
【図４】

図 4



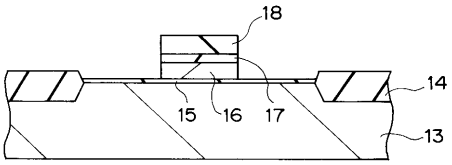
【図５】

図 5



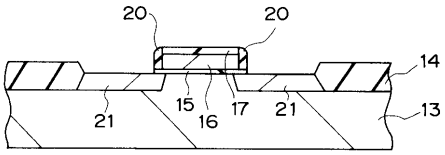
【図６】

図 6



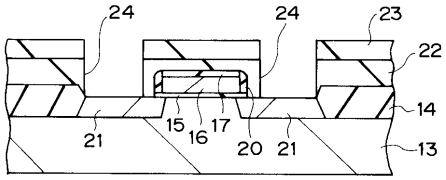
【図７】

図 7



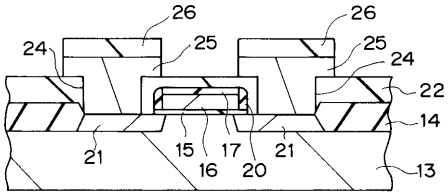
【図８】

図 8



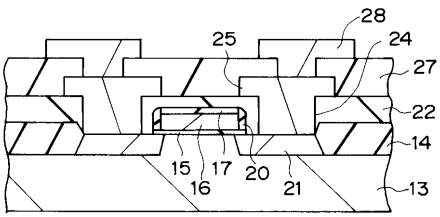
【図９】

図 9



【図１０】

図 10



フロントページの続き

(72)発明者　関根　秀樹
東京都青梅市藤橋３丁目３番地２　日立東京エレクトロニクス株式会社内

審査官　岩本　勉

(56)参考文献　特開平０７－１７６４７０（ＪＰ，Ａ）
特開平０７－１９２９８５（ＪＰ，Ａ）
特開平０７－２３５４７７（ＪＰ，Ａ）
特開平０７－３０２７４６（ＪＰ，Ａ）
特開平０８－１１５８６４（ＪＰ，Ａ）
特開平０８－３４００４２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/027
H01L 21/68