



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1401465**

A1

(51)4 G 06 F 12/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4156630/24-24

(22) 05.12.86

(46) 07.06.88. Бюл. № 21

(72) А.С.Ананьин, А.И.Ляхов
и С.Л.Улыбин

(53) 681.325 (088.8)

(56) Авторское свидетельство СССР
№ 993333, кл. G 06 F 12/00, 1983.

Авторское свидетельство СССР
№ 506909, кл. G 06 F 12/00, 1972.

(54) УСТРОЙСТВО УПРАВЛЕНИЯ ПАМЯТЬЮ

(57) Изобретение относится к вычис-
лительной технике и может быть исполь-
зовано в аппаратных и гибридных мони-

торах для регистрации хода программ.
Целью изобретения является повыше-
ние быстродействия. Для этого в уст-
ройство, содержащее два регистра,
блок памяти, три счетчика, элемент
ИЛИ, два элемента И, дополнитель-
но введены четыре регистра, формиро-
ватель импульса, четыре элемента И,
регистр сдвига, мультиплексор. Уст-
ройство не требует на время считы-
вания информации блокировки записи.
Пословное считывание информации из
блока памяти производится в паузах
между циклами записи. 1 ил.

(19) **SU** (11) **1401465** **A1**

Изобретение относится к вычислительной технике и может быть использовано в аппаратных и гибридных мониторах для регистрации хода программ.

Целью изобретения является повышение быстродействия.

На чертеже представлена схема устройства.

Устройство содержит вход 1 разрешения записи, триггер 2, элемент ИЛИ 3, триггер 4, информационный вход 5, регистр 6, элемент И 7, регистр 8 сдвига, триггер 9, мультиплексор 10, счетчик 11, блок 12 памяти, элементы И 13 и 14, формирователь 15 импульса, элементы И 16 и 17, вход 18 разрешения считывания, триггер 19, элемент И 20, счетчик 21, счетчик 22, регистр 23, информационный выход 24, выход 25 признака считывания, выход 26 признака ошибки, тактовый вход 27.

Устройство работает следующим образом.

В исходном состоянии все триггеры (кроме триггера 9), счетчики и регистры обнулены в "0", триггер 9 установлен в "1".

Одновременно с информацией о ходе отлаживаемой программы на вход 1 разрешения записи приходит сигнал, который передается на вход установки в "1" триггера 2 и взводит его. В результате уровень логической "1", сформированный на выходе триггера 2, подается на первый вход элемента ИЛИ 3. Одновременно этот же потенциал подается на информационный вход триггера 4.

Информация о ходе отлаживаемой программы, приходящая на информационный вход устройства 5, далее подается на информационные входы регистра 6. Запись в регистр 6 производится по сигналу, поступающему с входа 1 устройства на вход разрешения записи регистра 6.

Единичный сигнал с выхода элемента ИЛИ 3 подается на первый вход элемента И 7, на второй вход которого поступают тактовые импульсы с входа 27 устройства.

Таким образом, пока установлен в единицу триггер 2, на выход элемента И 7 постоянно проходят тактовые импульсы, которые далее поступают на вход синхронизации регистра 8 сдвига.

Первый тактовый импульс записывает в первый разряд регистра 8 "1", приходящую на вход управления сдвигом регистра 8 с выхода триггера 9. Единичный сигнал с выхода первого разряда регистра 8 поступает на вход установки в "0" триггера 9 и на вход синхронизации триггера 4. При этом на выходе триггера 9 появляется "0", а на прямом выходе триггера 4 "1", которая, поступив на управляющий вход мультиплексора 10, разрешает прохождение через него информации со счетчика 11. Появившийся в результате этого двоичный код на выходе мультиплексора 10, поступает на адресные входы блока 12 памяти, определяя тем самым адрес ячейки, в которую записывается информация.

Второй тактовый импульс сдвигает "1" во второй разряд регистра 8, а в первый разряд записывает "0", приходящий на вход управления сдвигом регистра 8 с триггера 9. Единичный сигнал с выхода второго разряда регистра 8 поступает на вторые входы элементов И 13 и 14, первые входы которых соединены соответственно с прямым и инверсным выходами триггера 4.

Сформированный в результате этого на выходе элемента И 13 единичный сигнал поступает на вход разрешения записи блока 12 памяти. По данному сигналу происходит запись информации о ходе отслеживаемой программы с регистра 6 в нулевую ячейку (содержимое счетчика 11 в исходном состоянии обнулено) блока 12 памяти.

Третий тактовый импульс сдвигает "1" в третий разряд регистра 8, а во второй разряд аналогично записывает "0".

Единичный сигнал с выхода третьего разряда регистра 8 поступает на вход формирователя 15 импульса. Сформированный в результате этого на выходе элемента 15 сигнал определенной длительности поступает на вторые входы элементов И 16 и 17, первые входы которых соединены соответственно с прямым и инверсным выходами триггера 4.

Одновременно сигнал с выхода формирователя 15 импульса поступает на вход установки в "1" триггера 9 и регистра 8 сдвига. В результате ре-

гистр 8 обнуляется, а триггер 9 устанавливается в единичное состояние.

На выходе элемента И 16 вырабатывается единичный сигнал, который, поступая на счѐтный вход счетчика 11, увеличивает его содержимое на единицу, таким образом происходит переадресация блока памяти.

Одновременно импульс с выхода элемента И 16 поступает на вход установив в "0" триггера 2 и сбрасывает его, в результате регистр 8 блокируется.

Процесс считывания информации из блока памяти начинается с момента появления на входе 18 сигнала разрешения считывания, который поступает на вход установки в "1" триггера 19 и взводит его. Сигнал, сформированный на выходе триггера 19, поступает на первый вход элемента И 20, на второй вход которого заводится сигнал с выхода "0" счетчика 21.

Сигнал на выходе элемента И 20 появляется лишь в том случае, если в блоке памяти заполнена хотя бы одна ячейка.

Сигнал с выхода элемента И 20 поступает на вход элемента ИЛИ 3. Сформированный в результате этого на выходе элемента ИЛИ 3 единичный сигнал, поступая на первый вход элемента И 7, разрешает прохождение через него тактовой частоты, поступающей на второй вход элемента И 7.

Аналогично процессу записи происходит запуск и работа регистра 8 сдвига.

По поступлении на вход синхронизации триггера 4 единичного сигнала с первого выхода первого разряда регистра 8 сдвига, на прямом выходе триггера 4 устанавливается "0", на инверсном - "1". В результате этого на управляющем входе мультиплексора 10 присутствует управляющий сигнал, разрешающий прохождение на адресные входы блока 12 памяти кода со счетчика 22.

В следующий момент времени, после формирования единичного импульса на выходе второго разряда регистра сдвига, на выходе элемента И 14 вырабатывается единичный сигнал, по которому происходит считывание информации из блока 12 памяти. Считанная информация поступает на информационный вход регистра 23. По сигналу, поступающему на вход записи регистра 23

с выхода элемента И 17, производится запись информации в регистр 23, выход которого соединен с информационным выходом 24 устройства.

Переадресация блока памяти производится импульсом, сформированным на выходе элемента И 17 и поступающим на вход "+1" счетчика 22. Сигнал с выхода элемента И 17 одновременно поступает на выход признака считывания устройства и на вход установки в "0" триггера 19, сбрасывая его.

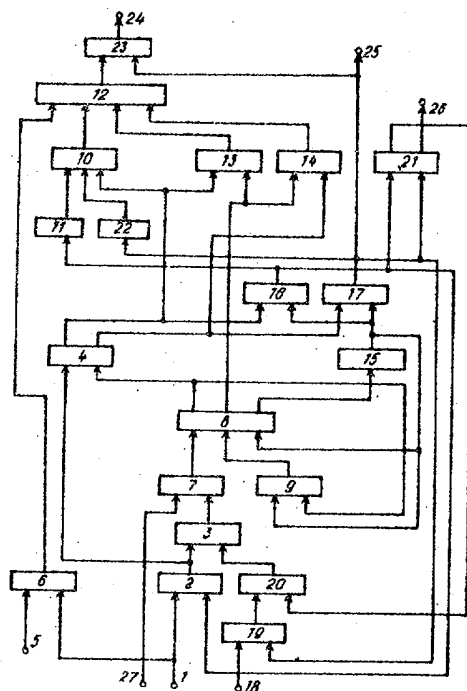
Счетчик 21 определяет заполнение ячеек блока 12 памяти. С выхода элемента И 16 при записи в ячейку или с выхода элемента И 17 при считывании сформированные импульсы подаются соответственно на входы "+1" или "-1" счетчика 21, изменяя его содержимое. В случае заполнения всех ячеек накопителя (переполнение счетчика 21) сигнал "Ошибка" с выхода переполнения подается на выход 26 признака ошибки устройства.

Ф о р м у л а и з о б р е т е н и я

Устройство управления памятью, содержащее два регистра, три счетчика, блок памяти, два элемента И, элемент ИЛИ, причем информационные входы первого регистра являются информационными входами устройства, выход первого регистра соединен с информационным входом блока памяти, информационный выход которого соединен с информационным входом второго регистра, выход которого является информационным выходом устройства, от которого, с целью повышения быстродействия, в него введены четыре триггера, с третьего по шестой элементы И, регистр сдвига, мультиплексор, формирователь импульса, причем входы установки в "1" первого и второго триггеров являются соответственно входом разрешения записи и входом разрешения считывания устройства, выход первого триггера соединен с первым входом элемента ИЛИ и информационным входом третьего триггера, выход второго триггера соединен с первым входом первого элемента И, выход которого соединен с вторым входом элемента ИЛИ, выход которого соединен с первым входом второго элемента И, второй вход которого является тактовым входом устройства, выход второго элемен-

та И соединен с входом синхронизации регистра сдвига, вход управления сдвигом регистра сдвига соединен с выходом четвертого триггера, вход установки в "0" которого соединен с выходом первого разряда регистра сдвига и входом синхронизации третьего триггера, прямой и инверсный выходы которого соединены соответственно с первыми входами третьего и четвертого элементов И, прямой выход третьего триггера соединен с первым входом пятого элемента И и управляющим входом мультиплексора, инверсный выход третьего триггера соединен с первым входом шестого элемента И, выход второго разряда регистра сдвига соединен с вторыми входами шестого и пятого элементов И, выходы которых соединены соответственно с входом считывания информации и входом разрешения записи блока памяти, а адресный вход которого соединен с выходом мультиплексора, первый и второй информационный входы которого соединены с выходами первого и вто-

рого счетчиков соответственно, выход третьего элемента И соединен со счетным входом первого счетчика, суммирующим входом третьего счетчика и входом установки в "0" первого триггера, выход четвертого элемента И соединен с вычитающим входом третьего счетчика, суммирующим входом второго счетчика, входом записи второго регистра, входом установки в "0" второго триггера и является выходом признака считывания устройства, выход третьего разряда регистра сдвига соединен через формирователь импульса с вторыми входами третьего и четвертого элементов И, входом установки в "1" четвертого триггера и входом установки в "0" регистра сдвига, выход признака равенства нулю третьего счетчика соединен с вторым входом первого элемента И, а выход признака переполнения третьего счетчика является выходом признака ошибки устройства, вход разрешения записи устройства соединен с входом разрешения записи первого регистра.



Составитель А.Пак

Редактор Н.Лазаренко

Техред М.Ходанич

Корректор И.Муска

Заказ 2786/48

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4