(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0117354
(43) 공개일자 2013년10월25일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) *H01L 21/78* (2006.01)
(21) 출원번호 10-2013-0043068
(22) 출원일자 2013년04월18일
심사청구일자 2013년04월18일
(30) 우선권주장
1020120040204 2012년04월18일 대한민국(KR)

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
남구현
서울특별시 강남구 역삼동 763-16번지 래미안그레이튼 201동 1401호
(74) 대리인
특허법인엠에이피에스

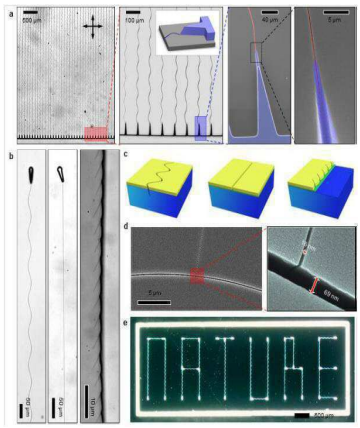
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **크랙 제어에 의한 박막 패터닝 방법 및 그 박막 패터닝 구조물**

(57) 요 약

박막 상에 소정의 패턴을 형성하는 패터닝시, 기재 상에 적어도 한 층의 박막을 형성하고, 박막 상에 복수의 노치(notch)를 형성하여 적어도 하나의 상기 노치에 의한 크랙을 발생시키고, 발생된 크랙의 진행 및 진행 중인 크랙의 중지를 통해 박막에 소정의 패턴을 형성하되, 크랙을 발생시키는 노치는 적어도 일단이 극미세 규모의 첨단(tip)의 형태이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

박막 상에 소정의 패턴을 형성하는 패터닝 방법에 있어서,

기재 상에 적어도 한 층의 박막을 형성하는 단계;

상기 박막 상에 복수의 노치(notch)를 형성하여 적어도 하나의 상기 노치에 의한 크랙을 발생시키는 단계; 및

상기 발생된 크랙의 진행 및 상기 진행 중인 크랙의 중지를 통해 상기 박막에 소정의 패턴을 형성하는 단계를 포함하되,

상기 크랙을 발생시키는 노치는 적어도 일단이 극미세 규모의 첨단(tip)의 형태인 박막 패터닝 방법.

청구항 2

제 1 항에 있어서,

상기 크랙을 개시하는 단계는,

식각 공정을 통해 상기 복수의 노치 중 적어도 하나의 노치를 형성하는 박막 패터닝 방법.

청구항 3

제 1 항에 있어서,

상기 박막 및 기재 간의 막응력(membrane stress)이 클수록 상기 첨단의 예각은 작게 형성된 것인 박막 패터닝 방법.

청구항 4

제 1 항에 있어서,

상기 첨단으로부터 개시되어 진행된 크랙은 사인파형, 직선형 및 바늘땀형 중 적어도 하나로 형성된 것인 박막 패터닝 방법.

청구항 5

제 4 항에 있어서,

상기 바늘땀형의 크랙은,

상기 기재 상에 둘 이상의 상기 박막이 형성된 상태에서 형성되며,

상기 둘 이상의 박막 중 하부 제 1 박막에서 크랙이 개시된 후 상기 제 1 박막의 상부 제 2 박막에서 크랙이 개시되되,

상기 제 2 박막의 크랙 개시 지점은 상기 제 1 박막의 크랙 개시 지점으로부터 특정 범위 이내로 근접한 것인 박막 패터닝 방법.

청구항 6

제 1 항에 있어서,

상기 박막에 소정의 패턴을 형성하는 단계는,

상기 복수의 노치 중 상기 첨단이 서로 상이한 방향으로 형성된 적어도 둘 이상의 노치의 각 첨단으로부터 개시된 크랙의 진행이 다른 첨단으로부터 진행된 크랙에 의해 중지되거나, 상기 크랙을 발생시키는 노치의 첨단으로부터 개시된 크랙이 다른 노치에 의해 중지되되,

크랙을 중지시키는 상기 다른 노치는,

상기 첨단의 예각이 상기 기재 및 박막 간의 막응력에서 크랙이 발생되지 않도록 크게 형성된 노치, 상기 진행된 크랙과 상기 첨단이 아닌 타단이 접하도록 형성된 노치, 및 상기 첨단이 비형성된 노치 중 적어도 하나인 것인 박막 패터닝 방법.

청구항 7

제 1 항에 있어서,

상기 적어도 한 층의 박막은 나노 구조체인 것인 박막 패터닝 방법.

청구항 8

제 1 항에 있어서,

상기 박막을 형성하는 단계 이후에,

상기 박막이 형성된 기재를 계단형의 다층 구조로 생성하는 단계를 더 포함하되,

상기 박막을 패터닝하는 단계에서 적어도 하나의 상기 노치에 의해 개시된 크랙이 상기 다층 구조 중 다른 층과의 경계에 접하면 중지되는 것인 박막 패터닝 방법.

청구항 9

제 8 항에 있어서,

상기 다층 구조로 생성하는 단계는,

이중 마스크 패턴 포토리소그래피 공정를 통한 회절-유도 계단형 리소그래피를 수행하는 단계를 포함하되,

회절-유도 계단형 리소그래피를 수행하는 단계에서,

상기 노치가 형성된 층은 초점면에 위치하고, 상기 노치가 형성되지 않은 층은 비초점면에 위치하도록 하는 것인 박막 패터닝 방법.

청구항 10

박막 상에 소정의 패턴이 형성된 구조물에 있어서,

기재;

상기 기재 상에 형성된 적어도 한 층의 박막;

상기 박막 중 최상층 박막 상에 형성되되, 적어도 하나가 적어도 일단이 극미세 규모의 첨단(tip)의 형태인 복수의 노치(notch); 및

상기 노치의 첨단에서 발생된 크랙의 진행 및 상기 진행 중인 크랙의 중지에 의해 형성된 소정의 패턴을 포함하는 박막 패터닝 구조물.

청구항 11

제 10 항에 있어서,

상기 박막 및 기재 간의 막응력(membrane stress)이 클수록 상기 첨단의 예각은 작게 형성된 것인 박막 패터닝 구조물.

청구항 12

제 10 항에 있어서,

상기 기재는 단일 결정 영역을 갖는 재료로 구성되되,

상기 크랙의 진행 방향은 상기 기재의 결정 방향에 따라 형성된 것인 박막 패터닝 구조물.

청구항 13

제 10 항에 있어서,

상기 크랙의 진행 방향은,

상기 기재와 박막이 접합한 후의 재료 성질 이방성(anisotropic behavior)에 따라 형성된 박막 패터닝 구조물.

청구항 14

제 10 항에 있어서,

상기 첨단으로부터 개시되어 진행된 크랙은 사인파형, 직선형 및 바늘땀형 중 적어도 하나로 형성된 박막 패터닝 구조물.

청구항 15

제 14 항에 있어서,

상기 직선형의 크랙의 폭은 상기 사인파형의 크랙의 폭보다 좁게 형성된 것인 박막 패터닝 구조물.

청구항 16

제 14 항에 있어서,

상기 바늘땀형의 크랙은,

상기 기재 상에 둘 이상의 상기 박막이 형성된 상태에서 형성되며,

상기 둘 이상의 박막 중 하부 제 1 박막에서 크랙이 개시된 후 상기 제 1 박막의 상부 제 2 박막에서 크랙이 개시되되,

상기 제 2 박막의 크랙 개시 지점은 상기 제 1 박막의 크랙 개시 지점으로부터 특정 범위 이내로 근접한 것인 박막 패터닝 구조물.

청구항 17

제 14 항에 있어서,

상기 바늘땀형의 크랙은,

상기 개시 후 비진행 분기(non-propagating branches)하는 것인 박막 패터닝 구조물.

청구항 18

제 10 항에 있어서,

상기 적어도 한 층의 박막은 나노 구조체인 것인 박막 패터닝 구조물.

청구항 19

제 10 항에 있어서,

상기 소정의 패턴은,

상기 복수의 노치 중 상기 첨단이 서로 상이한 방향으로 형성된 적어도 둘 이상의 노치의 각 첨단으로부터 개시된 크랙의 진행이 다른 첨단으로부터 진행된 크랙에 의해 중지되거나, 상기 크랙을 발생시키는 노치의 첨단으로부터 개시된 크랙이 다른 노치에 의해 중지되어 형성되되,

크랙을 중지시키는 상기 다른 노치는,

상기 첨단의 예각이 상기 기재 및 박막 간의 막응력에서 크랙이 발생되지 않도록 크게 형성된 노치, 상기 진행된 크랙과 상기 첨단이 아닌 타단이 접하도록 형성된 노치, 및 상기 첨단이 비형성된 노치 중 적어도 하나인 것인 박막 패터닝 구조물.

청구항 20

제 10 항에 있어서,

상기 박막이 형성된 기재는 계단형의 다층 구조이되,

적어도 하나의 상기 노치에 의해 개시된 크랙이 상기 다층 구조 중 다른 층과의 경계에 접하면 중지된 박막 패터닝 구조물.

청구항 21

제 20 항에 있어서,

상기 다층 구조에서 적어도 하나의 층의 표면은 마찰력이 크게 생성된 것인 박막 패터닝 구조물.

청구항 22

제 20 항에 있어서,

상기 다층 구조는,

상기 노치가 형성된 면을 상기 노치가 형성되지 않은 면이 둘러싼 형태로 생성된 것인 박막 패터닝 구조물.

명 세 서

기 술 분 야

[0001] 본 발명은 극미세 규모(extremely small scale 또는 nanoscale)의 크랙(crack) 제어를 통한 나노 구초체의 패터닝 방법 및 이를 통해 생성된 박막 패터닝 구조물에 관한 것이다.

배 경 기 술

[0002] 크랙은 일반적으로 재료 파괴의 원인이 되기 때문에 불필요하거나 제한해야 하는 현상으로 인식되어 왔다. 즉, 크랙 현상은 쓸모없고 생산적이지 못한, 피해야 하는 대상으로 간주되어 왔다. 그러나, 크랙이 구조적 파괴의 쓸모없는 부산물이라는 종래의 관점에서 벗어나, 현상에 대한 면밀한 관찰은 크랙이 정교하고 매우 복잡한 패턴으로 나타나며, 이는 여러 가지 중요한 기술적 결과물로 발현될 수 있음을 보여준다. 예를 들어, 자연 발생된 크랙을 이용해 2차원 및 3차원의 나노 구조물들을 제조하는 것이 가능하다.

[0003] 이와 관련하여, 대한민국 공개특허 제 10-2003-0038728 호는 기판 및 크랙 스톱 구조체를 포함하되, 크랙 스톱과 패터닝을 이용하고 있는 기술을 개시하고 있다. 그러나, 의도적으로 크랙을 생성 및 제어하는 기술에 대한 연구는 아직까지 진행된 바 없다.

발명의 내용

해결하려는 과제

[0004] 본 발명은, 크랙을 완전히 제어하여 공학적으로 이용하는 기술 및 방법을 제공하고자 한다. 본 발명에 따른 크랙의 제어 기술 및 방법은 신뢰성 있는 마이크로 제조기술의 구현을 가능하게 하며, 균열 현상(fracture phenomena)의 무질서하고 불규칙한 성질을 길들여 대면적 나노 제조 기술로 이용하는 것을 가능하게 한다.

[0005] 본 발명은 크랙의 개시, 진행 및 종결을 통해 크랙을 제어하는 방법을 제시한다. 본 발명에 따르면, 여러 가지 방법들을 통하여 다양한 재료 상에 3 가지의 주요 형태의 크랙(사인파형 크랙, 직선 크랙, 및 바늘땀형(stitchlike) 크랙)을 제어 또는 형성하는 방법을 제공한다. 이러한 원리들의 이용을 통해 크랙을 굴절 및 제어할 수 있는 기술을 제공할 수 있다.

[0006] 또한, 본 발명은 표면 응력을 조정하는 계단형 구조를 형성하기 위한 신규 마이크로 제조 기술을 제안하고, 크랙의 성공적인 종결을 제시하고자 한다.

[0007] 다만, 본 발명이 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0008] 상기와 같은 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른, 박막 상에 소정의 패턴을 형성하는 패터닝 방법은, 기재 상에 적어도 한 층의 박막을 형성하는 단계; 상기 박막 상에 복수의 노치(notch)를 형성하여 적어도 하나의 상기 노치에 의한 크랙을 발생시키는 단계; 및 상기 발생된 크랙의 진행 및 상기 진행 중인 크랙의 중지를 통해 상기 박막에 소정의 패턴을 형성하는 단계를 포함하되, 상기 크랙을 발생시키는 노치는 적어도 일단이 극미세 규모의 첨단(tip)의 형태이다.

[0009] 그리고, 본 발명의 다른 측면에 따른, 박막 상에 소정의 패턴이 형성된 구조물은, 기재; 상기 기재 상에 형성된 적어도 한 층의 박막; 상기 박막 중 최상층 박막 상에 형성되되, 적어도 하나가 적어도 일단이 극미세 규모의 첨단(tip)의 형태인 복수의 노치(notch); 및 상기 노치의 첨단에서 발생된 크랙의 진행 및 상기 진행 중인 크랙의 중지에 의해 형성된 소정의 패턴을 포함한다.

발명의 효과

[0010] 전술한 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 본 발명에 따른 극미세 규모(extremely small scale)의 크랙 생성 및 제어는 현재 보고된 최첨단 나노제조 기술로도 실현하기 어려운 원자 규모의 패턴 형성에 대한 명확한 가능성을 제시한다.

[0011] 본 발명에 따르면, 크랙이 단순히 부정적이고 무용한 현상이라는 생각에서 벗어나, 정밀한 제어로 유도된 의미있는 구조물로써 공학적인 사용 가치가 있다는 점을 확인할 수 있다. 또한, 지금까지의 실험 환경보다 더욱 정교한 크랙의 제어는, 아직 발견되지 않은 크랙 발생 현상의 여러 가지 다른 측면과 가능성, 기술적인 성과 및 과학적 배경을 밝혀내기 위해 필요할 것이다.

[0012] 본 발명에 따르면, 그러한 성과들이 기존의 여러 가지 기술들에 대한 전도유망한 대안을 제공할 수 있고, 나노공학, 특히 나노일렉트로닉스, 나노유체, 포토닉스 및 재료 분야에 널리 사용되고 있는 나노제조 기술의 상당 부분을 대체할 수 있다.

도면의 간단한 설명

[0013] 도 1 은 본발명의 일 실시예에 따른 생성 및 제어된 크랙의 광학 및 전자 현미경 이미지이다.

도 1a 는 크랙 노치들로부터 사인파형 크랙 개시의 광학 및 전자 현미경 이미지이고, 도 1b 는 마이크로-노치로부터 개시된 사인파형 크랙 (왼쪽 이미지), 직선 크랙 (가운데 이미지), 및 바늘땀형 크랙 (오른쪽 이미지) 의 전자 현미경 이미지이고, 도 1c 는 사인파형 크랙 (왼쪽 이미지), 직선 크랙 (가운데 이미지), 및 바늘땀형 크랙 (오른쪽 이미지)의 개요도(Schematic diagrams)이고, 도 1d 는 다른 유형과 너비를 가지는 크랙들의 전자 현미경 이미지이고, 도 1e 는 크랙 노치들을 사용하여 사인파형 크랙의 제어를 통해 작성한 "NATURE" 라는 글자의 광학 이미지이다.

도 2 는 본 발명의 일 실시예에 따른 크랙의 전자 현미경 이미지이며, 오른쪽 4 개의 열은 왼쪽열의 섹션에 대응하는 부분의 확대도이다.

도 3a는 본 발명의 일 실시예에 따라 사용된 실리콘 웨이퍼의 방향성을 설명하기 위한 개략도이고, 도 3b 는 실리콘 웨이퍼 상에 형성된 본 발명의 일 실시예에 따른 사인파형 크랙의 광학 이미지이며, 도 3c 는 실리콘 웨이퍼 상에 형성된 본 발명의 일 실시예에 따른 직선형 크랙의 광학 이미지이고, 도 3d 는 특정 방향을 가리키는 노치들로부터 개시된 본 발명의 일 실시예에 따른 크랙의 전자 현미경 이미지이고, 도3e 는 본 발명의 일 실시예에 따라 방향성이 제어된 사인파형 크랙의 전자 현미경 이미지이다.

도 4a 및 도 4d 는 본 발명의 일 실시예에 따른 크랙의 제어에 의해 형성된 문자 패턴의 광학 이미지이고, 도 4b 는 본 발명의 일 실시예에 따른 크랙의 제어에 의해 형성된 문자 패턴의 재현성을 나타내는 광학 이미지이고, 도 4c 는 100 ㎜ 웨이퍼 상에 형성된 문자 패턴의 디지털 이미지이다.

도 5a 는 본 발명의 일 실시예에 따른 크랙의 제어에 의해 형성된 사인파형 크랙의 광학 이미지이고, 도 5b 는 본 발명의 일 실시예에 따른 크랙의 제어에 의해 형성된 사인파형 크랙의 문자 패턴의 전자 현미경 이미지이다.

도 6a 는 본 발명의 비교예에 따른 크랙 정지 설계가 실패한 경우의 단층구조의 전자 현미경 이미지이고, 도 6b 는 본 발명의 일 실시예에 따른 크랙 정지 설계가 성공한 경우의 단층구조의 전자 현미경 이미지이며, 도 6c 는 본 발명의 비교예에 따른 크랙 정지 설계가 실패한 경우의 전자 현미경 이미지이고, 도 6d 는 본 발명의 일 실시예에 따른 크랙 정지 설계가 성공한 경우의 전자 현미경 이미지이다.

도 7a 는 크랙의 기재 내로의 침투를 나타내는 전자 현미경 이미지이고, 도 7b 는 본 발명의 일 구현예에 따른 크랙의 진행 방향의 개요도이고, 도 7c 는 본 발명의 일 실시예에 따른 사인파형 크랙의 진행을 관찰한 전자 현미경 이미지이고, 도 7d 는 본 발명의 일 실시예에 따른 직선 크랙의 진행을 관찰한 전자 현미경 이미지이다.

도 8a 는 1 층(왼쪽 그래프) 및 3 층(오른쪽 그래프)의 계단형 구조를 지나는 본 발명의 일 실시예에 따른 크랙의 진행 방향에 따른 막응력을 나타내는 그래프이고, 도 8b 는 공정 중 웨이퍼의 가장자리에서 나타나는 크랙들의 정지를 나타내는 전자 현미경 이미지(좌측 이미지) 및 크랙 정지부에 의해 생성된 크랙 비함유 영역의 전자 현미경 이미지(우측 이미지)이다.

도 9a 는 본 발명의 일 구현예에 따른 크랙 전파 및 결정 방향성의 개요도이고, 도 9b 는 진동파형의 진행 중심축을 기준으로 한 기재 내로의 크랙 전개의 광학 현미경 이미지이다.

도 10a 는 소정의 구조 내에서 본 발명의 일 실시예에 따른 크랙 전파의 진행 방향을 나타낸 전자 현미경 이미지(상부 이미지) 및 상기 구조의 개요도(하부 이미지)이고, 도 10b 는 소정의 구조 내에서 본 발명의 일 실시예에 따른 크랙 전파의 진행 방향을 나타낸 전자 현미경 이미지이다.

도 11 은 본 발명의 일 실시예에 따른 DISL 공정의 수행을 위한 개략도이다.

도 12 는 소정의 구조 내에서 본 발명의 일 실시예에 따른 크랙 전파의 진행 방향을 나타낸 전자 현미경 이미지이다.

도 13 은 본 발명의 일 실시예에 따라 길이 조절된 크랙의 전자 현미경 이미지이다.

도 14a 는 본 발명의 일 실시예에 따른 100 ㎜ 웨이퍼 상에 형성된 사인파형 크랙의 디지털 이미지이고, 도 14b 본 발명의 일 실시예에 따른 사인파형 크랙의 확대된 이미지이고, 도 14c 는 본 발명의 도 8b 의 사인파형 크랙의 확대 이미지이다.

도 15a 는 노치가 크랙 정지부로서의 기능을 수행하여 형성된 본 발명의 일 실시예에 따른 사인파형 크랙의 전자 현미경 이미지이고, 도 15b 는 본 발명의 일 실시예에 따른 크랙이 크랙 정지부로서의 기능을 수행하여 형성된 본 발명의 일 실시예에 따른 사인파형 크랙의 전자 현미경 이미지이고, 도 15c 는 본 발명의 일 실시예에 따른 사인파형 크랙의 구부러짐 현상의 광학 현미경 이미지이고, 도 15d 는 본 발명의 일 실시예에 따른 크랙의 나노 유체 채널에서의 응용을 나타내는 광학 현미경 이미지이다.

발명을 실시하기 위한 구체적인 내용

[0014] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0015] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0016] 본 발명 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0017] 본 발명 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0018] 본 명세서에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본 발명의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 또한, 본 발명 명세서 전체에서, "~ 하는 단계" 또는 "~의 단계" 는 "~를 위한 단계"를 의미하지 않는다.

[0019] 본 발명 명세서 전체에서, 마쿠시 형식의 표현에 포함된 "이들의 조합" 의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.

[0020] 본 발명의 명세서 전체에서, "A 및/또는 B" 의 기재는, "A, B, 또는, A 및 B" 를 의미한다.

[0021] 본 발명에서는, 크랙의 매우 민감한 성질의 제어를 위한 어려움을 극복하고 크랙 형성을 위한 거의 이상적인 조건을 달성하기 위하여, 종래의 마이크로 제조 기술(특히, 얇은 취성 재료 증착법(thin brittle material deposition)과 같은 장비와 기술들이 크랙 연구를 위한 유용한 접근법이 될 수 있음을 확인하였다. 이러한 기술들은 평탄면상 증착의 우수한 재현성 및 제어성과 같은 여러 가지 장점을 가진다. 예를 들어, 실리콘 기재(웨이퍼) 상에 질화규소(Si_3N_4) 등의 박막을 형성하는 공정 동안에, 재료들은 균일하게 증착되고, 온도는 배치 공정 동안에 정밀하게 유지된다. 이러한 환경에서 크랙은 예상 범주 이내에서 형성되는데, 그 이유는 (1) 기초를 이루는 정제된 단일 결정 구조의 실리콘 기재의 열적 반응은 예측이 가능하고, (2) 상기 증착 과정은 공정의 온도와 압력의 변화를 최소화하여 정밀하게 조절될 수 있으며, (3) 정교한 마이크로 제조 기술은 의도한 작업에 대하여 높은 신뢰성을 가지기 때문이다. 추가적으로, 실리콘 기재(예를 들어, 웨이퍼)와 마이크로 제조 기술의 이용은 실험의 초기 단계들의 공정 조건들을 일정하게 유지하도록 도울 뿐만 아니라 후공정의 용이성 및 다양한 응용들을 가능하게 한다.

[0022] 본 발명의 일 실시예에서는, 크랙 개시를 원하는 위치와 방향으로 정밀하게 제어하기 위해서, 마이크로 제조 기술 중 하나인 실리콘 식각 공정을, 크랙을 개시하기 위한 응력(stress)을 집중시키는 "마이크로-노치" 구조들의 제작을 위해 사용한다. 기재 상 균열층의 균일한 증착 기술과 함께, 상기 실리콘 식각 공정의 사용은 일반적으로 시료 제작 후 만들어지는 크랙보다 좀 더 복잡하고 제어가 가능한 크랙을 생성할 수 있게 할 뿐 아니라, 실험 중 발생할 수 있는 불필요한 효과를 감소시킨다.

[0023] 본 발명의 경우, 크랙은 실리콘 기재와 그 위에 증착된 질화규소(Si_3N_4) 등의 박막으로 구성된 막/기재 시스템에서 발생되는 채널형 균열(channeling fracture)이고, 질화규소 박막은 정밀한 공정 조건하에서 저압화학기상 증착법을 사용하여 제조되었다.

[0024] 구체적으로, 본 발명에서의 크랙은 Si_3N_4 박막층과 기재 사이에 발생하는 막응력의 결과로서 증착 과정 동안에 Si_3N_4 박막층 상에서 발생하기 시작한다. 도 1a 는 패턴화된 노치들을 갖는 실리콘 기재 상에 증착된 Si_3N_4 박막에 성공적으로 형성된 크랙을 나타낸다.

[0025] 본 발명의 일 실시예에 따르면, 실리콘 기재에 제작된 "마이크로-노치(micro-Notches)" 및 "크랙-정지부(crack-stops)"를 포함하는 미세 구조물들을 통해 크랙의 시작, 제어, 및 정지가 성공적으로 가능하다.

[0026] 구체적으로, 도 1a는 노치들로부터 사인파형 크랙 개시의 광학 및 전자 현미경 이미지이다. 사인파형 크랙의 파장 및 진폭과 같은 크랙의 기하학적인 특징은 주변의 응력장과 관련되는데, 이는 크랙 발생 시점의 막응력 값에 의해 정해진다. 따라서, 성공적인 크랙 개시는 응력 집중을 위한 노치 첨단의 각도(notch tip angle)가 고려되어 최적으로 설계된 마이크로-노치를 통해 이루어질 수 있다.

[0027] 도 2 는 8 ㎛ 베이스와 17 ㎛에서 157 ㎛로 증가하는 너비를 가진 일련의 노치들을 보여준다. 이러한 일련의 진행에서, 노치 첨단의 각도는 26° 에서 3° 까지 감소한다. 크랙 노치의 첨단의 각도가 12° 에 도달할 때 크랙이 발생하기 시작하고, 노치 첨단의 각도가 작아져 더욱 예리해질수록 크랙 발생의 확률은 증가한다. 최종적으로 각도가 약 3.5° 까지 감소되면 거의 모든 노치에서 크랙이 개시될 수 있었다. 크랙의 진행을 개시하는 노치는 응력을 집결시키도록 설계될 필요가 있다. 그러나, 마이크론 이하의 크기로 설계되는 노치 첨단은 노치를 만들기 위한 DRIE 등의 식각 공정에 의해 무뎌질 수 있다는 것을 고려해야 한다. 또한, DRIE 공정 중 노치 첨단에서 일어나는 부분적인 등방성 식각 경향이 설계 단계에서 고려되어야 한다. 실제로, DRIE 공정 중에 플라스마 응축이 더 컸던 노치 팁에서 기하학적 변화가 관찰되었다. 이에, 도 1a 에서 보여지는 것처럼, 모든 포토레지스트가 식각된 위치에서 실리콘 기재 역시 식각되었고, 이에 따라 크랙은 노치 첨단의 변화된 기하학적 성질에 따라서 개시(즉, 시작)되었다.

[0028] 이러한 장애들의 발현은 예측할 수 없으므로, 노치 설계 공정의 매개변수에 관한 체계적인 연구(parametric study) 및 실험을 통해, 크랙을 발생시키는 노치의 첨단 각도를 미리 설정해둘 수 있다. 상기 연구에서 실시된 일련의 실험들에 사용된 식각 공정의 조건하에서의 크랙 생성의 확률은 도 2에서 확인할 수 있다. 크랙 생성의 확률은 노치 첨단의 각도가 감소할 때 증가하고 특정 각도에서 거의 완벽한 수율에 도달한다.

[0029] 실리콘 기재 상에 증착된 박막에서 크랙의 방향과 모양들은 두 개의 이질 재료들 간에 일어나는 막응력에 의해 결정되기 때문에, 실험에 사용되는 재료들과 재료의 두께의 다양성은 크랙킹 반응에 변화를 가져올 수 있는 중요한 요소라 할 수 있다. 사인파형 크랙(도 1b 및 도 1c의 왼쪽 이미지들)과 직선 크랙(도 1b 및 도 1c의 가운

데 이미지들)은 잘 조절된 조건하에서 서로 다른 결정학적인 방향성을 가지는 여러 종류의 실리콘 웨이퍼에 증착된 Si_3N_4 박막 위에서 생성된다.

[0030] 상기 두 유형의 크랙들 모두는 실리콘 웨이퍼 위에서 공존할 수 있다. 도 1d에서는 상기 두 유형의 크랙들이 서로 수직으로 만난 것을 확인할 수 있다. 직선 크랙은 일반적으로 사인파형 크랙보다 그 폭이 좁고, 제어할 수 있는 크랙 너비는 약 10 nm 정도일 수 있다(관찰된 크랙의 너비는 10 nm ~ 120 nm 에 분포하고, 도 1d에서와 같이, 수직으로 전파하는 직선 크랙이 수평으로 진행하는 사인파형 크랙보다 그 폭이 더 좁다). Si_3N_4 막과 실리콘 기재 사이에 중간층(interlayer)으로서 이산화규소(SiO_2) 박막이 첨가되는 경우에도 직선 크랙이 관찰되었다.

[0031] 또한, 도 1b 및 도 1c에서는 상기 직선 크랙과 동일 조건 하에서 형성된 "바늘땀 형태" 크랙(도 1b 및 도 1c의 가장 오른쪽 이미지들)을 도시하였다. 상기 바늘땀형 크랙은 Si_3N_4 막 아래 SiO_2 박막에서 크랙이 발생한 후 근접한 곳에서 형성된다는 점에서 직선 크랙과 차이점을 보이며, 그 형태에 있어 비진행 분기(non-propagating branches)를 보여준다.

[0032] 구체적으로, 본 발명의 일 실시예에 따른 바늘땀형 크랙은 매우 질서있는 분기(branching)를 발생시킨다. 이러한, 비진행 분기의 균열은 분기를 위해 요구되는 적정 값을 기준으로 막응력이 높아졌다 낮아짐이 반복되는 경우 발생한다.

[0033] 도 3 은 상기 서로 다른 결정학적인 방향성을 가지는 여러 종류의 실리콘 웨이퍼에 대한 설명을 위한 지표이다.

[0034] 실리콘 웨이퍼들은 단일 결정 영역을 가진다. 결정성 물질에서 원자들은 주기적인 방식으로 공간적으로 배열되고, 3 방향 모두에서 반복되는 경향을 보이는 기초 단위 격자가 정의될 수 있다. 결정 방향과 면을 설명하는 데에는 표준 용어(standard terminology)가 사용된다. 소정의 경우, 실리콘의 전기적/기계적 성질은 실리콘 웨이퍼의 특정한 결정 방향에 의존한다. (100)은 밀러 지수에 의할 때 법선 벡터가 [100]인 결정면을 나타낸다(도 3a 의 검정색 화살표로 나타냄).

[0035] 본 발명의 일 실시예에서는 (100)의 실리콘 웨이퍼를 주로 사용하였으나, 비교를 위해서 (110) 및 (111)과 같은 다른 결정학적 방향성을 가지는 실리콘 웨이퍼 역시 사용할 수 있다. <110>은 (100) 결정면의 주평면성에 대하여 수직 또는 평행인 결정 방향으로서, 도 3a에서 파란색 화살표로 표시된다.

[0036] 이때, <110>은 (100)의 결정면의 주평면성에 대하여 수직 또는 평행인 결정방향으로서, 도 3a에서 파란색 화살표로 표시된다. 그리고, <100>으로 표시된 다른 결정 방향은 <110> 방향(도 3a에서 파란색 화살표)으로부터 45° 회전된 것이다. (100)의 결정학적 방향성을 가진 실리콘 웨이퍼 상에 생성된 크랙들은 크랙의 유형에 따라 <110> 또는 <100> 방향으로 진행한다.

[0037] 도 3b는 (100)의 실리콘 웨이퍼 상에 생성된 사인파형 크랙을, 도 3c는 (100)의 실리콘 웨이퍼 상에 생성된 직선 크랙을 나타내며, 각 크랙들의 진행 방향들은 각각 <110> 및 <100> 이다. 이처럼, 도 3b에서 확인할 수 있는 바와 같이, 사인파형 크랙은 실리콘 기재의 <110>의 방향으로 향하는 성향이 강하다. 따라서, 두 개의 사인파형 크랙들은 정확하게 수직으로 만난다. 또한, 도 3c 에서 확인할 수 있는 바와 같이, 직선 크랙은 <100> 방향으로 진행하나, 이러한 경향은 사인파형 크랙의 경향에 비해 약하다. 또한, 직선 크랙의 방향성은 크랙 개시 당시의 방향성에도 의존한다. 이와 같은 약한 경향은 직선 크랙이 일단 개시되면 그 진행 방향을 유지하려는 것으로부터 확인할 수 있다. 반면 사인파형 크랙은 도 3e 에서 확인할 수 있는 바와 같이 스스로 휘어진 방향을 바로잡아 원래의 의도된 방향성을 되찾을 수 있다.

[0038] 반면, 다른 결정학적 방향성(즉, (110) 또는 (111))을 가진 웨이퍼 상에 형성된 크랙들은 사인파형을 형성하지 않고 오직 직선으로만 진행할 수 있다. 따라서, 그러한 기재 상에 형성되는 모든 크랙들의 진행 방향은 <100> 방향에 가까울 수 있다. 도 3d 에서 확인할 수 있는 바와 같이, 사인파형 크랙들을 생성하기 위한 조건들 하에서, <110> 방향을 가리키는 노치들은 효과적으로 크랙들을 개시하나, <110> 이 아닌 다른 방향을 가리키는 노치들은 크랙 개시를 억제하는 경향이 있다.

[0039] 한편, 규칙적으로 분기되는 크랙 (orderly bifurcated cracks)의 실험적 관찰에 대한 연구 결과가 보고된 경우는 찾아보기 힘들고, 이러한 이유로 비진행 분기 균열의 관찰은 본 발명의 정밀성을 보여준다 할 수 있다. 크랙 분기(bifurcation)는 에너지가 높은 곳에서 발생하며, 이러한 이유로 불안정성이 쉽게 나타날 수 있는 곳이라고도 할 수 있다. 이러한 바늘땀형 크랙은 앞선 연구들의 정밀한 실험에서도 거의 관찰되지 않았다. 다수의 마이크로-노치 조합에 의한 정밀한 크랙 제어로 도 1e 및 도 4에서와 같은 복잡한 나노 패터닝을 얻을 수 있

다.

[0040] 도 1e 및 도 4a는 마이크로-노치에 의한 크랙 및 크랙 정지부의 조합을 이용해 만든 사인파형 크랙에 의한 글자 패턴 "NATURE"의 광학 이미지이고, 도 4b는 글자 "NATURE"의 패터닝 재현성 실험 결과를 나타낸 광학 이미지이며, 도 4c는 100 ㎜ 기재(즉, 웨이퍼) 상의 글자 패턴의 디지털 카메라 이미지이고, 도 4d 는 크랙 노치와 크랙 정지부의 조합을 이용해 만든 사인파형 크랙에 의한 글자 패턴 "EWHA", "KAIST", "ANTS", 및 "김태희"의 광학 이미지이다.

[0041] 본 발명의 일 실시예에서는, 상기 글자 패턴을 형성하기 위해 하기의 과정을 수행한다.

[0042] 먼저, 1 배치마다 25개의 웨이퍼가 LPCVD에 의해 진행되고, 10개 배치에서 총 250개의 웨이퍼(100 ㎜)로 샘플을 구성한다. 각 웨이퍼 샘플은 100 개 이상의 노치들과 정지부를 포함한다. 이는, 실험적으로 크랙 개시, 정지, 및 패터닝이 상당히 높은 성공률을 보인 샘플 구성이다. 특히 공정이 최적화된 경우, 본 발명의 일 실시예에 따른 크랙 및 노치들의 조절율은 도 5a와 같이 거의 100% 에 가까웠다. 도 5a에서 확인할 수 있는 바와 같이, T-접합 나노 채널이 2개의 사인파형 크랙에 의해 형성되었으며, 크랙의 길이를 조절하고 외부 크랙의 침입을 막는 크랙 정지부(도 5a 의 녹색 영역)에 의해 관심 영역이 분리되었다. 또한, 여러 도면(도 6b 및 도 6d, 도 7d 및 도 8b)을 통해 확인할 수 있는 바와 같이, 크랙 정지부는 거의 100% 성공률로 기능 하였다. 참고로, 일반적인 조건에서의 성공률이 특별히 최적화된 경우의 성공률보다 낮음에도, 크랙 노치 및 정지부의 평균적인 성공률은 70% 이상을 나타냈다. 이때, 다수의 크랙 노치들과 크랙 정지부로 구성된 복합 패턴의 경우의 성공률은 50%로서, 단일 크랙 노치 또는 크랙 정지부에서의 성공률보다는 낮았는데, 이는 다수의 요소를 가진 구조에서는 실패 확률이 더 높아지기 때문이다. 이처럼, 원하는 구조를 생성하는 것은 조절 가능하여 재현 가능하다는 사실은, 배열된 노치들과 정지부들을 이용하여 만든 문자 패턴("NATURE")에 의해 확인 가능하며(도 4a 참조), 상기 문자 패턴은 100 ㎜ 사이즈의 웨이퍼 상에서 높은 반복 가능성을 가진 크랙 구조를 형성하는 것이 가능함을 입증한다.

[0043] 한편, 크랙 진행의 상기 세가지 주요 패턴들은 실리콘 웨이퍼의 고유한 결정학적 성질의 이용뿐 아니라, 공정 조건들과 파라미터들의 조절을 통해서 달성될 수 있다.

[0044] 사인파형 크랙은 (100)의 실리콘 웨이퍼에서 <110>에 따른 방향으로 전파되는 강한 경향뿐만 아니라 형태에 있어서도 높은 규칙성을 나타낸다(도 2a 참조). 크랙의 기재 침투는 사인 곡선에서의 최대점과 최소점(진동 중심으로부터 가장 먼 위치들)에서 최소 에너지를 가지는 기재의 절단면을 따라서 발전되고, 그 이외의 지점에서 기재 내 침투된 크랙의 각도는 전파하는 동안 이들 점들이 가지는 각도 사이의 범위 내에서 변동한다. 기재 내 크랙의 침투 깊이는 기재의 이종재료접합물질(bimaterial)에 의한 굽힘력에 영향을 받고, 나아가 진동의 폭을 결정된다. 사인파형 크랙은, 우수한 공정 제어(즉, 정밀한 설계 및 체계적 실험을 포함한 발전된 마이크로 제조기술을 활용)에 따른 결과로서, 사인파형 크랙의 생성 용이성 및 신뢰할 만한 재현성을 실질적으로 향상시킬 수 있다.

[0045] 본 발명의 일 실시예에 따른 크랙은 일반적으로 크랙의 역학을 탐구하기 위해 주로 연구되던 관통 크랙(through-the-thickness cracks)과는 상이하다. 본 발명의 일 실시예에 있어서, 사용되는 두 개의 이질 재료들의 계면 가까이에는 기재를 파고드는 방향의 2 차원의 채널링 크랙이 형성되는데, 이는 각각의 재료들을 따라서 평면(in-plain) 으로 진행된다(도 7b 참조).

[0046] 한편, 막/기재 접합 시료에서는 열팽창 계수를 포함하여 여러 가지 재료의 성질들이 이방성(anisotropic behavior)을 가질 수 있다. 이러한 환경에서 크랙이 형성되었을 때, 시료의 이방성은 크랙이 특정한 몇 가지 방향들로 진행되도록 유도한다. 즉, 직선 크랙은 <100>의 방향에 가까운 여러 진행 방향들을 보인다. 한편, 크랙이 실리콘 웨이퍼 안으로 침투하는 깊이가 증가하면, 크랙 진행 방향은 막/기재 시스템에서 이방성으로 방향이 정해진 응력 분포에 의해서 기재의 결정 방향에 더욱 강한 영향을 받는다.

[0047] 본 발명의 일 실시예에서, 크랙 진행 중 이러한 조건들이 현저하게 변화되면 빛의 굴절과 유사한 크랙 진행의 굴절이 나타난다.

[0048] 구체적으로, 도 10a 및 도 10b에서 보여지는 것과 같이, 시료 조건의 변화는 크랙을 휘게하는 것으로 시작하여, 결과적으로 두 개의 다른 영역들의 계면을 통과하면서 크랙의 진행 방향을 변화시킨다.

[0049] 예를 들어, 이들 영역 중 첫 번째는, Si_3N_4 막과 실리콘 웨이퍼 기재 사이에 크랙의 기재 침투를 막기 위한 완충제로써의 SiO_2 중간층이 배치된, 삼층재료(trimaterial)로 이루어진 "중간층 영역(interlayer region)"이다.

상기 중간층 영역에 있어서, 기재 내부로 크랙의 침투는 깊이가 얇다.

[0050] 둘째로, 기재 내로의 깊은 침투가 관찰된 중간층이 없는 영역, 즉 "비-중간층 영역(no-interlayer region)"이 있다. 상기 비-중간층 영역은 SiO_2 중간층이 선택적으로 식각되어 제거된 Si/Si_3N_4 조성물로 구성될 수 있다.

[0051] 이때, 도 10a에서와 같이, SiO_2 중간층 위의 Si_3N_4막을 통해 진행하는 크랙들은 <100>의 방향으로 곧게 전파하는 경향을 가지며, 이러한 경향은 <110>의 방향으로 진행하는 사인파형 크랙들과는 차이를 보인다(도 3b 및 도 3c 참조). 크랙 전파의 특정 형상(사인파형 또는 직선)은 안정 진행부로 분류된 영역(도 10a 의 녹색 영역) 내에서는 일반 조건하에서 진행 중 유지된다. 그러나, 크랙이 기재에서 두 개의 다른 조합으로 이루어진 부분, 다시 말해 직선이나 사인파형 크랙이 형성되는 각각의 설정부의 경계면을 통과할 때, 크랙은 통과하여 이동할 영역에 적합한 진행 형태로 재설정될 때까지 휘어지게 된다. 본 발명에 있어서 상기 경계면을 "전이 영역"(도 10a의 적색 또는 청색 영역)으로 명명한다. 도 10a의 아래쪽 삽입 그림은 도 10a의 위쪽 그림의 단면도를 나타낸다.

[0052] 도 10b에서의 비-중간층 영역은 완전한 사인파형 진행 주기를 띄기에 충분하지 못한 폭을 가지는 다중 교대 영역을 통한 크랙 전파의 양상을 나타낸다. 도 10a에서 <110>의 방향으로 명확한 방향성이 관찰된 경우와는 달리, 이 경우는 사인파형 크랙 진행을 위해 충분한 거리를 확보하지 못한다. 이처럼, 비-중간층 영역 내에서 진행할 수 있는 거리가 짧기 때문에, 사인파형 크랙들이 형성될 수 없고, 크랙은 단순히 휘어지는 것에 그치게 된다. 반면, 중간층을 갖는 영역에서는 크랙이 진행할 수 있는 충분한 거리가 확보되었으므로, 크랙 진행 형태는 다시 직선으로 돌아가고, 진행 방향성을 회복한다.

[0053] 한편, 크랙 진행을 정지시키는 것은 재료 파괴의 방지를 위해 매우 중요한 요소이며, 공학적인 구조물의 제작을 위하여 앞서 언급된 크랙의 제어를 원하는 길이로 재단하기 위해서도 필수적이다.

[0054] 크랙킹 재료들이 물리적으로 분리되어 있지 않을 경우, 보강재의 첨가나 균열 저항(fracture resistance)을 증가시키기 위해 불순물 포함 등을 통한 크랙 제한 방법들이 연구되어 왔다. 그러나, 이런 유형의 크랙 제한 방법은, 크랙 방지를 위해 추가적인 재료 준비 단계가 필요하고, 크랙 정지부를 정밀하게 배치하기 힘들다는 한계가 있었다.

[0055] 기재 위에 박막이 접착된 구조에서, 기재의 기하학적 형태 변화는 막의 국부 응력을 변화시켜, 이를 이용할 경우 크랙의 역학적 반응에 어느 정도 영향을 줄 수 있다. 그러나, 본 발명에 있어서, 화학 기상 증착법에 의해 제조된 Si_3N_4 박막은 매우 등형적(conformal)으로 생성되었기 때문에, 기재(즉, 실리콘 웨이퍼)의 기하학적 구조에 의한 영향을 거의 받지 않는다. 기재와 증착된 막 사이의 응력장은 균일하기 때문에, 크랙이 한번 발생되면 웨이퍼의 가장자리에 도달할 때까지 자연적으로는 진행이 멈추지 않는다.

[0056] 그런데, 크랙이 진행하는 동안 응력이 감소되면, 크랙의 추진력에 변화가 발생하며, 추진력이 크랙 저항값 수준으로 감소할 때 크랙 진행은 멈추게 된다. 이에 따라, 본 발명의 일 실시예서는, 기재 상에 계단형 구조물(a stair profiled structure)을 제작하여 추진력을 감소시킨다.

[0057] 구체적으로, 도 6a 및 6b에서 확인할 수 있는 바와 같이, 크랙의 진행 중 DRIE 공정에 의해 제작된 기재의 꺾인 영역(terraced region)을 지나게 되면 막응력이 급격하게 떨어진다. 참고로, 시료 자체에 막응력이 과도하게 존재한 경우, 크랙 생성을 위한 탄성 에너지의 소비 후 남아있는 초과 에너지는 크랙 진행을 가속하거나 크랙의 기재 침투의 확장을 통해 저장된다. 따라서, 상기 초과 에너지는 크랙 진행을 막는데 있어서 주요 장애물이다.

[0058] 도 6a에서와 같이, 통상의 식각 과정을 통해 제작된 전형적인 단층 구조에서는 크랙 진행을 정지시키기 위한 응력장의 변화가 충분하지않다. 통상의 식각 과정에 의한 전형적인 단층 구조에서는, 크랙이 계속 진행하는 동안 재생성되는 에너지는 앞서 언급한 에너지 저장을 이어나가게 되고, 이렇게 저장된 에너지에 의해 크랙의 추진력은 회복된다.

[0059] 반면, 도 6b에서와 같이, 본 발명의 일 실시예에서는, 초과 에너지의 충분한 회복이 부족한 정도로 크랙의 진행 거리를 감소시키는 효과를 가져오는 다층 구조를 생성한다. 이에 따라, 크랙은 추가 진행에 필요한 에너지가 부족하게 되어 결국 크랙의 진행이 중단된다. 도 6b 의 좌측 삽입 그림에서와 같이, 본 발명의 일 실시예에서는, 높이 및 넓이가 각각 5 ㎛ 인 다단계를 가진 계단형 구조물을 생성하여, 크랙 진행을 성공적으로 정지시킬 수 있다(도 6b 및 도 6d 참조). 참고로, 단층 구조를 가진 크랙 정지 구조물은 크랙 진행을 종결시키지 못한다(도 6a 및 도6c 참조).

[0060] 상기 계단형 구조물은 기존 마이크로 제조 공정을 통해 제작하는 것이 어렵기 때문에, 본 발명의 일 실시예에서는 빛의 회절을 통해 계단형 마이크로 구조물을 제조하는 특수한 단일-단계 노광 기법을 사용한다. 응력 제어 이외에, 상기 계단형 마이크로 구조물은 식각된 표면이 거칠기 때문에, 이러한 거친 표면으로 인하여 교란된 응력장은 크랙 진행의 차단을 돕는다. 크랙 정지부의 또 다른 중요한 점은 웨이퍼 절단 공정 중에 쉽게 나타날 수 있는 매우 불규칙하고 무질서한 이차적 크랙으로부터 샘플링 영역들을 보호할 수 있다는 점이다(도 6d 참조).

[0061] 도 11을 참조하여 상기 단일-단계 노광 기법을 설명하도록 한다.

[0062] 크랙 정지부를 생성하기 위한 회절-유도 계단형 리소그래피(Diffraction-Induced Stairing Lithography, DISL)가 이중 마스크 패턴 포토리소그래피 공정(dual mask pattern photolithography process)을 통해 수행되며, 상기 이중 마스크 패턴 포토리소그래피 공정은 마스크(소다-라임(soda-lime) 유리 상의 크롬층)의 패턴부와 기재 상에 증착된 포토레지스트 사이에 의도적으로 형성된 공간에 의하여 크롬 패턴의 가장자리에서 발생하는 회절을 이용한다.

[0063] 이때, 크랙 노치용 마스크 패턴은 최적의 초점면(best focal plane)에 위치하고, 크랙 정지부용 마스크 패턴은 비초점화된 면에 위치한다. 이에 따라 크랙 노치들은 예리하게 패턴화되는 반면, 크랙 정지부는 비초점화된 가장자리에서 회절에 의하여 계단형 구조를 가지게 된다. 크랙 노치와 크랙 정지부 마스크 패턴은 각각 두 개의 분리된 마스크 유리 상에 존재하거나, 또는 하나의 마스크 유리의 서로 다른 면에 존재할 수 있다. 두 마스크 패턴 사이에 요구되는 거리는 대략 2 ㎜ 내지 7 ㎜이다.

[0064] 이를 위하여, 도 11에서와 같이, (1) 한 면만 패터닝된 마스크 두개의 적층체 상에 포토리소그래피를 수행하는 방법(도 11의 왼쪽 이미지, 이하 "방법 1"이라 한다), 또는 (2) 마스크 유리의 양면에 금속 층을 패턴화하는 방법(도 11의 오른쪽 이미지, 이하 "방법 2"라 한다)의 두 가지 방법을 이용할 수 있다.

[0065] 방법 1의 경우, 두 개의 상이한 마스크가 노치 패턴들 위에 크랙 정지부 구조를 추가하기 위해 사용된다. 크랙 정지부 마스크는 노치 마스크의 상부에 놓여지며, 따라서 실리콘 기재 상에 증착된 포토레지스트 위에 크랙 정지부 구조용 패턴이 회절을 유도하기 위한 비초점화(defocusing) 공간을 생성하게 된다.

[0066] 방법 2의 경우, 노치와 크랙 정지부 패턴이 단일 마스크 유리의 서로 다른 면에 생성되며, 이에 따라 상기 마스크 유리는 크랙 정지부 구조가 형성될 정도의 회절이 발생하는 정도의 두께를 가져야 한다.

[0067] 한편, 도 6a에서의 단층 구조는 통상의 포토리소그래피를 통하여 형성하였다. 크랙 정지를 위해 제작된 상자 구조(도 6a 의 녹색 영역)는 단층 구조를 사용해서 형성하였다. 균일하게 증착된 균열층 상에서, 도 6a의 오른쪽에 삽입된 전자 현미경 이미지에서 보여지는 단면을 가진 구조물을 통과해 지나가는 크랙들은 모두 정지하지 않는다.

[0068] 반면, 도 6b에서는 동일한 상자 구조를 형성하였으나, 이 경우에는 DISL을 사용하여 단층 구조를 형성하였다. 모든 크랙은 도 6b의 왼쪽에 삽입된 전자 현미경 이미지에서 보여지는 단면을 가진 상자 구조와 마주칠 때 진행을 멈추었다. 삽입 그림은 DISL 에 의해 생성된 다층 구조를 보여준다. 그리고, 도 6c에서 확인할 수 있는 바와 같이, DISL 이외의 방법으로 실리콘 기재를 식각한 구조는 어느 정도 크랙의 진행에 영향을 끼치나, 크랙의 진행을 멈추게 하지는 못하였다. 이에 비해, 도 6d에서 확인할 수 있는 바와 같이, DISL에 의해 실리콘 기재를 식각한 구조에서는 크랙 정지부에 의해 둘러싸여 보호된 고립 영역은 웨이퍼 다이싱 이후에도 크랙이 발생하지 않았다.

[0069] 본 발명의 일 실시예에서 크랙 노치와 크랙 정지부에 의한 크랙 개시와 종결의 정밀한 제어는 e-빔이나 고-에너지 빔 리소그래피와 같은 최신 고해상도 나노패터닝 접근법들에 대한 잠재적 대안으로서, 대면적 기재 상에 새롭고, 매우 간단하며, 고해상도 나노 패터닝이 가능한 기술이다. 이러한 대면적, 고해상도 나노-패터닝은 매우 비싸고, 긴 공정 시간을 가지며, 느린 순차 공정인 종래의 e-빔 리소그래피와 같은 기술로는 수행하기 어려운 작업이다. 그러나, 본 발명의 일 실시예는 웨이퍼 크기에 제한이 없을 뿐 아니라, 병행 및 자가-생성 공정(self-generated process)이라는 특징으로 인해 공정 시간과 비용의 증가 없이 대면적의 웨이퍼까지 쉽게 규모를 확장시킬 수 있다. 또한, 본 발명에서 사용된 재료들과 제조 공정들이 성숙하게 발전된 반도체 공정에 무리 없이 접목될 수 있기 때문에, 본 발명은 크기 감소(the level of scale-down)가 경쟁력으로 이어지는 반도체 산업에 즉각적으로 활용될 수 있다.

[0070] 본 발명의 일 실시예에서는 크랙의 제어를 위해 현 단계에서 성공적인 크랙 생성 필요 조건들을 만족시키기는

특정 최적 재료 조합(실리콘 웨이퍼 위에 증착된 Si_3N_4 박막)을 설명하였다. 그러나, 결정학적 방향으로 진행되는 채널링 크랙들 (the crystallographically oriented channeling cracks)을 개시하기 위한 기준을 만족시키는 또 다른 재료 조합이 있을 수 있다. 또한, 추가적인 등형 증착(conformal deposition) 및 연마와 같은 후공정들을 통해 크랙의 너비와 깊이 등의 좀 더 정밀한 조절이 가능하다.

[0071] 이하, 크랙의 진행방향에 대한 물리적 고찰을 하도록 한다.

[0072] 원자 수준의 관점에서, 크랙은 분자 결합의 파괴에 해당한다. 특정한 분자 결합이 근처의 다른 것들보다 높은 응력을 가지면, 그것의 결합이 깨질 가능성이 더 크고, 이에 따라 새로운 표면이 생성되며 탄성 에너지로 저장되어왔던 응력 에너지를 방출한다. 이러한 더 높은 응력을 가지는 부위는 현미경학적인 결점/흠 및 노치 구조물 등이 있고, 크랙은 이러한 부위에서 시작된다. 일단 크랙이 개시되면, 응력은 그것의 첨단에 집중되고, 이 지점으로부터 계속 진행된다. 그러나, 크랙의 진행을 유지하기 위해서는, 응력으로 저장되어 있던 탄성 에너지가 지속적으로 방출되어 다음의 크랙을 개시할 새로운 표면 생성에 요구되는 표면 에너지를 충분히 공급하여야 한다. 채널링 크랙은 평면내(in-plane) 진행 방향만을 포함하는 1 차원적 관통 크랙과 다르다. 이에, 채널링 크랙의 경우에는 평면 내 진행 이외에, 자유 표면에서 개시되어 경계면을 향해 확장되는 평면 외 진행 방향을 고려해야 한다.

[0073] 이러한, 2 차원 크랙의 경우에는, 일단 크랙이 개시되면, $K_I = \sigma\sqrt{\pi h}\cdot f$ 이 K_{Ic} 만큼 길어질 때까지 크랙의 진행이 계속되는데, 여기에서 K는 응력 확대 계수이고, f는 선행 연구에 의해 정의된 무차원 인성(non-dimensional toughness)이다. Si_3N_4 (질화규소)막은 매우 높은 경도를 가지므로 크랙은 경계면까지 모든 방향으로 진행되고, 크랙의 진행 방향에 있는 진행 매체(media)가 크랙을 개시하는 데 필요한 에너지보다 높은 에너지를 갖는다면 크랙은 기재까지 확장된다. 기재 내 크랙(기재 내로 침투한 크랙)의 성장은 응력장의 파괴를 일으키는 기재의 결정학적 배열에 의해 영향을 받는다. 이에, 사인파형 크랙이 기재 내로 상당한 깊이로 진행되기 위해서는 충분한 에너지를 필요로 하고, 이 에너지는 그 순간에 일어나는 응력 붕괴에 의해 발생한다.

[0074] 본 발명의 일 실시예에서 크랙의 추진력은 막응력인데, 이는 고유응력 및 열응력으로 구성된다. 본 발명의 일 실시예에서는 열응력의 기여는 비교적 적기 때문에, 고유응력을 기본적인 추진력으로서 설명하도록 한다.

[0075] 크랙의 복합적인 성질 때문에, Si_3N_4/Si 시스템의 균열 샘플의 막응력을 정확히 측정하기 위한 이론적인 시도는 사실상 성공하기가 매우 어려우며, 이러한 측정 결과에 대해서는 아직 보고된 바가 없다. 다만, 기존 연구의 실험 데이터를 토대로 하였을 때, Si_3N_4 막(증착 온도= 800℃, NH_3 유속 = 75 sccm)의 응력의 최적 근사치는 1.7 Gpa이다. 하기 조건들 하에서, 채널링을 위해 필요한 막 두께는 하기 식 1 에 의할 때 대략적으로 0.58 ㎛ 이다.

[0076] [식 1]

[0077] $$h_c = \Omega_c \frac{\overline{E_f}\Gamma_f}{\sigma_0^2}$$

[0078] 상기 식 1에서, Ω_c는 물질 파라미터에 의해 결정된 크랙킹 수이다. 이 값은 0.3 ㎛ 내지 0.5 ㎛ 의 실험적 수치보다 높은데, 이는 도 7a의 크랙의 표면에서 포물선 무늬로 보여진 것과 같이 증착 공정 중 증착된 막의 기하학적인 굽어짐이 크랙의 형성에 기여했기 때문이다. 유사한 이유로, 이론적으로 산출된 기재 내에서의 크랙 깊이는 하기 식 2에 의해 산출하면 대략 2.24 ㎛ 인데, 이는 도 9b에서 명확히 보여지는 실험적인 측정값보다 작다.

[0079] [식 2]

[0080] $$l_s = (\Omega_c Z - 1)\frac{\Gamma_f}{\Gamma_s}h_f$$

[0081] 상기 식 1 및 식 2에서, 무차원 수 Z 는 막과 기재의 탄성 계수에 따른 값이고, h_f, Γ_f, Γ_s는 각각 막의 두께, 막의 균열 에너지 및 기재의 균열 에너지이다. 단면도(도 9a 및 9b)의 포물선 무늬에서 보여지는 크랙들의 휘어짐은 응력 확대 계수 Ks의 변화를 나타낸다. 따라서, 기재 내 크랙 깊이에 의해 결정되는 응력이 영향을 받

게 된다. 결과적으로, 이들 계수는 평면 내(x-방향, 도 7b) 크랙에도 영향을 끼친다.

[0082] 실리콘의 절단 방향을 따라서 생성된 크랙들은 크랙 전면에서 크랙 경로까지 직각 방향의 굽힘을 일으키는 기하학적인 효과를 도입하고, 복원력은 크랙의 진행 축을 향해 비틀어진다. 막응력은 박막의 증착에 따라 증가한다. 이는 두꺼운 Si_3N_4 막을 가진 샘플에서 크랙들이 격변하는 경향이 있다는 관찰에 의해 입증되었고, 따라서 구부러짐 효과가 커질수록 기질 내 크랙의 길이는 증가하게 된다. 이러한 모든 현상들은 Si_3N_4/Si 조성물의 이방성과 재료의 균열 에너지에 의존하는 크랙의 속도를 포함한 복잡한 요소들을 통해 서로 동시에 영향을 준다.

[0083] 박막의 두께가 두꺼워질 때와 같이, 에너지 상태가 충분한 수준에 도달한 때 사인파형 크랙이 발생한다. 실리콘 기재와 Si_3N_4막의 복합체 샘플의 경우, 막응력은 증착 온도에서 최대값에 달한다. 따라서, 탈착 공정보다 증착 공정 동안에 크랙이 개시된다. 본 발명의 일 실시예에서, 2 ㎛까지의 다양한 두께들로 Si_3N_4를 증착할 경우, 사인파형 크랙은 박막 두께가 두꺼워짐에 따라 강도가 약해진다. 이는 크랙이 증착 공정의 초기 단계에 형성되었고, 계속된 증착에 의해 뒤덮인(buried) 것임을 보여주는 것이다(도 7c 참조). 샘플의 온도가 실온까지 떨어짐에 따라, 고유 응력의 감소는 전체적인 막응력의 감소를 유발하므로, 크랙들이 실온 (또는 특정 임계온도 이하)에서 웨이퍼 절단, 압입, 또는 다른 유사한 공정 도중 기계적인 충격에 의해 개시된다면, 크랙들의 휘어짐을 유도하는 기질내 크랙킹이 적기 때문에 직선 크랙이 대신 형성될 수 있다(도 6d 및 도 7d 참조). 이처럼 샘플의 온도가 낮은 경우에, 응력장은 최대 공정 온도에서의 크기보다 감소하고, 직선 크랙들은 사인파형 크랙들에 비하여 너비가 작아진다.

[0084] 때때로, 재료 내의 또는 구조물 가장자리의 결점(예를 들면, 기재 내의 구조물 또는 막 증착 전에 깔려있던 구조물)이 증착 단계 도중에 직선 크랙을 개시할 수 있다. 그러한 크랙은 본 발명의 목적 시점 이전에 일어날 수 있다. 이 경우, 크랙이 일어나는 시점에 박막은 충분히 두껍지 않으므로 사인파형 크랙을 형성시킬 정도의 충분한 고유 응력을 갖지 못한다. 따라서, 증착 과정 중의 크랙 형성 시점은 크랙의 유형이 정해지는데 있어 결정적인 요소이다.

[0085] SiO_2와 같은 중간층이 실리콘 기재와 Si_3N_4막 사이에 존재할 때, 또는 기질의 결정학적인 특징이 (100)의 실리콘 웨이퍼의 특징과 다를 때에는, 앞서 설명된 것과 같은 사인파형 크랙 효과는 일어나지 않고, 이 경우의 크랙의 진행은 직선형으로 일어난다. 바늘땀형 크랙은 외부 요인에 의해 SiO_2 중간층이 먼저 균열될 때 일어나고, 분기(branching)는 지속적으로 진행될 수 있다.

[0086] 이하에서는, 크랙 회절 메커니즘에 대한 고찰을 하도록 한다.

[0087] <110>의 방향과 다른 진행방향을 향해 위치된 크랙 노치로부터 일어나는 사인파형 크랙은, 도 6e에서와 같이 <110>의 방향을 따르기 위해 휘어지게 된다. 비-중간층 영역에 들어가는 직선 크랙들은 전술한 <100>의 방향으로 진행하기 때문에, 비-중간층 영역으로 들어간 후에 크랙은 휘어진다.

[0088] 도 10a에서와 같이, 모든 영역들은 전이 영역을 가지며, 전이 영역에는 두 종류가 있다. 첫 번째는 도 10a에서 붉은 색과 푸른색으로 표시되는 서브영역(subregions)으로서 크랙의 비틀림이 유발되는 곳이다. 두 번째는 도 10a에서 녹색으로 표시되는, 직선과 사인파형 크랙을 전파하는 안정된 진행 영역이다. 그러나, 도 10b에서와 같이, 비-중간층 영역의 너비가 전이 영역의 길이보다 짧을 때, 크랙은 안정된 진행 영역에서 <110>의 방향의 진행을 유지할 수 없다. 다시 말해서, 크랙의 이동 거리가 전이 영역의 길이에 비해 불충분하기 때문에 사인파형 크랙이 만들어질 수 없다. 이 경우, 도 10b에서와 같이 크랙은 경계면 부근의 전이 영역을 통과한 후 애초의 직선 크랙 방향으로 되돌아 간다.

[0089] 주기적으로 나타나는 중간층(도 10b 및 도 12)을 가진 샘플에서, 층간의 경계면에서 직선 및 사인파형 크랙은 다음 차례의 크랙 개시에 있어 매우 정확한 크랙 노치의 기능을 한다. 따라서, 모든 크랙들은 매우 비슷한 각도로 휘어진다. 다시 말해서, 응력장의 크기가 인접 부위와 유사한 웨이퍼의 임의의 부위에서, 결정 방향에 기초한 크랙의 개시 각도가 같다면, 휘어지는 궤적 및 진행 형태를 포함한 진행 양상이 동일한 크랙이 형성된다는 것이다.

[0090] 도 10b는 모든 중간층 영역에서 동일한 진행 각도로 휘어지는($\Theta_1 = \Theta_2 = \Theta_3 = \Theta_4$)의 직선 크랙들을 나타내는 반면, 도 12에서는 서로 다른 중간층 영역에서 서로 다른 각도로 휘어지는 직선 크랙의 진행이 관찰되었다($\Theta_1 \neq \Theta_2$). 앞서 설명한 직선 크랙들이 여러 개의 진행 방향성 중의 하나를 선택한다는 해석을 토대로 하여, 기재

의 결정 방향성에 비례한 패터닝 구조가 불일치하는 경우, 비틀림 영역에서 크랙의 진행 각도를 변화시켜 이러한 차이점을 유발되는 것이라고 추정할 수 있다.

[0091] 도 12에서 확인할 수 있는 바와 같이, 패터닝 구조가 불일치하거나 또는 식각이 불충분한 경우, 도 10b와 달리 특정 중간층 영역에 있는 크랙은 여러 개의 가능한 진행 방향 중 하나를 선택할 것이다. 그러나, 어떤 중간층 영역에서의 크랙 또한 여전히 모두 동일한 진행 방향성을 보였다.

[0092] 이하에서는 크랙 정지부 메커니즘에 대한 고찰을 하도록 한다.

[0093] 막응력으로부터 저장된 탄성에너지는 그것의 감소속도 G가 크랙 저항값 R에 도달할 때 크랙의 추진력이 된다. 일반적으로, G는 응력의 제곱에 비례하기 때문에, 크랙은 이 조건에 따른 균일한 응력장 하에서 계속적으로 성장한다. 크랙의 진행 중에 응력의 크기가 감소하면, 크랙은 G에 의하여 간섭받는다. G가 R값과 비슷한 정도까지 감소하면 크랙은 정지하게 된다. 크랙 정지 구조는 G를 감소시켜 크랙을 정지시킨다. 도 8a의 왼쪽 그래프와 같이, 탄성에너지는 크랙의 진행 동안(그래프의 적색 영역)에 감소하지만, 크랙을 완전히 멈추기에 충분하지 않다. 반면에, 도 8a의 오른쪽 그래프와 같이, 다층 구조가 도입되고 이에 따라 에너지가 부족 기간이 길어지면 크랙 진행은 종결된다. 도 8b에서는 증착 공정 동안에 웨이퍼 가장자리에서 유래된 것과 같은 조절 불가능한 크랙들의 침입에 대비하여 "크랙 비함유 영역(crack free region)" 을 보호할 수 있는 크랙 정지부를 나타내었다.

[0094] 도 8a의 왼쪽 그래프는 1 층의 계단형 구조를 지나는 크랙의 진행 방향에서의 막응력을, 오른쪽 그래프는 3 층의 계단형 구조를 지나는 크랙의 진행 방향에서의 막응력을 나타낸다. 크랙의 진행을 위한 가상의 최소 응력값은 수평의 검은색 점선으로 표시되고, 위와 아래의 청색 및 적색 영역들은 잉여 및 부족 에너지들을 나타낸다. 각 구조의 총 높이는 15 ㎛ 이고, 3 층 구조에서 각 계단형 구조의 크기는 너비와 높이 모두 5 ㎛이다.

[0095] 응력의 왜곡을 유발하는, 부분적으로 요철형상을 가지는 웨이퍼 가장자리에서는 다수의 크랙들이 불규칙적으로 발생한다. 도 8b의 왼쪽 이미지의 점선은 웨이퍼의 가장자리를 나타낸다. 도 8b의 오른쪽 이미지의 크랙 정지부(녹색 영역)는 "크랙 비함유 영역" 을 보호하기 위해 배치되었다. 웨이퍼 가장자리에서 발생된 모든 크랙들은 크랙 정지부에 의해 성공적으로 정지하였다(도 8b 오른쪽 이미지 참조).

[0096] 이하, 크랙의 최소 및 최대 길이에 대해 설명하도록 한다.

[0097] 크랙 길이는 마이크로 노치 및 크랙 정지부 간의 거리를 다양화시킴으로써 조절할 수 있다. 노치에 의해 개시되고 크랙 정지부 또는 다른 노치에 의해 정지되는 사인파형 나노 크랙의 최소 길이는, 도 13에서와 같이 나노 규모 너비를 유지할 때 약 50 ㎛ 일 수 있다. 본 발명의 일 실시예에서는 두 마이크로 구조물들 간의 응력장 상호작용에 의해 사인파형 크랙을 만들어내기 위해서 마이크로 구조물들(노치 또는 정지부)이 최소 분리 길이 이상 떨어져 있어야 한다. 이에 따라, 크랙들의 실질적인 최소 길이가 설정될 수 있다. 이 길이는 본 연구 조건 하에서 사인파형 크랙의 진동 사이클의 약 절반 정도였다. 반면에, 크랙의 최대 길이는 크랙이 생성되는 실리콘 웨이퍼의 직경만큼 길어질 수 있다. 즉, 크랙이 개시되면, 크랙 정지부 또는 웨이퍼의 결함에 의해 방해되지 않는 이상 웨이퍼의 끝까지 진행될 수 있다. 결과적으로, 최대 길이 값은 웨이퍼 사이즈에 의해서밖에 제한되지 않는 것이다. 본 발명의 일 실시예에 따르면, 100 ㎜ 웨이퍼 위에서 100 ㎜ 길이 크랙을 생성할 수 있고, 도 14 에서와 같이 최대 10^6의 종횡비를 달성할 수 있다. 즉, 더 큰 웨이퍼들(150 ㎜, 200 ㎜, 또는 300 ㎜ 웨이퍼)은 비슷한 나노 규모의 넓이들을 가진 더 긴 크랙을 생성할 수 있다.

[0098] 이하, 결정학적 방향으로 진행되는 채널링 크랙들을 개시하기 위한 기준과 한계점에 대해서 설명하도록 한다.

[0099] 결정학적 방향으로 진행되는 채널링 크랙을 개시하기 위한 기준은 하기와 같다.

[0100] (1) 제조 공정 동안 잔여 응력이 충분해야 하고, (2) 박막 균열 에너지가 기재의 균열 에너지를 적절히 초과해야 하며, 또한 (3) 기재로 침투하는 크랙들은 적절한 평면내 진행 방향을 잃지 않도록 충분히 뻗어나가야 한다.

[0101] 상기 이유들 때문에, 마이크로 제조 분야에서 박막 증착을 위해 일반적으로 사용되는 다양한 취성 재료들 중에서, 실리콘 웨이퍼 기재 상의 Si_3N_4 및 SiO_xN_y(실리콘 옥시나이트라이드)를 포함하는 유사 물질들이 크랙 개시 및 조절을 성공적으로 재현하기 위한 최적의 재료 조합일 수 있다. 크랙 현상은 특정 재료 조합에 국한되어 왔으나, 실리콘 카바이드와 같은 적절한 균열 에너지를 갖는 추가적으로 발견될 재료들에서 유사한 크랙 제조를 가능하도록 할 것이라고 예상할 수 있다.

[0102] 이하에서는 복합 나노 구조물의 제작을 위한 크랙 제어에 대해서 설명하도록 한다.

[0103] 크랙 정지부와 같은 노치는 인접한 응력장을 조절하는 능력을 가지므로, 크랙의 진행 경로 위의 정확한 위치에 놓여질 때 크랙의 진행을 종결하는 데 사용될 수 있다. 크랙의 규모는 매우 작지만, 크랙의 진행 방향은 실리콘 기재의 결정학적인 방향들에 의해 완벽하게 결정되기 때문에, 크랙 정지부로서의 노치의 배치는 어렵지 않다. 도 16a 및 16b는 크랙의 개시와 종결 모두에 노치를 사용할 수 있음을 보여준다. 이러한 크랙 정지부로서 최적의 성능을 가지기 위해서는, 노치 첨단의 방향이 크랙의 진행 방향을 향해야 한다. 크랙 진행을 정지할 수 있는 또 하나의 구조는 이미 만들어진 크랙이다. 도 16b에서와 같이, 먼저 형성된 크랙들은 샘플 절단 공정 동안 발생하는 외부의 크랙들 뿐 아니라 동일 실험에서 발생한 크랙들의 진행을 정지시킬 수 있다.

[0104] 크랙 역학은 균열이 발생하는 영역 이내에서 응력장에 의해 지배되는 모든 현상들을 포함한다. 결과적으로, 응력장을 조절할 수 있는 수단이 있다면 크랙 개시, 굴절 및 정지의 어느 유형의 크랙도 제어할 수 있을 것이다. 크랙들이 인접한 식각된 구조의 응력장을 통해 진행할 때, 진행 방향을 상실한 크랙의 경우에서 하나의 가능성이 관찰된다. 도 16c에서와 같이, 사인파형 크랙은 노치와 점 구조에 대하여 빠르게 휘어지고, 90 도로 회전한 후에 크랙 진행을 계속한다. 도 16d는 나노 유체 상에서의 크랙 진행에 관한 것으로서, 사인파형 크랙 나노 채널의 응용례를 보여준다.

[0105] 이하에서는 반도체와 MEMS 제조 산업에 대한 영향을 설명하도록 한다.

[0106] 반도체와 MEMS 제조 산업 등에 있어서 크랙 제어 연구의 주요 결과는 (1) 최신 나노-패터닝 방법으로도 형성하기 어려웠던, 매우 길고 매끄러운 형상의 1차원 나노-채널(너비 수십 nm, 길이 100 ㎜)을 생성할 수 있었다는 것, 그리고 (2) 최근의 크랙 생성 공정은 비싼 외국의 나노-패터닝 방법이 필요 없이 종래의 반도체와 MEMS 제조 도구들만을 사용한다는 점 등을 들 수 있다. 따라서 상대적으로 적은 비용과 현존하는 반도체 및 MEMS 시설들의 가벼운 개량만으로 본 발명에 따른 크랙 제어 기술을 적용할 수 있다.

[0107] 본 발명은 MEMS 제조 분야와 반도체 산업의 전반적인 발전을 제공할 수 있는 잠재력을 가진다. 본 발명에 따른 실험들은 크랙들의 개시, 패터닝 및 크랙의 정지를 포함하는 크랙의 정확한 조절과 제어를 가능하게 한다.

[0108] 본 발명의 가장 큰 효과로서, 지금까지는 크랙은 무작위적으로 발생하는 것으로 생각되어 왔음에도 불구하고, 이러한 크랙이 마이크로 제조 기술에 의해 조절될 수 있고, 그러한 조절된 크랙들은 기존 MEMS 기술의 해상도의 한계를 넘어 빠른 나노 제조 방법의 발전을 가져올 수 있다는 점을 들 수 있다. 또한, 이러한 고해상도 나노-크랙 구조는 e-빔, FIB (focused-ion-beam) 라이팅(writing), 근접 프로브 패터닝 (proximal probe patterning), X-레이, 또는 극자외선 리소그래피 (extreme UV lithography)와 같은 비싸고 매우 복잡한 나노-리소그래픽 기술들과 비교하여 오히려 종래의 MEMS 기술만을 필요로 한다. 이런 이유 때문에, 크랙 제어를 이용한 기술은 공정을 조절할 필요성 없이 현재의 MEMS 제조 산업에 손쉽게 적용될 수 있고, 이는 매우 적은 추가 비용으로 종래 MEMS 공정의 해상도를 최신의 E-빔, FIB, 또는 극자외선 리소그래피(DUV lithography)의 해상도 수준으로 극적으로 업그레이드 시킬 수 있을 것으로 기대된다. 본 발명에 따른 크랙 제어 기술은 또한 웨이퍼의 크기에 의해 제한되지 않는, 길고 제어된 1 차원 나노-라인들을 제조할 수 있다. 종래의 발달된 나노-리소그래픽 기술들보다 더 간단하고, 빠르고 비용효율성이 더 좋으며 그와 유사한 해상도를 제공할 수 있는 나노제조 기술은 현 MEMS 제조 산업에 이익이 될 것이 분명하다.

[0109] 0 차원 나노 구조와 달리, 잘 조절된 크기와 형태를 가진 1차원 나노 구조에 대한 연구는, 제조와 합성의 어려움 때문에 최근까지 거의 진전이 없었다. 설령 앞서 언급된 나노-리소그래피 기술들을 이용하여 1 차원 나노 구조들이 제조될 수 있다고 해도, 현실적인 접근을 위하여 대규모, 대면적 1차원 나노 구조 패턴을 빠르고 합리적인 저비용으로 생산하는 기술은 개발되지 않았다.

[0110] 최신의 초고해상도 리소그래피 기술에 의해서도 높은 종횡비를 가지는 1 차원 나노 구조의 제조는 어렵다. 100 ㎜ 웨이퍼의 직경을 가로지르는 매우 큰 너비vs 길이 비(너비 10 nm 대 길이 100 ㎜)를 가진 초고 종횡비(10^6 이상) 1차원 나노-라인들은 본 발명에서 기술된 크랙 제조 방법을 통해 쉽게 제조될 수 있다. 이러한 종류의 고 종횡비 나노-라인 패턴 생성은, 이들 기술들의 작은 라이팅 필드 (대개 100 ㎛ ~ 1 ㎜)에 의한 한계 때문에 전술한 나노-리소그래피 기술들에 의해서 조차 시도되지 않았다. 필드의 왜곡, 비초점화, 전자 후방 산란 (electron back scattering) 등의 여러 가지 난관들은 이러한 나노-리소그래피 기술들에 의한 대 면적 패터닝의 저해요소이다. 그러한 종래 방법에 의한 대량의 긴 패터닝의 경우, 단계를 반복하는 접근방법을 이용한 스티칭을 위해 기재를 움직여야 할 것이다. 매우 매끄러운 초-장(ultra-long) 1차원 나노-라인들을 만들기 위해서는, 스티칭을 위해 거대 면적에 걸쳐 정확히 단계를 조절하여야 한다. 이러한 접근 방법은, 양자간에 정확하게 배치된 라이팅 필드(writing field)의 매우 세밀한 타일링(tiling)과 극도의 정확성을 가진 패턴 정렬을 필요로

한다. 100 mm 웨이퍼의 직경을 가로지르는 1 차원 나노-라인을 만들기 위해서는, 적어도 100 번의 성공적인 스티칭을 반복해야 한다. 단 한번의 스티칭 실패마저도 공정 전체의 실패로 이어지기 때문이다. 이에, 종래의 고해상도 패터닝 방법으로는 실리콘 기재 상에 센티미터 규모 이상의 나노-라인 패턴을 생산하는 것은 매우 비실용적이다.

[0111] 그러나 본 발명에 따른 크랙 제어 방법은 간단한 미세 패터닝 방법으로서, 매우 긴 나노 라인들을 용이하게 제조할 수 있다. 더욱이, 이러한 접근 방식은 공정 시간도 훨씬 짧다. 예를 들어, e-빔 리소그래피(1 mC/cm^2의 투여량 및 1 nA의 빔 전류)를 사용하여 1 cm^2 면적을 처리하는 데는 단계 이동이나 빔의 차단시간을 포함하지 않아도 최소 12일 이상이 소요된다. 300 mm 실리콘 웨이퍼의 700 cm^2 표면적을 커버하기 위해, 최소 라이팅(write) 시간은 7×10^8 초, 또는 약 22 년까지 증가할 것이다. 패터닝 면적이 증가 될수록, 공정 시간은 더욱 증가 된다.

[0112] 그러나 본 발명에 따른 크랙 제조 공정은 웨이퍼의 크기에 관계없이 공정시간을 수 시간 단위로 감소시킬 수 있다. 산업 현장에서 사용되는 대규모의 기재에 적용될 때 본 발명에 따른 공정의 능력과 중요성은 배가될 것이다.

[0113] 따라서, 비용, 처리량, 대면적 패터닝 및 대량 생산을 위한 잠재력의 측면에서, 종래의 MEMS 기술을 통한 크랙 제작을 기초로 하는 본 발명에 따른 나노-패터닝 방법은 1 차원 나노 구조들을 생성하는데 있어 진보된 나노 제조 기술들에 대한 대안이 될 수 있을 것이다. 본 발명에 따른 모든 공정은 전형적인 MEMS 제조 기술이고, 복잡한 변형이나 추가 비용이 필요하지 않다. 이는 본 발명이 종래의 MEMS 제조 방법과 산업적 규모의 제조 기술에 매우 쉽게 적용될 수 있다는 것을 의미한다.

[0114] 이하 실시예를 통하여 본 발명을 더욱 상세하게 설명하도록 한다.

[0115] 이때, 하기의 실시예는 단지 설명의 목적을 위한 것이며 본 발명의 범위를 한정하고자 하는 것은 아니다.

[0116] [실시예]

[0117] 본 발명의 일 실시예에서 사용된 샘플은 525 ㎛ 두께 (100) 실리콘 웨이퍼를 사용하여 제조되었다. 그러나, 크랙 전파 방향 의존성을 관찰하기 위해서 일부 실험은 (110)과 (111) 실리콘 웨이퍼를 사용하였다. Si_3N_4(화학양론 질화규소)막은 정확하게 조절된 온도(800℃)와 압력(200 mTorr) 조건에서 저압 환경으로 화학 전구체 가스로부터 박막 증착법을 통해 형성되었다.

[0118] 본 발명의 일 실시예에서 사용된 원료 기체와 질량 유량은 디클로실란(H_2SiCl_2) 75 sccm와 암모니아(NH_3) 25 sccm이다. SiO_2 중간층은 열산화로 1000℃에서 증착되었고, 100 nm 내지 2 um 사이의 다양한 증착 두께의 시료를 사용하였다.

[0119] 본 발명의 일 실시예에 따른 크랙 개시 노치 제조 방법은 소수의 단계를 포함하는 간단한 공정이 되도록 고안되었고, 이러한 이유로 노치 구조물의 디자인 변화들을 최소화하는 방향으로 적용할 수 있다. 노치의 높이는 노치와 함께 제작되는 다른 구조물에 의해 결정되지만, 노치에서 크랙 개시의 가능성은 높이가 5 ㎛ 이상일 때 만족스러운 수준에 도달한다. 크랙 굴절을 위해, SiO_2 중간층은 이산화규소 화학 식각 공정을 사용하여 패터닝되었고, Si_3N_4는 앞서 언급된 것과 동일한 화학적 박막 증착 절차를 사용하여 중간층 위에 증착되었다.

[0120] 본 발명의 일 실시예의 구체적 과정은 하기의 단계에 따라 수행된다.

[0121] 먼저, 포토리소그래피 공정(Photolithography Processes)은 다음과 같다.

[0122] A) 실리콘 웨이퍼의 준비(100 mm, P 형 (붕소), 두께 (>500㎛)).

[0123] B) 스핀 코터(spin coater)를 사용한 포토레지스트(PR) 스핀 코팅.

[0124] B-1) PR 부착 증진을 위한 베어(bare) 실리콘 상의 위에서 HMDS(헥사메틸다이실라잔; hexamethyldisilazane, AZ AD Promoters K, AN Electronics Materials) 스핀 코팅(300 rpm (0 초에서 가속, 10 초 유지) ~ 6000 rpm (10 초에서 가속, 60초 유지).

[0125] B-2) HMDS 코팅된 실리콘 웨이퍼 위에 PR 스핀코팅(250 rpm (0 초에서 가속, 10 초 유지) ~ 4000 rpm (10 초에

서 가속, 35초 유지)).

[0126] C) 소프트 베이크 (Soft Bake).

[0127] C-1) 95° C에서 90초 동안 핫플레이트 위에서 소프트 베이크.

[0128] D) 노광(Exposure).

[0129] D-1) 마스크 정렬기를 사용하여 10.2 mJ 에너지에서 20초 동안 소프트 베이크된 포토레지스트 노광.

[0130] E) 현상(Development).

[0131] E-1) 150초 동안 현상액(AZ300MIF, AZ Electronics Materials) 중에 웨이퍼 침지.

[0132] E-2) 증류수를 사용해서 헹굼.

[0133] F) 하드 베이크(Hard Bake).

[0134] F-1) 95℃에서 120초 동안 핫플레이트 위에서 소프트 베이크.

[0135] 다음, 식각 공정은 하기와 같다.

[0136] A) RIE(반응성 이온 식각장치)를 사용하여 실리콘 옥사이드를 식각.

[0137] A-1) 4 mTorr 진공상태 조성.

[0138] A-2) SF_6 가스를 20 sccm으로 흐르게 하고 50W로 플라스마 적용.

[0139] A-3) 실리콘 웨이퍼의 식각을 위해 20분 동안 150 mTorr에서 진공을 유지.

[0140] A-4) 식각 공정이 완료된 후, 챔버가 대기압(760 Torr)에 도달할 때까지 N_2 를 유입하여 진공 챔버 내의 다른 가스를 제거.

[0141] B) DRIE(딥 식각기)의 bosh 공정을 사용하여 실리콘을 식각.

[0142] B-1) 챔버의 고정 장치 상에 하드 베이크된 실리콘 웨이퍼를 올림.

[0143] B-2) 23 mTorr의 진공상태 조성

[0144] B-3) 0.5 sccm의 C_4F_8 가스, 100 sccm의 SF_6 가스와 30 sccm의 Ar 가스를 흐르게 함.

[0145] B-4) 각 사이클마다 5 초씩, 목표 식각 깊이가 얻어질 때까지 공정을 반복.

[0146] B-5) 식각 공정이 완료된 후, 챔버가 대기압(760 Torr)에 도달할 때까지, N_2 를 유입하여 진공 챔버 내의 다른 가스를 제거.

[0147] 다음으로, LPCVD (저압화학기상증착) 시스템에 따른 Si_3N_4 증착 공정은 다음과 같다.

[0148] A) 반응성 이온 식각 또는 심도 반응성 이온 식각 공정 후에 잔여 포토레지스트를 제거하기 위하여 웨이퍼를 세척.

[0149] A-1) 황산(H_2SO_4)과 과산화수소 (H_2O_2)를 2 : 1 비로 혼합하여 Piranha 용액 준비.

[0150] A-2) 10분 동안 실리콘 웨이퍼 침지.

[0151] A-3) 증류수를 이용하여 헹굼.

[0152] B) LPCVD에 의한 질화규소의 등형 증착.

[0153] B-1) 예를 들어, 1 μm 두께의 질화 실리콘 증착을 위해 온도(800° C), 압력(300 mTorr), 유속(75 sccm DCS (디클로로실란)), 25 sccm NH_3, 처리 시간(240 분)의 조건을 적용.

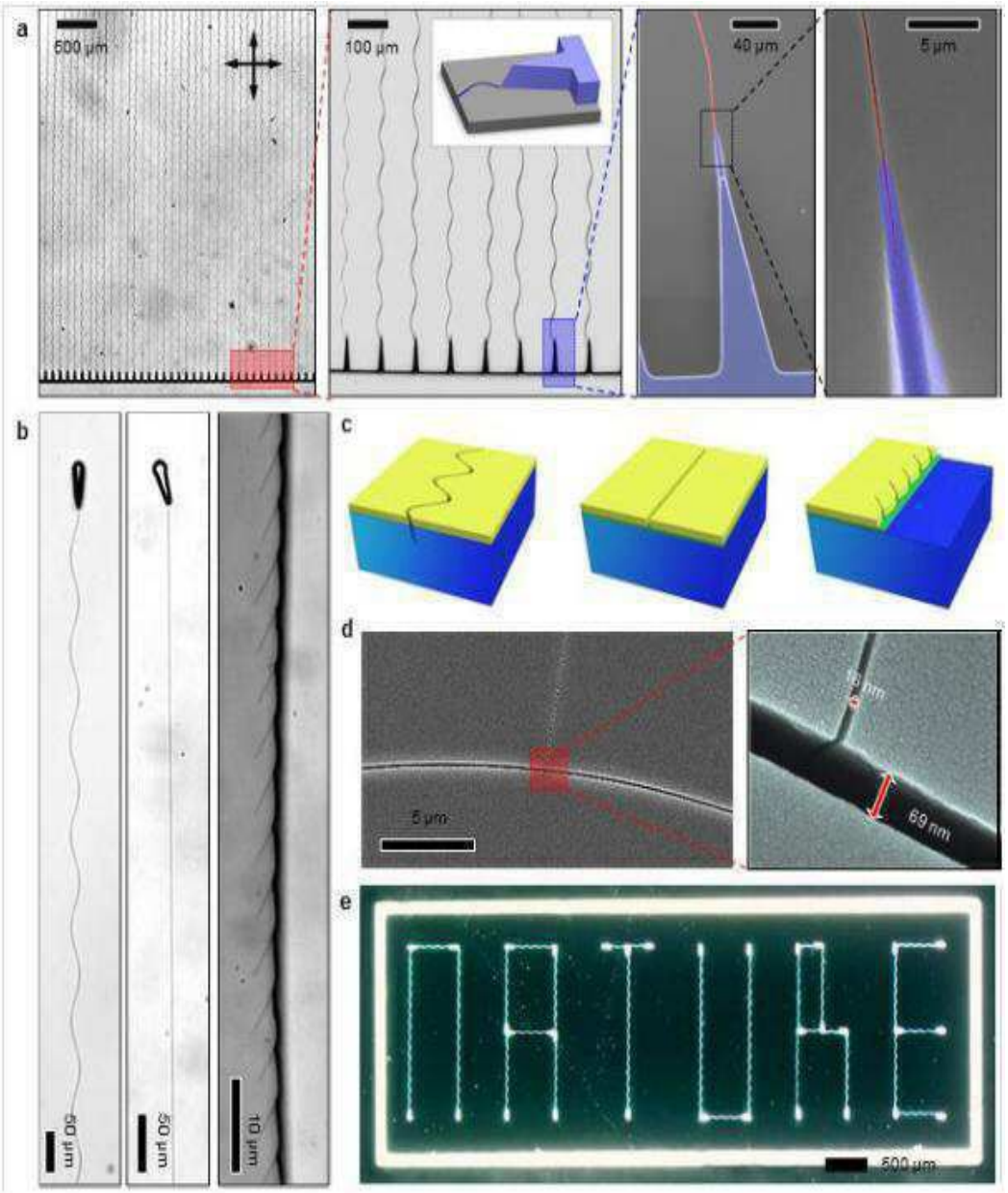
[0154] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가

지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

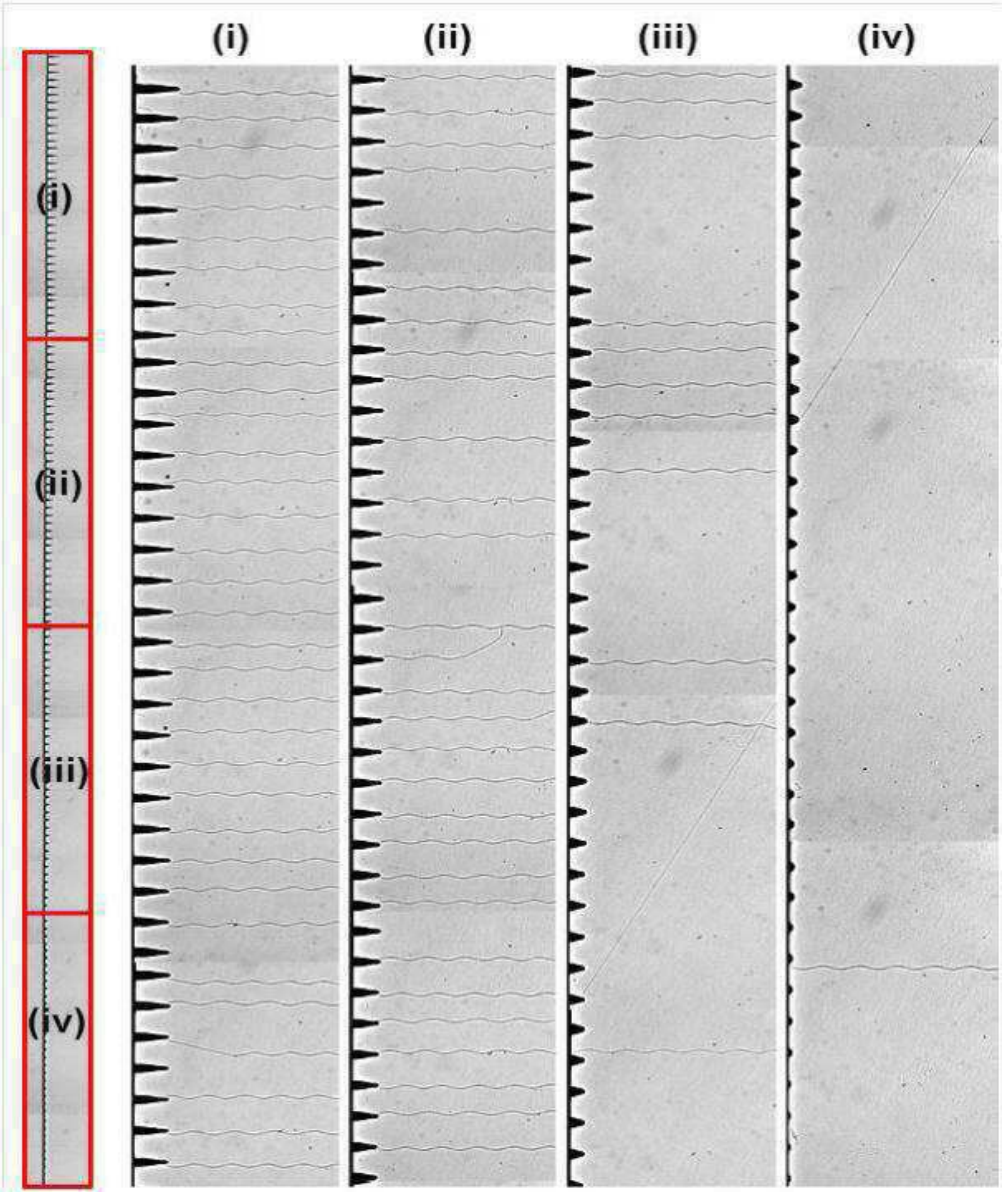
[0155] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

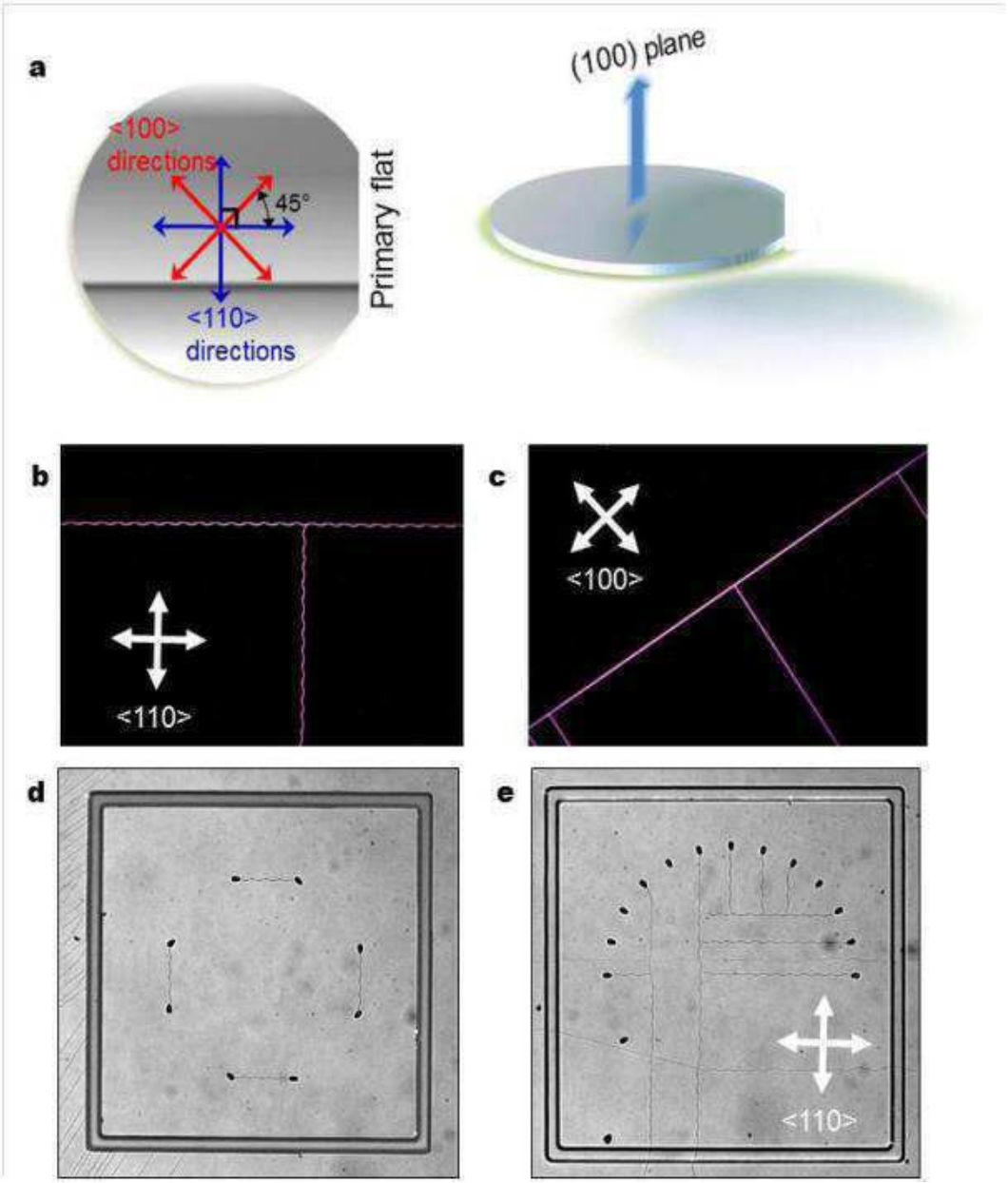
도면1



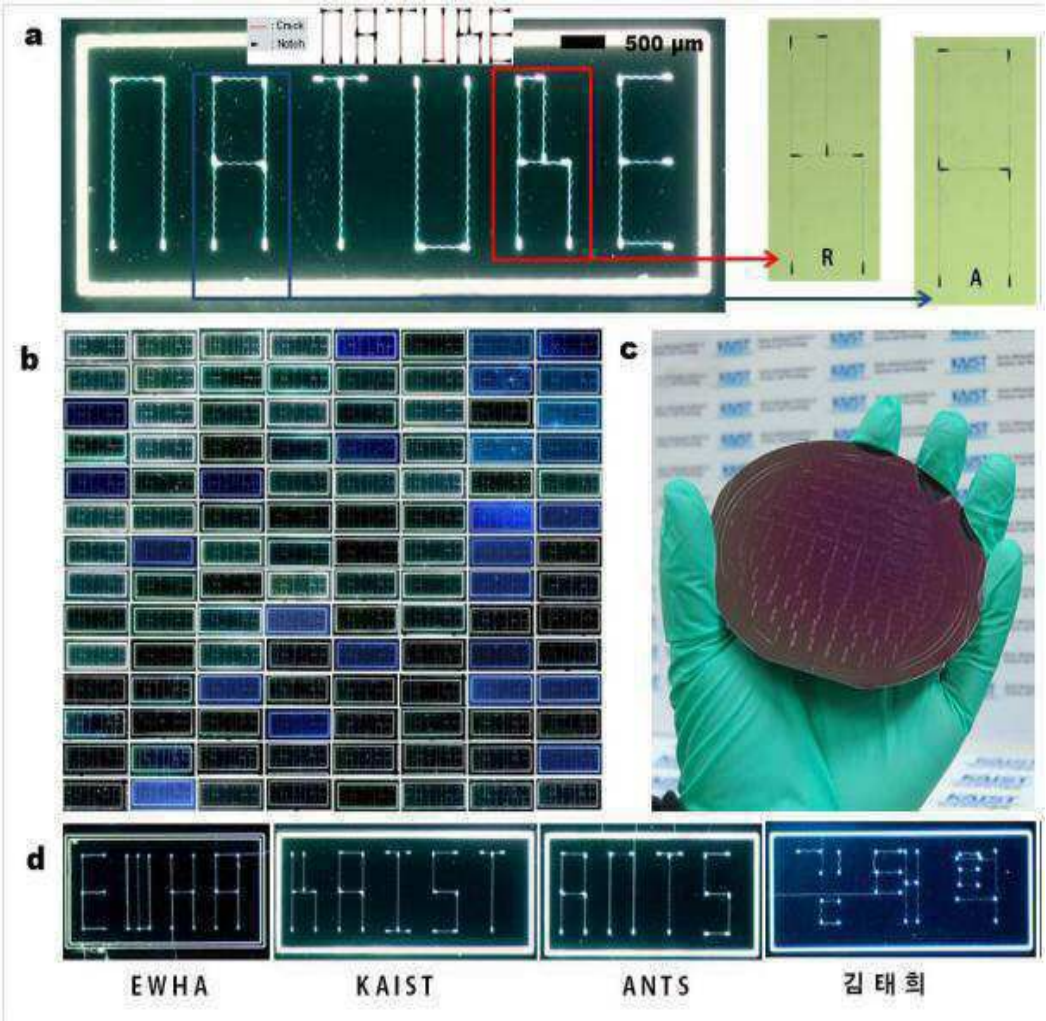
도면2



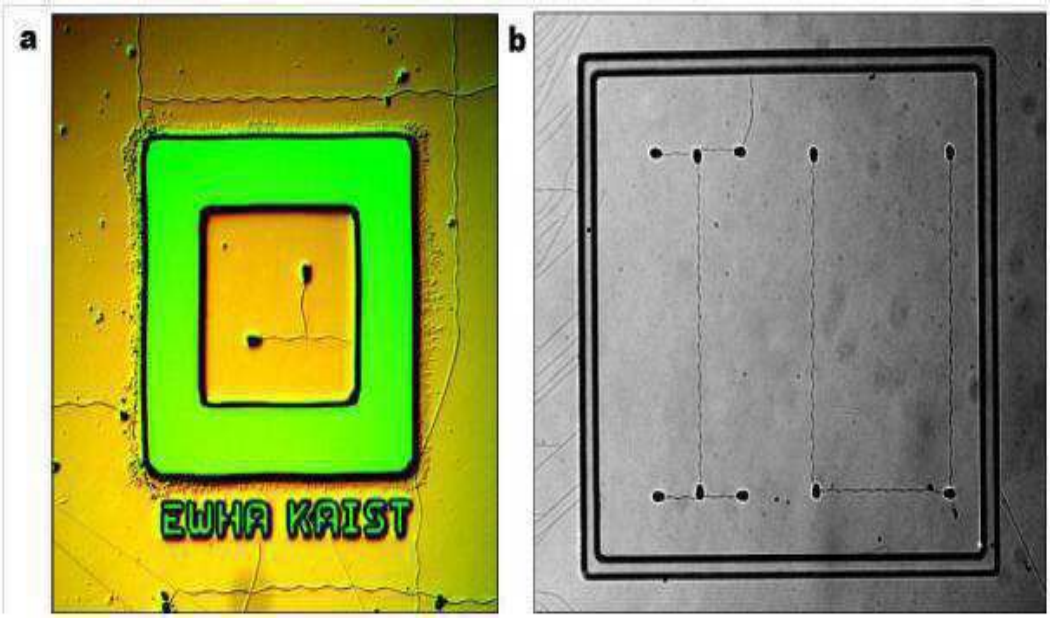
도면3


a
<100>
directions
45°
<110>
directions
Primary flat
(100) plane
b
<110>
c
<100>
d
e
<110>

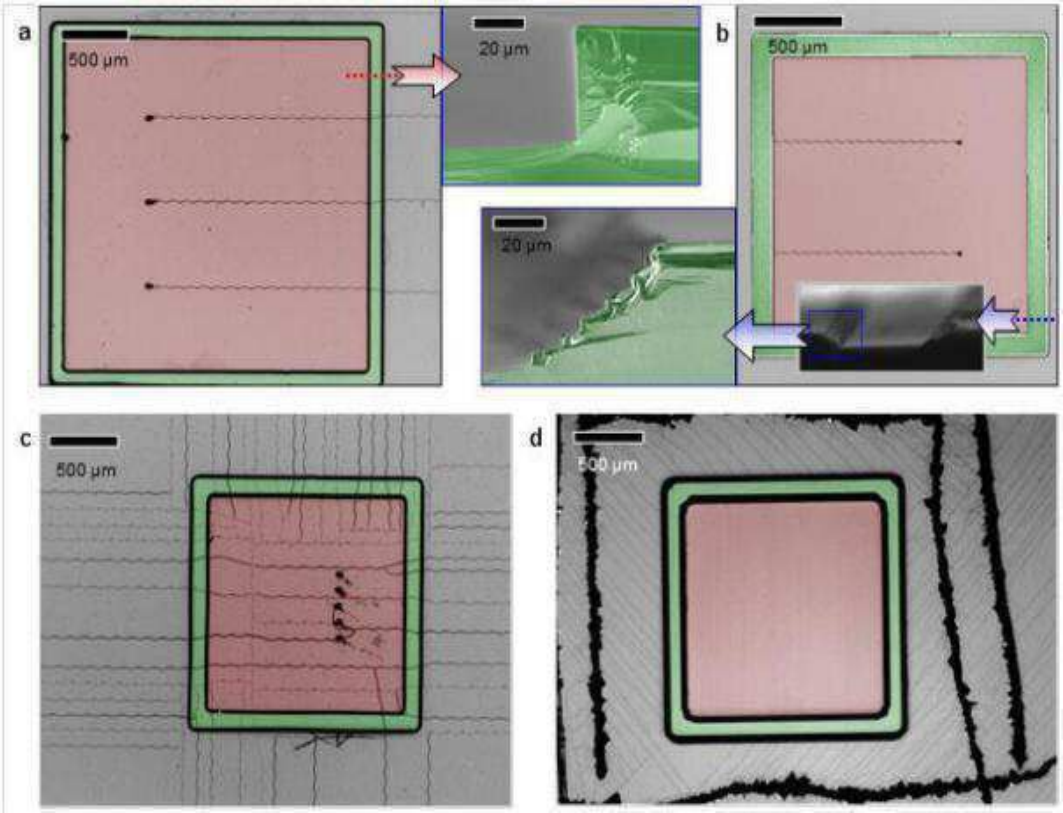
도면4



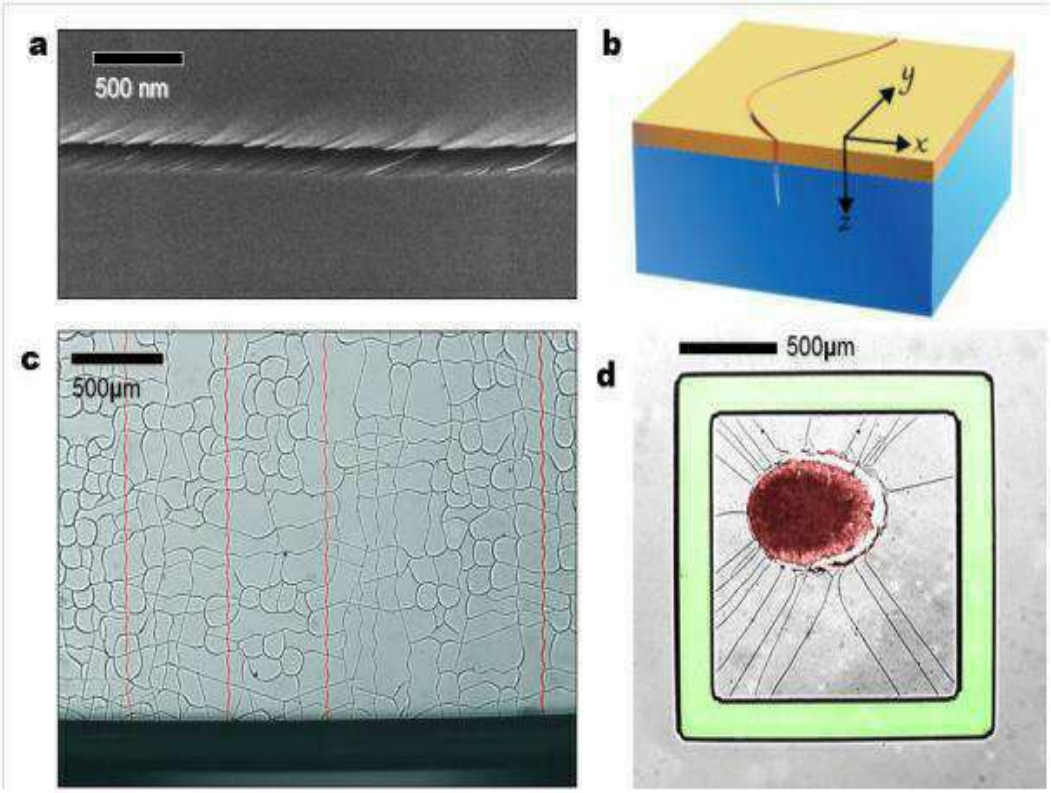
도면5



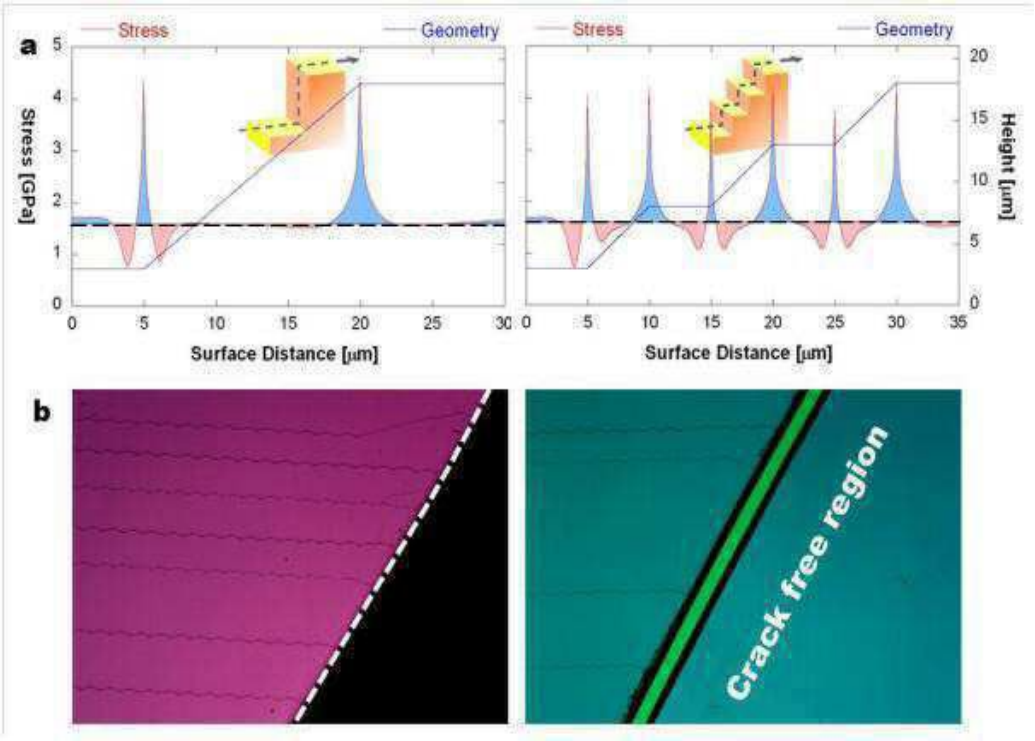
도면6


a
500 μm
20 μm
b
500 μm
20 μm
c
500 μm
d
500 μm

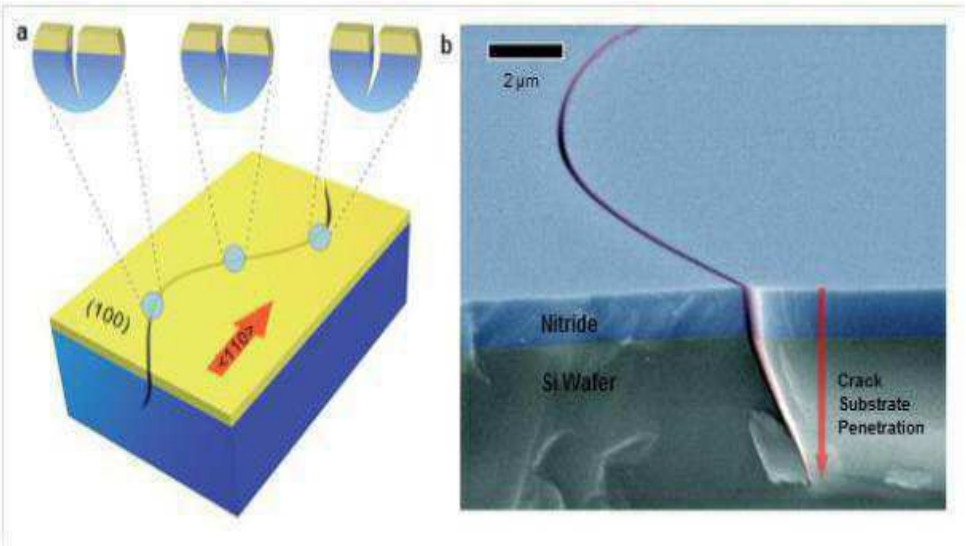
도면7


a
500 nm
b
y
x
z
c
500μm
d
500μm

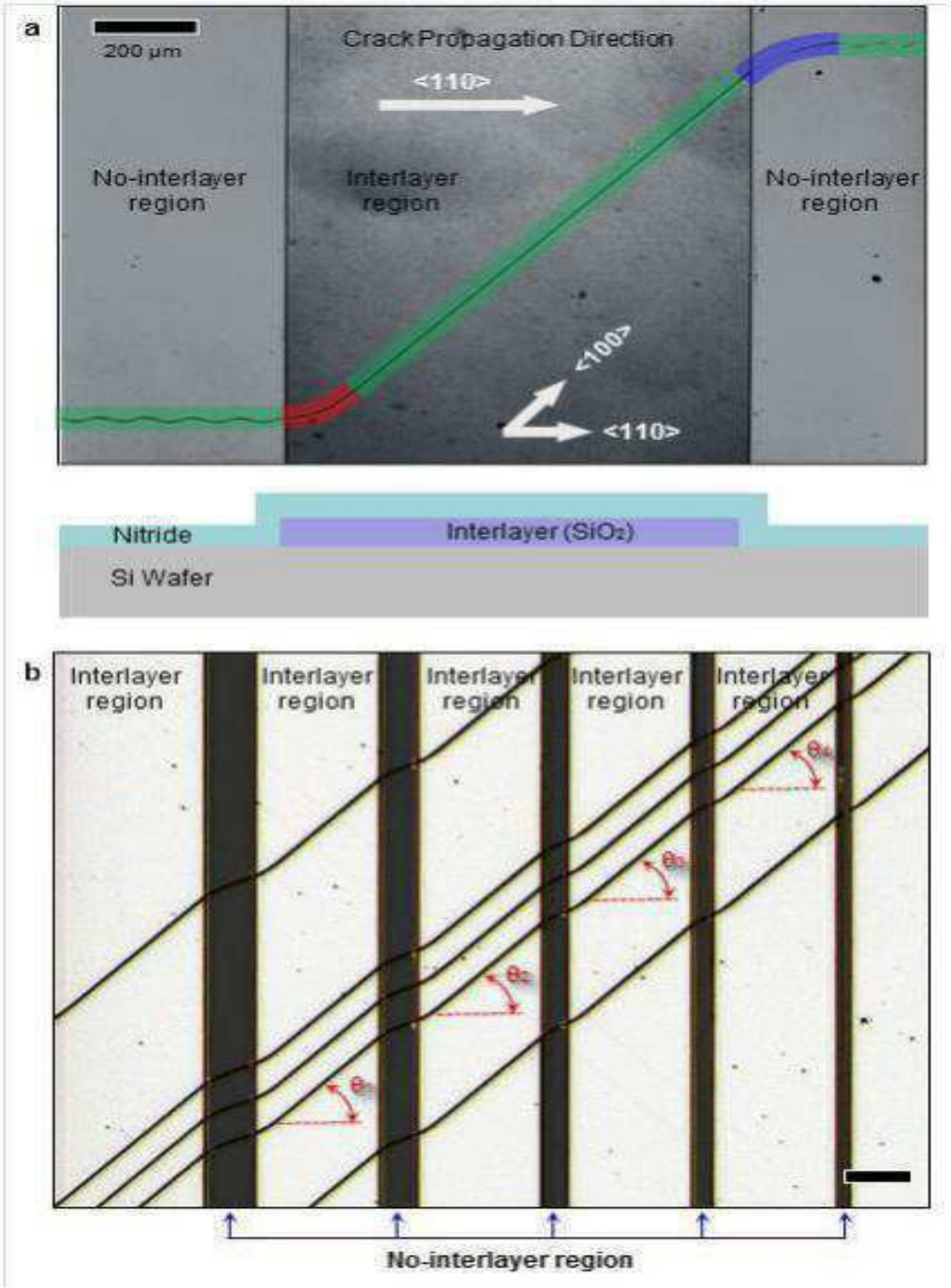
도면8


a
Stress
Geometry
Stress
Geometry
Stress [GPa]
Height [μm]
Surface Distance [μm]
Surface Distance [μm]
b
Crack free region

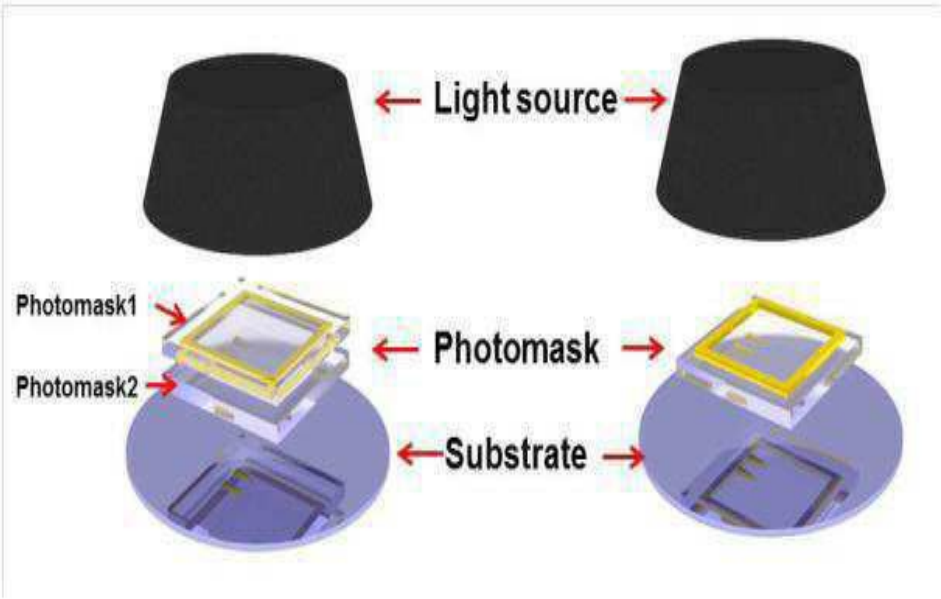
도면9


a
(100)
<110>
b
2 μm
Nitride
Si Wafer
Crack
Substrate
Penetration

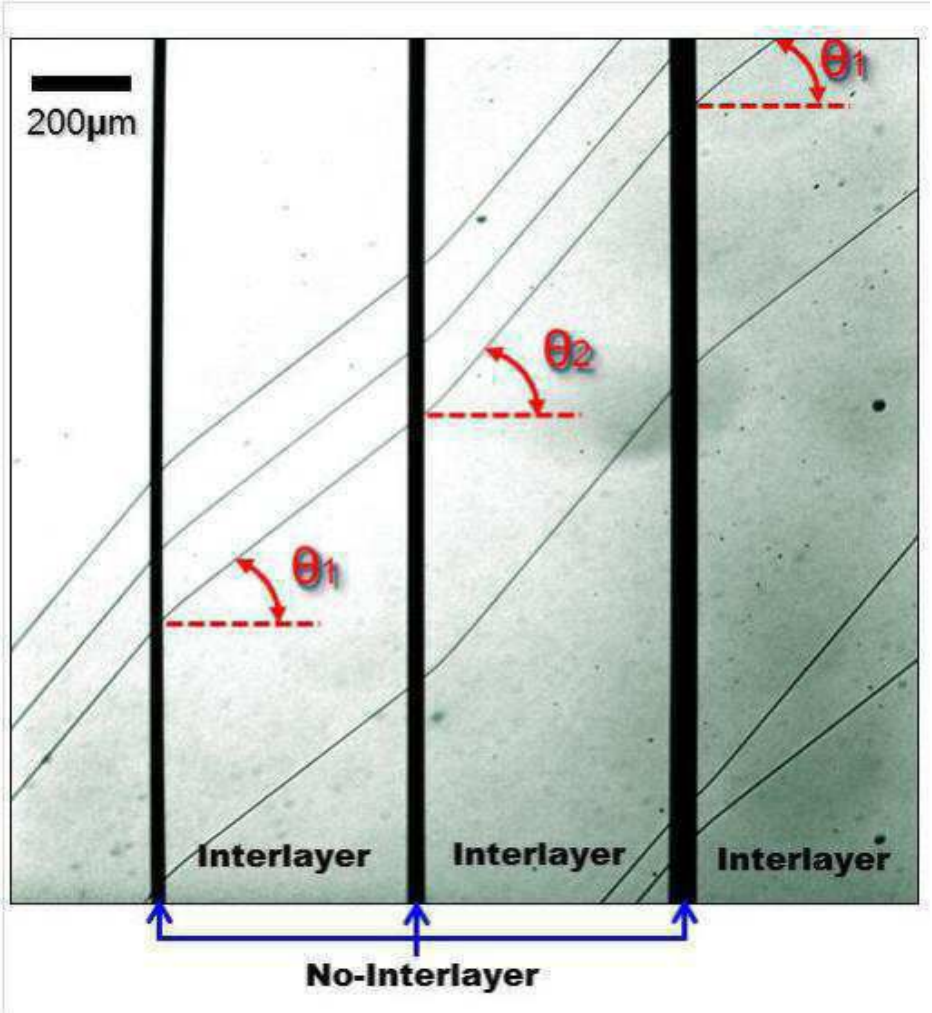
도면10


a
200 μm
Crack Propagation Direction
<110>
No-interlayer region
Interlayer region
No-interlayer region
<100>
<110>
Nitride
Interlayer (SiO2)
Si Wafer
b
Interlayer region
Interlayer region
Interlayer region
Interlayer region
Interlayer region
No-interlayer region

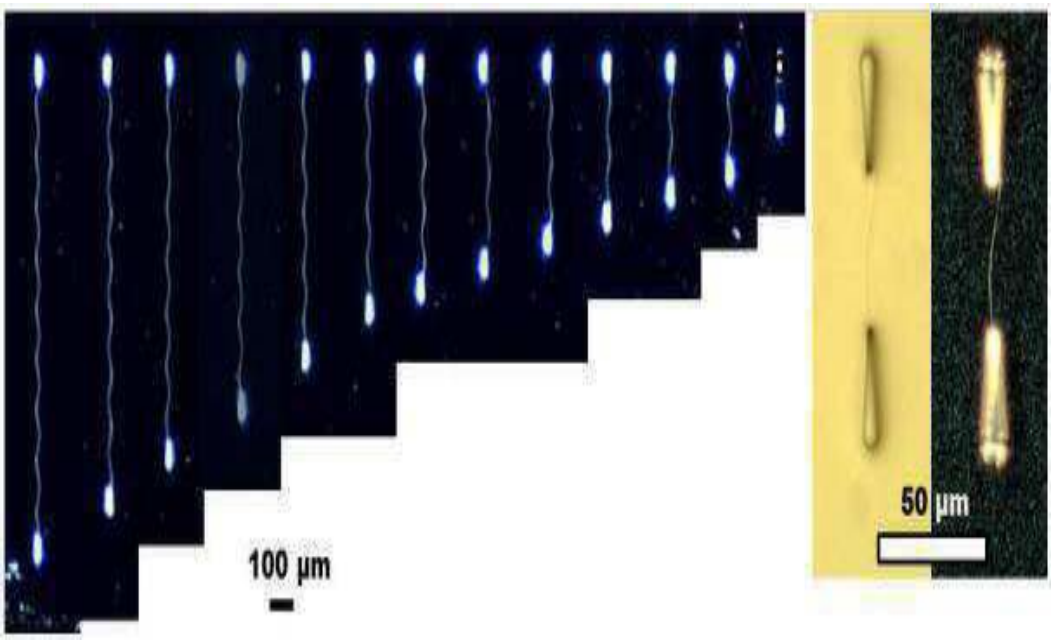
도면11


Light source
Photomask1
Photomask2
Photomask
Substrate

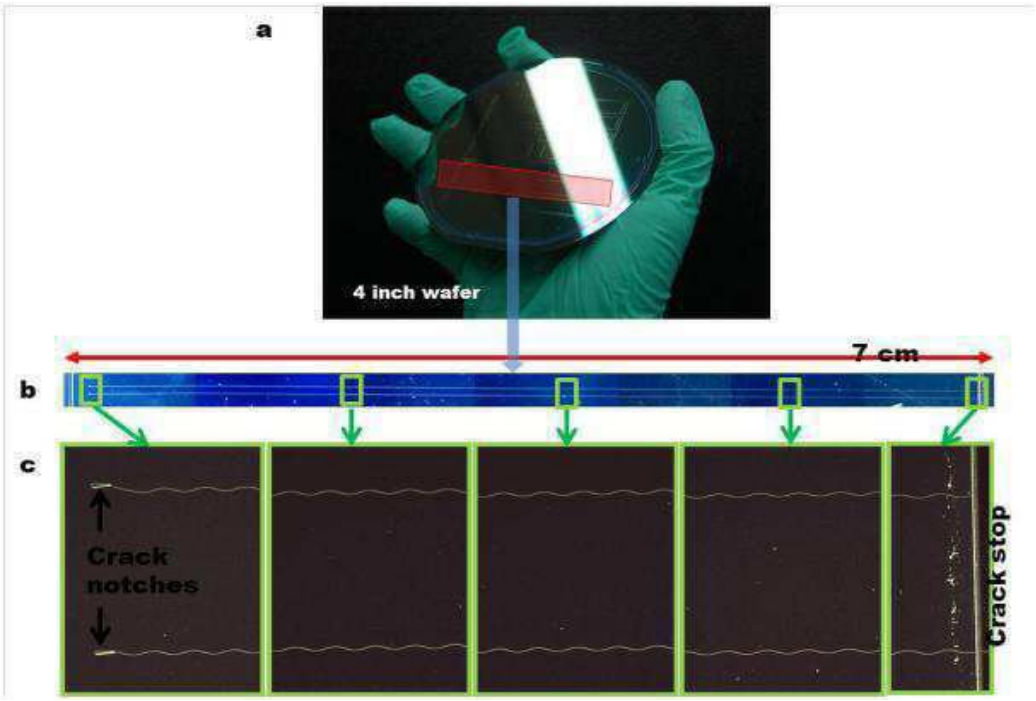
도면12


200μm
θ1
θ2
θ1
Interlayer
Interlayer
Interlayer
No-Interlayer

도면13



도면14



도면15

