

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年11月25日(2010.11.25)

【公開番号】特開2009-117761(P2009-117761A)

【公開日】平成21年5月28日(2009.5.28)

【年通号数】公開・登録公報2009-021

【出願番号】特願2007-292079(P2007-292079)

【国際特許分類】

H 01 L	21/60	(2006.01)
H 01 L	21/3205	(2006.01)
H 01 L	23/52	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	21/8234	(2006.01)

【F I】

H 01 L	21/92	6 0 2 J
H 01 L	21/88	T
H 01 L	21/88	S
H 01 L	21/90	C
H 01 L	21/28	3 0 1 D
H 01 L	21/28	3 0 1 S
H 01 L	29/50	M
H 01 L	29/58	G
H 01 L	27/08	1 0 2 D

【手続補正書】

【提出日】平成22年10月7日(2010.10.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

- (a) 半導体基板と、
- (b) 前記半導体基板上に形成された半導体素子と、
- (c) 前記半導体素子上に形成された多層配線層と、
- (d) 前記多層配線層の最上層に形成されたパッドと、
- (e) 前記パッド上に形成され、前記パッドに達する開口部を有する表面保護膜と、
- (f) 前記表面保護膜上に形成され、前記開口部を埋め込むことにより前記パッドと電気的に接続するバンプ電極とを備え、

前記バンプ電極は、前記パッドと平面的に重なる重複領域と、前記パッドと平面的に重ならない非重複領域を有するように、前記パッドより大きく形成されており、

前記多層配線層の最上層には、

- (g) 前記パッドの他に電源配線あるいは信号配線よりなる第1配線と、

(h) 前記第 1 配線とは異なるダミーパターンが形成され、
前記バンプ電極の前記非重複領域の下層には、前記パッドと同層で形成された前記第 1
配線および前記ダミーパターンが形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、
前記ダミーパターンは、矩形形状をした複数のパターンから形成されていることを特徴
とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置であって、
前記矩形形状をした複数のパターンのそれぞれは、短辺と長辺とを有する長方形形状パタ
ーンから形成されており、前記長方形形状パターンの短辺幅は、前記第 1 配線の幅よりも小
さいことを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置であって、
前記表面保護膜は、平坦化処理が施されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置であって、
前記表面保護膜は、プラズマ C V D 法により形成された第 1 酸化シリコン膜と、前記第
1 酸化シリコン膜上に形成された T E O S を材料とする第 2 酸化シリコン膜と、前記第 2
酸化シリコン膜上に形成された窒化シリコン膜から形成されていることを特徴とする半導
体装置。

【請求項 6】

請求項 5 記載の半導体装置であって、
前記第 2 酸化シリコン膜に対して平坦化処理が施されていることを特徴とする半導体装
置。

【請求項 7】

請求項 1 記載の半導体装置であって、
前記半導体装置は、液晶ディスプレイ用の L C D ドライバであることを特徴とする半導
体装置。

【請求項 8】

平面形状が長辺と短辺とを有する長方形形状をした半導体チップを含む半導体装置にお
いて、

前記半導体チップは、
(a) 半導体基板と、
(b) 前記半導体基板上に形成された半導体素子と、
(c) 前記半導体素子上に形成された多層配線層と、
(d) 前記多層配線層の最上層に形成された複数のパッドと、
(e) 前記複数のパッド上に形成され、前記複数のパッドのそれぞれに達する開口部を
有する表面保護膜と、
(f) 前記表面保護膜上に形成され、前記開口部を埋め込むことにより前記複数のパッ
ドのそれぞれと電気的に接続する長方形形状をした複数のバンプ電極のそれぞれとを備え、
前記多層配線層の最上層には、
(g) 前記パッドの他に電源配線あるいは信号配線よりなる第 1 配線と、
(h) 前記第 1 配線とは異なるダミーパターンが形成されている半導体装置であって、
前記複数のバンプ電極は、前記複数のバンプ電極のそれぞれの長辺を前記半導体チップ
の短辺方向に向けた状態で、少なくとも前記半導体チップの長辺方向に並んで配置され、
前記複数のバンプ電極のそれぞれは、前記複数のパッドのそれぞれと平面的に重なる重
複領域と、前記複数のパッドのそれぞれと平面的に重ならない非重複領域を有するよう
に、前記複数のパッドのそれぞれより大きく形成されており、
前記複数のバンプ電極のそれぞれにおける前記非重複領域の下層には、前記複数のパッ

ドと同層で形成された前記第1配線が前記半導体チップの長辺方向に延在するように形成され、前記非重複領域の下層に形成されている前記第1配線に隣接する所定範囲に前記ダミーパターンが形成されていることを特徴とする半導体装置。

【請求項9】

請求項8記載の半導体装置であって、

前記ダミーパターンは、前記複数のバンプ電極のそれぞれから一定距離内にある前記多層配線層の最上層に形成されており、前記多層配線層の最上層には、前記ダミーパターンが形成されているダミーパターン形成領域と、前記ダミーパターンが形成されていないダミーパターン非形成領域があることを特徴とする半導体装置。

【請求項10】

(a) 半導体基板上に半導体素子を形成する工程と、

(b) 前記半導体素子上に多層配線層を形成する工程と、

(c) 前記多層配線層の最上層に導体膜を形成する工程と、

(d) 前記導体膜をパターニングすることにより、パッドと、電源配線あるいは信号配線よりなる第1配線およびダミーパターンを形成する工程と、

(e) 前記パッド、前記第1配線および前記ダミーパターンを覆うように表面保護膜を形成する工程と、

(f) 前記表面保護膜に前記パッドに達する開口部を形成する工程と、

(g) 前記開口部を含む前記表面保護膜上に前記パッドよりも大きなバンプ電極を形成する工程を備え、

前記(g)工程は、前記バンプ電極を、前記パッドと平面的に重なる重複領域と、前記パッドと平面的に重ならない非重複領域とを有するように形成し、

前記(g)工程で形成した前記バンプ電極の前記非重複領域の下層に、前記パッドと同層で形成された前記第1配線を形成し、前記非重複領域の下層に形成されている前記第1配線に隣接する所定範囲に前記ダミーパターンを形成することを特徴とする半導体装置の製造方法。

【請求項11】

請求項10記載の半導体装置の製造方法であって、

前記ダミーパターンを、前記バンプ電極における前記非重複領域の下層にも形成することを特徴とする半導体装置の製造方法。

【請求項12】

請求項10記載の半導体装置の製造方法であって、

前記ダミーパターンを、前記バンプ電極から一定距離内にある前記多層配線層の最上層に形成し、前記多層配線層の最上層には、前記ダミーパターンが形成されているダミーパターン形成領域と、前記ダミーパターンが形成されていないダミーパターン非形成領域があることを特徴とする半導体装置の製造方法。

【請求項13】

請求項10記載の半導体装置の製造方法であって、

前記(e)工程と前記(f)工程の間に、

(h) 前記表面保護膜の表面を平坦化する工程を備えることを特徴とする半導体装置の製造方法。

【請求項14】

請求項13記載の半導体装置の製造方法であって、

前記(h)工程は、化学的機械的研磨法により前記表面保護膜の表面を平坦化することを特徴とする半導体装置の製造方法。

【請求項15】

請求項10記載の半導体装置の製造方法であって、

前記(e)工程は、

(e1) プラズマCVD法を使用することにより、前記パッド、前記第1配線および前記ダミーパターンを覆うように、第1酸化シリコン膜を形成する工程と、

- (e 2) 前記第1酸化シリコン膜上に、TEOSを材料とする第2酸化シリコン膜を形成する工程と、
- (e 3) 前記第2酸化シリコン膜の表面を、化学的機械的研磨法で平坦化する工程と、
- (e 4) 前記(e 3)工程後、前記第2酸化シリコン膜上に窒化シリコン膜を形成する工程とを有することを特徴とする半導体装置の製造方法。