

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号

WO 2018/043076 A1

(51) 国際特許分類:

H01L 25/07 (2006.01) H01L 25/18 (2006.01)
H01L 23/12 (2006.01) H02M 7/48 (2007.01)
H01L 25/00 (2006.01) H05K 1/16 (2006.01)

(21) 国際出願番号: PCT/JP2017/028889

(22) 国際出願日: 2017年8月9日(09.08.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-171196 2016年9月1日(01.09.2016) JP

(71) 出願人: 日立金属株式会社(HITACHI METALS, LTD.) [JP/JP]; 〒1088224 東京都港区港南一丁目2番70号 Tokyo (JP).

(72) 発明者: 宝蔵寺 裕之 (HOZOJI Hiroshi); 〒1008280 東京都千代田区丸の内一丁目6

番6号 株式会社日立製作所内 Tokyo (JP). 林 健児(HAYASHI Kenji); 〒1088224 東京都港区港南一丁目2番70号 日立金属株式会社内 Tokyo (JP). 伊藤 博之(ITOHI Hiroyuki); 〒1088224 東京都港区港南一丁目2番70号 日立金属株式会社内 Tokyo (JP). 今村 寿之(IMAMURA Hisayuki); 〒1088224 東京都港区港南一丁目2番70号 日立金属株式会社内 Tokyo (JP). 長友 浩之(NAGATOMO Hiroyuki); 〒1088224 東京都港区港南一丁目2番70号 日立金属株式会社内 Tokyo (JP).

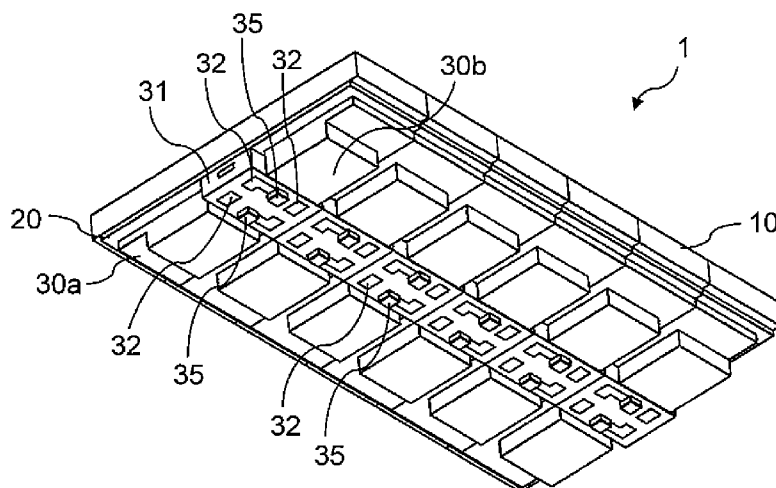
(74) 代理人: 特許業務法人平木国際特許事務所(HIRAKI & ASSOCIATES); 〒1056232 東京都港区愛宕二丁目5-1 愛宕グリーンヒルズMORIタワー32階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: INSULATING SUBSTRATE AND SEMICONDUCTOR DEVICE USING SAME

(54) 発明の名称: 絶縁基板およびこれを用いた半導体装置

図 2



(57) Abstract: In order to address the problem in that, by increasing the gate resistance of a power semiconductor element, while variation of switching time can be controlled, loss due to the gate resistance becomes larger and power efficiency for the entire system is lowered, the present invention provides an insulating substrate capable of uniformizing switching speeds of circuit elements while suppressing influence on power efficiency of the circuit elements. In the insulating substrate according to the present invention, part of a wiring layer is formed as a control signal circuit layer, and part of the control signal circuit layer is formed as a resistance layer that increases input resistance when the circuit element receives a control signal (see fig. 2).



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: パワー半導体素子のゲート抵抗値を大きくすることによりスイッチング時間のばらつきを調整することができる一方で、ゲート抵抗による損失が大きくなり、システム全体としての電力効率が低下するという課題がある。そこで、回路素子の電力効率に対する影響を抑制しつつ、回路素子のスイッチング速度を揃えることができる、絶縁基板を提供する。本発明に係る絶縁基板において、配線層の一部は制御信号回路層として形成されており、前記制御信号回路層の一部は回路素子が制御信号を受け取るときの入力抵抗値を増加させる抵抗層として形成されている(図2参照)。

明 細 書

発明の名称：絶縁基板およびこれを用いた半導体装置

技術分野

[0001] 本発明は、絶縁基板に関するものである。

背景技術

[0002] パワー半導体素子として、たとえば、IGBT (Insulated Gate Bipolar Transistor)、パワーMOSFETトランジスタ (Metal Oxide Semiconductor Field Effect Transistor)、MOSGTO (MOS Gate Turn-off Thyristor) などが知られている。これらのパワー半導体素子は、素子を制御するための信号をゲート部に対して入力して素子をオン／オフすることにより、電力を制御する。

[0003] パワー半導体素子のゲート部は、絶縁基板上に形成された配線と接続され、配線を介してゲート部に対して制御信号を入力する。複数のパワー半導体素子が配線に対して並列接続されている場合、各パワー半導体素子は同時にオン／オフすることが想定されているのが通常である。しかし各パワー半導体素子のスイッチング速度が同一でない場合、先にオン状態となった半導体素子や、オフ状態へ切り替わるのが遅い半導体素子に対して電流が集中し、素子寿命低下や素子破壊が生じる可能性が高まる。

[0004] ゲート抵抗値を大きくすると半導体素子のスイッチング時間は長くなり、小さくするとスイッチング時間が短くなる。そこで、ゲート抵抗値を大きくすることにより、スイッチング速度を遅くし、オン／オフ時間のずれが小さくなるように調整することができる。さらに半導体素子内部のゲート抵抗値バラツキなどに起因して各半導体素子のスイッチング時間が大きくばらつかないように、半導体素子内のゲート抵抗の他に、チップ部品として構成されたゲート抵抗部品を、配線とゲート端子との間に設ける場合もある。

[0005] 下記特許文献1は、ゲート抵抗値を調整する技術について記載している。

同文献においては、ゲート電極に接続される端子の一部を固有抵抗の大きい材料によって形成し、この部分の断面積や長さを調節することにより、ゲート抵抗値を調整している。下記特許文献2は、ガラス粉末ペーストと金属ペーストを焼成した基板として、焼結基板上に積層構造を形成する構成例を記載している。

先行技術文献

特許文献

[0006] 特許文献1：特開2012-084621号公報

特許文献2：特開2012-033664号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1記載の技術においては、パワー半導体素子のゲート抵抗値を大きくすることによりスイッチング時間のばらつきを調整することができる一方で、ゲート抵抗による損失が大きくなり、システム全体としての電力効率が低下するという課題がある。

[0008] 本発明は、上記のような課題に鑑みてなされたものであり、回路素子（例えばパワー半導体素子）の電力効率に対する影響を抑制しつつ、回路素子のスイッチング速度を揃えることができる、絶縁基板を提供することを目的とする。

課題を解決するための手段

[0009] 本発明に係る絶縁基板において、配線層の一部は制御信号回路層として形成されており、前記制御信号回路層の一部は回路素子が制御信号を受け取る時の入力抵抗値を増加させる抵抗層として形成されている。

[0010] 本開示の絶縁基板は、

放熱層、

第1および第2回路素子と接続する配線が形成された配線層、

前記配線層と前記放熱層との間を電氣的に絶縁する絶縁層、

を備え、

前記配線層の一部は、前記第 1 および第 2 回路素子に対する制御信号を伝搬する制御信号回路層として形成されており、

前記制御信号回路層の一部は、前記第 1 および第 2 回路素子が前記制御信号を受け取る時の入力抵抗値を増加させる抵抗層として形成されている。

[0011] 前記抵抗層は、前記制御信号回路層の信号伝搬経路を形成する信号配線の一部として、前記信号配線と一体になって形成されていてもよい。

[0012] 前記制御信号回路層は、ケイ素酸化物を含む材料によって形成されており、

前記抵抗層は、金属酸化物を含む材料によって形成されていてもよい。

[0013] 前記制御信号回路層は、セラミックスを含む材料によって形成されており、

前記抵抗層は、金属酸化物を含む材料によって形成されていてもよい。

[0014] 前記第 1 回路素子の入力抵抗値と前記第 2 回路素子の入力抵抗値との間の差は、前記制御信号回路層の信号伝搬経路を形成する信号配線のうち前記抵抗層を除く部分同士の抵抗値の差にくらべて小さいこととしてもよい。

[0015] 前記抵抗層は、前記第 1 回路素子の前記入力抵抗値と前記第 2 回路素子の前記入力抵抗値が同一となる抵抗値を有してもよい。

[0016] 前記第 1 回路素子と前記第 2 回路素子の少なくともいずれかは、電力を出力する電力端子を備え、

前記配線層の一部には、前記電力端子の周囲を取り囲むように配置されたコイルが形成されていてもよい。

[0017] 前記制御信号回路層の内部には、前記制御信号を伝搬する信号配線が形成されており、前記信号配線は、前記放熱層、前記絶縁層、および前記配線層の積層方向に沿って前記第 1 および第 2 回路素子と重なる位置に形成されていてもよい。

[0018] 前記第 1 および第 2 回路素子は、前記制御信号回路層に対して電氣的に互いに並列に接続されていてもよい。

[0019] 前記絶縁層は、セラミックス材料を用いて形成されていてもよい。

[0020] 本開示の半導体装置は、

前記絶縁基板上に配置された前記第 1 および第 2 回路素子、

を備え、

前記第 1 および第 2 回路素子は、半導体素子として構成されている。

発明の効果

[0021] 本発明に係る絶縁基板によれば、ゲート抵抗値の増加による電力効率低下を抑制しつつ、回路素子のスイッチング速度を揃えることができる。

図面の簡単な説明

[0022] [図1]従来の絶縁基板の構成を示す斜視図である。

[図2]実施形態 1 に係る絶縁基板 1 の構成を示す斜視図である。

[図3]制御信号入力回路 3 1 の内部構造を示す斜視図である。

[図4]絶縁基板 1 に半導体素子 4 0 を実装した状態を示す内部図である。

[図5]実施形態 2 に係る絶縁基板 1 の一部を示す概略斜視図である。

[図6]コイル 3 7 の実装例を示す斜視図である。

[図7]実施形態 3 に係る電力変換装置 1 0 0 のユニットセル部分の構成を表す図である。

発明を実施するための形態

[0023] <従来の絶縁基板について>

以下では本発明の理解を容易にするため、まず従来の絶縁基板の構成とその課題について説明する。その後、本発明に係る絶縁基板の構成について説明する。

[0024] 図 1 は、従来の絶縁基板の構成を示す斜視図である。絶縁基板は、半導体素子 4 0 を搭載する絶縁基板である。半導体素子 4 0 は、例えば電力を変換する半導体素子であり、ゲート端子 4 2 を介して制御信号を入力することにより制御することができる。端子 4 1 は、電力を出力する端子である。

[0025] 絶縁基板は、放熱層 1 0、絶縁層 2 0、配線層 3 0 を備える。配線層 3 0 上には、制御信号入力回路 3 1 a が形成されている。制御信号入力回路 3 1

aは配線32aを備え、配線32aとボンディングワイヤ33を介してゲート端子42に対して制御信号が入力される。各半導体素子40は、制御信号入力回路31aに対して互いに並列に接続されている。

[0026] 制御信号入力回路31aはさらに、各半導体素子40のスイッチング速度を揃えるため、配線32a上に抵抗器34を備えている場合もある。抵抗器34は、例えばチップ状の独立した電気部品である。

[0027] 抵抗器34が、完成品として提供されるチップ部品である場合、各抵抗器34の抵抗値を個別に微調整することは困難である。そこで各半導体素子40のスイッチング速度の差を無視できる程度に抑制するため、抵抗器34として抵抗値が比較的大きいものを選択される場合がある。抵抗値が大きければスイッチング速度が遅くなり、個々のスイッチング速度の差が相対的に無視できる範囲内に収まるからである。

[0028] しかしこの場合、各半導体素子40全体からなるシステムの電力効率が低下する課題がある。またチップ部品を設けるためにはそのための実装面積が必要であり、絶縁基板1全体のサイズを制約するとともに、その実装面積を確保することによって配線32aが長くなり、さらに抵抗値が増してしまう。

[0029] チップ状の抵抗器34を用いることに代えて、例えば特許文献1記載のように、ゲート端子の一部を固有抵抗の大きい材料によって形成し、その材料部分の長さや幅を変化させることにより、抵抗値を調整することも考えられる。この場合、抵抗値を大きくするためには、抵抗部分を長くするかあるいは幅を狭くする必要がある。しかしゲート端子長そのものを長くすると絶縁基板全体としてのサイズが大きくなってしまいうので、例えば端子を折り曲げて螺旋状にし、ゲート端子長を抑制する必要がある。また、ゲート端子幅そのものを狭くすると端子としての剛性が低下し、熱負荷によりゲート端子や接続部の信頼性が低下する可能性があるので、ゲート端子幅を狭くすることは望ましくない。さらに、半導体素子40のスイッチングを高精度に制御するためには、スイッチング周波数を上げる必要があるが、端子長増加や端子

幅縮小は配線のインダクタンス上昇につながり、高い周波数で半導体素子40を精度よく制御することが困難になる。

[0030] そこで本発明においては、スイッチング速度を調整するための抵抗を配線と一体的に形成することにより、半導体素子外部に設ける抵抗部の実装面積を抑制することを図る。さらに抵抗層を配線の一部として形成することにより、抵抗層を形成した後に加工を施して抵抗値を微調整できるようにする。

[0031] <実施の形態1>

図2は、本発明の実施形態1に係る絶縁基板1の構成を示す斜視図である。絶縁層20の片面には放熱層10が形成され、他面には配線層30a, 30bが形成されている。絶縁層20は放熱層10と配線層30a, 30bとの間を電氣的に絶縁する役割を有する。配線層30a, 30bの一部は、制御信号入力回路31として形成されている。制御信号入力回路31は、配線32と接続端子35を有する。接続端子35は、配線32と半導体素子40（図4を参照）を接続するための端子である。絶縁層20は、例えば Al_2O_3 、 AlN 或いは Si_3N_4 などのセラミックス材料を用いて形成することができる。

[0032] 図3は、制御信号入力回路31の内部構造を示す斜視図である。配線32の一部は、抵抗層36として形成されている。制御信号入力回路31に対して制御信号を出力する回路と各半導体素子40のゲート電極との間の抵抗値（ゲート電極に対する入力抵抗）が略同一となるように抵抗層36の抵抗値を調整することにより、各半導体素子40のスイッチング速度を揃えることができる。半導体素子40内のゲート電極を素子外部に接続する端子がゲート端子42である。ゲート電極とゲート端子42間の抵抗値は十分に小さいので無視して差し支えない。

[0033] 制御信号入力回路31を形成する際には、まず絶縁層20上にガラス粉末を配合したペーストを配置し、その上に配線32を形成するための金属ペースト（例えばCuやAgとガラス粉末を配合したペースト）を印刷成型し、さらに抵抗層36を形成するための金属酸化物ペースト（例えば RuO_2 とガ

ラス粉末を配合したペースト)を印刷成型する。その後、絶縁層20／ガラス粉末ペースト／金属ペースト／金属酸化物ペーストをまとめて焼成する。これにより、絶縁層20と制御信号入力回路31を一体的に形成することができる。

[0034] 絶縁層20と制御信号入力回路31を焼成する過程において、制御信号入力回路31を形成するガラス粉末／金属(配線32)／金属酸化物(抵抗層36)も一体的に形成される。これにより、抵抗層36は配線32の一部として配線32と一体になって形成されるので、別途チップ部品として抵抗器を設ける必要はない。

[0035] 抵抗層36の抵抗値を微調整する場合、まず図3に示すように抵抗層36を被覆しない状態で制御信号入力回路31をいったん形成する。その後、例えばレーザ加工などにより抵抗層36の長さや幅を調整することにより、抵抗値を微調整することができる。配線32や抵抗層36をカバーする場合は、微調整後にさらにガラス粉末ペーストを配して改めて全体を焼成することにより、図2に示すように配線32や抵抗層36を被覆することができる。

[0036] ガラス粉末の材料としては、絶縁層20を形成するセラミックス材料の基板に積層して焼成することができるものが望ましい。例えば、(a) SiO_2 、 B_2O_3 、アルカリ金属酸化物を含有するガラス粉末、(b) SiO_2 、 B_2O_3 、 Al_2O_3 、アルカリ土類金属酸化物を含有するガラス粉末、(c) SiO_2 、 B_2O_3 、アルカリ土類金属酸化物を含有するガラス粉末、(d) SiO_2 、 B_2O_3 、 ZrO_2 、アルカリ金属酸化物を含有するガラス粉末、(e) SiO_2 、アルカリ金属酸化物、アルカリ土類金属酸化物を含有するガラス粉末、などのように、ケイ素酸化物を含有するものが考えられる。

[0037] 図4は、絶縁基板1に半導体素子40を実装した状態を示す内部図である。説明の便宜上、内部の構造が見えるように構成要素の一部を取り除いた状態を図示する。ここでは図2～図3で説明した放熱層10／絶縁層20／配線層30a、30bの積層構造(符号31の部材有り)と、放熱層10／絶縁層20／配線層30の積層構造(符号31の部材無し。半導体素子40有

り)とを重ね合わせた実装状態を例示する。

[0038] 配線32は、接続端子35を介してゲート端子42と接続されている。配線32の周りは、ガラス粉末を焼結することにより形成された層が形成され、これにより制御信号入力回路31は配線層30a、30bの一部を構成する層として形成されている。配線32の周りのガラス部分は、配線32をその両側の配線層(30a、30b)から絶縁する役割も有する。端子41は、配線層30a、30bと電氣的に接続され、配線層30a、30bを介して電力を出力する。

[0039] 配線32は、絶縁基板1の積層方向において、隣接する2つの半導体素子40と重なるように形成されている。すなわち配線32は、隣接する2つの半導体素子40の対向辺にまたがるように配置されている。これにより、図1で説明したような2つの半導体素子40の間に制御信号入力回路31が配置されている構造と比較すると、図4における2つの半導体素子は互いにより接近した位置に配置されることになる。したがって、図1と比較して配線32の長さをより短くすることができるので、絶縁基板1全体のサイズを小さくできるとともに、配線32による電気抵抗を抑制することができる。

[0040] ゲート端子42と接続端子35との間、および端子41と配線層30a、30bとの間を接続する接合剤としては、(a) Sn、Ag、Cu、In、Sb、Pbなどを用いたはんだ、(b) Ag、Cu、Au、Niなどのナノサイズ粒子を用いた接合材、(c) サブミクロンサイズのAg粒子やCu粒子およびNi粒子の酸化物、などを用いることができる。

[0041] セラミックス粉末を含む材料で制御信号回路層を形成することもできる。例えば、実施形態1の構成について、ガラス粉末に代えてアルミナ粉末を用いる。但し、実施形態1のようにガラス粉末ペーストと金属ペーストを用いる方が、効率よく同時焼成を進めて安定して制御信号回路層を形成できるので好ましい。

[0042] 制御信号回路層の信号伝搬経路を形成する信号配線(但し、抵抗層を除く)同士の抵抗値の差にくらべて、回路素子の入力抵抗同士の差が小さいほど

よい。例えば1つ目の半導体素子40の入力抵抗値と2つ目の半導体素子40の入力抵抗値との間の差分は、1つ目の半導体素子40に接続された信号配線の抵抗値と2つ目の半導体素子40に接続された信号配線の抵抗値との間の差分よりも小さいほどよい。したがって、実施形態1では、制御信号入力回路31に対して制御信号を出力する回路と各半導体素子40のゲート電極との間の抵抗値が略同一となるように、抵抗層36の抵抗値を調整している。

[0043] <実施の形態1：まとめ>

本実施形態1に係る絶縁基板1において、抵抗層36は、配線32の一部として信号伝搬経路と一体になって形成されている。金属酸化物によって形成された抵抗層36の固有抵抗値は一般に十分に大きく、半導体素子40のスイッチング速度を調整するために必要な抵抗値を小さなサイズで実現できるので、絶縁基板1のサイズ増加を抑制することができる。

[0044] 本実施形態1に係る絶縁基板1において、抵抗層36の抵抗値を高くするために配線長を増やしたり配線幅を狭くしたりする必要はない。したがって、配線のインダクタンスを不必要に高くして制御精度を低下させることなく、抵抗層36の抵抗値を所望値にすることができる。

[0045] <実施の形態2>

図5は、本発明の実施形態2に係る絶縁基板1の一部を示す概略斜視図である。本実施形態2においては、配線層30bの内部に、配線層30bを通過する電流を計測するためのコイル37が形成されている。コイル37は、絶縁を確保しつつ端子41の周りを取り囲む配線として形成されている。コイル37は、制御信号入力回路31を形成する方法と同様の方法により形成することができる。

[0046] 端子41に電流が流れると、コイル37にも電流が誘導される。コイル37は制御信号入力回路31に接続されており、制御信号入力回路31を介してコイル37に流れる電流を取得することにより、端子41に流れる電流を計測することができる。コイル37は計測対象である端子41の近傍に配置

されているので、引き出し線などを介して端子41から電流を取得する場合と比較して、計測精度を向上させ、半導体素子40の制御精度をより高めることができる。

[0047] 図6は、コイル37の実装例を示す斜視図である。コイル37は、必ずしも半導体素子40ごとに設ける必要はなく、いずれか一部の半導体素子40についてのみ設けることもできる。図6においては、対角上に位置する2つの半導体素子40にコイル37を設けた例を示した。コイル37間の間隔を離すことにより、コイル37間の相互作用を抑制し、計測精度を保つことができる。

[0048] <実施の形態3>

図7は、本発明の実施形態3に係る電力変換装置100のユニットセル部分の構成を表す図である。電力変換装置100は、例えばインバータ、コンバータ、パワーコンディショナなどの装置である。電力変換装置100は、実施形態1～2いずれかで説明した図4の絶縁基板1、放熱フィン110、平滑コンデンサ120を備えている。図4の絶縁基板1が実装している半導体素子40は、例えばスイッチング素子によって直流電力を交流電力に変換する素子である。実施形態1～2に係る絶縁基板1を用いることにより、電力変換装置100の変換効率を向上させることができる。

[0049] <本発明の変形例について>

本発明は上記実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。

[0050] 以上の実施形態において、抵抗層36を形成するための金属酸化物として RuO_2 を例示したが、その他金属酸化物を用いることもできる。例えば IrO_2 、 RhO_2 などを用いることができる。さらには、 Ag/Pd の混合物を用いることもできるし、これらに加えて金、白金、パラジウム、銀、銅などを混合して用いることもできる。抵抗層36を形成する際には、例えば(a

）これら金属酸化物または金属の粉体、（b） CuO 、 V_2O_5 、 MnO_2 、 TiO_2 などの添加物、（c）ガラス、を混合したペーストを制御信号入力回路31の一部として印刷成型し、絶縁層20とともに焼結する。

[0051] 以上の実施形態において、絶縁層20の材料としては、例えば窒化珪素セラミックスを用いることができる。制御信号入力回路31の材料としては、例えば絶縁層20と熱膨張係数が近い低熱膨張性セラミックスであって、絶縁層20に接合することができる材料を用いることができる。窒化珪素セラミックス基板の熱膨張係数 α は3（ppm/K）程度であるので、制御信号入力回路31の材料としては、例えば熱膨張係数 α が10（ppm/K）以下程度のものを用いればよい。

[0052] 以上の実施形態において、抵抗層36の抵抗値を調整する方法としてレーザ加工することを説明したが、その他方法により調整することもできる。例えば材料の配合を変更することが挙げられる。例えば抵抗層36の材料として、（a） RuO_2 のみを用いる、（b）ケイ素酸化物と RuO_2 の混合物を用いる、（c）上記（a）（b）に対して銀を加える、などが考えられる。材料の配合や組成比を変えることにより、抵抗層36の抵抗値を調整することができる。さらには、抵抗層36の寸法や抵抗率をあらかじめ調整しておくことにより、所望の抵抗値を実現することも考えられる。

[0053] 以上の実施形態において、絶縁基板1上に半導体素子40を実装した例を示したが、半導体素子40以外の回路素子を絶縁基板1上に実装する場合においても、本発明と同様の構成を採用することにより、各回路素子に対するゲート抵抗値を揃えて動作精度を向上させることができる。

[0054] 以上の実施形態において、絶縁基板1を備えた装置の例として電力変換装置100を例示したが、その他半導体装置においても本発明に係る絶縁基板1を用いることにより、半導体素子40の動作効率を向上させることができる。

符号の説明

[0055] 1：絶縁基板

1 0 : 放熱層
2 0 : 絶縁層
3 0 : 配線層
3 0 a、3 0 b : 配線層
3 1 : 制御信号入力回路
3 1 a : 制御信号入力回路
3 2 : 配線
3 2 a : 配線
3 3 : ボンディングワイヤ
3 4 : 抵抗器
3 5 : 接続端子
3 6 : 抵抗層
3 7 : コイル
4 0 : 半導体素子
4 1 : 端子
4 2 : ゲート端子
1 0 0 : 電力変換装置
1 1 0 : 放熱フィン
1 2 0 : 平滑コンデンサ

請求の範囲

- [請求項1] 放熱層、
第1および第2回路素子と接続する配線が形成された配線層、
前記配線層と前記放熱層との間を電氣的に絶縁する絶縁層、
を備え、
前記配線層の一部は、前記第1および第2回路素子に対する制御信号を伝搬する制御信号回路層として形成されており、
前記制御信号回路層の一部は、前記第1および第2回路素子が前記制御信号を受け取る時の入力抵抗値を増加させる抵抗層として形成されている
ことを特徴とする絶縁基板。
- [請求項2] 前記抵抗層は、前記制御信号回路層の信号伝搬経路を形成する信号配線の一部として、前記信号配線と一体になって形成されている
ことを特徴とする請求項1記載の絶縁基板。
- [請求項3] 前記制御信号回路層は、ケイ素酸化物を含む材料によって形成されており、
前記抵抗層は、金属酸化物を含む材料によって形成されている
ことを特徴とする請求項1記載の絶縁基板。
- [請求項4] 前記制御信号回路層は、セラミックスを含む材料によって形成されており、
前記抵抗層は、金属酸化物を含む材料によって形成されている
ことを特徴とする請求項1記載の絶縁基板。
- [請求項5] 前記第1回路素子の入力抵抗値と前記第2回路素子の入力抵抗値との間の差は、前記制御信号回路層の信号伝搬経路を形成する信号配線のうち前記抵抗層を除く部分同士の抵抗値の差にくらべて小さい
ことを特徴とする請求項1記載の絶縁基板。
- [請求項6] 前記抵抗層は、前記第1回路素子の前記入力抵抗値と前記第2回路素子の前記入力抵抗値が同一となる抵抗値を有する

ことを特徴とする請求項 1 記載の絶縁基板。

[請求項7] 前記第 1 回路素子と前記第 2 回路素子の少なくともいずれかは、電力を出力する電力端子を備え、

前記配線層の一部には、前記電力端子の周囲を取り囲むように配置されたコイルが形成されている

ことを特徴とする請求項 1 記載の絶縁基板。

[請求項8] 前記制御信号回路層の内部には、前記制御信号を伝搬する信号配線が形成されており、 前記信号配線は、前記放熱層、前記絶縁層、および前記配線層の積層方向に沿って前記第 1 および第 2 回路素子と重なる位置に形成されている

ことを特徴とする請求項 1 記載の絶縁基板。

[請求項9] 前記第 1 および第 2 回路素子は、前記制御信号回路層に対して電氣的に互いに並列に接続されている

ことを特徴とする請求項 1 記載の絶縁基板。

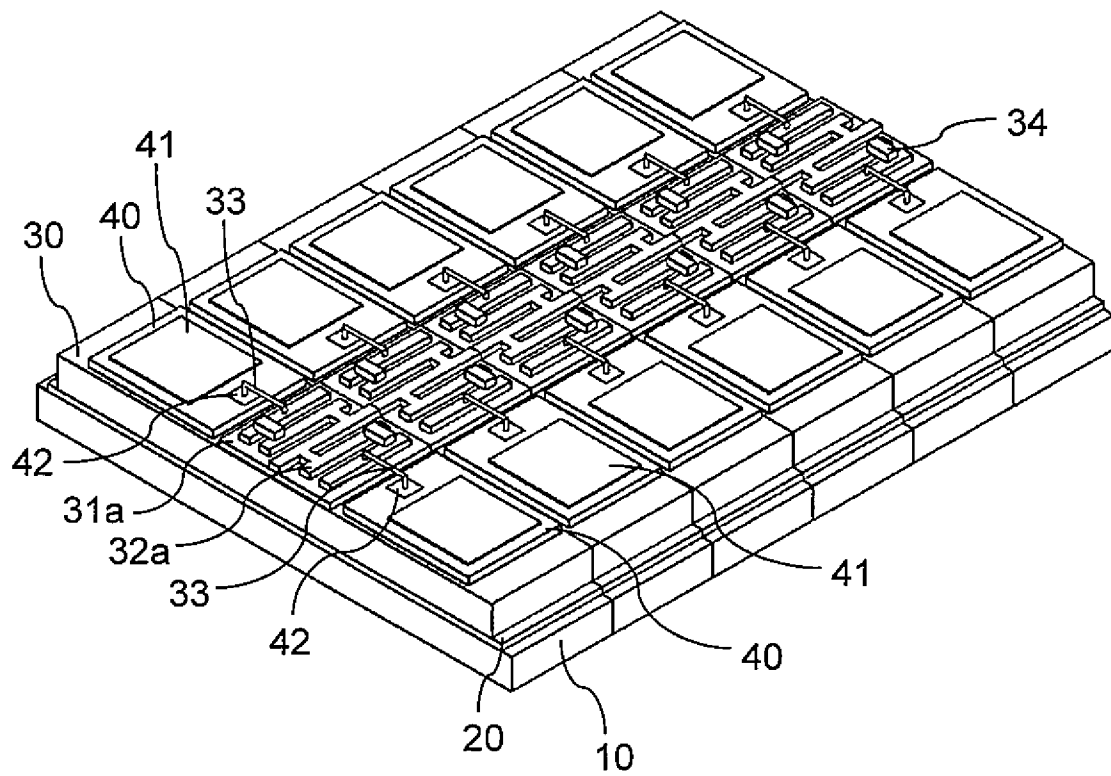
[請求項10] 前記絶縁層は、セラミックス材料を用いて形成されている

ことを特徴とする請求項 1 記載の絶縁基板。

[請求項11] 請求項 1 から 10 のいずれか 1 項記載の絶縁基板、
前記絶縁基板上に配置された前記第 1 および第 2 回路素子、
を備え、
前記第 1 および第 2 回路素子は、半導体素子として構成されている
ことを特徴とする半導体装置。

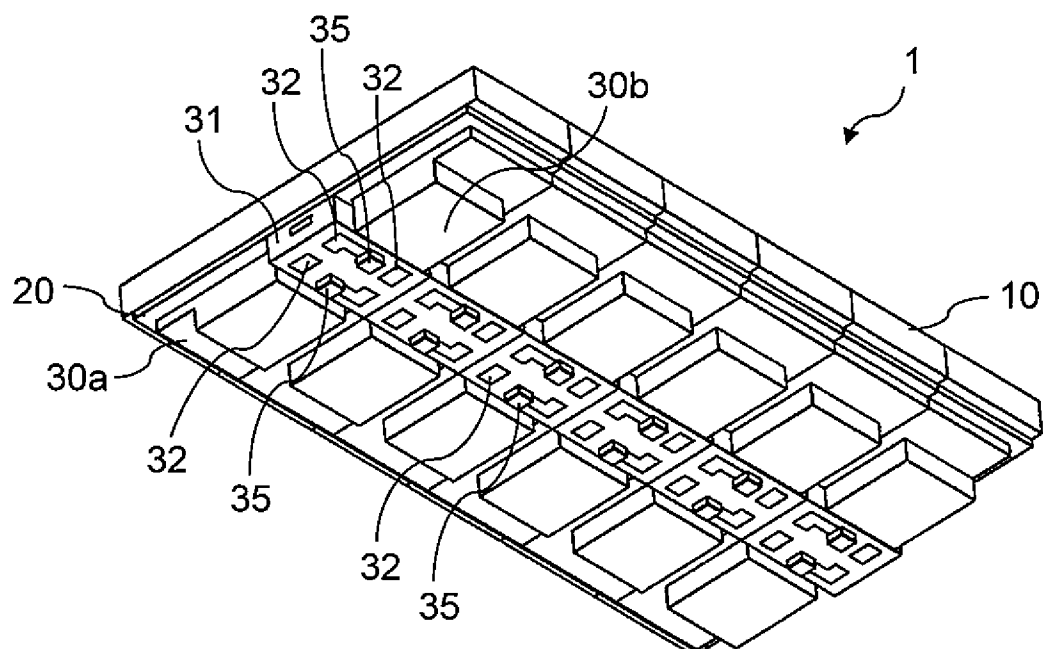
[図1]

図 1



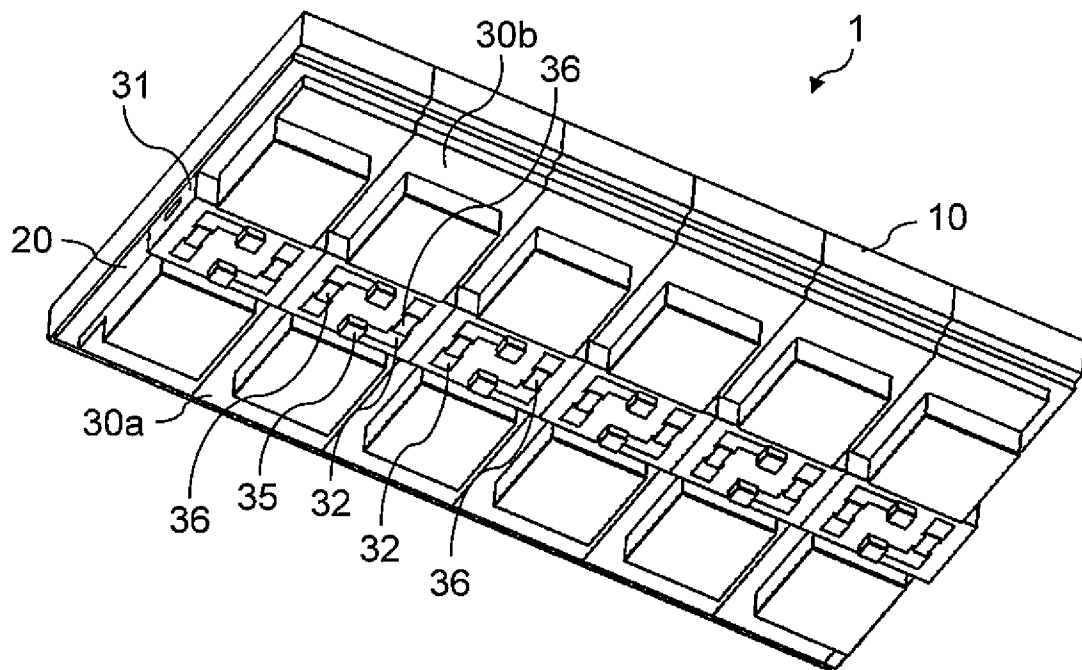
[図2]

図 2



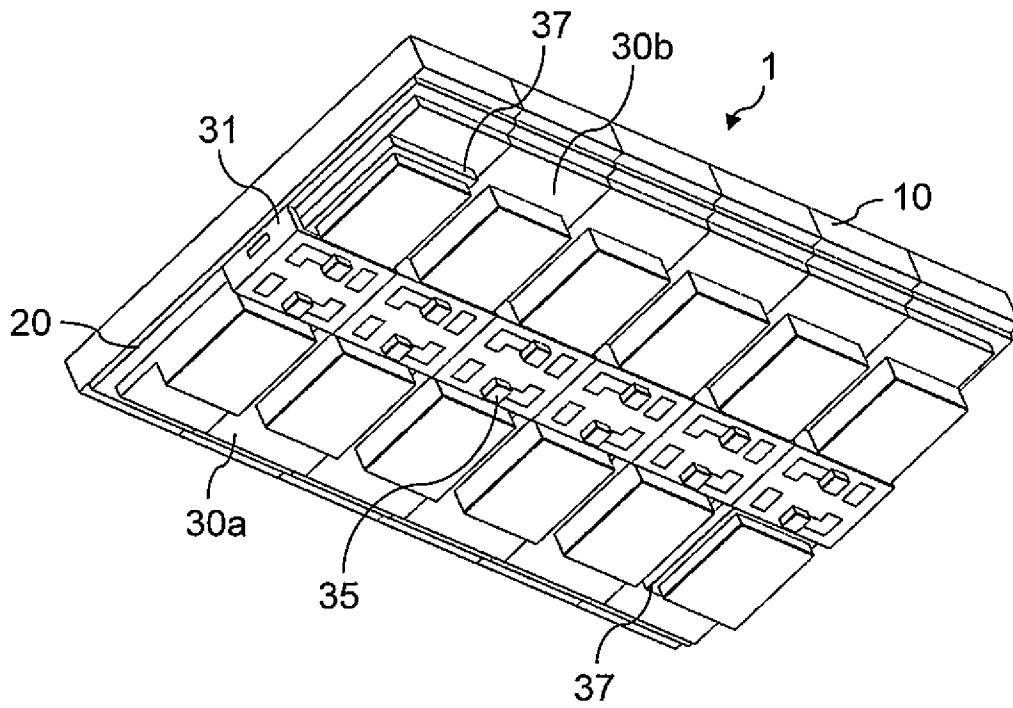
[図3]

図 3



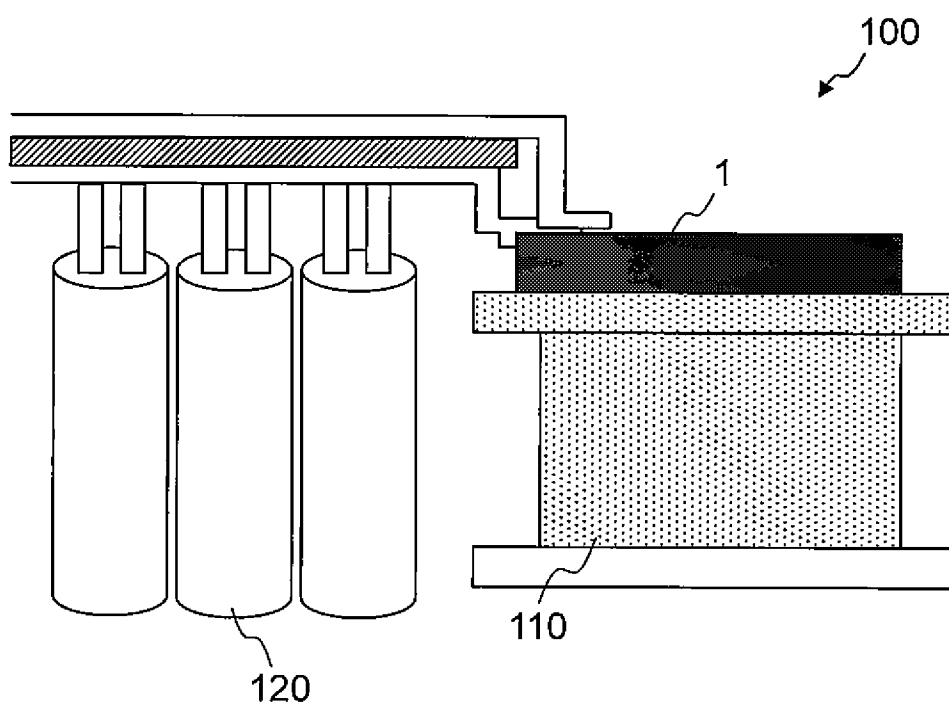
[図6]

図 6



[図7]

図 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028889

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L23/12(2006.01)i, H01L25/00(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i, H05K1/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L23/12, H01L25/00, H01L25/18, H02M7/48, H05K1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-84621 A (Meidensha Corp.), 26 April 2012 (26.04.2012), paragraphs [0013] to [0054]; fig. 1 to 6 (Family: none)	1-11
Y	JP 2007-317904 A (Toppan Printing Co., Ltd.), 06 December 2007 (06.12.2007), paragraph [0008] (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 September 2017 (21.09.17)

Date of mailing of the international search report
03 October 2017 (03.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028889

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 116551/1990 (Laid-open No. 72650/1992) (Ando Electric Co., Ltd.), 26 June 1992 (26.06.1992), page 2, lines 8 to 12 (Family: none)	1-11
Y	JP 11-317495 A (Mitsubishi Electric Corp.), 16 November 1999 (16.11.1999), paragraph [0014] (Family: none)	7
Y	JP 2000-171491 A (Mitsubishi Electric Corp.), 23 June 2000 (23.06.2000), paragraph [0047] (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/07(2006.01)i, H01L23/12(2006.01)i, H01L25/00(2006.01)i, H01L25/18(2006.01)i,
H02M7/48(2007.01)i, H05K1/16(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/07, H01L23/12, H01L25/00, H01L25/18, H02M7/48, H05K1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-84621 A (株式会社明電舎) 2012.04.26, 段落[0013]-[0054], 図 1-6 (ファミリーなし)	1-11
Y	JP 2007-317904 A (凸版印刷株式会社) 2007.12.06, 段落[0008] (ファミリーなし)	1-11

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21.09.2017

国際調査報告の発送日

03.10.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

井上 和俊

5 D

3 4 5 5

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	日本国実用新案登録出願 2-116551 号(日本国実用新案登録出願公開 4-72650 号)の願書に添付した明細書及び図面の内容を撮影したマイ クロフィルム (安藤電気株式会社) 1992. 06. 26, 第 2 頁第 8 行～第 12 行 (ファミリーなし)	1-11
Y	JP 11-317495 A (三菱電機株式会社) 1999. 11. 16, 段落[0014] (ファミリーなし)	7
Y	JP 2000-171491 A (三菱電機株式会社) 2000. 06. 23, 段落[0047] (ファミリーなし)	7