

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 12 月 3 日 (03.12.2020)



(10) 国际公布号
WO 2020/237783 A1

(51) 国际专利分类号:
H03K 19/0185 (2006.01)

(21) 国际申请号: PCT/CN2019/095270

(22) 国际申请日: 2019 年 7 月 9 日 (09.07.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910470598.3 2019 年 5 月 31 日 (31.05.2019) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 傅晓立 (FU, Xiaoli); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: LEVEL SHIFT CIRCUIT AND CLOCK SIGNAL CIRCUIT

(54) 发明名称: 电平移位电路及时钟讯号电路

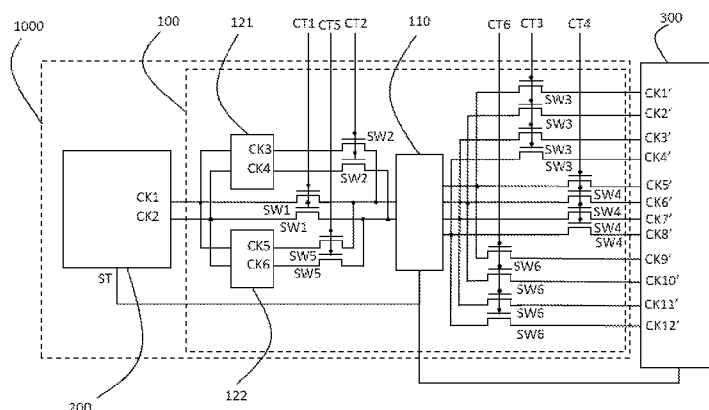


图 1

(57) Abstract: The present invention provides a level shift circuit and a clock signal circuit. The level shift circuit comprises a level shift unit, a first delay unit, two first switches, and two second switches. Two input ends of the level shift unit are each electrically connected to one first switch. Two output ends of the first delay unit are correspondingly and electrically connected between the two input ends of the level shift unit and the two first switches, respectively. One second switch is electrically connected between each of the two output ends of the first delay unit and each of the two input ends of the level shift unit. The first delay unit is used for delaying a unit of delay time.

(57) 摘要: 本揭示提供一种电平移位电路以及一种时钟讯号电路。所述电平移位电路包括电平移位单元、第一延迟单元、二个第一开关、以及二个第二开关。所述电平移位单元的所述两个输入端分别电连接一个所述第一开关。所述第一延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间。所述第一延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第二开关。所述第一延迟单元用以延迟一个单位的延迟时间。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

电平移位电路及时钟讯号电路

技术领域

[0001] 本揭示涉及显示技术领域，特别涉及一种电平移位电路以及一种时钟讯号电路。

背景技术

[0002] 主动矩阵式的液晶显示屏(Active-Matrix Liquid Crystal Display, AMLCD)若采用阵列基板栅驱动技术(Gate On Array, GOA)，则需要在时钟讯号进入栅驱动芯片之前进行电平的提升。

[0003] 一般采用电平移位芯片来进行电平的提升。现有的电平移位芯片为2进4出，4进4出以及12进12出。在时钟控制芯片的输出端有限的情况下，电平移位电路不易提供更多的输出端口。即使在时钟控制芯片的输出端足够的情况下，使用多个电平移位芯片也会占用面积，提高成本。

发明概述

技术问题

[0004] 现有的电平移位芯片不易提供更多的输出端口、成本高且占用面积。

问题的解决方案

技术解决方案

[0005] 为解决上述技术问题，本揭示提供一种电平移位电路，包括电平移位单元、第一延迟单元、二个第一开关、二个第二开关、四个第三开关、以及四个第四开关。所述电平移位单元具有两个输入端及四个输出端。所述电平移位单元的所述两个输入端分别电连接一个所述第一开关。所述第一延迟单元具有二个输入端及二个输出端。所述第一延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间。所述第一延迟单元的二个所述输入端分别对应电连接至二个所述第一开关的另一端。所述第一延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第二开关。所述第一延迟单元用以延迟一个单位的延迟时间。所述

电平移位单元的四个输出端分别电连接四个所述第三开关以及四个所述第四开关。

[0006] 于本揭示的一实施例的电平移位电路中，其中，所述第二开关的控制信号比所述第一开关的控制信号延迟一个单位的所述延迟时间。所述第四开关的控制信号比所述第三开关的控制信号延迟一个单位的所述延迟时间。

[0007] 于本揭示的一实施例的电平移位电路中，其中，所述电平移位电路还包括第二延迟单元、二个第五开关、以及四个第六开关。所述第二延迟单元具有二个输入端及二个输出端。所述第二延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间。所述第二延迟单元的二个所述输入端分别对应电连接至二个所述第一开关的另一端。所述第二延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第五开关。所述第二延迟单元用以延迟二个单位的延迟时间。所述电平移位单元的四个输出端分别电连接四个所述第六开关。

[0008] 于本揭示的一实施例的电平移位电路中，其中，所述第五开关的控制信号比所述第一开关的控制信号延迟二个单位的所述延迟时间。所述第六开关的控制信号比所述第三开关的控制信号延迟二个单位的所述延迟时间。

[0009] 于本揭示的一实施例的电平移位电路中，其中，所述电平移位单元具有四个输入端。所述第一延迟单元具有四个输入端及四个输出端。所述第二延迟单元具有四个输入端及四个输出端。

[0010] 本揭示还提供一种时钟讯号电路，包括时钟控制单元以及电平移位电路。所述时钟控制单元具有两个输出端。所述电平移位电路包括电平移位单元、第一延迟单元、二个第一开关、二个第二开关、四个第三开关、以及四个第四开关。所述电平移位单元具有两个输入端及四个输出端。所述电平移位单元的所述两个输入端分别电连接一个所述第一开关。所述电平移位单元的两个所述输入端分别对应电连接至所述时钟控制单元的两个所述输出端。所述两个第一开关分别对应电连接至所述时钟控制单元的两个所述输出端与所述电平移位单元的两个所述输入端之间。所述第一延迟单元具有二个输入端及二个输出端。所述第一延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述

输入端与二个所述第一开关之间。所述第一延迟单元的二个所述输入端分别对应电连接至二个所述第一开关与所述时钟控制单元的两个所述输出端之间。所述第一延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第二开关。所述第一延迟单元用以延迟一个单位的延迟时间，所述电平移位单元的四个输出端分别电连接四个所述第三开关以及四个所述第四开关。

[0011] 于本揭示的一实施例的时钟讯号电路中，其中，所述第二开关的控制信号比所述第一开关的控制信号延迟一个单位的所述延迟时间。所述第四开关的控制信号比所述第三开关的控制信号延迟一个单位的所述延迟时间。

[0012] 于本揭示的一实施例的时钟讯号电路中，其中，所述电平移位电路还包括第二延迟单元、二个第五开关、以及四个第六开关。所述第二延迟单元具有二个输入端及二个输出端。所述第二延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间。所述第二延迟单元的二个所述输入端分别对应电连接至二个所述第一开关的另一端。所述第二延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第五开关。所述第二延迟单元用以延迟二个单位的延迟时间。所述电平移位单元的四个输出端分别电连接四个所述第六开关。

[0013] 于本揭示的一实施例的时钟讯号电路中，其中，所述第五开关的控制信号比所述第一开关的控制信号延迟二个单位的所述延迟时间。所述第六开关的控制信号比所述第三开关的控制信号延迟二个单位的所述延迟时间。

[0014] 于本揭示的一实施例的时钟讯号电路中，其中，所述电平移位单元具有四个输入端。所述第一延迟单元具有四个输入端及四个输出端。所述第二延迟单元具有四个输入端及四个输出端。

发明的有益效果

有益效果

[0015] 相较于现有技术，为解决上述技术问题，由于本揭示的实施例的电平移位电路以及时钟讯号电路中，使用至少所述第一延迟单元、二个所述第一开关、以及二个所述第二开关以使电平移位电路的输入端口产生分时复用的效果。配合所

述第三开关、以及所述第四开关以使电平移位电路的输出端口复用成更多个输出端口。具有降低成本并减小电路面积的效果。

对附图的简要说明

附图说明

- [0016] 图1显示根据本揭示的一实施例的时钟讯号电路的结构示意图；
- [0017] 图2显示根据本揭示的一实施例的时钟讯号电路的结构示意图；
- [0018] 图3显示根据本揭示的一实施例的时钟讯号的时序示意图；
- [0019] 图4显示根据本揭示的一实施例的时钟讯号的时序示意图；
- [0020] 图5显示根据本揭示的一实施例的时钟讯号的时序示意图；
- [0021] 图6显示根据本揭示的一实施例的时钟讯号的时序示意图；以及
- [0022] 图7显示根据本揭示的一实施例的时钟讯号的时序示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [0023] 以下各实施例的说明是参考附加的图式，用以例示本揭示可用以实施的特定实施例。
- [0024] 为了让本揭示的上述及其他目的、特征、优点能更明显易懂，下文将特举本揭示优选实施例，并配合所附图式，作详细说明如下。再者，本揭示所提到的方向用语，例如上、下、顶、底、前、后、左、右、内、外、侧层、周围、中央、水平、横向、垂直、纵向、轴向、径向、最上层或最下层等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本揭示，而非用以限制本揭示。
- [0025] 在图中，结构相似的单元是以相同标号表示。
- [0026] 参照图1及图3，本揭示提供一种电平移位电路100，包括电平移位单元110、第一延迟单元121、二个第一开关SW1、二个第二开关SW2、四个第三开关SW3、以及四个第四开关SW4。所述电平移位单元110具有两个输入端及四个输出端。所述电平移位单元110的所述两个输入端分别电连接一个所述第一开关SW1。所述第一延迟单元121具有二个输入端及二个输出端。所述第一延迟单元121的二个所述输出端分别对应电连接至所述电平移位单元110的二个所述输入端与二个

所述第一开关SW1之间。所述第一延迟单元121的二个所述输入端分别对应电连接至二个所述第一开关SW1的另一端。所述第一延迟单元121的二个所述输出端与所述电平移位单元110的二个所述输入端之间分别电连接一个所述第二开关SW2。所述第一延迟单元121用以延迟一个单位的延迟时间D₁。所述电平移位单元110的四个输出端分别电连接四个所述第三开关SW3以及四个所述第四开关SW4。

[0027] 具体的，时钟控制单元200有二个输出端分别对应输出讯号CK1、CK2。所述第一延迟单元121截取时钟控制单元200的二个讯号进行延迟后于二个输出端分别对应输出讯号CK3、及CK4。电平移位电路100接收讯号CK1至CK4后进行电平提升并输出讯号CK1'至CK8'。

[0028] 参照图4及图5，具体的，二个所述第一开关SW1依据控制讯号CT1而导通、二个所述第二开关SW2依据控制讯号CT2而导通。所述第一开关SW1与所述第二开关SW2先后导通以分时复用所述电平移位单元110的所述两个输入端。四个所述第三开关SW3依据控制讯号CT3而导通、四个所述第四开关SW4依据控制讯号CT4而导通。所述第三开关SW3与所述第四开关SW4先后导通以分时复用所述电平移位单元110的所述四个输出端。

[0029] 具体的，所述电平移位单元110例如为电平移位芯片(Level Shift IC)，用以将驱动信号的电路升压，以供给显示面板300上的栅驱动芯片(Gate drive IC)。

[0030] 具体的，一个单位的延迟时间D₁为所述电平移位单元110任两相邻输出讯号脉冲(CK1'~CK12')的时间间隔的4倍，但本揭示不限于此。可依实际使用的输出/输入端口数目来决定一个单位的延迟时间D₁的长度。

[0031] 具体的，信号ST为时钟控制单元200发送的启始信号。用以触发所述电平移位单元110依据输入信号产生输出信号。

[0032] 参照图4及图5，于本揭示其中的一实施例中，所述的电平移位电路100，其中，所述第二开关SW2的控制信号CT2比所述第一开关SW1的控制信号CT1延迟一个单位的所述延迟时间D₁。所述第四开关SW4的控制信号CT4比所述第三开关SW3的控制信号CT3延迟一个单位的所述延迟时间D₁。

[0033] 参照图1及图3，于本揭示其中的一实施例中，所述的电平移位电路100，其中

，所述电平移位电路100还包括第二延迟单元122、二个第五开关SW5、以及四个第六开关SW6。所述第二延迟单元122具有二个输入端及二个输出端。所述第二延迟单元122的二个所述输出端分别对应电连接至所述电平移位单元110的二个所述输入端与二个所述第一开关SW1之间。所述第二延迟单元122的二个所述输入端分别对应电连接至二个所述第一开关SW1的另一端。所述第二延迟单元122的二个所述输出端与所述电平移位单元110的二个所述输入端之间分别电连接一个所述第五开关SW5。所述第二延迟单元122用以延迟二个单位的延迟时间D₁。所述电平移位单元110的四个输出端分别电连接四个所述第六开关SW6。

[0034] 参照图4及图5，具体的，二个所述第五开关SW5依据控制讯号CT5而导通。所述第一开关SW1、所述第二开关SW2与所述第五开关SW5先后导通以分时复用所述电平移位单元110的所述两个输入端。四个所述第六开关SW6依据控制讯号CT6而导通。所述第三开关SW3、所述第四开关SW4与所述第六开关SW6先后导通以分时复用所述电平移位单元110的所述四个输出端。

[0035] 具体的，时钟控制单元200有二个输出端分别对应输出讯号CK1、CK2。所述第一延迟单元121截取时钟控制单元200的二个讯号进行延迟后于二个输出端分别对应输出讯号CK3、及CK4。所述第二延迟单元122截取时钟控制单元200的二个讯号进行延迟后于二个输出端对应输出讯号CK5、及CK6。电平移位电路100接收讯号CK1至CK6后进行电平提升并输出讯号CK1'至CK12'。

[0036] 参照图4及图5，于本揭示其中的一实施例中，所述的电平移位电路100，其中，所述第五开关SW5的控制信号CT5比所述第一开关SW1的控制信号CT1延迟二个单位的所述延迟时间D₁。所述第六开关SW6的控制信号CT6比所述第三开关SW3的控制信号CT3延迟二个单位的所述延迟时间D₁。

[0037] 参照图2，于本揭示其中的一实施例中，所述的电平移位电路100'，其中，所述电平移位单元110'具有四个输入端。所述第一延迟单元121'具有四个输入端及四个输出端。所述第二延迟单元122'具有四个输入端及四个输出端。

[0038] 具体的，参照图2、图6及图7，时钟控制单元200'有四个输出端分别对应输出讯号CK1、CK2、CK3及CK4。所述第一延迟单元121'截取时钟控制单元200'的四个讯号进行延迟后于四个输出端分别对应输出讯号CK5、CK6、CK7及CK8。

所述第二延迟单元122'截取时钟控制单元200'的四个讯号进行延迟后于四个输出端对应输出讯号CK9、CK10、CK11及CK12。电平移位电路100'接收讯号CK1至CK12后进行电平提升并输出讯号CK1'至CK12'。

[0039] 参照图1及图3，本揭示还提供一种时钟讯号电路1000，包括时钟控制单元200以及电平移位电路100。所述时钟控制单元200具有两个输出端。所述电平移位电路100包括电平移位单元110、第一延迟单元121、二个第一开关SW1、二个第二开关SW2、四个第三开关SW3、以及四个第四开关SW4。所述电平移位单元110具有两个输入端及四个输出端。所述电平移位单元110的所述两个输入端分别电连接一个所述第一开关SW1。所述电平移位单元110的两个所述输入端分别对应电连接至所述时钟控制单元200的两个所述输出端。所述两个第一开关SW1分别对应电连接至所述时钟控制单元200的两个所述输出端与所述电平移位单元110的两个所述输入端之间。所述第一延迟单元121具有二个输入端及二个输出端。所述第一延迟单元121的二个所述输出端分别对应电连接至所述电平移位单元110的二个所述输入端与二个所述第一开关SW1之间。所述第一延迟单元121的二个所述输入端分别对应电连接至二个所述第一开关SW1与所述时钟控制单元200的两个所述输出端之间。所述第一延迟单元121的二个所述输出端与所述电平移位单元110的二个所述输入端之间分别电连接一个所述第二开关SW2。所述第一延迟单元121用以延迟一个单位的延迟时间D₁，所述电平移位单元110的四个输出端分别电连接四个所述第三开关SW3以及四个所述第四开关SW4。

[0040] 具体的，时钟控制单元200有二个输出端分别对应输出讯号CK1、CK2。所述第一延迟单元121截取时钟控制单元200的二个讯号进行延迟后于二个输出端分别对应输出讯号CK3、及CK4。电平移位电路100接收讯号CK1至CK4后进行电平提升并输出讯号CK1'至CK8'。

[0041] 参照图4及图5，具体的，二个所述第一开关SW1依据控制讯号CT1而导通、二个所述第二开关SW2依据控制讯号CT2而导通。所述第一开关SW1与所述第二开关SW2先后导通以分时复用所述电平移位单元110的所述两个输入端。四个所述第三开关SW3依据控制讯号CT3而导通、四个所述第四开关SW4依据讯号CT4而导通。所述第三开关SW3与所述第四开关SW4先后导通以分时复用所述电平移

位单元110的所述四个输出端。

[0042] 具体的，所述电平移位单元110例如为电平移位芯片(Level Shift IC)，用以将驱动信号的电路升压，以供给显示面板300上的栅驱动芯片(Gate drive IC)。

[0043] 具体的，一个单位的延迟时间D₁为所述电平移位单元110任两相邻输出信号脉冲(CK1'~CK12')的时间间隔的4倍，但本揭示不限于此。可依实际使用的输出/输入端口数目来决定一个单位的延迟时间D₁的长度。

[0044] 具体的，信号ST为时钟控制单元200发送的起始信号。用以触发所述电平移位单元110依据输入信号产生输出信号。

[0045] 参照图4及图5，于本揭示其中的一实施例中，所述的时钟讯号电路1000，其中，所述第二开关SW2的控制信号CT2比所述第一开关SW1的控制信号CT1延迟一个单位的所述延迟时间D₁。所述第四开关SW4的控制信号CT4比所述第三开关SW3的控制信号CT3延迟一个单位的所述延迟时间D₁。

[0046] 参照图1及图3，于本揭示其中的一实施例中，所述的时钟讯号电路1000，其中，所述电平移位电路100还包括第二延迟单元122、二个第五开关SW5、以及四个第六开关SW6。所述第二延迟单元122具有二个输入端及二个输出端。所述第二延迟单元122的二个所述输出端分别对应电连接至所述电平移位单元110的二个所述输入端与二个所述第一开关SW1之间。所述第二延迟单元122的二个所述输入端分别对应电连接至二个所述第一开关SW1的另一端。所述第二延迟单元122的二个所述输出端与所述电平移位单元110的二个所述输入端之间分别电连接一个所述第五开关SW5。所述第二延迟单元122用以延迟二个单位的延迟时间D₁。所述电平移位单元110的四个输出端分别电连接四个所述第六开关SW6。

[0047] 参照图4及图5，具体的，二个所述第五开关SW5依据控制讯号CT5而导通。所述第一开关SW1、所述第二开关SW2与所述第五开关SW5先后导通以分时复用所述电平移位单元110的所述两个输入端。四个所述第六开关SW6依据控制讯号CT6而导通。所述第三开关SW3、所述第四开关SW4与所述第六开关SW6先后导通以分时复用所述电平移位单元110的所述四个输出端。

[0048] 具体的，时钟控制单元200有二个输出端分别对应输出讯号CK1、CK2。所述第一延迟单元121截取时钟控制单元200的二个讯号进行延迟后于二个输出端分

别对应输出讯号CK3、及CK4。所述第二延迟单元122 截取时钟控制单元200的二个讯号进行延迟后于二个输出端对应输出讯号CK5、及CK6。电平移位电路100接收讯号CK1至CK6后进行电平提升并输出讯号CK1'至CK12'。

[0049] 参照图4及图5，于本揭示其中的一实施例中，所述的时钟讯号电路1000，其中，所述第五开关SW5的控制信号CT5比所述第一开关SW1的控制信号CT1延迟二个单位的所述延迟时间D₁。所述第六开关SW6的控制信号CT6比所述第三开关SW3的控制信号CT3延迟二个单位的所述延迟时间D₁。

[0050] 参照图2，于本揭示其中的一实施例中，所述的时钟讯号电路1000'，其中，所述电平移位单元110'具有四个输入端。所述第一延迟单元121'具有四个输入端及四个输出端。所述第二延迟单元122'具有四个输入端及四个输出端。

[0051] 具体的，参照图2、图6及图7，时钟控制单元200'有四个输出端分别对应输出讯号CK1、CK2、CK3及CK4。所述第一延迟单元121'截取时钟控制单元200'的四个讯号进行延迟后于四个输出端分别对应输出讯号CK5、CK6、CK7及CK8。所述第二延迟单元122'截取时钟控制单元200'的四个讯号进行延迟后于四个输出端对应输出讯号CK9、CK10、CK11及CK12。电平移位电路100'接收讯号CK1至CK12后进行电平提升并输出讯号CK1'至CK12'。

[0052] 具体的，本揭示的所有实施例的所述输入端与所述输出端的数目仅为示例，本揭示不限制所述输入端与所述输出端的数目。

[0053] 由于本揭示的实施例的电平移位电路以及时钟讯号电路中，使用至少所述第一延迟单元、二个所述第一开关、以及二个所述第二开关以使电平移位电路的输入端口产生分时复用的效果。配合所述第三开关、以及所述第四开关以使电平移位电路的输出端口复用成更多个输出端口。具有降低成本并减小电路面积的效果。

[0054] 尽管已经相对于一个或多个实现方式示出并描述了本揭示，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本揭示包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上述组件执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使

在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不等同。此外，尽管本说明书的特定特征已经相对于若干实现方式中的仅一个被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。

[0055] 以上仅是本揭示的优选实施方式，应当指出，对于本领域普通技术人员，在不脱离本揭示原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本揭示的保护范围。

权利要求书

- [权利要求 1] 一种电平移位电路，包括：
- 电平移位单元；
- 第一延迟单元；
- 二个第一开关；
- 二个第二开关；
- 四个第三开关；以及
- 四个第四开关，其中，所述电平移位单元具有两个输入端及四个输出端，所述电平移位单元的所述两个输入端分别电连接一个所述第一开关，所述第一延迟单元具有二个输入端及二个输出端，所述第一延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间，所述第一延迟单元的二个所述输入端分别对应电连接至二个所述第一开关的另一端，所述第一延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第二开关，所述第一延迟单元用以延迟一个单位的延迟时间，所述电平移位单元的四个输出端分别电连接四个所述第三开关以及四个所述第四开关。
- [权利要求 2] 如权利要求1所述的电平移位电路，其中，所述第二开关的控制信号比所述第一开关的控制信号延迟一个单位的所述延迟时间，所述第四开关的控制信号比所述第三开关的控制信号延迟一个单位的所述延迟时间。
- [权利要求 3] 如权利要求1所述的电平移位电路，其中，所述电平移位电路还包括第二延迟单元，二个第五开关以及四个第六开关，其中，所述第二延迟单元具有二个输入端及二个输出端，所述第二延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间，所述第二延迟单元的二个所述输入端分别对应电连接至二个所述第一开关的另一端，所述第二延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述

第五开关，所述第二延迟单元用以延迟二个单位的延迟时间，所述电平移位单元的四个输出端分别电连接四个所述第六开关。

[权利要求 4] 如权利要求3所述的电平移位电路，其中，所述第五开关的控制信号比所述第一开关的控制信号延迟二个单位的所述延迟时间，所述第六开关的控制信号比所述第三开关的控制信号延迟二个单位的所述延迟时间。

[权利要求 5] 如权利要求3所述的电平移位电路，其中，所述电平移位单元具有四个输入端，所述第一延迟单元具有四个输入端及四个输出端，所述第二延迟单元具有四个输入端及四个输出端。

[权利要求 6] 如权利要求5所述的电平移位电路，其中，所述第一开关的数量为四个、所述第二开关的数量为四个、所述第五开关的数量为四个。

[权利要求 7] 一种时钟讯号电路，包括：
时钟控制单元；以及
电平移位电路，其中，所述时钟控制单元具有两个输出端，所述电平移位电路包括：
电平移位单元；
第一延迟单元；
二个第一开关；
二个第二开关；
四个第三开关；以及
四个第四开关，其中，所述电平移位单元具有两个输入端及四个输出端，所述电平移位单元的所述两个输入端分别电连接一个所述第一开关，所述电平移位单元的两个所述输入端分别对应电连接至所述时钟控制单元的两个所述输出端，所述两个第一开关分别对应电连接至所述时钟控制单元的两个所述输出端与所述电平移位单元的两个所述输入端之间，所述第一延迟单元具有二个输入端及二个输出端，所述第一延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间，所述第一延迟单元的二个

所述输入端分别对应电连接至二个所述第一开关与所述时钟控制单元的两个所述输出端之间，所述第一延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第二开关，所述第一延迟单元用以延迟一个单位的延迟时间，所述电平移位单元的四个输出端分别电连接四个所述第三开关以及四个所述第四开关。

[权利要求 8] 如权利要求7所述的时钟讯号电路，其中，所述第二开关的控制信号比所述第一开关的控制信号延迟一个单位的所述延迟时间，所述第四开关的控制信号比所述第三开关的控制信号延迟一个单位的所述延迟时间。

[权利要求 9] 如权利要求8所述的时钟讯号电路，其中，所述电平移位电路还包括第二延迟单元，二个第五开关以及四个第六开关，其中，所述第二延迟单元具有二个输入端及二个输出端，所述第二延迟单元的二个所述输出端分别对应电连接至所述电平移位单元的二个所述输入端与二个所述第一开关之间，所述第二延迟单元的二个所述输入端分别对应电连接至二个所述第一开关的另一端，所述第二延迟单元的二个所述输出端与所述电平移位单元的二个所述输入端之间分别电连接一个所述第五开关，所述第二延迟单元用以延迟二个单位的延迟时间，所述电平移位单元的四个输出端分别电连接四个所述第六开关。

[权利要求 10] 如权利要求9所述的时钟讯号电路，其中，所述第五开关的控制信号比所述第一开关的控制信号延迟二个单位的所述延迟时间，所述第六开关的控制信号比所述第三开关的控制信号延迟二个单位的所述延迟时间。

[权利要求 11] 如权利要求9所述的时钟讯号电路，其中，所述时钟控制单元具有两个输出端，所述电平移位单元具有四个输入端，所述第一延迟单元具有四个输入端及四个输出端，所述第二延迟单元具有四个输入端及四个输出端。

[权利要求 12] 如权利要求11所述的时钟讯号电路，其中，所述第一开关的数量为四个、所述第二开关的数量为四个、所述第五开关的数量为四个。

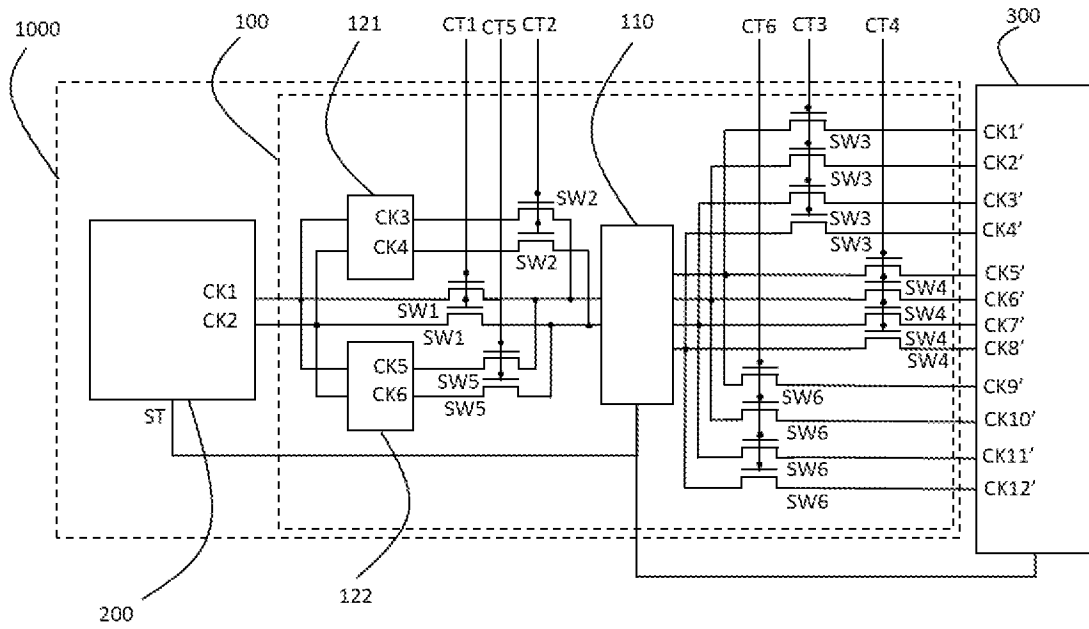


图 1

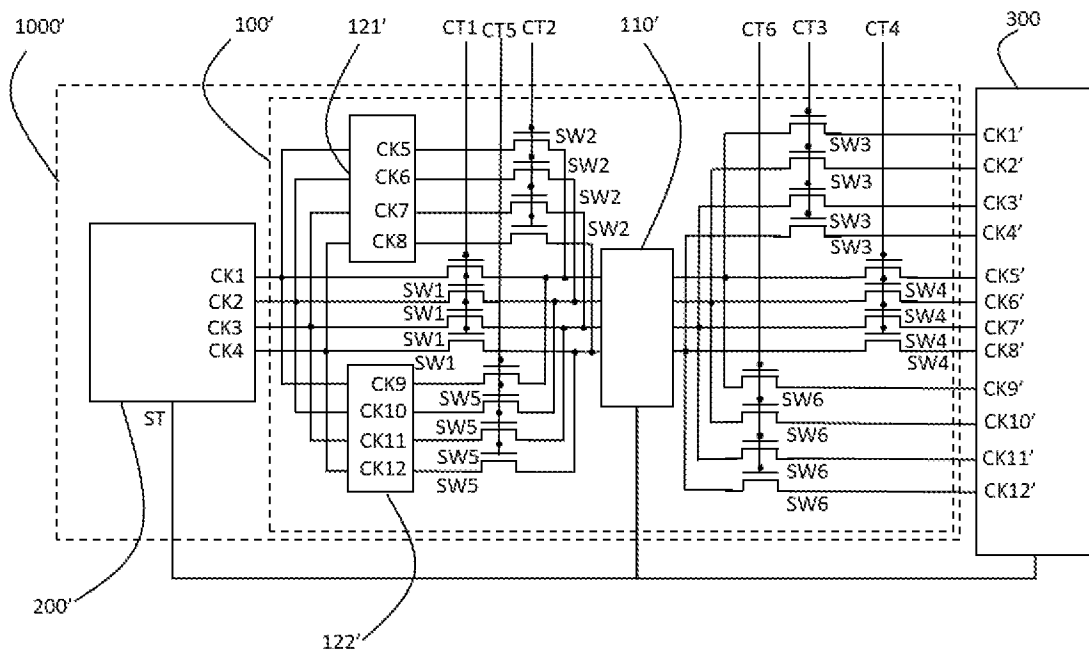


图 2

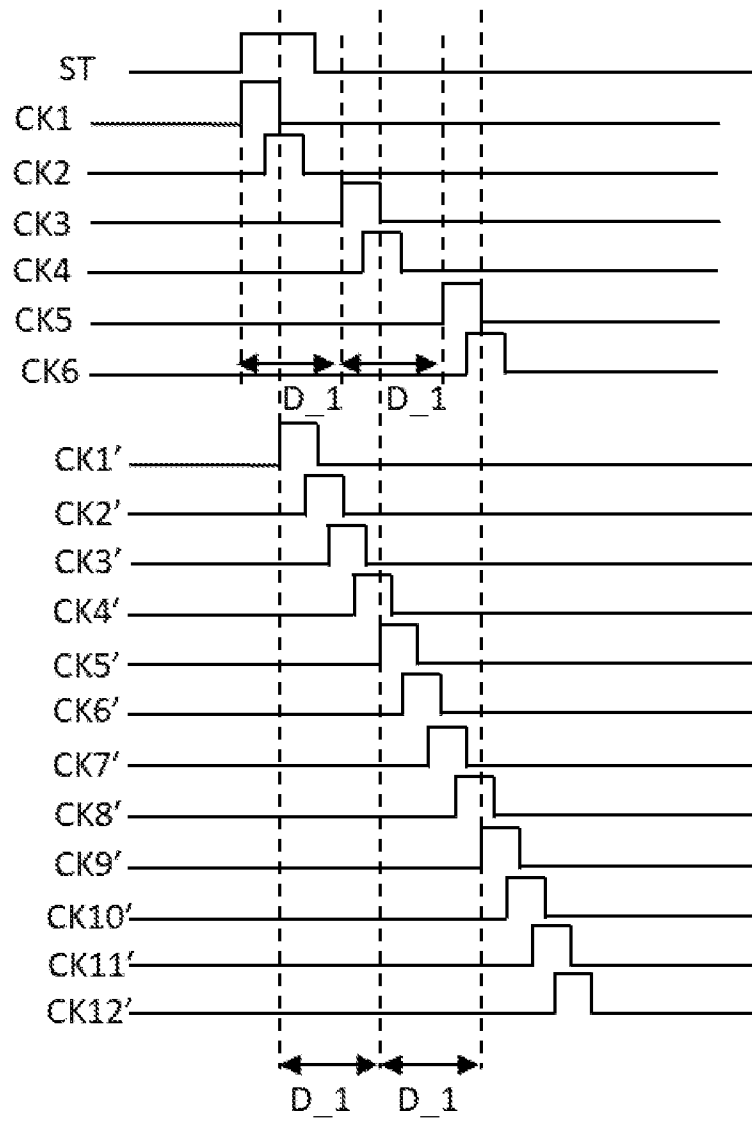


图 3

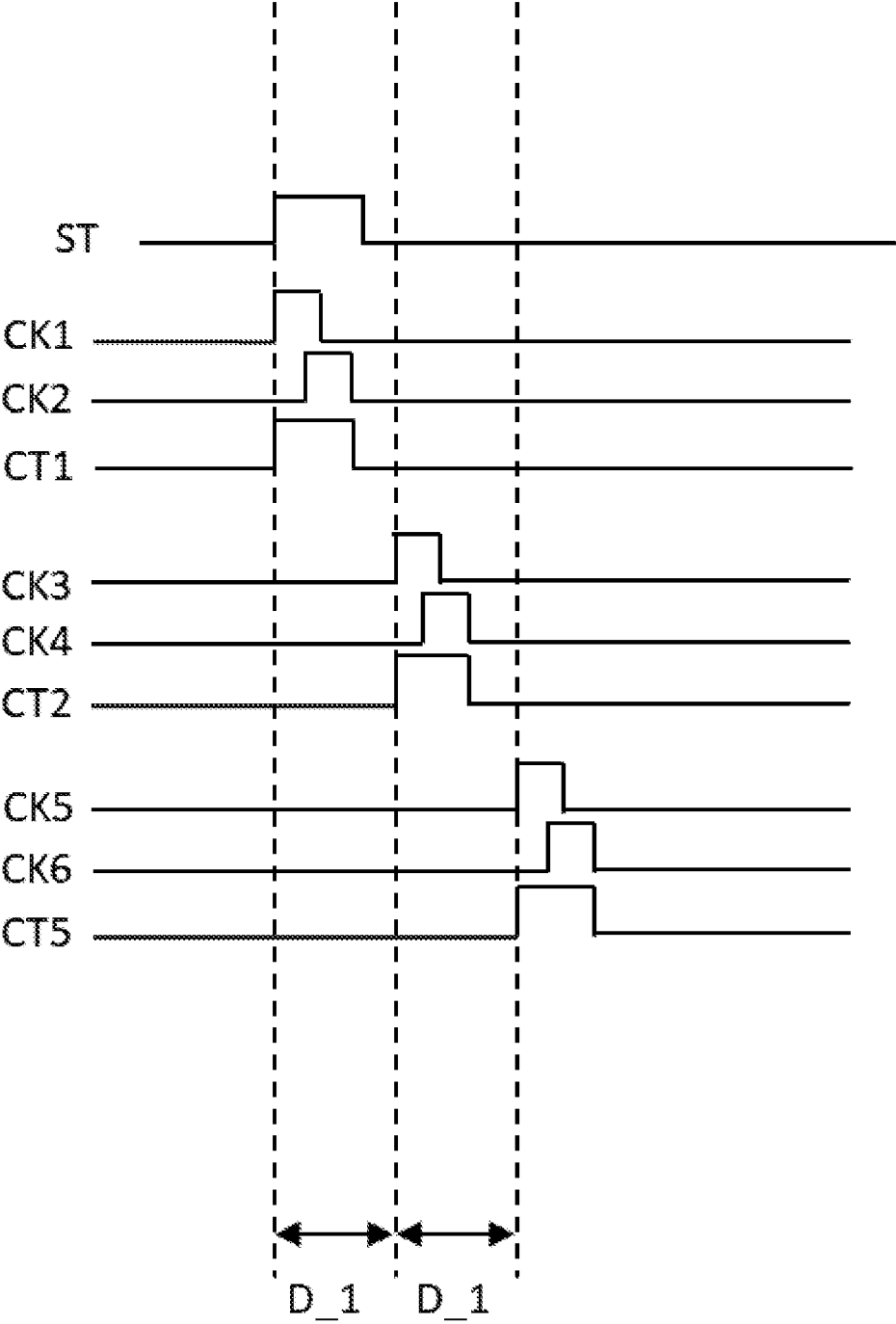


图 4

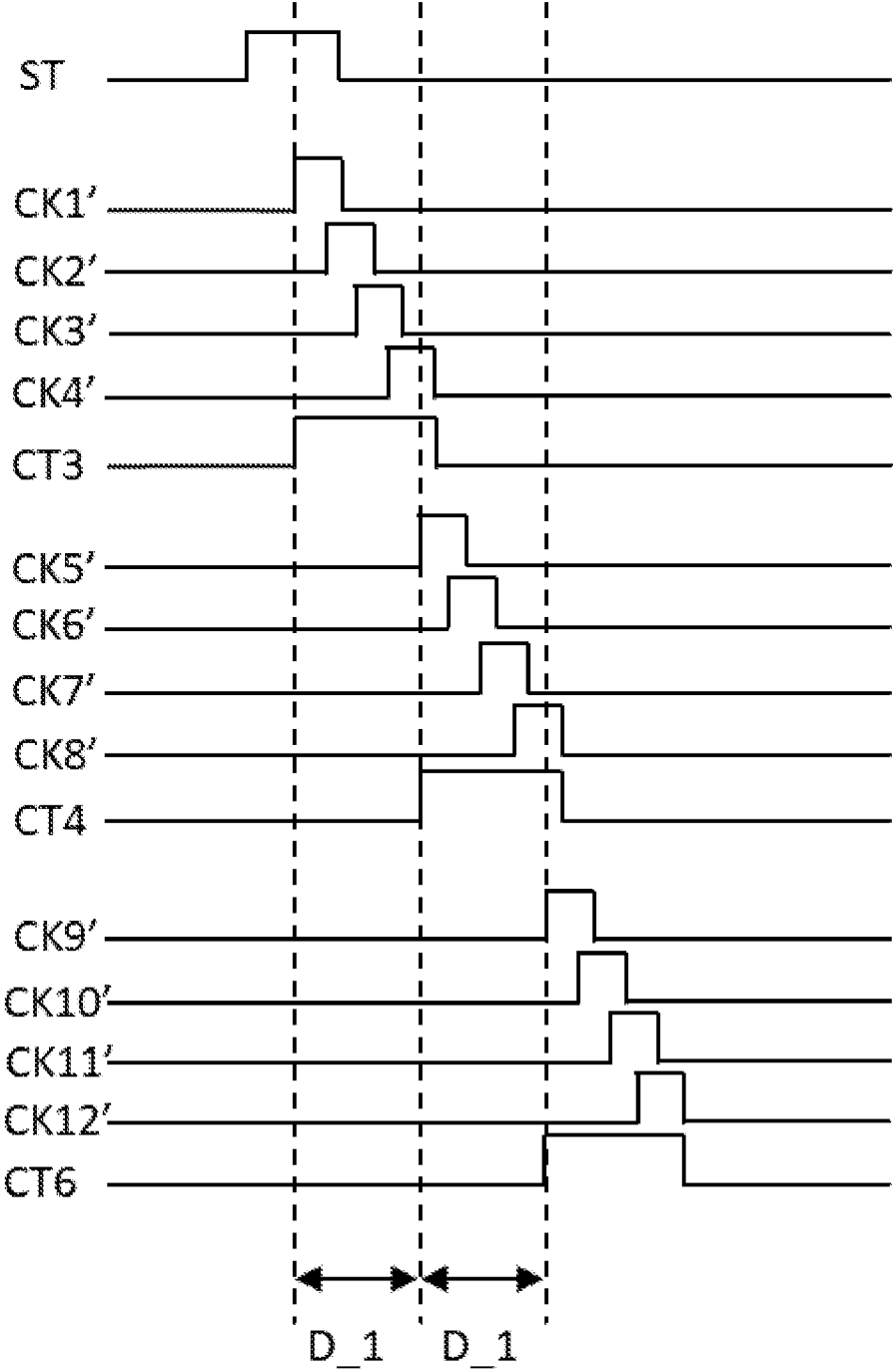


图 5

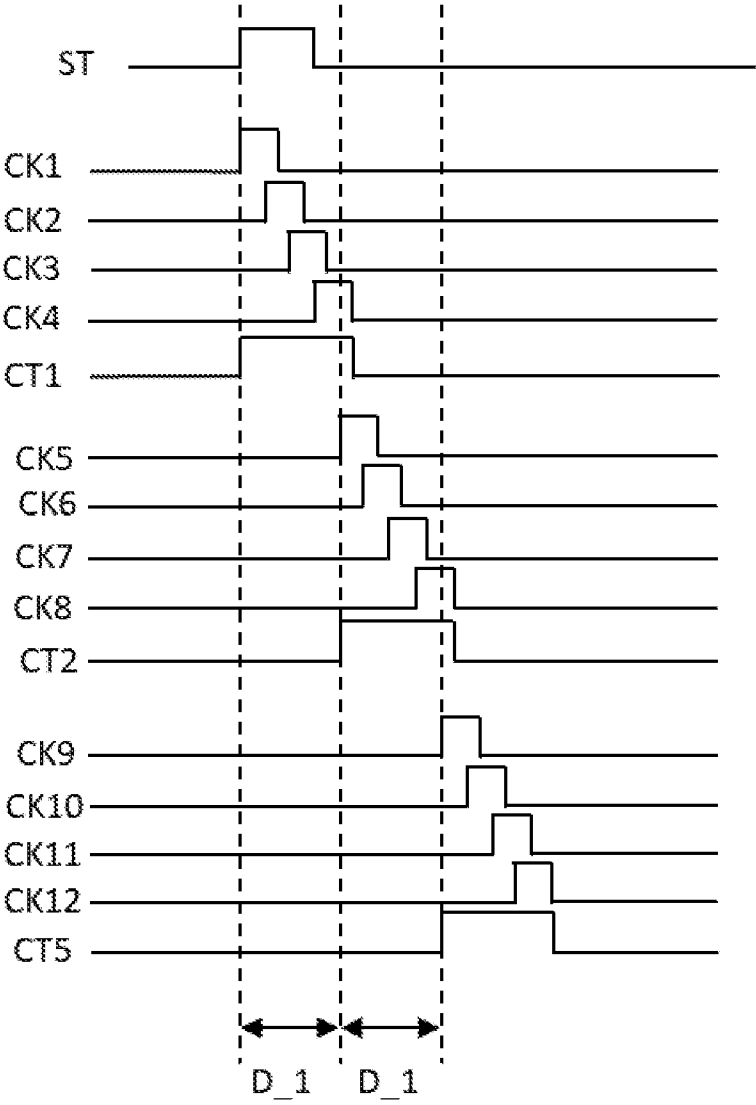


图 6

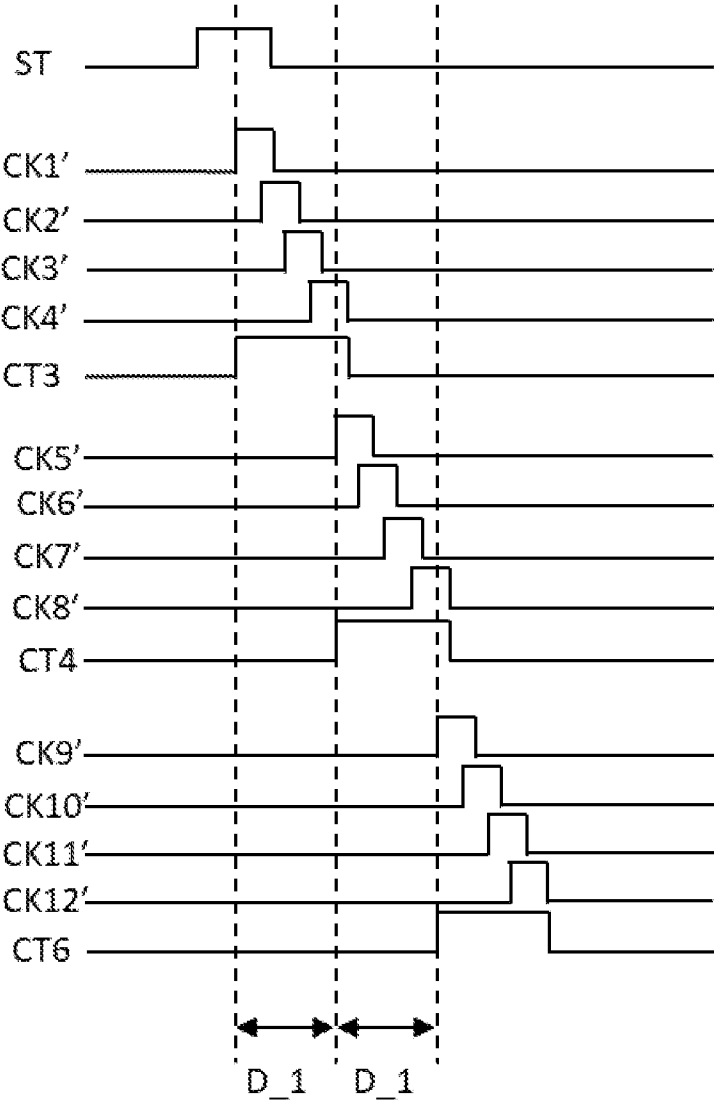


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/095270

A. CLASSIFICATION OF SUBJECT MATTER

H03K 19/0185(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, SIPOABS, DWPI: 延迟, 开关, 电平, 移位, delay, switch, level, shift

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109547008 A (TOSHIBA CORPORATION et al.) 29 March 2019 (2019-03-29) entire document	1-12
A	CN 107508590 A (XIDIAN UNIVERSITY) 22 December 2017 (2017-12-22) entire document	1-12
A	CN 106991988 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 28 July 2017 (2017-07-28) entire document	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 February 2020

Date of mailing of the international search report

03 March 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/095270

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109547008	A	29 March 2019	US	10340910	B2	02 July 2019
				US	2019089347	A1	21 March 2019
				JP	2019057841	A	11 April 2019
CN	107508590	A	22 December 2017	None			
CN	106991988	A	28 July 2017	US	10332469	B2	25 June 2019
				US	2019108807	A1	11 April 2019
				WO	2018209783	A1	22 November 2018
				CN	106991988	B	02 July 2019

国际检索报告

国际申请号

PCT/CN2019/095270

A. 主题的分类

H03K 19/0185 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNKI, SIPOABS, DWPI:延迟, 开关, 电平, 移位, delay, switch, level, shift

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 109547008 A (株式会社东芝等) 2019年 3月 29日 (2019 - 03 - 29) 全文	1-12
A	CN 107508590 A (西安电子科技大学) 2017年 12月 22日 (2017 - 12 - 22) 全文	1-12
A	CN 106991988 A (深圳市华星光电技术有限公司) 2017年 7月 28日 (2017 - 07 - 28) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 2月 11日

国际检索报告邮寄日期

2020年 3月 3日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

康健

电话号码 (86-10)62411639

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/095270

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109547008	A	2019年 3月 29日	US	10340910	B2	2019年 7月 2日
				US	2019089347	A1	2019年 3月 21日
				JP	2019057841	A	2019年 4月 11日
CN	107508590	A	2017年 12月 22日	无			
CN	106991988	A	2017年 7月 28日	US	10332469	B2	2019年 6月 25日
				US	2019108807	A1	2019年 4月 11日
				WO	2018209783	A1	2018年 11月 22日
				CN	106991988	B	2019年 7月 2日