

[12] 发明专利申请公开说明书

[21] 申请号 00801073.0

[43] 公开日 2001年9月19日

[11] 公开号 CN 1314028A

[22] 申请日 2000.4.21 [21] 申请号 00801073.0
 [30] 优先权
 [32] 1999.6.10 [33] JP [31] 164055/1999
 [86] 国际申请 PCT/JP00/02604 2000.4.21
 [87] 国际公布 WO00/77937 日 2000.12.21
 [85] 进入国家阶段日期 2001.2.9
 [71] 申请人 松下电器产业株式会社
 地址 日本大阪府
 [72] 发明人 梶田邦之 户田隆

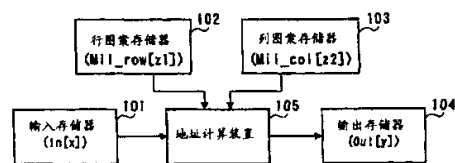
[74] 专利代理机构 柳沈知识产权律师事务所
 代理人 宋 军

权利要求书 2 页 说明书 19 页 附图页数 14 页

[54] 发明名称 交织装置及交织方法

[57] 摘要

输入存储器 101 存储输入数据。行图案存储器 102 存储行图案。列图案存储器 103 存储列图案。输出存储器 104 存储输入数据的顺序被交错所得的输出数据。地址计算装置 105 计算要写入到输出数据中的输入数据的地址，再将根据计算出的输入地址从输入存储器 101 读出的输入数据作为输出数据 写入到输出存储器 104 中。



ISSN 1008-4274



权 利 要 求 书

1、一种交织装置，包括：变换序列形成部件，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

2、如权利要求 1 所述的交织装置，其中，排列变更部件包括第 1 次序计算部件，对各输入数据计算排列变更后的次序；按照算出的次序来变更输入数据的排列。

3、如权利要求 1 所述的交织装置，其中，排列变更部件包括第 2 计算部件，对排列变更后的各输入数据计算该各输入数据中要配置的输入数据的排列次序；按照算出的排列次序来变更输入数据的排列。

4、如权利要求 1 所述的交织装置，其中，在排列变换规则式中包含的一个要素比另一个要素低至少 1 层以上的情况下，变换序列形成部件用上述另一个要素来形成排列变换序列。

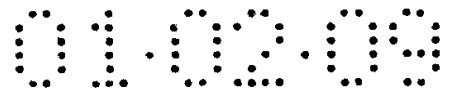
5、如权利要求 1 所述的交织装置，其中，排列变更部件变更根据排列变换规则式变更了排列的输入数据的排列。

6、一种包括交织装置的通信终端装置，其中，上述交织装置包括：变换序列形成部件，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

7、一种包括交织装置的基站装置，其中，上述交织装置包括：变换序列形成部件，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

8、一种在包括交织装置的通信终端装置和包括上述交织装置的基站装置之间进行通信的无线通信系统，其中，上述交织装置包括：变换序列形成部件，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

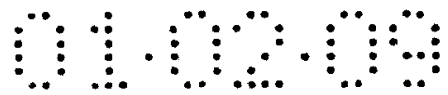
9、一种交织方法，包括：变换序列形成步骤，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更步



骤，用形成的排列变换序列来变更输入数据的排列。

10、一种交织方法，包括：变换序列形成步骤，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列复原步骤，用形成的排列变换序列来复原根据上述排列变换规则式进行了配置变

5 更的输入数据的排列。



说明书

交织装置及交织方法

5 技术领域

本发明涉及 CDMA (Code Division Multiple Access, 码分多址)移动通信中的编解码处理装置及编解码处理方法。

背景技术

10 在现有 CDMA 方式的通信系统中,为了避免由传输线路上的突发差错引起的通信品质恶化,使用交织,它能够通过对发送数据的顺序进行交错而使其成为随机差错。所谓交织(Interleave, 以下记作 IL),是下述技术:在发送端装置中发送按照规定的图案对顺序进行了交错的发送数据,而在接收端装置中将接收到的数据还原到原来的顺序。由此,能够将传输线路上发生的突
15 发差错变换为随机差错,能够进行更好的纠错解码。

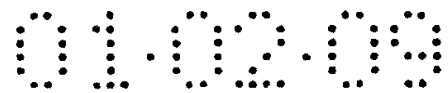
发送端装置中的 IL 处理按照下述过程来进行。这里,作为一例,说明对 L 个数据进行 IL 处理的情况。即,首先,通过重复 M 次将 L 个数据依次沿横向写入 N 个的处理,形成 M×N 的矩阵。接着,通过重复 N 次从这样形成的矩阵中沿纵向依次读出 M 个的处理,得到数据顺序被交错了的 L 个数据。

20 这种 IL 处理一般被表示为 L[M×N]。

在从 2001 年度起开始服务的下一代移动通信方式的通信系统、即 W-CDMA 方式的通信系统中,作为交织,使用多级交织(Multistage Interleave; MIL)。MIL 是为了取代 IL 来辅助进行更好的纠错解码而新提出的技术,按照对进行通信的每个信道规定的 MIL 式,分层重复进行 IL 处理。以下,说明
25 现有 CDMA 通信系统中使用的 MIL 处理。这里,以下式表示的 MIL 式为例来进行说明。

$$20[5[3 \times 2] \times 4[2 \times 2]] \quad (1)$$

式(1)表示:将 20 个输入数据 $In[x]$ ($x=0 \sim 19$) (例如,分别具有地址 {0, 1, 2, ..., 18, 19} 的 20 个数据)展开为 5×4 的矩阵后,对各行进行 $4[2 \times 2]$ 的 IL 处理,
30 再对各列进行 $5[3 \times 2]$ 的 IL 处理。通过这种处理,式(1)被展开,得到顺序被交错了的 20 个输出数据 $Out[y]$ ($y=0 \sim 19$)。即,输入数据按照下式所示的地址被



依次写入到输出数据中。

$$\{0, 8, 16, 4, 12, 2, 10, 18, 6, 14, 1, 9, 17, 5, 13, 3, 11, 19, 7, 15\} \quad -(2)$$

式(2)中的各数字表示地址。

5 这里，将用 $5[3 \times 2]$ 及 $4[2 \times 2]$ 这样的形式表示的 MIL 式称为层 1 (stage 1) 的 MIL 式，将用 $20[5[3 \times 2] \times 4[2 \times 2]]$ 这样的形式表示的 MIL 式称为层 2 (stage 2) 的 MIL 式。

在如上所述的 MIL 处理中，在各层中需要重复进行 IL 处理，所以越使用层数多的 MIL 式，则处理时间就越长。因此，在现有 CDMA 方式中，为了实现处理时间降低，用图 1 所示的 MIL 装置进行 MIL 处理。

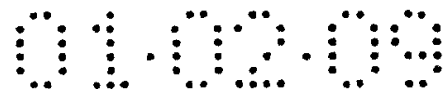
10 图 1 是现有 MIL 装置的结构方框图。如图 1 所示，现有 MIL 装置包括：输入存储器 11、存储器读写装置 12、输出存储器 13、以及存储 MIL 图案的 MIL 图案存储器 14。

15 在图 1 的 MIL 装置中，MIL 图案存储器 14 存储根据 MIL 式生成的层 0 的 MIL 图案，存储器读写装置 12 通过对存储的 MIL 图案存储器间接进行寻址，能够进行发送数据的顺序的交错。这里，对图 1 所示的 MIL 装置的操作，以使用式(1)所示的 MIL 式的情况为例来进行以下的说明。

20 如上所述，将式(1)所示的 MIL 式展开后，得到式(2)所示的 MIL 图案。该 MIL 图案被存储到图 1 的 MIL 图案存储器 14 中。此外，20 个输入数据 $In[x]$ ($x=0 \sim 19$) (分别具有地址 $\{0, 1, 2, \dots, 18, 19\}$ 的 20 个数据)被存储到输入存储器 11 中。如果假设图 1 的输入存储器 11、输出存储器 13 及 MIL 图案存储器 14 中存储的数据分别为 $In[x]$ 、 $Out[y]$ 及 $Mil[z]$ ($x, y, z=0 \sim 19$)，则按照图 2 所示的操作流程执行 MIL 处理。

25 图 2 是现有 MIL 装置的操作流程图。如图 2 所示，存储器读写装置 12 按照式(2)所示的地址依次访问输入存储器 11，将访问到的数据写入到输出存储器 13 中，从而将输入存储器 11 中存储的输入数据的顺序被交错所得的输出数据写入到输出存储器 13 中。根据这种 MIL 处理，处理时间不受使用的 MIL 式的层数的影响，所以被缩短。

30 然而，在上述现有 MIL 装置中，MIL 图案存储器 14 存储与进行 MIL 处理的输入数据同等大小的数据，所以有下述问题：随着输入数据(比特)数增大，所需存储量变得很庞大。



发明概述

本发明的目的在于提供一种降低所需存储量的交织装置。

该目的是如下实现的：用对每个输入数据规定的、或者指定的 MIL 式(排列变换规则式)中包含的要素来形成至少 1 个 MIL 图案(排列变换序列)，用形成的 MIL 图案来变更输入数据的排列。

附图的简单说明

图 1 是现有 MIL 装置的结构方框图；

图 2 是现有 MIL 装置的操作流程图；

10 图 3 是本发明实施例 1 的 MIL 装置的结构方框图；

图 4 是上述实施例 1 的 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图；

图 5 是上述实施例 1 的 MIL 装置的所需存储量与现有方式的比较图；

15 图 6 是本发明实施例 2 的 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图；

图 7 是本发明实施例 3 的 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图；

图 8 是本发明实施例 4 的 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图；

20 图 9 是本发明实施例 5 的解 MIL (De-MIL)装置中的地址计算装置对输出存储器进行的写入处理的流程图；

图 10 是本发明实施例 6 的解 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图；

25 图 11 是本发明实施例 7 的解 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图；

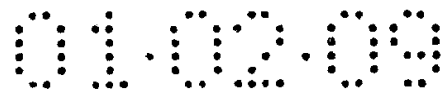
图 12 是本发明实施例 8 的解 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图；

图 13 是本发明实施例 9 的编码装置的结构方框图；

图 14 是本发明实施例 10 的解码装置的结构方框图；

30 图 15 是本发明实施例 11 的移动台装置的结构方框图；

图 16 是本发明实施例 12 的基站装置的结构方框图。



实施发明的最好形式

以下，参照附图来详细说明实施本发明的最好形式。

(实施例 1)

5 图 3 是本发明实施例 1 的 MIL 装置的结构方框图。本实施例的 MIL 装置是实现在帧内对数据的顺序进行交错的 MIL 处理的装置。在本实施例中，作为 MIL 式(排列变换规则式)，以使用式(1)所示的 $20[5[3 \times 2] \times 4[2 \times 2]]$ 的情况为例来进行说明。

10 在图 3 中，输入存储器 101 存储 20 个输入数据 $In[x]$ ($x=0 \sim 19$)。这里，假设各输入数据的地址分别为 $\{0, 1, 2, \dots, 18, 19\}$ 。

行图案存储器 102 存储根据式(1)中的层 1 的 MIL 式($5[3 \times 2]$)生成的 MIL 图案(排列变换序列)、即下式所示的行图案 $Mil_row[r]$ 。

$$Mil_row[r] (r=0 \sim 4) = \{0, 2, 4, 1, 3\} \quad -(3)$$

15 列图案存储器 103 存储根据式(1)中的层 1 的 MIL 式($4[2 \times 2]$)生成的 MIL 图案(排列变换序列)、即下式所示的列图案 $Mil_col[c]$ 。

$$Mil_col[c] (c=0 \sim 3) = \{0, 2, 1, 3\} \quad -(4)$$

输出存储器 104 存储输入数据的顺序被交错了的 20 个输出数据 $Out[y]$ ($y=0 \sim 19$)。

20 地址计算装置 105 计算要写入到输出数据中的输入数据的地址，再将根据计算出的输入地址从输入存储器 101 读出的输入数据作为输出数据写入到输出存储器 104 中。这里，参照图 4 来说明地址计算装置 105 对输出存储器 104 进行的写入处理。图 4 是本发明实施例 1 的 MIL 装置中的地址计算装置 105 对输出存储器 104 进行的写入处理的流程图。

25 在步骤(以下称为“ST”)201 中，首先使 $c=0$ 来重复直至后述的 ST205 的处理，在满足 $c > C-1$ 的情况下，结束处理。其中， C 是列数(这里是 4)。

在 ST202 中，首先使 $r=0$ 来重复直至后述的 ST204 的处理，只在满足 $r > R-1$ 的情况下，处理转移到 ST205。其中， R 是行数(这里是 5)。

在 ST203 中，首先，如下式所示来计算要写入到输出数据 $[r+R \times c]$ 中的输入数据的地址。

$$30 \quad Mil_col[c] + Mil_row[r] \times C \quad -(5)$$

进而，输入存储器 101 中根据式(5)计算出的地址中存储的输入数据被读



出，作为输出数据[r+R×c]被写入到输出存储器 104 中。

在 ST204 中，将 r 的值加 1 后，处理转移到 ST202。在 ST205 中，将 c 的值加 1 后，处理转移到 ST201。

5 通过如上所述的地址计算装置 105 的写入处理，输入存储器 101 中存储的输入数据按照式(2)所示的地址依次被写入到输出存储器 104 中的输出数据 [y] (0~19) 中。即，例如，输入数据[0]、输入数据[8]及输入数据[16]分别被写入到输出数据[0]、输出数据[1]及输出数据[2]中。

10 如上所述，在使用式(1)所示的 MIL 式的情况下，只用行图案存储器 5 个字、列图案存储器 4 个字、合计 9 个字的存储器(其中，除去输入输出存储器)，就能够实现 MIL 处理。然后，对写入到输出存储器 104 中的输出数据、即通过 MIL 处理而交错了顺序的输入数据进行 CDMA 方式的规定处理并进行发送。

15 这样，根据本实施例，存储将使用的 MIL 式中包含的层 1 的 MIL 式展开所得的图案，再用存储的图案对各输出数据计算要写入的输入数据的地址，将计算出的地址中存储的输入数据依次写入到输出数据中，从而能够用低存储量来实现 MIL 处理。

20 此外，在本实施例中，说明了对各输出数据计算要写入的输入数据的地址后马上将计算出的地址中存储的输入数据逐一写入到输出数据中的情况，但是本发明不限于此，也可以在对所有输出数据计算要写入的输入数据的地址后，读出计算出的地址中存储的输入数据并写入到输出数据中。

这里，参照图 5 来说明本实施例的 MIL 装置的所需存储器降低结果。图 5 是本发明实施例 1 的 MIL 装置的所需存储量与现有方式的比较图。在图 5 中，示出使用下示 2 个 MIL 式的情况下的所需存储量。

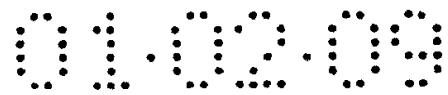
$$\textcircled{1} 320[16[4[2 \times 2] \times 4[2 \times 2]] \times 20[4[2 \times 2] \times 5[3 \times 2]]]$$

$$25 \quad \textcircled{2} 81376[5086[80[10[5[3 \times 2] \times 2] \times 8[4[2 \times 2] \times 2]]$$

$$\times 64[8[4[2 \times 2] \times 2] \times 8[4[2 \times 2] \times 2]]] \times 16[4[2 \times 2] \times 4[2 \times 2]]]$$

从图 5 可知，根据本实施例，与现有方式相比，能够大幅度削减所需存储量。再者，随着进行 MIL 处理的数据数增加，其效果也增大。

30 在本实施例中，说明了将(1)式用作 MIL 式的情况，但是本发明也可以应用于使用层数更多的 MIL 式的情况。例如，在将图 5 所示的①式用作 MIL 式的情况下，在行图案存储器 102 中存储根据①式中的层 2 的 MIL 式



($16[4[2 \times 2] \times 4[2 \times 2]]$)生成的行图案，而在列图案存储器 103 中存储根据①式中的层 2 的 MIL 式($20[4[2 \times 2] \times 5[3 \times 2]]$)生成的列图案，再用各图案如上所述由地址计算装置 105 进行计算即可。

5 (实施例 2)

实施例 2 如下实现 MIL 处理：在实施例 1 中，对各输入数据计算要写入的输出数据的地址，将各输入数据写入到输出存储器中计算出的地址中。

在本实施例中，与实施例 1 的不同点在于地址计算装置对输出存储器 104 进行的写入处理。再者，在本实施例中，行图案存储器 102 中存储的行图案及列图案存储器 103 中存储的列图案与实施例 1 不同。对本实施例的各构成要素中与实施例 1 同样的结构附以同一标号来进行说明。此外，在本实施例中，与实施例 1 同样，使用式(1)所示的 MIL 式。

首先，行图案存储器 102 存储根据 MIL 式($5[2 \times 3]$)生成的、下式所示的行图案 $Mil_row[r]$ 。

15
$$Mil_row[r] (r=0 \sim 4) = \{0, 3, 1, 4, 2\} \quad -(6)$$

此外，列图案存储器 103 存储根据 MIL 式($4[2 \times 2]$)生成的、下式所示的列图案 $Mil_col[c]$ 。

$$Mil_col[c] (c=0 \sim 3) = \{0, 2, 1, 3\} \quad -(7)$$

进而，地址计算装置对各输入数据计算要写入的输出数据的地址，将各输入数据写入到输出存储器 104 中计算出的地址中。这里，参照图 6 来说明地址计算装置对输出存储器 104 进行的写入处理。图 6 是本发明实施例 2 的 MIL 装置中的地址计算装置对输出存储器 104 进行的写入处理的流程图。

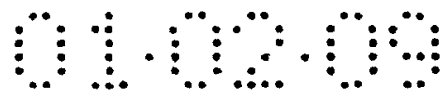
在 ST401 中，首先使 $r=0$ 来重复直至后述 ST405 的处理，在满足 $r>R-1$ 的情况下，结束处理。其中， R 是行数(这里是 5)。

25 在 ST402 中，首先使 $c=0$ 来重复直至后述的 ST404 的处理，只在满足 $c>C-1$ 的情况下，处理转移到 ST405。其中， C 是列数(这里是 4)。

在 ST403 中，首先，如下式所示来计算要写入输入数据 $[c+C \times r]$ 的输出数据的地址。

$$Mil_row[r] + Mil_col[c] \times R \quad -(8)$$

30 进而，输入数据 $[c+C \times r]$ 被写入到输出存储器 104 中根据式(8)计算出的地址中。



在 ST404 中，将 c 的值加 1 后，处理转移到 ST402。在 ST405 中，将 r 的值加 1 后，处理转移到 ST401。

通过如上所述的地址计算装置的写入处理，输入存储器 101 中的输入数据被依次写入到输出存储器 104 中根据式(8)计算出的地址中。

5 如上所述，在使用式(1)所示的 MIL 式的情况下，只用行图案存储器 5 个字、列图案存储器 4 个字、合计 9 个字的存储器(其中，除去输入输出存储器)，就能够实现 MIL 处理。

10 这样，根据本实施例，存储将使用的 MIL 式中包含的层 1 的 MIL 式展开所得的图案，再用存储的图案对各输入数据计算要写入的输出存储器的地址，将输入数据写入到计算出的地址中，从而能够用低存储量来实现 MIL 处理。

(实施例 3)

15 实施例 3 如下实现 MIL 处理：在实施例 1 中，在帧间对数据的顺序进行交错的情况下，即在列图案是简单的增量值的情况下，使用只用列图案计算出的地址将数据写入到输出存储器中。

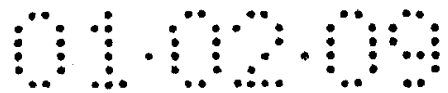
20 在 CDMA 通信中，不仅进行帧内的数据的交错，而且有时还在帧间进行数据的交错。将此称为帧间交织(帧间 MIL)。帧间交织中使用的 MIL 式通常用 $L[M_1 \times N_1 [M_2 \times N_2]]$ 这一形式来表示，此外，在该 MIL 式中，只存在列图案式 $N_1 [M_2 \times N_2]$ 。以下，说明本实施例的 MIL 装置。

25 在本实施例中，与实施例 1 的不同点首先在于地址计算装置对输出存储器 104 进行的写入处理。再者，在本实施例中，除去了实施例 1 中的行图案存储器 102。以下，在本实施例中，只说明与实施例 1 的不同点。对本实施例的各构成要素中与实施例 1 同样的结构附以同一标号来进行说明。此外，在本实施例中，使用下式所示的 MIL 式。

首先，列图案存储器 103 存储根据式(9)中的层 1 的 MIL 式(4[2×2])生成的、下式所示的列图案 $Mil_col[c]$ 。

$$Mil_col[c] (c=0\sim3) = \{0, 2, 1, 3\} \quad -(10)$$

30 进而，地址计算装置计算要写入到输出数据中的输入数据的地址，再将根据计算出的输入地址从输入存储器 101 读出的输入数据作为输出数据写入到输出存储器 104 中。这里，参照图 7 来说明地址计算装置对输出存储器 104



进行的写入处理。图 7 是本发明实施例 3 的 MIL 装置中的地址计算装置对输出存储器 104 进行的写入处理的流程图。

在 ST501 中,首先使 $c=0$ 来重复直至后述的 ST505 的处理,在满足 $c>C-1$ 的情况下,结束处理。其中, C 是列数(这里是 4)。

5 在 ST502 中,首先使 $r=0$ 来重复直至后述的 ST504 的处理,只在满足 $r>R-1$ 的情况下,处理转移到 ST505。其中, R 是行数(这里是 20)。

在 ST503 中,首先,如下式所示来计算要写入到输出数据 $[r+R\times c]$ 中的输入数据的地址。

$$r\times C + \text{Mil_col}[c] \quad \text{-(11)}$$

10 进而,输入存储器 101 中根据式(11)计算出的地址中存储的输入数据被读出,作为输出数据 $[r+R\times c]$ 被写入到输出存储器 104 中。

在 ST504 中,将 r 的值加 1 后,处理转移到 ST502。在 ST505 中,将 c 的值加 1 后,处理转移到 ST501。

15 帧间交织能够通过上述实施例 1 或实施例 2 来实现。然而,由于在式(9)所示的 MIL 式中包含增量值,所以在使用实施例 1 或实施例 2 的情况下,需要在行图案存储器 102 中存储简单的增量数据。因此,在进行帧间交织的情况下,使用像本实施例这样省略行图案存储器而构成的 MIL 装置是高效的。

这里,对于实现使用式(9)所示的 MIL 式的帧间交织的所需存储量,将现有方式和实施例 1~实施例 3 进行比较,可知

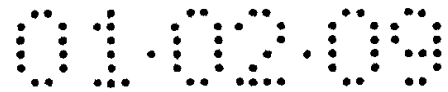
- 20
- ① 现有方式 80 个字
 - ② 实施例 1 及实施例 2 24 个字
 - ③ 实施例 3 4 个字。

25 在实施例 3 的 MIL 装置中,所需存储量与现有方式相比为 $1/20$,而与实施例 1 及实施例 2 相比为 $1/6$ 。因此,在帧间交织中,本实施例的 MIL 装置非常有效。

这样,根据本实施例,在进行帧间交织的情况下,只存储将使用的 MIL 式中包含的层 1 的 MIL 式展开所得的列图案,再用存储的图案对各输出数据计算要写入的输入数据的地址,将计算出的地址中存储的输入数据依次写入到输出数据中,从而能够用低存储量来实现 MIL 处理。

30

(实施例 4)



实施例 4 如下实现 MIL 处理：在实施例 2 中，在帧间对数据的顺序进行交错的情况下，即在列图案是简单的增量值的情况下，对各输入数据计算要输入的输出数据的地址，将各输入数据写入到输出存储器中计算出的地址中。

在本实施例中，与实施例 2 的不同点首先在于地址计算装置对输出存储器 104 进行的写入处理。再者，在本实施例中，除去了实施例 2 中的行图案存储器 102。以下，在本实施例中，只说明与实施例 1 的不同点。对本实施例的各构成要素中与实施例 1 同样的结构附以同一标号来进行说明。此外，在本实施例中，与实施例 3 同样使用式(9)所示的 MIL 式。

首先，与实施例 3 同样，列图案存储器 103 存储式(10)所示的列图案 10 Mil_col[c]。进而，地址计算装置对各输入数据计算要写入的输出数据的地址，将各输入数据写入到输出存储器 104 中计算出的地址中。这里，参照图 8 来说明地址计算装置对输出存储器 104 进行的写入处理。图 8 是本发明实施例 4 的 MIL 装置中的地址计算装置对输出存储器进行的写入处理的流程图。

在 ST601 中，首先使 r=0 来重复直至后述 ST605 的处理，在满足 r>R-1 的情况下，结束处理。其中，R 是行数(这里是 20)。

在 ST602 中，首先使 c=0 来重复直至后述的 ST604 的处理，只在满足 c>C-1 的情况下，处理转移到 ST605。其中，C 是列数(这里是 4)。

在 ST603 中，首先，如下式所示来计算要写入输入数据[c+C×r]的输出数据的地址。

$$20 \quad r + R \times \text{Mil_col}[c] \quad -(12)$$

进而，输入数据[c+C×r]被写入到输出存储器 104 中根据式(12)计算出的地址中。

在 ST604 中，将 c 的值加 1 后，处理转移到 ST602。在 ST605 中，将 r 的值加 1 后，处理转移到 ST601。

25 这样，根据本实施例，在进行帧间交织的情况下，只存储将使用的 MIL 式中包含的层 1 的 MIL 式展开所得的列图案，再用存储的图案对各输入数据计算要写入的输出存储器的地址，将输入数据写入到计算出的地址中，从而能够用低存储量来实现 MIL 处理。

30 (实施例 5)

实施例 5 实现对根据 MIL 处理而交错了顺序的数据的顺序进行还原的解



MIL (De-Multistage Interleaver)装置。本实施例的解 MIL 装置能够通过实施
例 1(图 3)同样的结构来实现。以下, 参照图 3 只说明本实施例的解 MIL 装置
与实施例 1 的不同点。在本实施例中, 以对根据式(1)所示的 MIL 式而交错了
顺序的数据的顺序进行还原的情况为例进行说明。

5 在图 3 中, 输入存储器 101 存储交错了顺序的 20 个输入数据 $In[x]$
($x=0\sim 19$)。行图案存储器 102 存储式(6)所示的行图案。列图案存储器 103 存
储式(7)所示的列图案。输出存储器 104 存储输入数据的顺序被还原的 20 个输
出数据 $Out[y]$ ($y=0\sim 19$)。

地址计算装置 105 计算要写入到输出数据中的输入数据的地址, 再将根
10 据计算出的输入地址从输入存储器 101 读出的输入数据作为输出数据写入到
输出存储器 104 中。这里, 参照图 9 来说明地址计算装置 105 对输出存储器
104 进行的写入处理。图 9 是本发明实施例 5 的解 MIL 装置中的地址计算装
置 105 对输出存储器 104 进行的写入处理的流程图。

在 ST701 中, 首先使 $r=0$ 来重复直至后述 ST705 的处理, 在满足 $r>R-1$
15 的情况下, 结束处理。其中, R 是行数(这里是 5)。

在 ST702 中, 首先使 $c=0$ 来重复直至后述的 ST704 的处理, 只在满足
 $c>C-1$ 的情况下, 处理转移到 ST705。其中, C 是列数(这里是 4)。

在 ST703 中, 首先, 如下式所示来计算要写入到输出数据 $[Cxr+c]$ 中的输
入数据的地址。

20
$$Mil_row[r]+R\times Mil_col[c] \quad -(13)$$

进而, 输入存储器 101 中根据式(13)计算出的地址中存储的输入数据被
读出, 作为输出数据 $[Cxr+c]$ 被写入到输出存储器 104 中。

在 ST704 中, 将 c 的值加 1 后, 处理转移到 ST702。在 ST705 中, 将 r
的值加 1 后, 处理转移到 ST701。

25 这样, 根据本实施例, 存储将使用的 MIL 式中包含的层 1 的 MIL 式展
开所得的图案, 再用存储的图案对各输出数据计算要写入的输入数据的地址,
将计算出的地址中存储的输入数据依次写入到输出数据中, 从而能够用低存
储量来实现解 MIL 处理。

30 (实施例 6)

实施例如下实现解 MIL 处理: 在实施例 5 中, 对各输入数据计算要写入



的输出数据的地址，将各输入数据写入到输出存储器中计算出的地址中。

5 在本实施例中，与实施例 5 的不同点在于地址计算装置对输出存储器 104 进行的写入处理。再者，在本实施例中，行图案存储器 102 中存储的行图案及列图案存储器 103 中存储的列图案与实施例 5 不同。对本实施例的各构成要素中与实施例 5 同样的结构附以同一标号来进行说明。此外，在本实施例中，与实施例 5 同样，以对根据式(1)所示的 MIL 式而交错了顺序的数据的顺序进行还原的情况为例进行说明。

首先，行图案存储器 102 存储式(3)所示的行图案 $Mil_row[r]$ ，列图案存储器 103 存储式(4)所示的列图案 $Mil_col[c]$ 。

10 进而，地址计算装置对各输入数据计算要写入的输出数据的地址，将各输入数据写入到输出存储器 104 中计算出的地址中。这里，参照图 10 来说明地址计算装置对输出存储器 104 进行的写入处理。图 10 是本发明实施例 6 的解 MIL 装置中的地址计算装置对输出存储器 104 进行的写入处理的流程图。

15 在 ST801 中，首先使 $c=0$ 来重复直至后述的 ST805 的处理，在满足 $c>C-1$ 的情况下，结束处理。其中， C 是列数(这里是 4)。

在 ST802 中，首先使 $r=0$ 来重复直至后述的 ST804 的处理，只在满足 $r>R-1$ 的情况下，处理转移到 ST805。其中， R 是行数(这里是 5)。

在 ST803 中，首先，如下式所示来计算要写入输入数据 $[r+c\times R]$ 的输出数据的地址。

20
$$C\times Mil_row[r]+Mil_col[c] \quad -(14)$$

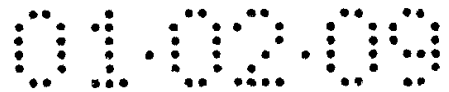
进而，输入数据 $[r+c\times R]$ 被写入到输出存储器 104 中根据式(14)计算出的地址中。

在 ST804 中，将 r 的值加 1 后，处理转移到 ST802。在 ST805 中，将 c 的值加 1 后，处理转移到 ST801。

25 这样，根据本实施例，存储将使用的 MIL 式中包含的层 1 的 MIL 式展开所得的图案，再用存储的图案对各输入数据计算要写入的输出存储器的地址，将输入数据写入到计算出的地址中，从而能够用低存储量来实现解 MIL 处理。

30 (实施例 7)

实施例 7 如下实现解 MIL 处理：在实施例 5 中，在帧间对数据的顺序进



行还原的情况下，即在列图案是简单的增量值的情况下，使用只用列图案计算出的地址将数据写入到输出存储器中。

5 在本实施例中，与实施例 5 的不同点首先在于地址计算装置对输出存储器进行的写入处理。再者，在本实施例中，除去了实施例 5 中的行图案存储器 102。以下，在本实施例中，只说明与实施例 5 的不同点。对本实施例的各构成要素中与实施例 5 同样的结构附以同一标号来进行说明。此外，在本实施例中，以对根据式(9)所示的 MIL 式而交错了顺序的数据的顺序进行还原的情况为例进行说明。

10 首先，列图案存储器 103 存储根据式(9)中的层 1 的 MIL 式(4[2×2])生成的、式(10)所示的列图案 Mil_col[c]。

15 进而，地址计算装置计算要写入到输出数据中的输入数据的地址，再将根据计算出的输入地址从输入存储器 101 读出的输入数据作为输出数据写入到输出存储器 104 中。这里，参照图 11 来说明地址计算装置对输出存储器 104 进行的写入处理。图 11 是本发明实施例 7 的解 MIL 装置中的地址计算装置对输出存储器 104 进行的写入处理的流程图。

在 ST901 中，首先使 $r=0$ 来重复直至后述 ST905 的处理，在满足 $r>R-1$ 的情况下，结束处理。其中， R 是行数(这里是 20)。

在 ST902 中，首先使 $c=0$ 来重复直至后述的 ST904 的处理，只在满足 $c>C-1$ 的情况下，处理转移到 ST905。其中， C 是列数(这里是 4)。

20 在 ST903 中，首先，如下式所示来计算要写入到输出数据[$C \times r + c$]中的输入数据的地址。

$$R \times \text{Mil_col}[c] + r \quad (15)$$

进而，输入存储器 101 中根据式(15)计算出的地址中存储的输入数据被读出，作为输出数据[$C \times r + c$]被写入到输出存储器 104 中。

25 在 ST904 中，将 c 的值加 1 后，处理转移到 ST902。在 ST905 中，将 r 的值加 1 后，处理转移到 ST901。

30 这样，根据本实施例，在帧间对数据的顺序进行还原的情况下，只存储将使用的 MIL 式中包含的层 1 的 MIL 式展开所得的列图案，再用存储的图案对各输出数据计算要写入的输入数据的地址，将计算出的地址中存储的输入数据依次写入到输出数据中，从而能够用低存储量来实现解 MIL 处理。



(实施例 8)

实施例 8 如下实现解 MIL 处理：在实施例 6 中，在帧间对数据的顺序进行还原的情况下，即在列图案是简单的增量值的情况下，只用列图案对各输入数据计算要写入的输出数据的地址，将各输入数据写入到输出存储器中计算出的地址中。

在本实施例中，与实施例 6 的不同点首先在于地址计算装置对输出存储器 104 进行的写入处理。再者，在本实施例中，除去了实施例 6 中的行图案存储器 102。以下，在本实施例中，只说明与实施例 6 的不同点。对本实施例的各构成要素中与实施例 6 同样的结构附以同一标号来进行说明。此外，在本实施例中，与实施例 7 同样，以对根据式(9)所示的 MIL 式而交错了顺序的数据的顺序进行还原的情况为例进行说明。

首先，与实施例 7 同样，列图案存储器 103 存储式(10)所示的列图案 $Mil_col[c]$ 。进而，地址计算装置对各输入数据计算要写入的输出数据的地址，将各输入数据写入到输出存储器 104 中计算出的地址中。这里，参照图 12 来说明地址计算装置对输出存储器 104 进行的写入处理。图 12 是本发明实施例 8 的解 MIL 装置中的地址计算装置对输出存储器 104 进行的写入处理的流程图。

在 ST1001 中，首先使 $c=0$ 来重复直至后述的 ST1005 的处理，在满足 $c>C-1$ 的情况下，结束处理。其中， C 是列数(这里是 4)。

在 ST1002 中，首先使 $r=0$ 来重复直至后述的 ST1004 的处理，只在满足 $r>R-1$ 的情况下，处理转移到 ST1005。其中， R 是行数(这里是 20)。

在 ST1003 中，首先，如下式所示来计算要写入输入数据 $[r+c\times R]$ 的输出数据的地址。

$$r+R\times Mil_col[c] \quad -(16)$$

进而，输入数据 $[r+c\times R]$ 被写入到输出存储器 104 中根据式(16)计算出的地址中。

在 ST1004 中，将 r 的值加 1 后，处理转移到 ST1002。在 ST1005 中，将 c 的值加 1 后，处理转移到 ST1001。

这样，根据本实施例，在帧间对数据的顺序进行还原的情况下，只存储将使用的 MIL 式中包含的层 1 的 MIL 式展开所得的列图案，再用存储的图案对各输入数据计算要写入的输出存储器的地址，将输入数据写入到计算出的

地址中，从而能够用低存储量来实现解 MIL 处理。

(实施例 9)

实施例 9 实现搭载下述装置的编码装置：实施例 1~实施例 4 中任一个的
5 MIL 装置、或者将实施例 1~实施例 4 进行组合所得的 MIL 装置、对发送数据
进行编码的装置、以及调节发送数据长度的装置。

参照图 13 来说明本实施例的编码装置。图 13 是本发明实施例 9 的编码
装置的结构方框图。如图 13 所示，本实施例的编码装置主要包括：话筒等数
据生成装置 1101、进行 CRC 编码及纠错编码的编码装置 1102、在帧间进行
10 MIL 的帧间 MIL 装置 1103、进行发送数据的重复(Repetition)/穿孔(Puncturing)
的速率匹配装置 1104a 及速率匹配装置 1104b、以及在帧内进行 MIL 的帧内
MIL 装置 1105a 及帧内 MIL 装置 1105b。

数据生成装置 1101 产生几帧数据(这里是 2 帧)。编码装置 1102 对产生
的 2 帧数据进行 CRC 编码及纠错编码。

15 帧间 MIL 装置 1103 对编码过的 2 帧数据进行帧间 MIL 处理。作为帧间
MIL 装置，例如可以使用上述实施例 3 或实施例 4 中的 MIL 装置。

速率匹配装置 1104a 及速率匹配装置 1104b 分别对进行了帧间 MIL 处理
的各帧数据进行重复/穿孔处理。

20 帧内 MIL 装置 1105a 及帧内 MIL 装置 1105b 分别对进行了重复/穿孔处
理的各帧数据进行帧内 MIL。作为帧内 MIL 装置，可以使用上述实施例 1 或
实施例 2 中的 MIL 装置。

这样，根据本实施例，能够大幅度削减帧间 MIL 装置及帧内 MIL 装置
所需的存储量，所以能够显著降低编码装置的电路规模。

25 (实施例 10)

实施例 10 实现搭载下述装置的解码装置：实施例 5~实施例 8 中任一个
的解 MIL 装置、或者将实施例 5~实施例 8 进行组合所得的解 MIL 装置、对
接收数据进行解码的装置、以及调节接收数据长度的装置。

30 参照图 14 来说明本实施例的解码装置。图 14 是本发明实施例 10 的解码
装置的结构方框图。如图 14 所示，本实施例的解码装置主要包括：在帧内进
行解 MIL 的帧内解 MIL 装置 1201a 及帧内解 MIL 装置 1201b、进行接收数据

的重复/穿孔的速率匹配装置 1202a 及 1202b、在帧间进行解 MIL 的帧间解 MIL 装置 1203、进行 CRC 解码及纠错解码的解码装置 1204、以及数据输出装置 1205。

5 帧内解 MIL 装置 1201a 及帧内解 MIL 装置 1201b 对几帧(这里是 2 帧)数据分别进行帧内解 MIL 处理。作为帧内解 MIL 装置,例如可以使用上述实施例 5 或实施例 6 中的解 MIL 装置。

速率匹配装置 1202a 及速率匹配装置 1202b 分别逐帧对解 MIL 处理后的接收数据进行速率匹配处理。

10 帧间解 MIL 装置 1203 对速率匹配处理后的 2 帧接收数据进行帧间解 MIL 处理。作为帧间解 MIL 装置,可以使用上述实施例 7 或实施例 8 中的解 MIL 装置。

解码装置 1204 对帧间解 MIL 处理后的接收数据进行纠错解码及 CRC 解码。数据输出装置 1205 对纠错解码及 CRC 解码后的接收数据进行输出处理。

15 这样,根据本实施例,能够大幅度削减帧间解 MIL 装置及帧内解 MIL 装置所需的存储量,所以能够显著降低解码装置的电路规模。

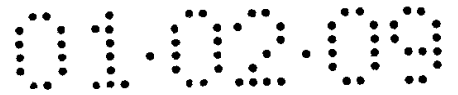
在本实施例中,是以依次进行帧内解 MIL 处理、速率匹配处理及帧间解 MIL 处理的情况为例进行说明的,但是也可以依次进行帧内解 MIL 处理、帧间解 MIL 处理及速率匹配处理。

20 (实施例 11)

实施例 11 用实施例 9 的编码装置和实施例 10 的解码装置来实现移动台装置。参照图 15 来说明本实施例的移动台装置。图 15 是本发明实施例 11 的移动台装置的结构方框图。

25 如图 15 所示,本实施例的移动台装置主要包括:进行数据的发送接收处理的发送接收装置 1301、进行接收数据的同步及解调处理的同步-解调装置 1302、上述实施例 10 中的解码处理装置 1303、输出数据的数据输出装置 1304、产生数据或从外部取入声音等数据的数据产生装置 1305、上述实施例 9 中的编码处理装置 1306、以及进行发送数据的扩频-调制处理的扩频调制装置 1307。

30 根据本实施例,能够大幅度削减帧间 MIL 及帧间解 MIL 以及帧内 MIL 及帧内解 MIL 所需的存储量,所以能够大幅度降低移动台装置的电路规模。



此外，在将实施例 1(2)中的帧内 MIL 装置用作编码处理装置 1306 中的帧内 MIL 装置、而将实施例 6(5)中的帧内解 MIL 装置用作解码装置 1303 中的帧内解 MIL 装置的情况下，在帧内 MIL 装置及帧内解 MIL 装置中能够使用共同的行图案及列图案，所以能够进一步降低电路规模。

5

(实施例 12)

实施例 12 用实施例 9 的编码装置和实施例 10 的解码装置来实现基站装置。参照图 16 来说明本实施例的基站装置。图 16 是本发明实施例 12 的基站装置的结构方框图。

10 如图 16 所示，本实施例的基站装置主要包括：进行数据的发送接收处理的发送接收装置 1401、进行接收数据的解调处理的解调装置 1402、上述实施例 10 中的解码处理装置 1403、输出数据的数据输出装置 1404、产生数据的数据产生装置 1405、上述实施例 9 中的编码处理装置 1406、以及进行发送数据的扩频-调制处理的扩频调制装置 1407。

15 根据本实施例，能够大幅度削减帧间 MIL 及帧间解 MIL 以及帧内 MIL 及帧内解 MIL 所需的存储量，所以能够大幅度降低基站装置的电路规模。

此外，在将实施例 1(2)中的帧内 MIL 装置用作编码处理装置 1406 中的帧内 MIL 装置、而将实施例 6(5)中的帧内解 MIL 装置用作解码装置 1403 中的帧内解 MIL 装置的情况下，在帧内 MIL 装置及帧内解 MIL 装置中能够使用共同的行图案及列图案，所以能够进一步降低电路规模。

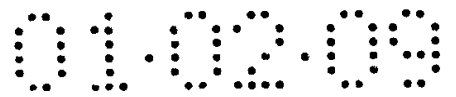
20 在上述实施例中，说明了使用 MIL 式的层 1 的要素的情况，但是本发明也可以应用于使用任意层的要素的情况。

此外，在上述实施例中，说明了在帧间对数据的顺序进行交错的情况下使用将 MIL 式中包含的层 1 的 MIL 式展开所得的列图案的情况，但是本发明也可以应用于使用将 MIL 式中包含的层 1 的 MIL 式展开所得的行图案的情况。

25 此外，在上述实施例中，说明了在帧间对数据的顺序进行交错的情况下使用将 MIL 式中包含的层 1 的 MIL 式展开所得的 MIL 图案的情况，但是本发明也可以应用于在 MIL 式中包含的一个 MIL 式比另一个 MIL 式低至少 1 层以上时使用将该另一个 MIL 式展开所得的 MIL 图案的情况。

30

①本发明第 1 形态的交织装置采用下述结构，包括：变换序列形成部件，用



对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

5 根据该结构，能够用根据排列变换规则式(MIL 式)中的要素、例如层 1 的各要素生成的行图案式或列图案式来形成排列变换序列(MIL 图案)，用形成的排列变换序列来变更输入数据的排列，所以能够进行抑制所需存储器的 MIL 处理。

②本发明第 2 形态的交织装置采用下述结构，在第 1 形态中，排列变更部件包括第 1 次序计算部件，对各输入数据计算排列变更后的次序；按照算出的次序来变更输入数据的排列。

10 根据该结构，通过用形成的排列变换序列来计算各输入数据的排列变更后的次序，能够可靠地变更输入数据的排列。

③本发明第 3 形态的交织装置采用下述结构，在第 1 形态中，排列变更部件包括第 2 计算部件，对排列变更后的各输入数据计算该各输入数据中要配置的输入数据的排列次序；按照算出的排列次序来变更输入数据的排列。

15 根据该结构，通过用形成的排列变换序列来计算排列变更后的各输入数据中要配置的输入数据的排列次序，能够可靠地变更输入数据的排列。

④本发明第 4 形态的交织装置采用下述结构，在第 1 形态至第 3 形态的任一个中，在排列变换规则式中包含的一个要素比另一个要素低至少 1 层以上的情况下，变换序列形成部件用上述另一个要素来形成排列变换序列。

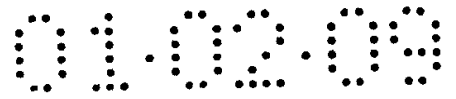
20 根据该结构，例如在排列变换规则式中只包含列图案式的情况下，通过只用该列图案式来形成排列变换序列，能够进一步降低所需存储器。

⑤本发明第 5 形态的交织装置采用下述结构，在第 1 形态至第 4 形态中，排列变更部件变更根据排列变换规则式变更了排列的输入数据的排列。

25 根据该结构，通过使用同一排列变换规则式形成的排列变换序列，能够对根据该排列变换规则式变更了排列的输入数据的排列进行还原。

⑥本发明第 6 形态的通信终端装置采用下述结构，包括交织装置，上述交织装置包括：变换序列形成部件，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

30 根据该结构，通过包括降低所需存储器的交织装置，能够提供抑制电路规模的通信终端装置。



⑦本发明第 7 形态的基站装置采用下述结构，包括交织装置，上述交织装置包括：变换序列形成部件，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

5 根据该结构，通过包括降低所需存储器的交织装置，能够提供抑制电路规模的基站装置。

⑧本发明第 8 形态的无线通信系统采用下述结构，在包括交织装置的通信终端装置和包括上述交织装置的基站装置之间进行通信，上述交织装置包括：变换序列形成部件，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更部件，用形成的排列变换序列来变更输入数据的排列。

10 根据该结构，通过使用抑制电路规模的通信终端装置及基站装置，能够实现高效率的无线通信。

⑨本发明第 9 形态的交织方法包括：变换序列形成步骤，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列变更步骤，用形成的排列变换序列来变更输入数据的排列。

15 根据该方法，能够用根据排列变换规则式中的要素、例如层 1 的各要素生成的行图案式或列图案式来形成排列变换序列，用形成的排列变换序列来变更输入数据的排列，所以能够进行抑制所需存储器的 MIL 处理。

20 ⑩本发明第 10 形态的交织方法包括：变换序列形成步骤，用对每个输入数据规定的排列变换规则式中包含的要素来形成至少 1 个排列变换序列；和排列复原步骤，用形成的排列变换序列来复原根据上述排列变换规则式进行了配置变更的输入数据的排列。

25 根据该方法，通过使用同一排列变换规则式形成的排列变换序列，能够对根据该排列变换规则式变更了排列的输入数据的排列进行还原。

30 如上所述，根据本发明，用对每个输入数据规定的、或者指定的 MIL 式(排列变换规则式)中包含的要素来形成至少 1 个 MIL 图案(排列变换序列)，用形成的 MIL 图案来变更输入数据的排列，所以能够提供降低所需存储量的交织装置。

本说明书基于平成 11 年 6 月 10 日申请的特愿平 11-164055 号。其内容包含于此。

产业上的可利用性

- 5 本发明特别适用于 CDMA 移动通信中的编解码处理装置及编解码处理方法领域。

说明书附图

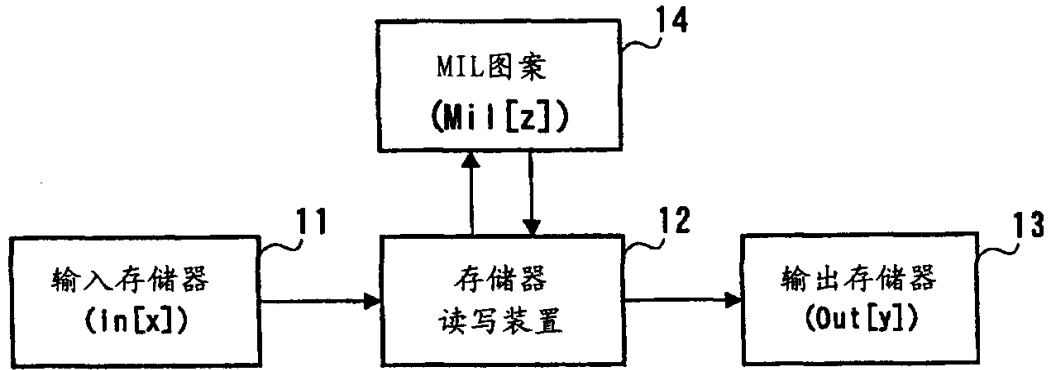


图 1

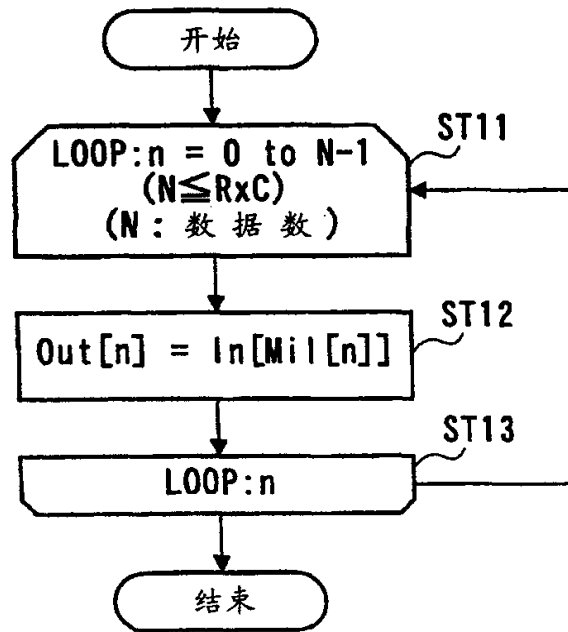


图 2

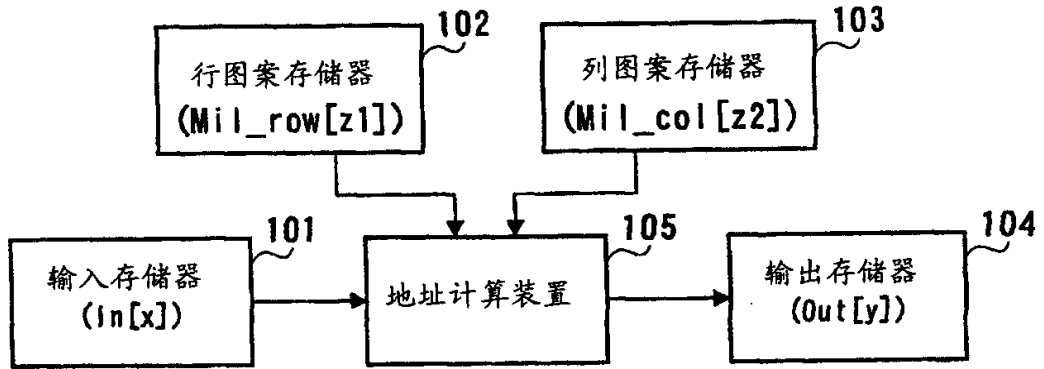


图 3

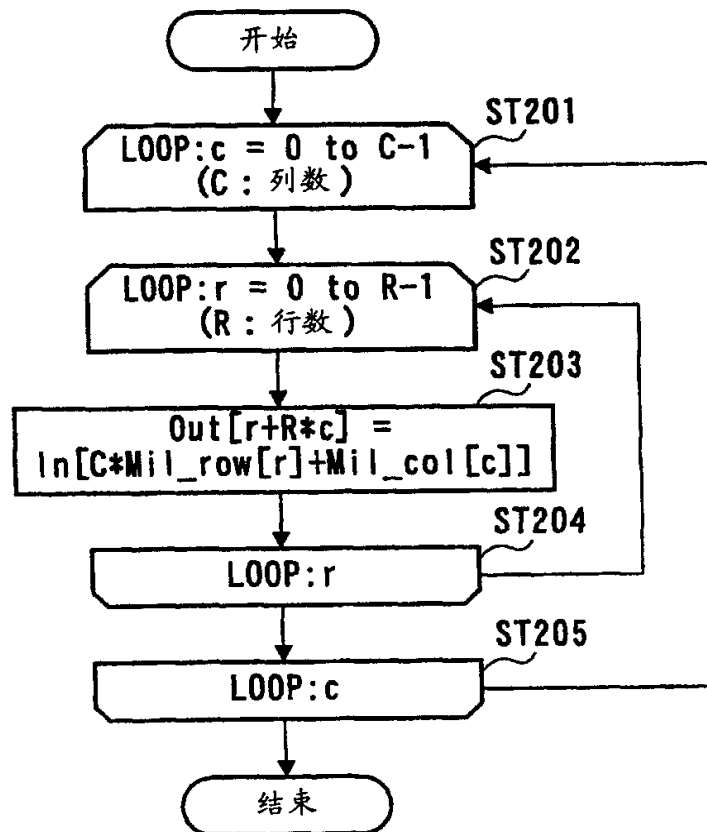


图 4

MIL 图案	MIL 实现方法	存储量(字) ※除去输入输出存储器	设现有方法为100 时的比较
①	现有方法	320	100.00
	本发明方法	36	11.25
②	现有方法	81376	100.00
	本发明方法	5102	6.27

图 5

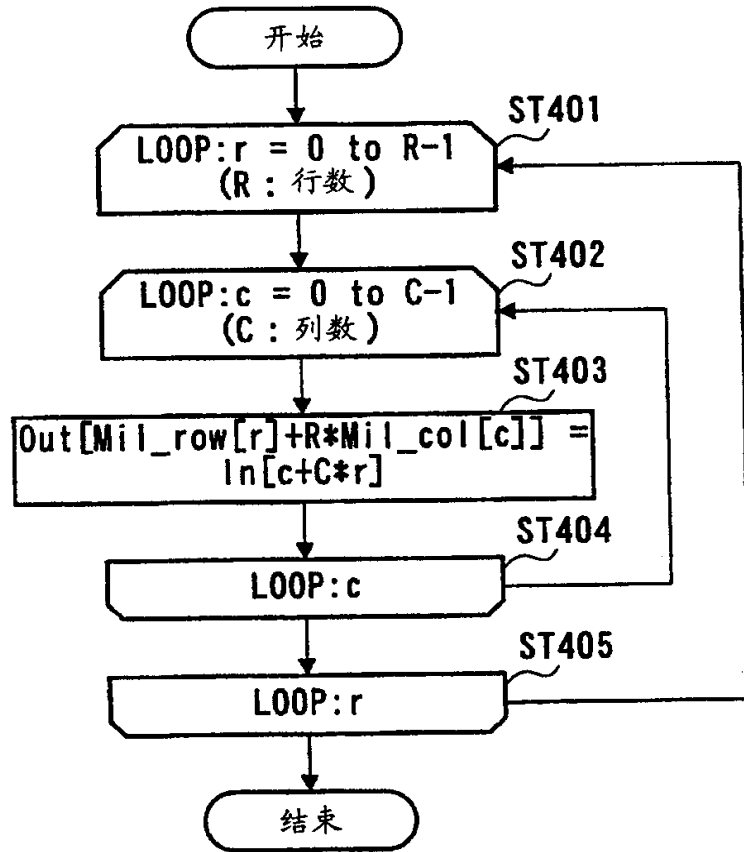


图 6

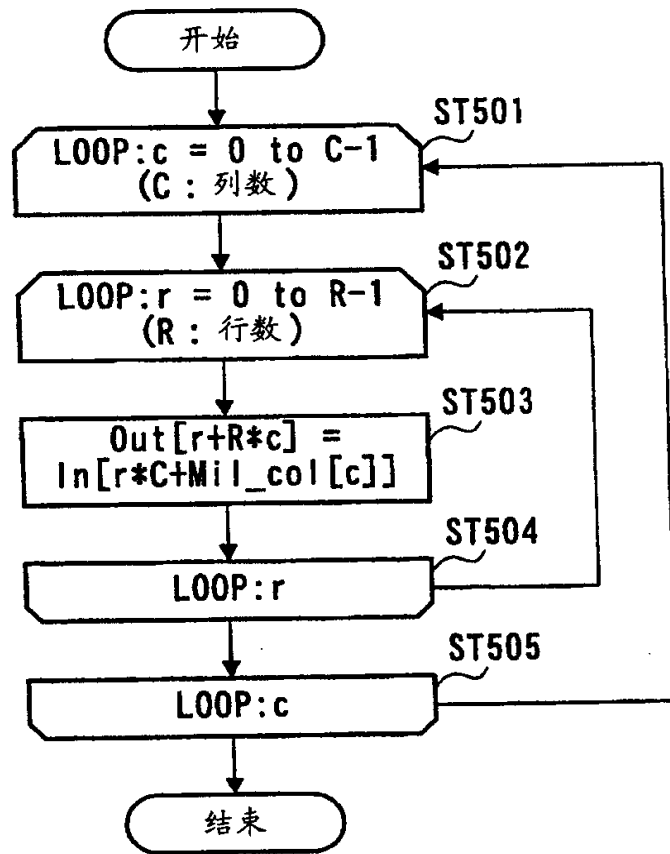


图 7

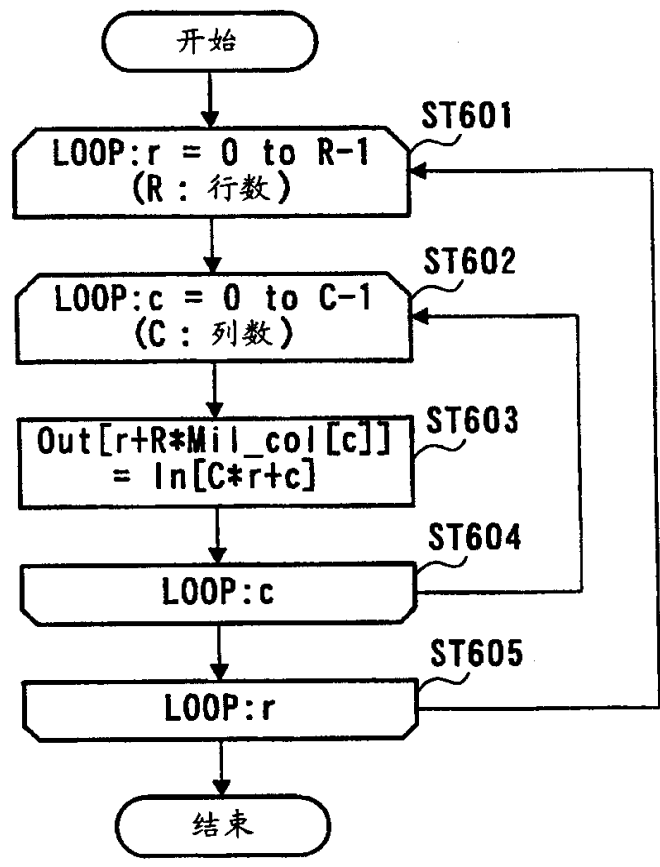


图 8

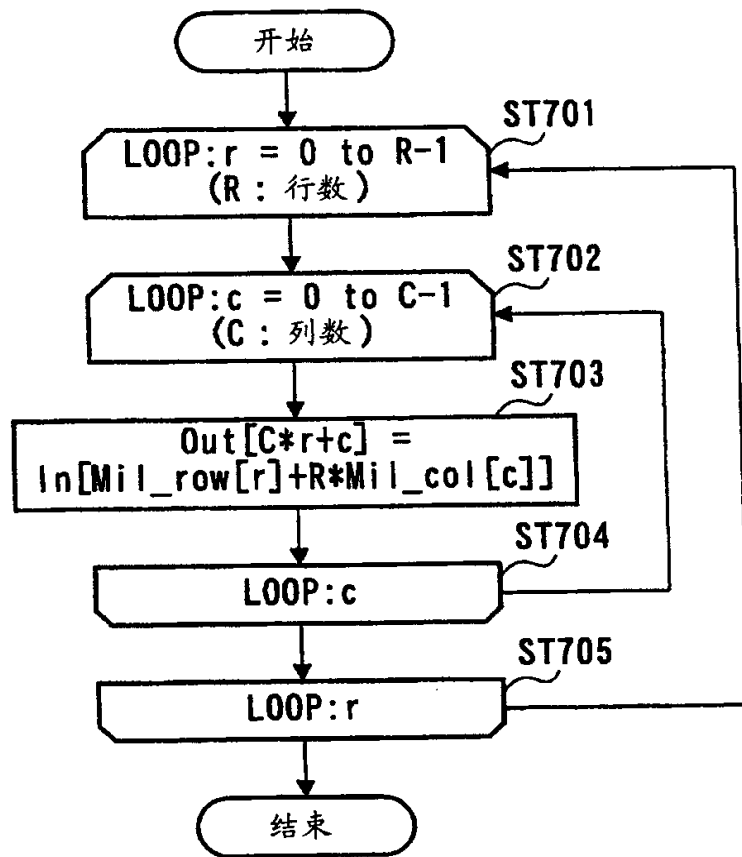


图 9

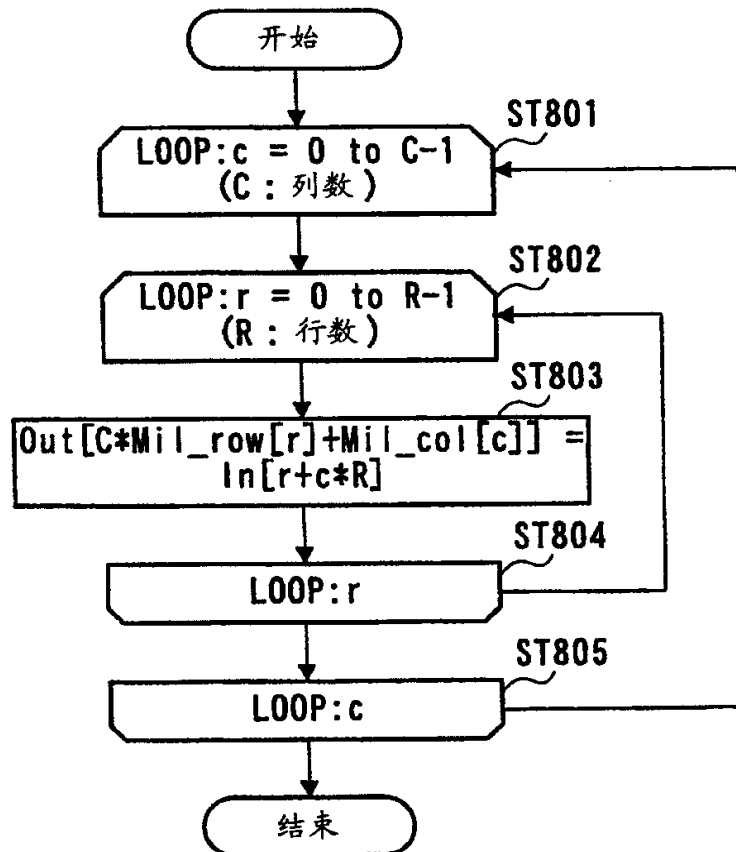


图 10

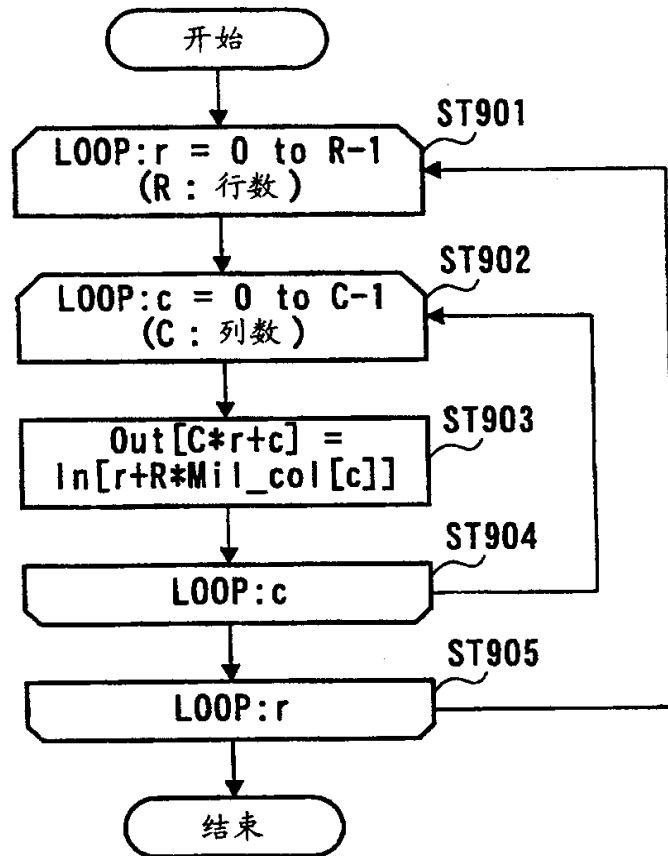


图 11

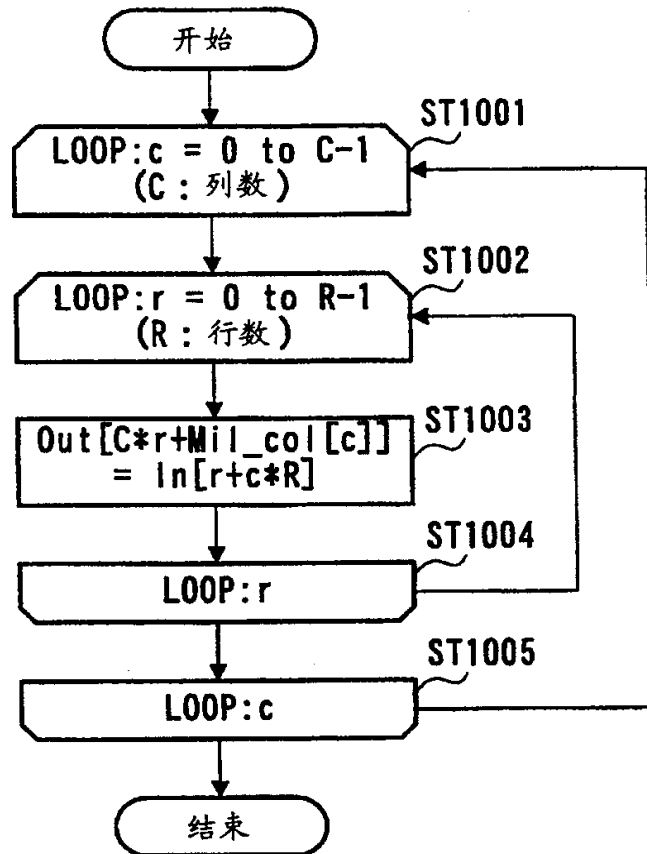


图 12

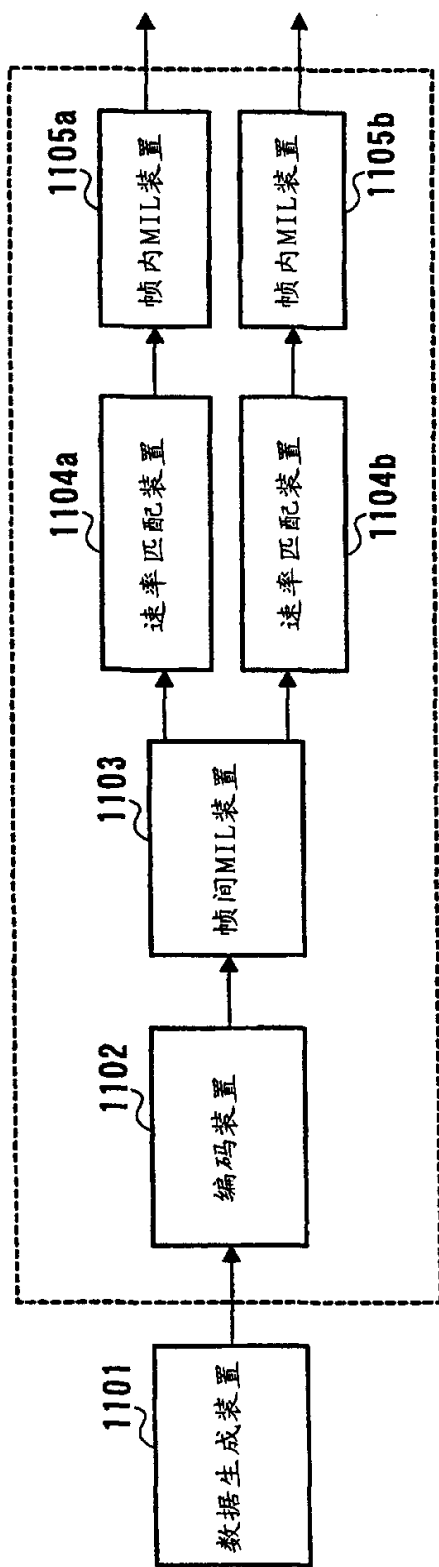


图 13

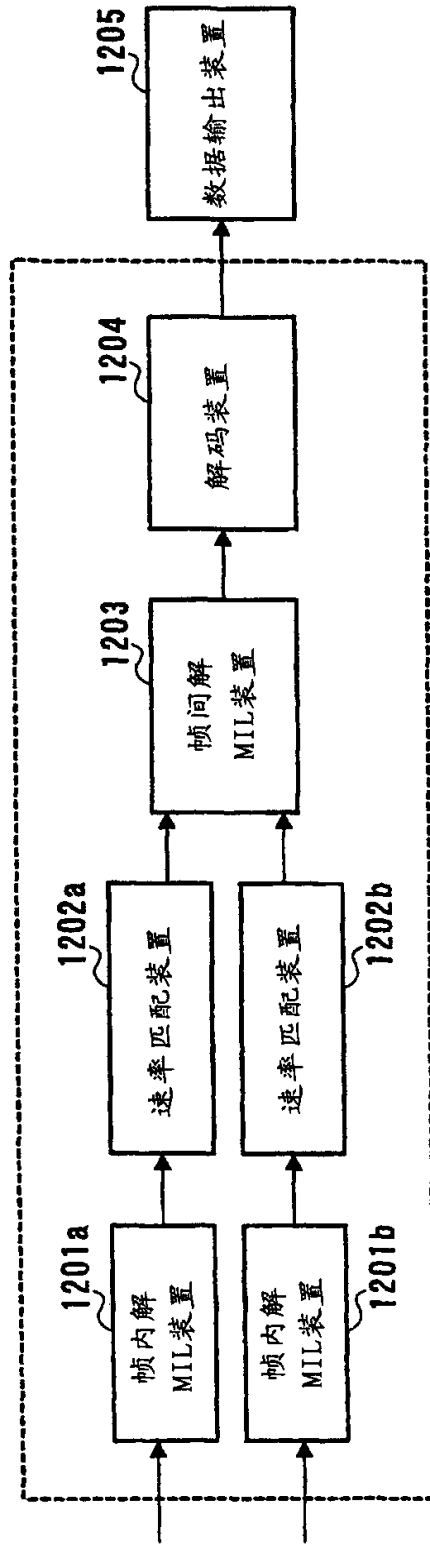
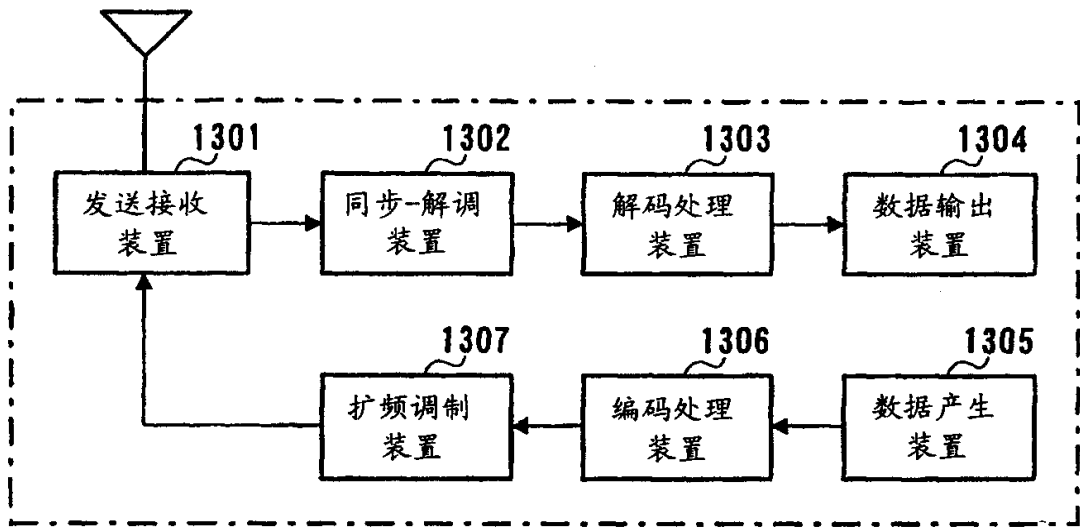
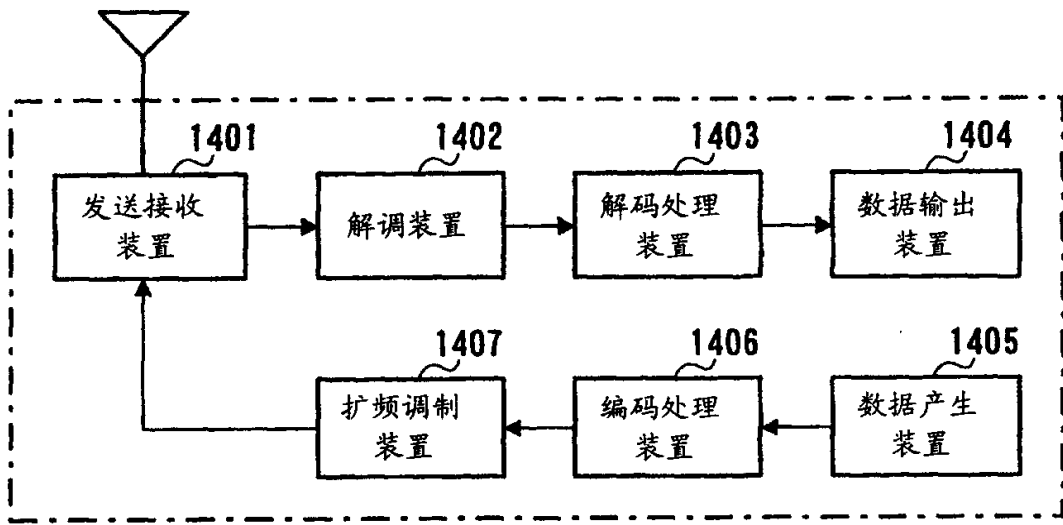


图 14



移动台

图 15



基站

图 16