(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 108886021 B
(45)授权公告日 2023.07.25

(21)申请号 201780022719.7
(22)申请日 2017.01.30
(65)同一申请的已公布的文献号
申请公布号 CN 108886021 A
(43)申请公布日 2018.11.23
(30)优先权数据
2016-024794 2016.02.12 JP
(85)PCT国际申请进入国家阶段日
2018.10.10
(86)PCT国际申请的申请数据
PCT/IB2017/050471 2017.01.30
(87)PCT国际申请的公布数据
WO2017/137864 EN 2017.08.17
(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川
(72)发明人 山崎舜平 远藤佑太 加藤清 冈本悟
(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 刘倜
(51)Int.Cl.
H10B 12/00(2023.01)
H01L 21/336(2006.01)
H01L 21/822(2006.01)
H01L 21/8234(2006.01)
H01L 27/04(2006.01)
H01L 27/088(2006.01)
H01L 27/146(2006.01)
H01L 29/786(2006.01)
(56)对比文件
US 2015/0187814 A1,2015.07.02
US 2015/0214256 A1,2015.07.30
US 2008/0001291 A1,2008.01.03
CN 1716609 A,2006.01.04
US 2013/0288426 A1,2013.10.31
审查员 孙汝杰

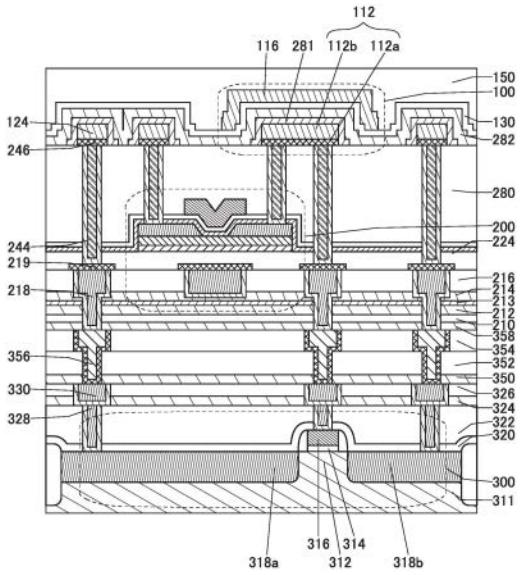
权利要求书2页 说明书65页 附图90页

(54)发明名称

半导体装置及其制造方法

(57)摘要

本发明提供一种适合于微型化及高集成化的可靠性高的半导体装置。该半导体装置包括：第一绝缘体；第一绝缘体上的晶体管；晶体管上的第二绝缘体；嵌入在第二绝缘体的开口中的第一导电体；第一导电体上的阻挡层；在第二绝缘体及阻挡层上的第三绝缘体；以及第三绝缘体上的第二导电体。第一绝缘体、第三绝缘体及阻挡层对氧及氢具有阻挡性。第二绝缘体包括过剩氧区域。晶体管包括氧化物半导体。阻挡层、第三绝缘体及第二导电体被用作电容器。



CN 108886021 B

1.一种半导体装置的制造方法,包括如下步骤:

在第一晶体管上形成第一绝缘体,该第一晶体管的沟道形成区域包括半导体衬底的一部分;

在所述第一绝缘体上形成第二晶体管,该第二晶体管的沟道形成区域包括氧化物半导体;

在所述第二晶体管上形成第二绝缘体;

在所述第二绝缘体中形成开口,该开口到达所述第二晶体管;

在所述第二绝缘体上形成第一导电体,该第一导电体嵌入在所述第二绝缘体的所述开口中;

去除所述第一导电体的一部分,以使所述第二绝缘体的顶面露出;

在所述第一导电体上形成阻挡层;

对所述阻挡层及所述第二绝缘体进行氧等离子体处理;

在所述阻挡层及所述第二绝缘体上形成第三绝缘体;以及

在所述第三绝缘体上形成第二导电体,

其中,所述阻挡层、所述第三绝缘体及所述第二导电体互相重叠且被用作电容器,

并且,所述第一绝缘体、所述阻挡层及所述第三绝缘体都对氧及氢具有阻挡性。

2.根据权利要求1所述的半导体装置的制造方法,其中所述第二绝缘体包含通过CVD法形成的氧氮化硅。

3.根据权利要求1所述的半导体装置的制造方法,其中所述阻挡层包含通过ALD法形成的氮化钽。

4.根据权利要求1所述的半导体装置的制造方法,其中所述阻挡层包含通过ALD法形成的氧化铝。

5.根据权利要求1所述的半导体装置的制造方法,其中所述第三绝缘体包含通过溅射法形成的氧化铝。

6.根据权利要求1所述的半导体装置的制造方法,其中通过所述氧等离子体处理去除包含在所述第二绝缘体中的杂质。

7.一种半导体装置,包括:

第一晶体管上的第一绝缘体,该第一晶体管的沟道形成区域包括半导体衬底的一部分;

所述第一绝缘体上的第二晶体管,该第二晶体管的沟道形成区域包括氧化物半导体;

所述第二晶体管上的第二绝缘体,该第二绝缘体包括到达所述第二晶体管的开口;

嵌入在所述第二绝缘体的所述开口中的第一导电体;

所述第一导电体上的阻挡层;

所述阻挡层及所述第二绝缘体上的第三绝缘体;以及

所述第三绝缘体上的第二导电体,

其中,所述阻挡层、所述第三绝缘体及所述第二导电体互相重叠且被用作电容器,

并且,所述第一绝缘体、所述阻挡层及所述第三绝缘体都对氧及氢具有阻挡性。

8.一种半导体装置,包括:

第一晶体管上的第一绝缘体,该第一晶体管的沟道形成区域包括半导体衬底的一部

分；

所述第一绝缘体上的第二晶体管，该第二晶体管的沟道形成区域包括氧化物半导体；

所述第二晶体管上的第二绝缘体，该第二绝缘体包括到达所述第二晶体管的开口；

嵌入在所述第二绝缘体的所述开口中的第一导电体；

所述第一导电体上的阻挡层；

所述阻挡层及所述第二绝缘体上的第三绝缘体；以及

所述第三绝缘体上的第二导电体，

其中，所述阻挡层、所述第三绝缘体及所述第二导电体互相重叠且被用作电容器，

并且，所述阻挡层对氧及氢具有阻挡性。

9.根据权利要求7或8所述的半导体装置，其中所述第一导电体、所述阻挡层、所述第三绝缘体及所述第二导电体互相重叠且被用作所述电容器。

10.根据权利要求7或8所述的半导体装置，其中在设置有所述第二晶体管的区域的边缘，所述第一绝缘体与所述阻挡层相互接触，以包围所述第二晶体管及所述第二绝缘体。

11.根据权利要求7或8所述的半导体装置，其中所述第一导电体为电连接于所述第二晶体管的布线。

12.根据权利要求7或8所述的半导体装置，其中所述第二绝缘体包含氧氮化硅。

13.根据权利要求7或8所述的半导体装置，其中所述阻挡层包含氮化钽。

14.根据权利要求7或8所述的半导体装置，其中所述阻挡层包含氧化铝。

15.根据权利要求7或8所述的半导体装置，其中所述第三绝缘体包含氧化铝。

16.一种包括根据权利要求7或8所述的半导体装置的半导体晶片。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及一种物体、方法或制造方法。本发明涉及一种工序(process)、机器(machine)、产品(manufacture)或组合物(composition of matter)。本发明的一个实施方式涉及一种半导体装置、发光装置、显示装置、电子设备、照明装置以及这些装置中的任一个的制造方法。尤其是,本发明的一个实施方式涉及以安装在电源电路中的功率装置、存储器或CPU等LSI、以及包括晶闸管、转换器、图像传感器等的半导体集成电路为部件而安装的电子设备。本发明的一个实施方式例如涉及一种利用有机电致发光(Electroluminescence,以下也称为EL)现象的发光装置以及该发光装置的制造方法。

[0002] 注意,本发明的一个实施方式不局限于上述技术领域。

[0003] 在本说明书中,半导体装置是指能够通过利用半导体特性起作用的所有装置。电光装置、半导体电路及电子设备有时包括半导体装置。

背景技术

[0004] 近年来,对包括半导体元件的LSI(CPU或存储器等)已在进行开发。此外,CPU包括从半导体晶片分开的半导体集成电路(至少包括晶体管及存储器)并是形成有作为连接端子的电极的半导体元件的集合体。

[0005] 包括存储器或CPU等LSI的半导体电路安装在电路衬底例如安装在印刷线路板上,并用作各种电子设备的部件之一。

[0006] 通过使用形成在具有绝缘表面的衬底上的半导体薄膜形成晶体管的技术受到注目。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等的电子设备。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。作为其他材料,氧化物半导体受到关注。

[0007] 已知包括氧化物半导体的晶体管的非导通状态下的泄漏电流极低。例如,应用了包括氧化物半导体的晶体管的泄漏电流低的特性的低功耗CPU等已被公开(参照专利文献1)。

[0008] 虽然包括氧化物半导体的晶体管的工作速度比包括非晶硅的晶体管的工作速度快,且与包括多晶硅的晶体管相比更容易制造,但是,已知包括氧化物半导体的晶体管具有电特性容易变动而导致其可靠性低的问题。例如,有时在偏压-热压力测试(BT测试)后,晶体管的阈值电压会变动。

[0009] [参考文献]

[0010] [专利文献]

[0011] [专利文献1]日本专利申请公开第2012-257187号公报

发明内容

[0012] 本发明的一个实施方式的目的是提高包括氧化物半导体的半导体装置的可靠性。此外,包括氧化物半导体的晶体管具有如下问题:容易具有常开启特性;以及在驱动电路中

难以设置适当地工作的逻辑电路。于是，本发明的一个实施方式的目的是在包括氧化物半导体的晶体管中得到常关闭特性。

[0013] 其他的目的是提供一种可靠性高的晶体管。其他的目的是提供一种在非导通状态下具有极低的泄漏电流的晶体管。

[0014] 其他的目的是提供一种可靠性高的半导体装置。其他的目的是提供一种生产率高的半导体装置。其他的目的是提供一种成品率高的半导体装置。其他的目的是提供一种占有面积小的半导体装置。

[0015] 或者，目的之一是提供一种集成度高的半导体装置。其他的目的是提供一种工作速度快的半导体装置。其他的目的是提供一种低功耗的半导体装置。

[0016] 其他的目的是提供一种新颖的半导体装置。其他的目的是提供一种包括上述半导体装置中的任一个的模块。其他的目的是提供一种包括上述半导体装置中的任一个或该模块的电子设备。

[0017] 注意，这些目的的记载不妨碍其他目的的存在。本发明的一个实施方式并不需要实现所有上述目的。其他目的从说明书、附图以及权利要求书等的记载中是显然而易见的，并且可以从所述记载中抽出。

[0018] 本发明的一个实施方式是一种半导体装置，包括：第一绝缘体；第一绝缘体上的晶体管；晶体管上的第二绝缘体；嵌入第二绝缘体的开口中的第一导电体；第一导电体上的阻挡层；第二绝缘体上及阻挡层上的第三绝缘体；以及第三绝缘体上的第二导电体。第一绝缘体、第三绝缘体及阻挡层对氧及氢具有阻挡性。第二绝缘体包括过剩氧区域。晶体管包含氧化物半导体。阻挡层、第三绝缘体、第二导电体被用作电容器。

[0019] 本发明的一个实施方式是一种半导体装置，包括：第一绝缘体；第一绝缘体上的晶体管；晶体管上的第二绝缘体；嵌入第二绝缘体的开口中的第一导电体；第一导电体上的阻挡层；第二绝缘体上及阻挡层上的第三绝缘体；以及第三绝缘体上的第二导电体。第一绝缘体、第三绝缘体及阻挡层对氧及氢具有阻挡性。第二绝缘体包括过剩氧区域。晶体管包含氧化物半导体。第一导电体、阻挡层、第三绝缘体、第二导电体被用作电容器。

[0020] 在上述结构中的任一个中，在设置有晶体管的区域的边缘，第一绝缘体与阻挡层接触，以包围晶体管及第二绝缘体。

[0021] 在上述结构中的任一个中，阻挡层具有包括具有导电性的膜和具有绝缘性的膜的叠层结构。

[0022] 在上述结构中的任一个中，第一导电体被用作布线。

[0023] 本发明的一个实施方式是一种半导体晶片，包括：上述结构中的任一个中的多个半导体装置；以及用于切割的区域。

[0024] 本发明的一个实施方式是一种半导体装置的制造方法，包括如下步骤：形成对氧及氢具有阻挡性的第一绝缘体；在第一绝缘体上形成晶体管；在晶体管上形成第二绝缘体；在第二绝缘体中形成到达晶体管的开口；在开口及第二绝缘体上形成第一导电体；去除第一导电体的一部分，使第二绝缘体的顶面露出，以在第二绝缘体中嵌入第一导电体；在第一导电体上形成对氧及氢具有阻挡性的阻挡层；在对阻挡层及第二绝缘体进行氧等离子体处理之后，在阻挡层及第二绝缘体上形成对氧及氢具有阻挡性的第三绝缘体；以及通过在隔着第三绝缘体与第一导电体重叠的区域中形成第二导电体，形成电容器。

[0025] 在上述结构中,阻挡层包含通过ALD法形成的氮化钽。

[0026] 在上述结构中,阻挡层包含通过ALD法形成的氧化铝。

[0027] 在上述结构中,第三绝缘体包含通过溅射法形成的氧化铝。

[0028] 在包括具有氧化物半导体的晶体管的半导体装置中可以抑制电特性变动且提高可靠性。本发明的一个实施方式可以提供一种通态电流(on-state current)大的具有氧化物半导体的晶体管。本发明的一个实施方式可以提供一种关态电流(off-state current)小的具有氧化物半导体的晶体管。本发明的一个实施方式可以提供一种低功耗的半导体装置。

[0029] 或者,本发明的一个实施方式可以提供一种新颖的半导体装置。本发明的一个实施方式可以提供一种包括该半导体装置的模块。本发明的一个实施方式可以提供一种包括该半导体装置或该模块的电子设备。

[0030] 注意,这些效果的记载不妨碍其他效果的存在。本发明的一个实施方式并不需要具有所有上述效果。其他效果从说明书、附图以及权利要求书等的记载中是显然而易见的,并且可以从所述记载中抽出。

附图说明

[0031] 图1是说明根据一个实施方式的半导体装置的截面结构的图。

[0032] 图2是说明根据一个实施方式的半导体装置的截面结构的图。

[0033] 图3是说明根据一个实施方式的半导体装置的截面结构的图。

[0034] 图4是说明根据一个实施方式的半导体装置的截面结构的图。

[0035] 图5是说明根据一个实施方式的半导体装置的截面结构的图。

[0036] 图6是说明根据一个实施方式的半导体装置的截面结构的图。

[0037] 图7A及图7B各自是说明根据一个实施方式的半导体装置的截面结构的图。

[0038] 图8A及图8B各自是一个实施方式的半导体装置的电路图。

[0039] 图9A及图9B是说明根据一个实施方式的半导体装置的截面结构的图。

[0040] 图10A是一个实施方式的半导体装置的电路图,图10B是说明该半导体装置的截面结构的图。

[0041] 图11是说明根据一个实施方式的半导体装置的截面结构的图。

[0042] 图12A至图12D是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0043] 图13A至图13C是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0044] 图14A及图14B是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0045] 图15A及图15B是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0046] 图16A及图16B是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0047] 图17是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0048] 图18是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0049] 图19是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0050] 图20是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0051] 图21是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0052] 图22是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0053] 图23是说明根据一个实施方式的半导体装置的制造方法例子的图。

[0054] 图24A是一个实施方式的晶体管的俯视图，图24B及图24C是说明该晶体管的截面结构的图。

[0055] 图25A是一个实施方式的晶体管的俯视图，图25B及图25C是说明该晶体管的截面结构的图。

[0056] 图26A是一个实施方式的晶体管的俯视图，图26B及图26C是说明该晶体管的截面结构的图。

[0057] 图27A是一个实施方式的晶体管的俯视图，图27B及图27C是说明该晶体管的截面结构的图。

[0058] 图28A是一个实施方式的晶体管的俯视图，图28B及图28C是说明该晶体管的截面结构的图。

[0059] 图29A是一个实施方式的晶体管的俯视图，图29B及图29C是说明该晶体管的截面结构的图。

[0060] 图30A是一个实施方式的晶体管的俯视图，图30B及图30C是说明该晶体管的截面结构的图。

[0061] 图31A是一个实施方式的晶体管的俯视图，图31B及图31C是说明该晶体管的截面结构的图。

[0062] 图32A至图32E是说明根据一个实施方式的晶体管的制造方法例子的图。

[0063] 图33A至图33D是说明根据一个实施方式的晶体管的制造方法例子的图。

[0064] 图34A至图34C是说明根据一个实施方式的晶体管的制造方法例子的图。

[0065] 图35A至图35C是说明根据一个实施方式的晶体管的制造方法例子的图。

[0066] 图36A至图36C各自是说明本发明的氧化物半导体的原子个数比的范围的图。

[0067] 图37是说明$InMZnO_4$结晶的图。

[0068] 图38A至图38C是氧化物半导体的叠层结构的带图。

[0069] 图39A至图39E示出利用XRD的CAAC-OS及单晶氧化物半导体的结构解析的图以及示出CAAC-OS的选区电子衍射图案。

[0070] 图40A至图40E示出CAAC-OS的截面TEM图像及平面TEM图像以及其分析图像。

[0071] 图41A至图41D示出nc-OS的电子衍射图案的图及截面TEM图像。

[0072] 图42A及图42B示出a-like OS的截面TEM图像。

[0073] 图43示出通过电子照射的In-Ga-Zn氧化物的结晶部的变化。

[0074] 图44示出将氧化物半导体膜用于沟道区域的晶体管中的能带。

[0075] 图45是示出本发明的一个实施方式的存储装置的电路图。

[0076] 图46是示出本发明的一个实施方式的存储装置的电路图。

[0077] 图47A至图47C是示出本发明的一个实施方式的电路图和时序图。

[0078] 图48A至图48C是示出本发明的一个实施方式的图表和电路图。

[0079] 图49A及图49B是示出本发明的一个实施方式的电路图和时序图。

[0080] 图50A及图50B是示出本发明的一个实施方式的电路图和时序图。

[0081] 图51A至图51E是说明本发明的一个实施方式的方框图、电路图及波形图。

[0082] 图52A及图52B是示出本发明的一个实施方式的电路图和时序图。

[0083] 图53A及图53B是说明本发明的一个实施方式的电路图。

[0084] 图54A至图54C是说明本发明的一个实施方式的电路图。

[0085] 图55A及图55B是说明本发明的一个实施方式的电路图。

[0086] 图56A至图56C是说明本发明的一个实施方式的电路图。

[0087] 图57A及图57B是说明本发明的一个实施方式的电路图。

[0088] 图58是示出本发明的一个实施方式的半导体装置的方框图。

[0089] 图59是示出本发明的一个实施方式的半导体装置的电路图。

[0090] 图60A及图60B是示出本发明的一个实施方式的半导体装置的俯视图。

[0091] 图61A及图61B各自是示出本发明的一个实施方式的半导体装置的方框图。

[0092] 图62A及图62B各自是示出本发明的一个实施方式的半导体装置的截面图。

[0093] 图63是示出本发明的一个实施方式的半导体装置的截面图。

[0094] 图64A及图64B是示出本发明的一个实施方式的半导体装置的俯视图。

[0095] 图65A及图65B是示出本发明的一个实施方式的流程图及说明半导体装置的透视图。

[0096] 图66A至图66F各自是说明本发明的一个实施方式的电子设备的透视图。

具体实施方式

[0097] 下面，参照附图对实施方式进行说明。但是，所属技术领域的普通技术人员可以很容易地理解一个事实，就是实施方式可以以多个不同形式来实施，其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0098] 在附图中，为便于清楚地说明，有时夸大表示大小、层的厚度或区域。因此，大小、层的厚度或区域并不一定限定于上述尺寸。此外，在附图中，示意性地示出理想的例子，因此本发明的实施方式不局限于附图所示的形状或数值等。另外，在附图中，在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分，而省略其重复说明。此外，当表示具有相同功能的部分时有时使用相同的阴影线，而不特别附加附图标记。

[0099] 此外，在本说明书等中，为了方便起见，附加了第一、第二等序数词，而其并不表示工序顺序或叠层顺序。因此，例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外，本说明书等所记载的序数词与用于指定本发明的一个实施方式的序数词有时不一致。

[0100] 在本说明书中，为方便起见，使用了“上”、“上方”“下”及“下方”等表示配置的词句，以参照附图说明构成要素的位置关系。另外，构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于本说明书中所说明的词句，可以根据情况适当地更换。

[0101] 在本说明书等中，“半导体装置”是指能够通过利用半导体特性而工作的所有装置。除了晶体管等半导体元件之外，半导体电路、运算装置或存储装置也是半导体装置的一个实施方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池、有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

[0102] 在本说明书等中，晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟

道区域，并且电流能够流过漏极、沟道区域以及源极。注意，在本说明书等中，沟道区域是指电流主要流过的区域。

[0103] 另外，在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下，源极及漏极的功能有时相互调换。因此，在本说明书等中，“源极”和“漏极”可以相互调换。

[0104] 另外，在本说明书等中，氧氮化硅膜是指在其组成中氧含量多于氮含量的物质，优选为具有如下浓度范围的物质：氧浓度为55原子％以上且65原子％以下，氮浓度为1原子％以上且20原子％以下，硅浓度为25原子％以上且35原子％以下，并且氢浓度为0.1原子％以上且10原子％以下。氮氧化硅膜是指在其组成中氮含量多于氧含量的物质，优选为具有如下浓度范围的物质：氮浓度为55原子％以上且65原子％以下，氧浓度为1原子％以上且20原子％以下，硅浓度为25原子％以上且35原子％以下，并且氢浓度为0.1原子％以上且10原子％以下。

[0105] 在本说明书等中，可以将“膜”和“层”相互调换。例如，有时可以将“导电层”变换为“导电膜”。此外，例如，有时可以将“绝缘膜”变换为“绝缘层”。

[0106] 在本说明书等中，“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此，也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。另外，“垂直”是指两条直线的角度为80°以上且100°以下的状态。因此，也包括该角度为85°以上且95°以下的状态。“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0107] 例如，在本说明书等中，当明确地记载为“X与Y连接”时，意味着如下情况：X与Y电连接；X与Y在功能上连接；X与Y直接连接。因此，不局限于规定的连接关系(例如，附图或文中所示的连接关系等)，附图或文中所示的连接关系以外的连接关系也包含于附图或文中所记载的内容中。

[0108] 这里，X和Y为对象物(例如，装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0109] 作为X与Y直接连接的情况的例子，可以举出在X与Y之间没有连接能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等)，并且X与Y没有通过能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等)连接的情况。

[0110] 作为X与Y电连接的情况的一个例子，例如可以在X与Y之间连接一个以上的能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等)。另外，开关具有控制开启和关闭的功能。换言之，通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。或者，开关具有选择并切换电流路径的功能。另外，X与Y电连接的情况包括X与Y直接连接的情况。

[0111] 作为X与Y在功能上连接的情况的一个例子，例如可以在X与Y之间连接一个以上的能够在功能上连接X与Y的电路(例如，逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号生成电路、存储电路、控制电路等)。注意，例如，即使在X与Y之间夹有其

他电路，当从X输出的信号传送到Y时，也可以说X与Y在功能上是连接着的。另外，X与Y在功能上连接的情况包括X与Y直接连接的情况及X与Y电连接的情况。

[0112] 此外，当明确地记载为“X与Y电连接”时，在本说明书等中意味着如下情况：X与Y电连接(即，以中间夹有其他元件或其他电路的方式连接X与Y)；X与Y在功能上连接(即，以中间夹有其他电路的方式在功能上连接X与Y)；X与Y直接连接(即，以中间不夹有其他元件或其他电路的方式连接X与Y)。即，当明确地记载为“电连接”时与只明确地记载为“连接”时的情况相同。

[0113] 注意，例如，在晶体管的源极(或第一端子等)通过Z1(或没有通过Z1)与X电连接，晶体管的漏极(或第二端子等)通过Z2(或没有通过Z2)与Y电连接的情况下以及在晶体管的源极(或第一端子等)与Z1的一部分直接连接，Z1的另一部分与X直接连接，晶体管的漏极(或第二端子等)与Z2的一部分直接连接，Z2的另一部分与Y直接连接的情况下，可以表示为如下。

[0114] 例如，可以表示为“X、Y、晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)互相电连接，X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次电连接”。或者，可以表示为“晶体管的源极(或第一端子等)与X电连接，晶体管的漏极(或第二端子等)与Y电连接，X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次电连接”。或者，可以表示为“X通过晶体管的源极(或第一端子等)及漏极(或第二端子等)与Y电连接，X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置为相互连接”。通过使用与这种例子相同的表示方法规定电路结构中的连接顺序，可以区别晶体管的源极(或第一端子等)与漏极(或第二端子等)而决定技术范围。

[0115] 另外，作为其他表示方法，例如可以表示为“晶体管的源极(或第一端子等)至少经过第一连接路径与X电连接，所述第一连接路径不具有第二连接路径，所述第二连接路径是晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)之间的路径，所述第一连接路径是经过Z1的路径，晶体管的漏极(或第二端子等)至少经过第三连接路径与Y电连接，所述第三连接路径不具有所述第二连接路径，所述第三连接路径是经过Z2的路径”。或者，也可以表示为“晶体管的源极(或第一端子等)至少经过第一连接路径，通过Z1与X电连接，所述第一连接路径不具有第二连接路径，所述第二连接路径具有通过晶体管的连接路径，晶体管的漏极(或第二端子等)至少经过第三连接路径，通过Z2与Y电连接，所述第三连接路径不具有所述第二连接路径”。或者，也可以表示为“晶体管的源极(或第一端子等)至少经过第一电路径，通过Z1与X电连接，所述第一电路径不具有第二电路径，所述第二电路径是从晶体管的源极(或第一端子等)到晶体管的漏极(或第二端子等)的电路径，晶体管的漏极(或第二端子等)至少经过第三电路径，通过Z2与Y电连接，所述第三电路径不具有第四电路径，所述第四电路径是从晶体管的漏极(或第二端子等)到晶体管的源极(或第一端子等)的电路径”。通过使用与这种例子同样的表示方法规定电路结构中的连接路径，可以区别晶体管的源极(或第一端子等)和漏极(或第二端子等)来决定技术范围。

[0116] 注意，这种表示方法只是一个例子而已，不局限于上述表示方法。在此，X、Y、Z1及Z2为对象物(例如，装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0117] 另外，即使附图示出在电路图上独立的构成要素彼此电连接，也有一个构成要素兼有多个构成要素的功能的情况。例如，在布线的一部分被用作电极时，一个导电膜兼有布

线和电极的两个构成要素的功能。因此，本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0118] (实施方式1)

[0119] 在本实施方式中，参照图1、图2、图3、图4、图5、图6、图7A及图7B、图8A及图8B、图9A及图9B、图10A及图10B以及图11说明半导体装置的一个实施方式。

[0120] [结构例子]

[0121] 图1、图2、图3、图4、图5、图6、图7A及图7B以及图8A及图8B示出本发明的一个实施方式的半导体装置(存储装置)的例子。此外，图8A是图1至图4所示的电路图。图7A及图7B示出图1至图4所示的半导体装置的形成区域的端部。

[0122] <半导体装置的电路结构>

[0123] 图8A以及图1至图6所示的半导体装置都包括晶体管300、晶体管200及电容器100。

[0124] 晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管。因为晶体管200的关态电流小，所以通过将该晶体管200用于半导体装置(存储装置)中，可以长期保持存储数据。换言之，这种半导体装置(存储装置)不需要刷新工作或刷新工作的频度极低，所以可以充分降低功耗。

[0125] 在图8A中，布线3001与晶体管300的源极电连接。布线3002与晶体管300的漏极电连接。布线3003与晶体管200的源极和漏极中的一个电连接。布线3004与晶体管200的栅极电连接。晶体管300的栅极及晶体管200的源极和漏极中的另一个与电容器100的一个电极电连接。布线3005与电容器100的另一个电极电连接。

[0126] 图8A的半导体装置具有能够保持晶体管300的栅极的电位的特征，由此如下所示那样可以进行数据的写入、保持及读出。

[0127] 对数据的写入及保持进行说明。首先，将布线3004的电位设定为使晶体管200处于导通状态的电位，而使晶体管200处于导通状态。由此，布线3003的电位施加到与晶体管300的栅极及电容器100的一个电极电连接的节点FG。换言之，对晶体管300的栅极施加规定的电荷(写入)。这里，施加提供不同电位电平的两种电荷(以下，称为低电平电荷及高电平电荷)中的一个。然后，将布线3004的电位设定为使晶体管200处于非导通状态的电位而使晶体管200处于非导通状态。由此，电荷被保持在节点FG(保持)。

[0128] 在晶体管200的关态电流较小时，节点FG的电荷被长时间保持。

[0129] 接着，对数据的读出进行说明。在对布线3001施加规定的电位(恒电位)的状态下对布线3005施加适当的电位(读出电位)，由此布线3002的电位根据保持在节点FG中的电荷量而变化。这是因为:在作为晶体管300使用n沟道晶体管的情况下，对晶体管300的栅极施加高电平电荷时的外观上的阈值电压V_{th_H}低于对晶体管300的栅极施加低电平电荷时的外观上的阈值电压V_{th_L}。在此，外观上的阈值电压是指为了使晶体管300成为“导通状态”而需要的布线3005的电位。由此，通过将布线3005的电位设定为V_{th_H}与V_{th_L}之间的电位V_0，可以辨别施加到节点FG的电荷。例如，在写入时节点FG被供应高电平电荷，并布线3005的电位为V_0($>V_{th_H}$)的情况下，晶体管300成为“导通状态”。另一方面，当节点FG被供应低电平电荷时，即便布线3005的电位为V_0($<V_{th_L}$)，晶体管300也保持“非导通状态”。因此，通过辨别布线3002的电位，可以读出在节点FG中保持的数据。

[0130] 通过将具有图8A所示的结构的半导体装置配置为矩阵状，可以形成存储装置(存

储单元阵列)。

[0131] 注意,当将存储单元设置为阵列状时,在读出工作中必须读出所希望的存储单元的数据。例如,在作为晶体管300使用p沟道晶体管时,存储单元具有NOR型的结构。因此,可以通过对不读出数据的存储单元中的布线3005施加不管施加到节点FG的电位如何都使晶体管300成为"非导通状态"的电位(即,低于V_{th_H}的电位),来仅读出所希望的存储单元的数据。或者,在作为晶体管300使用n沟道晶体管时,存储单元具有NAND型的结构。因此,可以通过对不读出数据的存储单元中的布线3005施加不管施加到节点FG的电荷如何都使晶体管300成为"导通状态"的电位(即,高于V_{th_L}的电位),来仅读出所希望的存储单元的数据。

[0132] 〈半导体装置的电路结构2〉

[0133] 图8B的半导体装置与图8A的半导体装置的不同之处在于不设置晶体管300。在此情况下也可以通过与图8A的半导体装置相同的工作进行数据的写入及保持。

[0134] 将说明图8B的半导体装置中的数据读出。在晶体管200成为导通状态时,处于浮动状态的布线3003和电容器100导通,且在布线3003和电容器100之间再次分配电荷。其结果是,布线3003的电位产生变化。布线3003的电位的变化量根据电容器100的一个电极的电位(或积累在电容器100中的电荷)而不同。

[0135] 例如,在V为电容器100的一个电极的电位,C为电容器100的电容,C_B为布线3003的电容成分,V_{B0}为再次分配电荷之前的布线3003的电位时,再次分配电荷之后的布线3003的电位为$(C_B\times V_{B0}+C\times V)/(C_B+C)$。因此,可以知道,在假定存储单元处于电容器100的一个电极的电位为V_1和V_0($V_1>V_0$)这两种状态中的任一个时,保持电位V_1时的布线3003的电位(=$(C_B\times V_{B0}+C\times V_1)/(C_B+C)$)高于保持电位$V_0$时的布线3003的电位(=$(C_B\times V_{B0}+C\times V_0)/(C_B+C)$)。

[0136] 然后,通过对布线3003的电位和规定的电位进行比较可以读出数据。

[0137] 在采用本结构的情况下,可以对用来驱动存储单元的驱动电路使用应用硅的晶体管,且可以将应用氧化物半导体的晶体管作为晶体管200层叠于驱动电路上。

[0138] 当包括使用氧化物半导体的关态电流小的晶体管时,上述半导体装置可以长期间地保持存储数据。也就是说,不需要刷新工作或可以使刷新工作的频度极低,从而可以充分地降低功耗。此外,即使没有电力的供应(注意,电位优选被固定),也可以长期间地保持存储数据。

[0139] 此外,在该半导体装置中,在写入数据时不需要高电压,不容易产生元件的劣化。例如,与现有的非易失性存储器不同,不需要对浮动栅极注入电子或从浮动栅极抽出电子,因此不会发生如绝缘体的劣化等的问题。换言之,与现有的非易失性存储器不同,本发明的一个实施方式的半导体装置对重写的次数没有限制而其可靠性得到极大提高。再者,根据晶体管的状态(导通或非导通)而进行数据写入,从而可以容易实现高速工作。

[0140] 〈半导体装置的结构1〉

[0141] 如图1所示,本发明的一个实施方式的半导体装置包括晶体管300、晶体管200及电容器100。晶体管200设置在晶体管300的上方,电容器100设置在晶体管300及晶体管200的上方。

[0142] 晶体管300设置在衬底311上,并包括:导电体316、绝缘体314、衬底311的一部分的半导体区域312;以及被用作源区域及漏区域的低电阻区域318a及318b。

[0143] 晶体管300可以为p沟道晶体管或n沟道晶体管。

[0144] 半导体区域312的形成沟道的区域、其附近的区域、被用作源区域及漏区域的低电阻区域318a及318b等优选包含硅类半导体等半导体，更优选包含单晶硅。另外，也可以包含具有Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)等的材料。可以包含对晶格施加应力改变晶面间距而控制有效质量的硅。此外，晶体管300也可以是使用GaAs和GaAlAs等的高电子迁移率晶体管(high-electron-mobility transistor:HEMT)。

[0145] 低电阻区域318a及318b除了包含用于半导体区域312的半导体材料之外，还包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0146] 被用作栅电极的导电体316可以使用包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料而形成。

[0147] 另外，根据导电体的材料决定导电体的功函数，由此可以调整阈值电压。具体而言，作为导电体优选使用氮化钛或氮化钽等。此外，为了确保导电体的导电性和埋入性，作为导电体优选使用钨及铝等金属材料的叠层，尤其是，在耐热性方面上优选使用钨。

[0148] 注意，图1所示的晶体管300只是一个例子，不局限于上述结构，根据电路结构或驱动方法也可以使用适当的晶体管。在使用图8B所示的电路结构的情况下，也可以省略晶体管300。

[0149] 依次层叠有绝缘体320、绝缘体322、绝缘体324及绝缘体326并覆盖晶体管300。

[0150] 绝缘体320、绝缘体322、绝缘体324及绝缘体326例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝或氮化铝等而形成。

[0151] 绝缘体322也可以被用作使因设置在绝缘体322下方的晶体管300等而产生的台阶平坦化的平坦化膜。例如，为了提高绝缘体322的顶面的平坦性，其顶面也可以通过利用化学机械抛光(CMP:chemical mechanical polishing)法等的平坦化处理被平坦化。

[0152] 绝缘体324优选使用防止氢等杂质从衬底311或晶体管300等扩散到形成有晶体管200的区域中的具有阻挡性的膜而形成。阻挡性是指高耐氧化性以及抑制氧、以氢及水为代表的杂质的扩散的功能。例如，在350℃或400℃的气氛下，具有阻挡性的膜中的每小时的氧或氢扩散距离可以为50nm以下。优选的是，在350℃或400℃的温度下，具有阻挡性的膜中的每小时的氧或氢扩散距离优选为30nm以下，更优选为20nm以下。

[0153] 作为对氢具有阻挡性的膜的例子，可以举出通过CVD法形成的氮化硅。有时氢扩散到晶体管200等具有氧化物半导体的半导体元件中导致该半导体元件的特性下降。因此，优选在晶体管200与晶体管300之间设置抑制氢的扩散的膜。具体而言，抑制氢的扩散的膜是氢不容易脱离的膜。

[0154] 氢的脱离量例如可以利用热脱附谱分析法(TDS:thermal desorption spectroscopy)测量。例如，在TDS分析中的50℃至500℃的范围内，换算为氢原子的绝缘体324的每个单元面积的氢脱离量为10×10^{15}atoms/cm^{2}以下，优选为5×10^{15}atoms/cm^{2}以下。

[0155] 注意，绝缘体326的介电常数优选比绝缘体324低。例如，绝缘体324的相对介电常数优选低于4，更优选低于3。例如，绝缘体326的相对介电常数优选为绝缘体324的相对介电常数的0.7倍以下，更优选为绝缘体324的相对介电常数的0.6倍以下。在将介电常数低的材料用于层间膜的情况下，可以减少布线之间的寄生电容。

[0156] 在绝缘体320、绝缘体322、绝缘体324及绝缘体326中嵌入与电容器100或晶体管200电连接的导电体328、导电体330等。另外，导电体328及导电体330被用作插头或布线。注意，如后面说明，有时由同一附图标记表示被用作插头或布线的多个导电体结构。此外，在本说明书等中，布线、与布线电连接的插头也可以是一个构成要素。就是说，导电体的一部分有时被用作布线，并且导电体的一部分有时被用作插头。

[0157] 作为各插头及布线(例如，导电体328及导电体330)的材料，可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层结构或叠层结构。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，尤其优选使用钨。或者，优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0158] 也可以在绝缘体326及导电体330上设置布线层。例如，在图1中，依次层叠有绝缘体350、绝缘体352及绝缘体354。另外，在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356被用作插头或布线。此外，导电体356可以使用与用于导电体328及导电体330的材料同样的材料形成。

[0159] 另外，与绝缘体324同样，绝缘体350例如优选使用对氢具有阻挡性的绝缘体。此外，导电体356优选包含对氢具有阻挡性的导电体。尤其是，在对氢具有阻挡性的绝缘体350中的开口中形成对氢具有阻挡性的导电体。通过采用该结构，可以由阻挡层将晶体管300与晶体管200分离，从而可以抑制氢从晶体管300扩散到晶体管200中。

[0160] 注意，作为对氢具有阻挡性的导电体，例如可以使用氮化钽。通过层叠氮化钽和导电性高的钨，可以在保持布线的导电性的同时抑制氢从晶体管300扩散。此时，对氢具有阻挡性的氮化钽层优选与对氢具有阻挡性的绝缘体350接触。

[0161] 在绝缘体354上，依次层叠有绝缘体358、绝缘体210、绝缘体212、绝缘体213、绝缘体214及绝缘体216。作为绝缘体358、210、212、213、214和216中的任何一个，优选使用对氧或氢具有阻挡性的材料。

[0162] 例如，绝缘体358及212优选使用防止氢等杂质从衬底311或形成有晶体管300的区域等扩散到形成有晶体管200的区域中的具有阻挡性的膜而形成。因此，绝缘体358及212可以使用与用于绝缘体324的材料同样的材料形成。

[0163] 作为对氢具有阻挡性的膜的例子，可以举出通过CVD法形成的氮化硅。有时氢扩散到晶体管200等具有氧化物半导体的半导体元件中导致该半导体元件的特性下降。因此，优选在晶体管200与晶体管300之间设置抑制氢的扩散的膜。具体而言，抑制氢的扩散的膜是氢不容易脱离的膜。

[0164] 例如，作为对氢具有阻挡性的膜，对绝缘体213及214的每一个优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0165] 尤其是，氧化铝的防止氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此，通过使用氧化铝，在晶体管的制造工序中及制造工序之后可以防止氢、水分等杂质混入晶体管200中。另外，可以抑制氧从构成晶体管200的氧化物释放。因此，氧化铝适合用作晶体管200的保护膜。

[0166] 例如，绝缘体210及216可以使用与用于绝缘体320的材料同样的材料形成。在将介电常数较低的材料用于层间膜的情况下，可以减少布线之间的寄生电容。例如，作为绝缘体216，可以使用氧化硅膜或氧氮化硅膜等。

[0167] 在绝缘体358、210、212、213、214及216中嵌入导电体218及形成晶体管200的导电体(导电体205)等。此外,导电体218被用作与电容器100或晶体管300电连接的插头或布线。导电体218可以使用与用于导电体328及导电体330的材料同样的材料形成。

[0168] 尤其是,与绝缘体358、212、213及214接触的区域的导电体218优选为对氧、氢及水具有阻挡性的导电体。通过采用该结构,可以利用对氧、氢及水具有阻挡性的层将晶体管300与晶体管200完全分离,从而可以抑制氢从晶体管300扩散到晶体管200中。

[0169] 例如,当绝缘体224包括过剩氧区域时,与绝缘体224接触的导电体诸如导电体218等优选为耐氧化性高的导电体。如附图所示,也可以在导电体218及包括在晶体管200中的导电体(导电体205)上设置具有阻挡性的导电体219。通过采用本结构,可以抑制导电体218及包括在晶体管200中的导电体(导电体205)与过剩氧区域的氧起反应而生成氧化物。

[0170] 在绝缘体224的上方设置有晶体管200。另外,作为晶体管200的结构,可以使用后面的实施方式中的任一个说明的晶体管结构。注意,图1所示的晶体管200只是一个例子,不局限于上述结构,根据电路结构或驱动方法也可以使用适当的晶体管。

[0171] 在晶体管200的上方设置绝缘体280。在绝缘体280中,优选形成过剩氧区域。尤其是,在将氧化物半导体用于晶体管200时,当在晶体管200附近的层间膜等中设置具有过剩氧区域的绝缘体时,可以降低晶体管200中的氧空位,由此可以提高可靠性。

[0172] 具体而言,作为具有过剩氧区域的绝缘体,优选使用通过加热而一部分的氧脱离的氧化物材料。通过加热而一部分的氧脱离的氧化物是指:在TDS分析中换算为氧原子的氧的脱离量为1.0×10^{18}atoms/cm^{3}以上,优选为3.0×10^{20}atoms/cm^{3}以上的氧化物膜。另外,进行上述TDS分析时的膜的表面温度优选为100℃以上且700℃以下,或者100℃以上且500℃以下。

[0173] 例如,作为这种材料,优选使用包含氧化硅或氧氮化硅的材料。另外,可以使用金属氧化物。注意,在本说明书中,“氧氮化硅”是指在其组成中氧含量多于氮含量的材料,而“氮氧化硅”是指在其组成中氮含量多于氧含量的材料。

[0174] 覆盖晶体管200的绝缘体280也可以被用作覆盖其下方的凹凸形状的平坦化膜。在绝缘体280中嵌入导电体244等。

[0175] 注意,导电体244被用作与电容器100、晶体管200或晶体管300电连接的插头或布线。导电体244可以使用与导电体328及导电体330同样的材料形成。

[0176] 例如,当导电体244具有叠层结构时,导电体244优选包含不容易氧化(耐氧化性高)的导电体。尤其优选的是,在与具有过剩氧区域的绝缘体280接触的区域中设置耐氧化性高的导电体。通过采用该结构,可以抑制过剩氧从绝缘体280被吸收到导电体244中。另外,导电体244优选包含对氢具有阻挡性的导电体。尤其是,通过在与具有过剩氧区域的绝缘体280接触的区域中设置对氢等杂质具有阻挡性的导电体,可以抑制导电体244的杂质扩散、导电体244的一部分扩散以及从外部经过导电体244的杂质扩散。

[0177] 也可以在导电体244上设置导电体246、导电体124、导电体112a及导电体112b。注意,导电体246及导电体124都被用作与电容器100、晶体管200或晶体管300电连接的插头或者布线。导电体112a及导电体112b被用作电容器100的电极。导电体246及导电体112a可以同时形成。导电体124及导电体112b可以同时形成。

[0178] 作为导电体246、导电体124、导电体112a及导电体112b,可以使用包含选自钼、钛、

钽、钨、铝、铜、铬、钕、钪中的元素的金属膜或包含上述元素作为其成分的金属氮化物膜(例如,氮化钽膜、氮化钛膜、氮化钼膜、氮化钨膜)等。或者,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0179] 尤其是,作为导电体246及导电体112a优选使用氮化钽膜等金属氮化物膜,因为该金属氮化物膜具有对氢或氧的阻挡性,并且不容易氧化(耐氧化性高)。另一方面,导电体124及导电体112b例如优选层叠钨等导电性高的材料形成。通过使用上述材料的组合,可以在保持布线的导电性的同时抑制氢扩散到绝缘体280及晶体管200。图1示出导电体246及导电体124的两层结构,但是上述结构不局限于此,也可以使用单层结构或三层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体以及导电性高的导电体之间的紧密性高的导电体。

[0180] 此外,也可以在导电体124上设置阻挡层281。通过利用阻挡层281,可以抑制导电体124在后面的工序中被氧化。此外,可以抑制包含在导电体124中的杂质或导电体124的一部分扩散。可以抑制杂质透过导电体124、导电体246及导电体244扩散到绝缘体280。

[0181] 另外,阻挡层281可以使用绝缘材料形成。此时,阻挡层281也可以具有电容器100的介电质的一部分的功能。阻挡层281也可以使用导电材料形成。此时,阻挡层281也可以具有布线或电极的一部分的功能。

[0182] 作为阻挡层281,优选使用氧化铝、氧化铪、氧化钽等金属氧化物或氮化钽等金属氮化物等。尤其是,氧化铝的防止氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,通过使用氧化铝,在半导体装置的制造工序中及制造工序之后可以防止导电体124、氢、水分等杂质混入晶体管200中。

[0183] 在阻挡层281及绝缘体280上设置有绝缘体282。作为绝缘体282优选使用对氧或氢具有阻挡性的材料。因此,绝缘体282可以使用与用于绝缘体214的材料同样的材料形成。例如,作为绝缘体282,优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0184] 尤其是,氧化铝的防止氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,通过使用氧化铝,在晶体管的制造工序中及制造工序之后可以防止氢、水分等杂质混入晶体管200中。另外,可以抑制氧从晶体管200中的氧化物释放。因此,氧化铝适合用作晶体管200的保护膜。

[0185] 因此,晶体管200及包括过剩氧区域的绝缘体280可以位于绝缘体212、213和214的叠层结构与绝缘体282之间。绝缘体212、213、214及282都具有抑制氧或杂质诸如氢及水的扩散的阻挡性。

[0186] 可以抑制从绝缘体280及晶体管200释放的氧扩散到形成有电容器100或晶体管300的层中。或者,可以抑制氢及水等杂质从绝缘体282的上方的层及绝缘体214的下方的层扩散到晶体管200中。

[0187] 就是说,可以将氧从绝缘体280的过剩氧区域高效地供应到晶体管200中的其中形成沟道的氧化物,而可以减少氧空位。另外,可以防止由于杂质而在晶体管200中的其中形成沟道的氧化物中形成氧空位。因此,晶体管200中的其中形成沟道的氧化物可以为缺陷态密度低且特性稳定的氧化物半导体。就是说,可以抑制晶体管200的电特性变动,并可以提高可靠性。

[0188] 这里，对在将大面积衬底按每个半导体元件分割而形成芯片形状的多个半导体装置时设置的切割线(也称为分割线、分断线或截断线)进行说明。作为分割方法的例子，例如，在衬底上形成用来分断半导体元件的槽(切割线)，然后沿着切割线截断，而得到被分断的多个半导体装置。图7A及图7B都是切割线附近的截面图。

[0189] 例如，如图7A所示，在与形成在包括晶体管200的存储单元的边缘的切割线(在图7A中，以点划线表示)重叠的区域附近，在绝缘体212、213、214、216、224及280中设置开口。另外，以覆盖绝缘体212、213、214、216、224及280的侧面的方式设置绝缘体282。

[0190] 这里，当阻挡层281具有绝缘性时，优选以阻挡层281位于绝缘体282与开口的内面之间的方式在该开口中设置绝缘体282。通过利用阻挡层281，可以进一步抑制杂质的扩散。

[0191] 因此，在该开口中，绝缘体212、213及214与阻挡层281接触。此时，通过使用与绝缘体282相同材料及相同方法形成绝缘体212、213和214中的至少一个，可以提高它们之间的紧密性。此外，优选使用相同材料形成阻挡层281及绝缘体282。例如，可以使用氧化铝。当利用ALD法等能够形成致密的膜的方法形成阻挡层281，然后利用溅射法等膜形成速率高的方法形成绝缘体282时，可以实现高生产率及高阻挡性。

[0192] 在该结构中，可以由绝缘体212、213、214及282包围绝缘体280及晶体管200。由于绝缘体212、213、214及282都具有抑制氧、氢及水的扩散的功能，所以即使将衬底按每个设置有本实施方式的半导体元件的电路区域分割而形成为多个芯片，也可以防止从截断的衬底的侧面方向混入氢或水等杂质且该杂质扩散到晶体管200。

[0193] 另外，在该结构中，可以防止绝缘体280中的过剩氧扩散到绝缘体282及214的外部。因此，绝缘体280中的过剩氧高效地被供应到在晶体管200中形成沟道的氧化物中。该氧可以减少在晶体管200中形成沟道的氧化物中的氧空位。由此，在晶体管200中形成沟道的氧化物可以为缺陷态密度低且具有稳定的特性的氧化物半导体。换言之，可以抑制晶体管200的电特性变动，并可以提高可靠性。

[0194] 作为其它例子，如图7B所示，也可以在切割线(在图7B中，以点划线表示)的两侧且在绝缘体212、213、214、216、224及280中设置开口。虽然在附图中开口数量为两个，但是也可以根据需要设置更多的开口。

[0195] 由于在设置于切割线的两侧的开口中，绝缘体212、213及214至少在两处与阻挡层281接触，所以可以实现更高的紧密性。在此情况下，当使用与绝缘体282相同材料及相同方法形成绝缘体212、213和214中的至少一个时，也可以提高它们之间的紧密性。

[0196] 由于设置有多个开口，所以绝缘体282可以与绝缘体212、213及214在多个区域中接触。由此，可以防止从切割线混入的杂质到达晶体管200。

[0197] 通过采用该结构，可以严密地密封晶体管200与绝缘体280。因此，晶体管200中的其中形成沟道的氧化物可以为缺陷态密度低且特性稳定的氧化物半导体。就是说，可以抑制晶体管200的电特性变动，并可以提高可靠性。

[0198] 在晶体管200的上方设置有电容器100。电容器100包括导电体112(导电体112a及导电体112b)、阻挡层281、绝缘体282、绝缘体130及导电体116。

[0199] 导电体112被用作电容器100的电极。例如，在图1的结构中，被用作与晶体管200及晶体管300连接的插头或布线的导电体244的一部分被用作导电体112。此外，当阻挡层281具有导电性时，阻挡层281被用作电容器100的电极的一部分。当阻挡层281具有绝缘性时，

阻挡层281被用作电容器100的电介质的一部分。

[0200] 通过采用该结构，与分别形成电极及布线的情况相比，可以降低工序数，所以可以提高生产率。

[0201] 绝缘体282中的位于导电体112与导电体116之间的区域被用作电介质。例如，通过作为绝缘体282使用氧化铝等高介电常数(high-k)材料，可以确保电容器100的充分电容。

[0202] 作为电介质的一部分也可以设置绝缘体130。绝缘体130例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪等，以具有单层结构或叠层结构而形成。

[0203] 例如，当作为绝缘体282使用氧化铝等高介电常数(high-k)材料时，优选作为绝缘体130使用氧氮化硅等介电强度大的材料。在具有该结构的电容器100中，由于绝缘体130，可以增大介电强度，而可以抑制电容器100的静电破坏。

[0204] 导电体116以隔着阻挡层281、绝缘体282及绝缘体130覆盖导电体112的侧面及顶面的方式设置。在由导电体116隔着绝缘体包围导电体112的侧面的该结构中，在导电体112的侧面还形成电容，因此可以增大电容器的每投影面积的容量。因此，可以实现半导体装置的小面积化、高集成化以及微型化。

[0205] 导电体116可以使用金属材料、合金材料、金属氧化物材料等导电材料形成。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，尤其优选使用钨。当与导电体等另一个构成要素同时形成该导电体116时，也可以使用低电阻金属材料的Cu(铜)或Al(铝)等。

[0206] 在导电体116及绝缘体130上设置有绝缘体150。绝缘体150可以使用与用于绝缘体320的材料同样的材料形成。绝缘体150可以被用作覆盖其下方的凹凸形状的平坦化膜。

[0207] 以上是结构例子的说明。通过使用本结构，可以在具有包含氧化物半导体的晶体管的半导体装置中抑制电特性变动，而可以提高可靠性。可以提供一种包含氧化物半导体的通态电流大的晶体管。可以提供一种包含氧化物半导体的关态电流小的晶体管。可以提供一种功耗低的半导体装置。

[0208] <变形例子1>

[0209] 在本实施方式的变形例子中，也可以如图2所示那样形成导电体244及阻挡层281。也就是说，也可以在绝缘体280中嵌入被用作插头或布线的导电体244及被用作电容器100的电极的一部分的导电体112，并且，在导电体244上使用具有阻挡性的导电体或绝缘体形成阻挡层281。此时，阻挡层281优选使用不仅具有阻挡性也具有高耐氧化性的导电体形成。由于在该结构中导电体244的一部分被用作电容器的电极(导电体112)，所以不需要另行设置导电体。

[0210] 因此，如图2所示，电容器100包括导电体244的一区域的导电体112、绝缘体282、绝缘体130、导电体116。

[0211] 被用作电容器100的电极的导电体112可以与导电体244同时形成。通过采用该结构，可以提高生产率。此外，由于不需要用来形成电容器的电极的掩模，所以可以减少工序数。

[0212] 在绝缘体216上依次层叠有绝缘体220、绝缘体222及绝缘体224。作为绝缘体220、222和224中的任一个优选使用对氧或氢具有阻挡性的材料。此外，绝缘体220、绝缘体222及绝缘体224有时被用作晶体管200的一部分(栅极绝缘体)。

[0213] 绝缘体224优选包括其氧含量超过化学计量组成的氧化物。就是说，在绝缘体224中，优选形成有包含比化学计量组成的氧多的氧的区域(以下，也称为过剩氧区域)。尤其是，在将氧化物半导体用于晶体管200时，当在晶体管200附近的基底膜等中设置具有过剩氧区域的绝缘体时，降低晶体管200中的氧空位，由此可以提高可靠性。

[0214] 具体而言，作为具有过剩氧区域的绝缘体，优选使用通过加热而一部分的氧脱离的氧化物材料。通过加热而一部分的氧脱离的氧化物是指：在TDS分析中换算为氧原子的氧的脱离量为1.0×10^{18}atoms/cm^{3}以上，优选为3.0×10^{20}atoms/cm^{3}以上的氧化物膜。另外，进行上述TDS分析时的膜的表面温度优选为100℃以上且700℃以下，或者100℃以上且500℃以下。

[0215] 例如，作为这种材料，优选使用包含氧化硅或氧氮化硅的材料。另外，可以使用金属氧化物。注意，在本说明书中，“氧氮化硅”是指在其组成中氧含量多于氮含量的材料，而“氮氧化硅”是指在其组成中氮含量多于氧含量的材料。

[0216] 另外，当绝缘体224包括过剩氧区域时，绝缘体222或绝缘体220优选对氧、氢及水具有阻挡性。当绝缘体222或绝缘体220对氧具有阻挡性时，过剩氧区域的氧高效地供应给晶体管200的氧化物230而不扩散到晶体管300一侧。可以抑制导电体218及包括在晶体管200中的导电体(导电体205)与过剩氧区域的氧起反应来生成氧化物。

[0217] 以上是对变形例子的说明。通过使用本结构，可以在具有包含氧化物半导体的晶体管的半导体装置中抑制电特性变动，而可以提高可靠性。可以提供一种包含氧化物半导体的通态电流大的晶体管。可以提供一种包含氧化物半导体的关态电流小的晶体管。可以提供一种功耗低的半导体装置。

[0218] <变形例子2>

[0219] 在本实施方式的变形例子中，也可以如图3所示那样形成导电体219、导电体244及具有阻挡性的导电体246。也就是说，也可以在绝缘体280中嵌入被用作插头或布线的导电体244，在导电体244上形成具有阻挡性的导电体246。此时，导电体246优选使用不仅具有高阻挡性也具有高耐氧化性的导电体形成。通过采用该结构，可以同时形成导电体246及被用作电容器的电极的导电体112。此外，由于在该结构中导电体246也被用作阻挡层，所以不需要另行设置阻挡层。

[0220] 因此，如图3所示，电容器100包括导电体112、绝缘体282、绝缘体130、导电体116。被用作电容器100的电极的导电体112可以与导电体246同时形成。

[0221] 以上是对变形例子的说明。通过使用本结构，可以在具有包含氧化物半导体的晶体管的半导体装置中抑制电特性变动，而可以提高可靠性。可以提供一种包含氧化物半导体的通态电流大的晶体管。可以提供一种包含氧化物半导体的关态电流小的晶体管。可以提供一种功耗低的半导体装置。

[0222] <变形例子3>

[0223] 在本实施方式的变形例子中，也可以如图4所示那样设置电容器100。也就是说，在绝缘体280中嵌入被用作插头或布线的导电体244，在导电体244上设置具有阻挡性的阻挡层281，然后设置具有阻挡性的绝缘体282及绝缘体284。接着，在绝缘体284上形成平坦性高的绝缘体286，由此可以在平坦性高的绝缘体286上设置电容器100。

[0224] 电容器100设置在绝缘体286上，并包括导电体112(导电体112a及导电体112b)、绝

缘体130、绝缘体132、绝缘体134及导电体116。注意，导电体124被用作与电容器100、晶体管200或晶体管300电连接的插头或布线。

[0225] 导电体112可以使用金属材料、合金材料、金属氧化物材料等导电材料形成。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，尤其优选使用钨。当与导电体等其他构成要素同时形成该导电体112时，也可以使用低电阻金属材料的Cu(铜)或Al(铝)等。

[0226] 在导电体112上形成绝缘体130、132及134。绝缘体130、132及134例如都可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪等形成。虽然在附图中示出三层结构，但是也可以采用单层结构、两层的叠层结构或四层以上的叠层结构。

[0227] 例如，优选的是，作为绝缘体130及134使用氧氮化硅等介电强度大的材料，作为绝缘体132使用氧化铝等介电常数高(high-k)的材料。在具有该结构的电容器100中，由于介电常数高(high-k)的绝缘体而可以确保充分的电容，并且由于介电强度大的绝缘体而可以提高绝缘强度，而可以抑制电容器100的静电放电。

[0228] 在导电体112上隔着绝缘体130、132及134设置导电体116。另外，导电体116可以使用金属材料、合金材料、金属氧化物材料等导电材料形成。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，尤其优选使用钨。当与导电体等另一个构成要素同时形成该导电体116时，也可以使用低电阻金属材料的Cu(铜)或Al(铝)等。

[0229] 此外，当被用作一个电极的导电体112包括如导电体112b那样的凸状结构体时，可以增大电容器的每投影面积的容量。因此，可以实现半导体装置的小面积化、高集成化以及微型化。

[0230] 以上是对变形例子的说明。通过使用本结构，可以在具有包含氧化物半导体的晶体管的半导体装置中抑制电特性变动，而可以提高可靠性。可以提供一种包含氧化物半导体的通态电流大的晶体管。可以提供一种包含氧化物半导体的关态电流小的晶体管。可以提供一种功耗低的半导体装置。

[0231] <变形例子4>

[0232] 图5示出本实施方式的另一个变形例子。图5与图1的不同之处在于晶体管300及200的结构。

[0233] 在图5所示的晶体管300中，形成沟道的半导体区域312(衬底311的一部分)具有凸形状。另外，以隔着绝缘体314覆盖半导体区域312的侧面及顶面的方式设置导电体316。另外，导电体316可以使用调整功函数的材料形成。因为利用半导体衬底的凸部，所以晶体管300也被称为FIN型晶体管。另外，也可以以与凸部的顶面接触的方式设置用作用来形成凸部的掩模的绝缘体。虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况，但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0234] 图3的晶体管200的结构的详细内容在其他实施方式中进行了说明。在形成在绝缘体280中的开口形成有氧化物、栅极绝缘体及被用作栅极的导电体。因此，优选至少在被用作栅极的导电体上形成具有阻挡性的导电体246。

[0235] 当导电体112(导电体246)具有对氧、氢或水具有阻挡性的导电体(例如，氮化钽)以及导电性高的导电体(例如，钨或铜)的叠层结构时，导电性高的导电体(例如，钨或铜)被氮化钽及阻挡层281完全密封。因此，可以抑制导电体本身(例如，铜)的扩散，并可以抑制从

绝缘体282上方透过导电体244侵入杂质。

[0236] 在晶体管200的上方设置有电容器100。在图5的结构中，电容器100包括导电体112、具有阻挡性的导电体246、绝缘体282、绝缘体130、导电体116。

[0237] 导电体112被用作电容器100的电极。例如，在图5的结构中，被用作与晶体管200及晶体管300连接的插头或布线的导电体244的一部分被用作导电体112。此外，当阻挡层281具有导电性时，阻挡层281被用作电容器100的电极的一部分。当阻挡层281具有绝缘性时，阻挡层281被用作电容器100的电介质。

[0238] 通过采用该结构，与分别形成电极及布线的情况相比，可以降低工序数，所以可以提高生产率。

[0239] 以上是对变形例子的说明。通过使用本结构，可以在具有包含氧化物半导体的晶体管的半导体装置中抑制电特性变动，而可以提高可靠性。可以提供一种包含氧化物半导体的通态电流大的晶体管。可以提供一种包含氧化物半导体的关态电流小的晶体管。可以提供一种功耗低的半导体装置。

[0240] 〈变形例子5〉

[0241] 图6示出本实施方式的另一个变形例子。图6与图4的不同之处在于晶体管200的结构。

[0242] 如图6所示，也可以设置绝缘体279及阻挡层271。绝缘体279可以使用与绝缘体280相同的材料及方法形成。也就是说，绝缘体279与绝缘体280同样地优选包含其氧含量超过化学计量组成的氧化物。因此，绝缘体279是包含氧的绝缘体，诸如氧化硅膜或氧氮化硅膜。作为包含过剩氧的绝缘体，可以在适当设定的条件下通过CVD法或溅射法形成包含多量氧的氧化硅膜或氧氮化硅膜。在形成成为绝缘体279的绝缘体之后，也可以进行使用CMP法等的平坦化处理以提高该绝缘体的顶面的平坦性。为了在绝缘体279中形成过剩氧区域，例如也可以利用离子注入法、离子掺杂法、等离子体处理添加氧。

[0243] 阻挡层271使用对氧具有阻挡性的绝缘体或导电体形成。阻挡层271例如可以利用溅射法或原子层沉积(ALD:atomic layer deposition)法使用氧化铝、氧化铪、氧化钽、氮化钽等形成。

[0244] 在绝缘体279及阻挡层271上设置绝缘体280。当使用与绝缘体279相同的材料及方法形成绝缘体280时，在对绝缘体280进行形成过剩氧状态的处理时，被引入的过剩氧不仅扩散到绝缘体280，也扩散到绝缘体279。为了在绝缘体280及绝缘体279中形成过剩氧区域，例如也可以利用离子注入法、离子掺杂法、等离子体处理对绝缘体280添加氧。

[0245] 以上是对变形例子的说明。通过使用本结构，可以在具有包含氧化物半导体的晶体管的半导体装置中抑制电特性变动，而可以提高可靠性。可以提供一种包含氧化物半导体的通态电流大的晶体管。可以提供一种包含氧化物半导体的关态电流小的晶体管。可以提供一种功耗低的半导体装置。

[0246] 〈变形例子6〉

[0247] 图9A及图9B示出本实施方式的另一个变形例子。图9A及图9B分别是以点划线A1-A2为轴的晶体管200的沟道长度方向及沟道宽度方向上的截面图。

[0248] 如图9A及图9B所示，也可以使用绝缘体212和214的叠层结构及绝缘体282和284的叠层结构包围晶体管200及包括过剩氧区域的绝缘体280。此时，在使晶体管300与电容器

100连接的贯通电极与晶体管200之间，绝缘体212和214的叠层结构优选与绝缘体282和284的叠层结构接触。

[0249] 因此，可以抑制从绝缘体280及晶体管200释放的氧扩散到形成有电容器100或晶体管300的层中。或者，可以抑制氢及水等杂质从绝缘体282的上方的层及绝缘体214的下方的层扩散到晶体管200中。

[0250] 就是说，可以将氧从绝缘体280的过剩氧区域高效地供应到晶体管200中的其中形成沟道的氧化物，而可以减少氧空位。另外，可以防止由于杂质而在晶体管200中的其中形成沟道的氧化物中形成氧空位。因此，晶体管200中的其中形成沟道的氧化物可以为缺陷态密度低且特性稳定的氧化物半导体。就是说，可以抑制晶体管200的电特性变动，并可以提高可靠性。

[0251] 〈变形例子7〉

[0252] 图10A及图10B示出本实施方式的另一个变形例子。图10A是将图8A所示的半导体装置配置为矩阵状的行的一部分的电路图。图10B是对应于图10A的半导体装置的截面图。

[0253] 在图10A及图10B中，在同一行中配置有：包括晶体管300、晶体管200及电容器100的半导体装置；包括晶体管301、晶体管201及电容器101的半导体；以及包括晶体管302、晶体管202及电容器102的半导体装置。

[0254] 如图10B所示，也可以使用绝缘体212和214的叠层结构及绝缘体282和284的叠层结构包围多个晶体管(在附图中为晶体管200和201)及包括过剩氧区域的绝缘体280。此时，优选在使晶体管300、301或302与电容器100、101或102连接的贯通电极与晶体管200、201或202之间形成层叠有绝缘体212和214及绝缘体282和284的结构。

[0255] 因此，可以抑制从绝缘体280及晶体管200释放的氧扩散到形成有电容器100或晶体管300的层中。或者，可以抑制氢及水等杂质从绝缘体282的上方的层及绝缘体214的下方的层扩散到晶体管200中。

[0256] 就是说，可以将氧从绝缘体280的过剩氧区域高效地供应到晶体管200中的其中形成沟道的氧化物，而可以减少氧空位。另外，可以防止由于杂质而在晶体管200中的其中形成沟道的氧化物中形成氧空位。因此，晶体管200中的其中形成沟道的氧化物可以为缺陷态密度低且特性稳定的氧化物半导体。就是说，可以抑制晶体管200的电特性变动，并可以提高可靠性。

[0257] 〈变形例子8〉

[0258] 图11示出本实施方式的另一个变形例子。图11是图10A及图10B所示的半导体装置的截面图，其中集成有晶体管201及晶体管202。

[0259] 如图11所示，被用作晶体管201的源电极或漏电极的导电体也可以具有被用作电容器101的一个电极的导电体112的功能。此时，晶体管201的氧化物以及被用作晶体管201的栅极绝缘体的绝缘体的区域在被用作晶体管201的源电极或漏电极的导电体上延伸的区域被用作电容器101的绝缘体。因此，被用作电容器101的另一个电极的导电体116也可以隔着绝缘体250及氧化物230c层叠在导电体240a上。通过采用该结构，可以实现半导体装置的小面积化、高集成化以及微型化。

[0260] 另外，也可以层叠晶体管201和晶体管202。通过采用该结构，可以实现半导体装置的小面积化、高集成化以及微型化。

[0261] 另外，也可以使用绝缘体212和214的叠层结构及绝缘体282和284的叠层结构包围多个晶体管(在附图中为晶体管201和202)及包括过剩氧区域的绝缘体280。此时，优选在使晶体管300、301或302与电容器100、101或102连接的贯通电极与晶体管200、201或202之间形成层叠有绝缘体212和214及绝缘体282和284的结构。

[0262] 因此，可以抑制从绝缘体280及晶体管200释放的氧扩散到形成有电容器100或晶体管300的层中。或者，可以抑制氢及水等杂质从绝缘体282的上方的层及绝缘体214的下方的层扩散到晶体管200中。

[0263] 就是说，可以将氧从绝缘体280的过剩氧区域高效地供应到晶体管200中的其中形成沟道的氧化物，而可以减少氧空位。另外，可以防止由于杂质而在晶体管200中的其中形成沟道的氧化物中形成氧空位。因此，晶体管200中的其中形成沟道的氧化物可以为缺陷态密度低且特性稳定的氧化物半导体。就是说，可以抑制晶体管200的电特性变动，并可以提高可靠性。

[0264] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0265] (实施方式2)

[0266] 在本实施方式中，参照图12A至图12D、图13A至图13C、图14A及图14B、图15A及图15B、图16A及图16B、图17、图18、图19、图20、图21、图22以及图23说明上述结构例子所示的半导体装置的制造方法的一个例子。

[0267] <半导体装置的制造方法>

[0268] 首先，准备衬底311。作为衬底311，使用半导体衬底。例如可以使用单晶硅衬底(包括p型半导体衬底或n型半导体衬底)、包含碳化硅或氮化镓的化合物半导体衬底等。另外，作为衬底311，也可以使用SOI衬底。以下，对作为衬底311使用单晶硅的情况进行说明。

[0269] 接着，在衬底311中形成元件分离层。元件分离层可以利用LOCOS(Local Oxidation of Silicon:硅局部氧化)法或STI(Shallow Trench Isolation:浅沟槽隔离)法等形成。

[0270] 当在同一衬底上形成p型晶体管和n型晶体管时，也可以在衬底311的一部分形成n阱或p阱。例如，也可以对n型衬底311添加赋予p型导电性的硼等杂质元素形成p阱，并在同一衬底上形成n型晶体管和p型晶体管。

[0271] 接着，在衬底311上形成成为绝缘体314的绝缘膜。例如，也可以在表面氮化处理之后进行氧化处理，使硅与氮化硅之间的界面氧化而形成氧氮化硅膜。例如，在NH_3气氛下以700℃在表面上形成热氮化硅膜，然后进行氧自由基氧化，由此得到氧氮化硅膜。

[0272] 该绝缘体也可以通过溅射法、CVD(Chemical Vapor Deposition)法(包括热CVD法、MOCVD(Metal Organic CVD)法、PECVD(Plasma Enhanced CVD)法等)、MBE(Molecular Beam Epitaxy)法、ALD(Atomic Layer Deposition)法或PLD(Pulsed Laser Deposition)法等形成。

[0273] 接着，形成成为导电体316的导电膜。导电膜优选使用选自钽、钨、钛、钼、铬、铌等的金属或以这些金属为主要成分的合金材料或化合物材料形成。另外，还可以使用添加有磷等杂质的多晶硅。此外，还可以使用金属氮化物膜和上述金属膜的叠层结构。作为金属氮化物，可以使用氮化钨、氮化钼或氮化钛。当设置金属氮化物膜时，可以提高金属膜的紧密

性，从而能够防止剥离。另外，因为通过设定导电体316的功函数来调整晶体管300的阈值电压，所以优选根据晶体管300被要求的特性适当地选择导电膜的材料。

[0274] 导电膜可以通过溅射法、蒸镀法、CVD法(包括热CVD法、MOCVD法、PECVD法等)等形成。另外，为了减少等离子体所导致的损伤，优选利用热CVD法、MOCVD法或ALD法。

[0275] 接着，通过光刻法等在该导电膜上形成抗蚀剂掩模，来去除该导电膜的不需要的部分。然后，去除抗蚀剂掩模，由此形成导电体316。

[0276] 在形成导电体316之后，也可以形成覆盖导电体316的侧面的侧壁。在形成比导电体316的厚度厚的绝缘体之后，进行各向异性蚀刻，只残留导电体316的侧面部分的该绝缘体，由此可以形成侧壁。

[0277] 在形成侧壁的同时，成为绝缘体314的绝缘膜也被蚀刻，由此在导电体316及侧壁的下部形成绝缘体314。另外，也可以在形成导电体316之后以导电体316或用来形成导电体316的抗蚀剂掩模为蚀刻掩模对该绝缘膜进行蚀刻，由此形成绝缘体314。在此情况下，在导电体316的下方形成绝缘体314。或者，也可以将该绝缘膜用作绝缘体314而不对该绝缘膜进行蚀刻。

[0278] 接着，对衬底311的没有设置导电体316(及侧壁)的区域添加磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0279] 接着，在形成绝缘体320之后，进行用来使上述赋予导电性的元素活化的加热处理。

[0280] 绝缘体320例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等，以具有单层结构或叠层结构而形成。当绝缘体320使用包含氧和氢的氮化硅(SiNOH)形成时，因为可以增大通过加热脱离的氢量，所以是优选的。此外，绝缘体320可以使用使TEOS(Tetra-Ethyl-Ortho-Silicate:四乙氧基硅烷)或硅烷等与氧或一氧化二氮等起反应而形成的台阶覆盖性良好的氧化硅形成。

[0281] 绝缘体320可以通过例如溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成。尤其是，当通过CVD法、优选为通过等离子体CVD法形成该绝缘体时，可以提高覆盖性，所以是优选的。为了减少等离子体所导致的损伤，优选利用热CVD法、MOCVD法或ALD法。

[0282] 可以在稀有气体或氮气体等惰性气体气氛下或者在减压气氛下，例如以400℃以上且低于衬底的应变点的温度进行加热处理。

[0283] 在这阶段中形成晶体管300。另外，在采用图8B所示的电路结构时，可以省略晶体管300。在此情况下，对衬底没有特别的限制。例如，可以使用玻璃衬底如硼硅酸钡玻璃衬底和硼硅酸铝玻璃衬底等、陶瓷衬底、石英衬底、蓝宝石衬底等。此外，也可以利用:使用硅或碳化硅等的单晶半导体衬底或多晶半导体衬底;使用硅锗、砷化镓、砷化铟、砷化铟镓的化合物半导体衬底;SOI(Silicon On Insulator)衬底;或GOI(Germanium on Insulator)衬底等。此外，也可以将设置有半导体元件的上述衬底用作衬底。

[0284] 另外，作为衬底也可以使用柔性衬底。既可以在柔性衬底上直接制造晶体管，也可以在其他制造衬底上制造晶体管，然后从制造衬底剥离晶体管并将其转置到柔性衬底上。另外，为了从制造衬底剥离晶体管并将其转置到柔性衬底上，优选在制造衬底与包括氧化物半导体的晶体管之间设置剥离层。

[0285] 接着，在绝缘体320上形成绝缘体322。绝缘体322可以通过采用与绝缘体320同样的材料及方法形成。此外，通过CMP法等对绝缘体322的顶面进行平坦化(图12A)。

[0286] 接着，通过光刻法等在绝缘体320及绝缘体322中形成到达低电阻区域318a、低电阻区域318b及导电体316等的开口(图12B)。然后，以填埋开口的方式形成导电膜(图12C)。例如可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成导电膜。

[0287] 接着，通过以使绝缘体322的顶面露出的方式对该导电膜进行平坦化处理，形成导电体328a、导电体328b及导电体328c等(图12D)。另外，图12D中的箭头表示CMP处理。此外，在说明书及附图中，导电体328a、导电体328b及导电体328c都用作插头或布线，有时将它们总称为导电体328。另外，在本说明书中，同样地处理用作插头或布线的导电体。

[0288] 接着，在绝缘体320上通过采用镶嵌法等形成导电体330a、导电体330b及导电体330c(图13A)。

[0289] 绝缘体324及绝缘体326可以通过采用与绝缘体320同样的材料及方法形成。

[0290] 绝缘体324例如优选使用能够防止氢等杂质从衬底311或晶体管300等扩散到设置有晶体管200的区域中的具有阻挡性的膜形成。例如，作为对氢具有阻挡性的膜的一个例子，可以使用通过CVD法形成的氮化硅。

[0291] 绝缘体326优选是介电常数低的绝缘体(Low-k材料)。例如，可以使用通过CVD法形成的氧化硅。通过将介电常数低的材料用于层间膜，可以减少在布线之间产生的寄生电容。

[0292] 此外，成为导电体330的导电膜可以通过采用与导电体328同样的材料及方法形成。

[0293] 另外，在导电体330具有叠层结构时，作为与绝缘体324接触的导电体，优选层叠氮化钽等的对氧、氢或水具有阻挡性的导电体及钨或铜等的导电性高的导电体。例如，具有阻挡性的氮化钽膜可以以250℃的衬底温度使用不包含氯的沉积气体且利用ALD法形成。通过采用ALD法，可以形成裂缝或针孔等缺陷少或具有均匀厚度的致密的导电体。此外，通过使对氧、氢或水具有阻挡性的绝缘体324和对氧、氢或水具有阻挡性的导电体接触，可以更确实地防止氧、氢或水的扩散。

[0294] 接着，形成绝缘体350、绝缘体352、绝缘体354、导电体356a、导电体356b及导电体356c(图13B)。绝缘体352及绝缘体354可以通过采用与绝缘体320同样的材料及方法形成。此外，导电体356可以通过采用双镶嵌法等并使用与导电体328同样的材料形成。

[0295] 另外，在导电体356具有叠层结构时，作为与绝缘体350接触的导电体，优选层叠氮化钽等的对氧、氢或水具有阻挡性的导电体及钨或铜等的导电性高的导电体。尤其是，当导电体356使用铜等容易扩散的材料时，优选层叠该材料及对铜等具有阻挡性的导电体。此外，绝缘体354优选为对铜等具有阻挡性的绝缘体。此外，通过使绝缘体354与对氧、氢或水具有阻挡性的导电体接触，可以更确实地抑制氧、氢或水的扩散。

[0296] 接着，形成对氢或氧具有阻挡性的绝缘体358。绝缘体358优选与绝缘体354同样地对用于导电体356的导电体具有阻挡性。

[0297] 在绝缘体358上形成绝缘体210、绝缘体212、绝缘体213及绝缘体214。绝缘体210、绝缘体212、绝缘体213及绝缘体214可以通过采用与绝缘体324及绝缘体326等同样的材料及方法形成。

[0298] 例如，绝缘体210优选是介电常数低的绝缘体(Low-k材料)。例如，可以使用通过CVD法形成的氧化硅。通过将介电常数低的材料用于层间膜，可以减少在布线之间产生的寄生电容。

[0299] 绝缘体212优选使用能够防止氢等杂质从衬底311或晶体管300等扩散到设置有晶体管200的区域中的具有阻挡性的膜形成。例如，作为对氢具有阻挡性的膜的一个例子，可以使用通过CVD法形成的氮化硅。

[0300] 作为对氢具有阻挡性的膜的一个例子，绝缘体213可以使用通过采用ALD法形成的氧化铝。通过采用ALD法，可以形成裂缝或针孔等缺陷少或具有均匀厚度的致密的绝缘体。

[0301] 作为对氢具有阻挡性的膜的一个例子，绝缘体214可以使用通过采用溅射法形成的氧化铝。

[0302] 接着，在绝缘体214上形成绝缘体216。绝缘体216可以通过采用与绝缘体210同样的材料及方法形成(图13C)。

[0303] 接着，在绝缘体212、绝缘体213、绝缘体214和绝缘体216的叠层结构中，在与导电体356a、导电体356b及导电体356c等重叠的区域中形成凹部(图14A)。另外，该凹部优选具有至少在使用难蚀刻材料的绝缘体中形成开口的程度的深度。在此，难蚀刻材料是指金属氧化物等的难以被蚀刻的材料。作为难蚀刻材料的金属氧化膜的典型例子有氧化铝、氧化锆、氧化铪、包含它们的硅化物($HfSi_xO_y$、$ZrSi_xO_y$等)以及包含它们中的两个以上的复合氧化物($Hf_{1-x}Al_xOy$、$Zr_{1-x}Al_xO_y$等)。

[0304] 接着，在绝缘体214和绝缘体216的叠层结构中，在要形成导电体205的区域中形成开口，且去除形成在绝缘体212、绝缘体213、绝缘体214和绝缘体216的叠层结构中的凹部的底部，由此形成到达导电体356a、导电体356b及导电体356c的开口(图14B)。此时，通过扩大凹部的上部的宽度，例如形成在绝缘体216中的开口，可以对在后面的工序中形成的插头或布线确保充分的设计余地。

[0305] 然后，以填埋开口的方式形成导电膜。导电膜可以通过采用与导电体328同样的材料及方法形成。接着，通过对导电膜进行平坦化处理，使绝缘体216的顶面露出且形成导电体218a、导电体218b、导电体218c及导电体205。

[0306] 这里，例如，在绝缘体224包括过剩氧区域时，导电体218等与绝缘体224接触的导电体优选使用耐氧化性高的导电体形成。此外，如附图所示，也可以在导电体218上设置具有阻挡性的导电体219a、导电体219b及导电体219c(图15A)。通过采用本结构，可以抑制导电体218与过剩氧区域的氧起反应，生成氧化物。

[0307] 接着，形成晶体管200。晶体管200使用在后面的实施方式中说明的制造方法形成即可。

[0308] 接着，在晶体管200上形成绝缘体280。绝缘体280优选使用其氧含量超过化学计量组成的氧化物。此外，绝缘体280是包含氧的绝缘体，诸如氧化硅膜、氧氮化硅膜等。作为包含过剩氧的绝缘体，可以在适当设定的条件下通过CVD法或溅射法形成包含多量氧的氧化硅膜或氧氮化硅膜。在形成成为绝缘体280的绝缘体之后，也可以进行采用CMP法等的平坦化处理以提高该绝缘体的顶面的平坦性(图15B)。

[0309] 这里，也可以在绝缘体280中形成过剩氧区域。为了形成过剩氧区域，例如通过离子注入法、离子掺杂法或等离子体处理添加氧。

[0310] 接着，在晶体管200的一部分(在附图中，绝缘体224、绝缘体250及氧化物230c)及绝缘体280中形成到达导电体219a、导电体219b、导电体219c及晶体管200等中的开口(图16A)。

[0311] 然后，以嵌入开口的方式形成导电膜244A及导电膜244B(图16B)。接着，通过对导电膜进行平坦化处理，去除导电膜244A及导电膜244B的一部分，使绝缘体280的顶面露出，形成导电体244a、导电体244b、导电体244c、导电体244d及导电体244e(图17中的箭头表示CMP处理)。

[0312] 接着，在绝缘体280及导电体244上形成导电体246A及导电体124A(图18)。接着，通过利用光刻法等去除导电体246A及导电体124A的不需要的部分，形成导电体246a、导电体246b、导电体246d、导电体124a、导电体124b、导电体124d、导电体112a及导电体112b。

[0313] 接着，形成阻挡膜281A(图19)。作为阻挡膜281A，可以使用利用ALD法形成的氧化铝。通过采用ALD法，可以形成裂缝或针孔等缺陷少或具有均匀厚度的致密的绝缘体。通过设置阻挡层281，可以防止包含导电体244的杂质及导电体244的一部分扩散。另外，在晶体管的制造工序中及制造工序之后，氧化铝可以防止氢、水分等杂质混入晶体管200中。

[0314] 接着，使用抗蚀剂掩模利用蚀刻去除阻挡膜281A的不需要的部分，形成阻挡层281a、阻挡层281b、阻挡层281c及阻挡层281d(图20)。

[0315] 在此，去除绝缘体280中的杂质形成过剩氧区域。在绝缘体280中有时残留起因于在形成导电体244的工序中使用的蚀刻气体的杂质。尤其是，用于蚀刻气体等的卤素，尤其是氯(Cl)等有可能阻碍绝缘体280中的氧的扩散，所以优选去除。

[0316] 例如，为了去除在形成开口的工序中产生的起因于蚀刻气体的绝缘体280中的杂质，使用10ppm以上且200ppm以下，优选为50ppm以上且100ppm以下的氢氟酸进行洗涤。通过使用稀氢氟酸进行洗涤，可以去除残留在绝缘体280表面的杂质。此外，除了氢氟酸以外可以使用臭氧水、磷酸或硝酸进行洗涤。

[0317] 为了去除绝缘体280中的杂质，优选进行氧等离子体处理。此外，为了形成过剩氧区域，例如，可以利用离子注入法、离子掺杂法、等离子体处理添加氧。

[0318] 例如，进行氧等离子体处理(图21中的箭头表示等离子体处理)。在典型的氧等离子体处理中，利用通过氧气体的辉光放电等离子体产生的自由基对氧化物半导体表面进行处理。但是，作为产生等离子体的气体，除了氧以外也可以使用氧气体和稀有气体的混合气体。例如，可以以250℃以上且400℃以下，优选为300℃以上且400℃以下的温度，在包含氧化气体的气氛或减压状态下进行氧等离子体处理。

[0319] 通过氧等离子体处理，在对绝缘体280及在晶体管200中用于活性层的氧化物进行脱卤素化、脱水化或脱氢化处理的同时对绝缘体280引入过剩氧，由此可以形成过剩氧区域。另外，在被脱水化或脱氢化的氧化物230中产生氧空位，而氧化物230的电阻下降。另一方面，绝缘体280中的过剩氧填补氧化物230的氧空位。因此，通过氧等离子体处理，可以在绝缘体280中形成过剩氧区域的同时去除杂质的氢及水。此外，可以在填补氧化物230的氧空位的同时从氧化物230去除杂质的氢或水。因此，可以提高晶体管200的电特性，并且可以减少电特性的不均匀。

[0320] 通过包括阻挡层281，可以防止导电体124、导电体246及导电体244因氧等离子体处理被氧化。此外，在使用耐氧化性高的导电体形成导电体124时，由于导电体124被用作阻

挡层，所以并不一定需要阻挡层281。

[0321] 此外，也可以进行加热处理。通过进行加热处理，可以去除绝缘体280中的杂质形成过剩氧区域。加热处理在250℃以上且400℃以下，优选为320℃以上且380℃以下的温度下且在惰性气体气氛、包含10ppm以上的氧化气体的气氛或减压状态下进行即可。此外，也可以在惰性气体气氛下进行加热处理之后，在包含10ppm以上的氧化气体的气氛下进行加热处理以填补脱离的氧。通过加热处理，可以去除绝缘体280及晶体管200的杂质的氢。此外，氧从形成在晶体管200的下方的绝缘体供应给晶体管200的氧化物230，可以降低被形成沟道区域的氧化物中的氧空位。

[0322] 通过包括阻挡层281，可以防止导电体124、导电体246及导电体244因热处理时的气体气氛被氧化。此外，在使用耐氧化性高的导电体形成导电体124时，由于导电体124被用作阻挡层，所以并不一定需要阻挡层281。

[0323] 接着，在绝缘体280及阻挡层281上形成绝缘体282(图22)。此外，作为氧引入处理的一个例子，有利用溅射设备在绝缘体280上层叠氧化物的方法。例如，通过利用溅射设备在氧气体气氛下形成绝缘体282，可以一边形成绝缘体282，一边对绝缘体280引入氧。

[0324] 通过溅射法进行沉积时，在靶材与衬底之间存在离子和被溅射的粒子。例如，靶材与电源连接，并被施加电位E0。另外，衬底被施加接地电位等电位E1。注意，衬底也可以处于电浮动状态。另外，在靶材与衬底之间存在成为电位E2的区域。各电位的关系为E2>E1>E0。

[0325] 使等离子体中的离子由于电位差(E2-E0)加速而碰撞到靶材，由此被溅射的粒子从靶材被弹出。通过该被溅射的粒子附着于沉积表面，来形成膜。有时离子的一部分由靶材反冲，并且作为反冲离子经过所形成的膜被吸收到位于所形成的膜的下方的绝缘体280。有时等离子体中的离子由于电位差(E2-E1)而加速，冲击到沉积表面。离子的一部分到达绝缘体280的内部。离子被吸收到绝缘体280，由此在绝缘体280中形成离子被吸收的区域。换言之，在离子包含氧的情况下，在绝缘体280中形成过剩氧区域。

[0326] 此外，也可以通过绝缘体282对绝缘体280引入氧(至少包含氧自由基、氧原子、氧离子中的任一个)，来形成包含过剩的氧的区域。氧可以通过使用离子注入法、离子掺杂法、离子体浸没离子注入法、等离子体处理等引入。通过经过绝缘体282进行氧引入处理，可以在保护绝缘体280的状态下形成过剩氧区域。

[0327] 接着，也可以进行加热处理。加热处理以250℃以上且650℃以下的温度，优选以300℃以上且500℃以下的温度，更优选以350℃以上且400℃以下的温度在惰性气体气氛、包含10ppm以上的氧化气体的气氛或减压状态下进行即可。此外，也可以在惰性气体气氛下进行加热处理之后，在包含10ppm以上的氧化气体的气氛下进行加热处理以填补脱离的氧。加热处理也可以使用利用灯加热的RTA装置。

[0328] 通过加热处理被引入到绝缘体280的过剩氧扩散到绝缘体280中。在此，绝缘体280被对氧具有阻挡性的绝缘体282包围。因此，防止引入到绝缘体280的过剩氧释放到外部，且该过剩氧高效地被供应到氧化物230。

[0329] 此外，因加热处理而绝缘体280中的氢移动到绝缘体282。因移动到绝缘体282的氢与绝缘体282中的氧起反应，而可能生成水。所生成的水从绝缘体282上释放。由此，可以减少绝缘体280中的作为杂质的氢及水。另外，在绝缘体282使用氧化铝形成时，可以认为绝缘体282被用作催化剂。

[0330] 供应到晶体管200的氧化物230的氧填补晶体管200中的其中形成沟道的氧化物中的氧空位。因此，晶体管200中的其中形成沟道的氧化物可以为缺陷态密度低且特性稳定的氧化物半导体。就是说，可以抑制晶体管200的电特性变动，并且可以提高可靠性。

[0331] 为了将氧引入到沉积之后的绝缘体280来形成包含过剩的氧的区域，可以使用氧等离子体处理、离子注入法、加热处理或它们的组合。

[0332] 接着，在绝缘体282上形成覆盖导电体112的侧面及顶面的绝缘体130。绝缘体130例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪等形成。

[0333] 接着，在绝缘体130上形成导电体116。另外，导电体116可以通过采用与导电体112同样的材料及方法形成。

[0334] 接着，形成覆盖电容器100的绝缘体150。成为绝缘体150的绝缘体可以通过采用与绝缘体320等同样的材料及方法形成。

[0335] 通过上述工序，可以制造本发明的一个实施方式的半导体装置(图23)。

[0336] 在通过上述工序制造的使用具有氧化物半导体的晶体管的半导体装置中，可以防止电特性变动且提高可靠性。本发明的一个实施方式可以提供一种通态电流大的具有氧化物半导体的晶体管。本发明的一个实施方式可以提供一种关态电流小的具有氧化物半导体的晶体管。或者，本发明的一个实施方式可以提供一种低功耗的半导体装置。

[0337] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0338] (实施方式3)

[0339] 在本实施方式中，参照图24A至图24C、图25A至图25C、图26A至图26C、图27A至图27C、图28A至图28C、图29A至图29C、图30A至图30C、图31A至图31C、图32A至图32E、图33A至图33D、图34A至图34C以及图35A至图35C对半导体装置的一个实施方式进行说明。

[0340] <晶体管结构1>

[0341] 下面，对本发明的一个实施方式的晶体管的一个例子进行说明。图24A至图24C是本发明的一个实施方式的晶体管的俯视图及截面图。图24A是俯视图，图24B是对应于图24A所示的点划线X1-X2的截面图，图24C是对应于图24A所示的点划线Y1-Y2的截面图。注意，在图24A的俯视图中，为了明确起见，省略附图中的部分构成要素。

[0342] 晶体管200包括：被用作栅电极的导电体205(导电体205a及导电体205b)及导电体260；被用作栅极绝缘层的绝缘体220、绝缘体222、绝缘体224及绝缘体250；具有其中形成沟道的区域的氧化物230(氧化物230a、氧化物230b及氧化物230c)；被用作源电极和漏电极中的一个的导电体240a；被用作源电极和漏电极中的另一个的导电体240b；包含过剩氧的绝缘体280；以及具有阻挡性的绝缘体282。

[0343] 氧化物230包括氧化物230a、氧化物230a上的氧化物230b、以及氧化物230b上的氧化物230c。当使晶体管200导通时，电流主要流过氧化物230b(形成沟道)。虽然有时通过在氧化物230b与氧化物230a及氧化物230c之间的界面附近(有时成为混合区域)电流流过，但是氧化物230a及氧化物230c的上述以外的区域有时被用作绝缘体。

[0344] 如图24A至图24C所示，优选以覆盖氧化物230a及氧化物230b的侧面的方式设置氧化物230c。设置在绝缘体280与包括形成沟道的区域的氧化物230b之间的氧化物230c可以

防止氢、水及卤素等杂质从绝缘体280扩散到氧化物230b。

[0345] 导电体205可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钕、钪中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钽膜、氮化钛膜、氮化钼膜、氮化钨膜)等。尤其是,氮化钽膜等金属氮化物膜具有对氢或氧的阻挡性,并且不容易氧化(耐氧化性高),所以是优选的。或者,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0346] 例如,作为导电体205a可以使用具有对氢的阻挡性的导电体,例如氮化钽等,作为导电体205b可以层叠导电性高的钨。通过使用上述材料的组合,可以在保持布线的导电性的同时防止氢扩散到氧化物230。图24A至图24C示出导电体205a和205b的两层结构,但是本发明的一个实施方式不局限于此,也可以使用单层结构或三层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成相对于具有阻挡性的导电体及导电性高的导电体的紧密性高的导电体。

[0347] 绝缘体224优选为氧化硅膜或氧氮化硅膜等包含氧的绝缘体。尤其是,绝缘体224优选为包含过剩氧(含有超过化学计量组成的氧)的绝缘体。当以与晶体管200中的氧化物接触的方式设置上述包含过剩氧的绝缘体时,可以填补氧化物230中的氧空位。

[0348] 另外,当绝缘体224包括过剩氧区域时,绝缘体222优选对氧、氢及水具有阻挡性。当绝缘体222对氧具有阻挡性时,过剩氧区域的氧高效地供应给氧化物230而不扩散到晶体管300一侧。可以抑制导电体205与绝缘体224的过剩氧区域的氧起反应。

[0349] 绝缘体222优选具有使用包含氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等的绝缘体的单层结构或叠层结构。尤其是,优选使用如氧化铝膜或氧化铪膜等具有对氧或氢的阻挡性的绝缘膜。由这种材料形成的绝缘体222被用作防止从氧化物230释放氧或从外部混入氢等杂质的层。

[0350] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。此外,也可以对上述绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0351] 绝缘体220、222及224也可以具有两层以上的叠层结构。此时,不局限于由相同材料构成的叠层结构,也可以是由不同材料形成的叠层结构。

[0352] 由于在绝缘体220和绝缘体224之间设置包含high-k材料的绝缘体222,在特定条件下绝缘体222俘获电子,可以增大阈值电压。其结果是,绝缘体222有时带负电。

[0353] 例如,当使用氧化硅形成绝缘体220及绝缘体224,并使用氧化铪、氧化铝、氧化钽等电子俘获能级多的材料形成绝缘体222时,在比半导体装置的工作温度或保存温度高的温度(例如,125℃以上且450℃以下,典型的是150℃以上且300℃以下)下保持导电体205的电位高于源电极或漏电极的电位的状态10毫秒以上,典型是1分钟以上。由此,电子从构成晶体管200的氧化物向导电体205移动。此时,移动的电子的一部分被绝缘体222的电子俘获能级俘获。

[0354] 在绝缘体222的电子俘获能级俘获所需要的电子量的晶体管的阈值电压向正一侧漂移。通过控制导电体205的电压可以控制电子的俘获量,由此可以控制阈值电压。具有上述结构的晶体管200为即使在栅极电压为0V的情况下也处于非导通状态(也称为关闭状态)

的常关闭型晶体管。

[0355] 俘获电子的处理可以在晶体管的制造过程中进行。例如，该处理优选在形成与晶体管的源极导电体或漏极导电体连接的导电体之后、前工序(薄片处理)之后、晶圆切割(wafer-dicing)工序之后或者封装之后等发货之前的任一个阶段进行。

[0356] 通过适当地调整绝缘体220、222及224的厚度，能够控制阈值电压。例如，当绝缘体220、222及224的总厚度小时，高效率地施加来自导电体205的电压，由此可以提供一种功耗低的晶体管。绝缘体220、222及224的总厚度为65nm以下，优选为20nm以下。

[0357] 因此，可以提供一种关闭状态时的泄漏电流低的晶体管。可以提供一种具有稳定的电特性的晶体管。可以提供一种通态电流大的晶体管。可以提供一种亚阈值摆幅值小的晶体管。可以提供一种可靠性高的晶体管。

[0358] 氧化物230a、230b及230c使用In-M-Zn氧化物(M为Al、Ga、Y或Sn)等金属氧化物形成。作为氧化物230，也可以使用In-Ga氧化物或In-Zn氧化物。

[0359] 下面说明根据本发明的氧化物230。

[0360] 用作氧化物230的氧化物优选至少包含铟或锌。优选包含铟及锌。另外，优选的是，除此之外，还包含铝、镓、钇或锡等。另外，也可以包含硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨或镁等中的一种或多种。

[0361] 在此考虑氧化物包含铟、元素M及锌的情况。注意，元素M为铝、镓、钇或锡等。作为其他的可用于元素M的元素，有硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁。注意，作为元素M有时可以组合上述元素中的两种以上。

[0362] 首先，参照图36A至图36C说明根据本发明的氧化物所包含的铟、元素M及锌的优选的原子个数比范围。注意，在图36A至图36C中，没有记载氧的原子个数比。将氧化物所包含的铟、元素M及锌的原子个数比的各项分别称为[In]、[M]及[Zn]。

[0363] 在图36A至图36C中，虚线表示[In]:[M]:[Zn]＝(1+α):(1-α):1的原子个数比(-1≤α≤1)的线、[In]:[M]:[Zn]＝(1+α):(1-α):2的原子个数比的线、[In]:[M]:[Zn]＝(1+α):(1-α):3的原子个数比的线、[In]:[M]:[Zn]＝(1+α):(1-α):4的原子个数比的线及[In]:[M]:[Zn]＝(1+α):(1-α):5的原子个数比的线。

[0364] 点划线表示[In]:[M]:[Zn]＝1:1:β的原子个数比的(β≥0)的线、[In]:[M]:[Zn]＝1:2:β的原子个数比的线、[In]:[M]:[Zn]＝1:3:β的原子个数比的线、[In]:[M]:[Zn]＝1:4:β的原子个数比的线、[In]:[M]:[Zn]＝2:1:β的原子个数比的线及[In]:[M]:[Zn]＝5:1:β的原子个数比的线。

[0365] 双点划线示出原子个数比为[In]:[M]:[Zn]＝(1+γ):2:(1-γ)(-1≤γ≤1)的线。图36A至图36C所示的具有[In]:[M]:[Zn]＝0:2:1的原子个数比或其近似值的氧化物容易具有尖晶石型结晶结构。

[0366] 图36A和图36B示出本发明的一个实施方式的氧化物所包含的铟、元素M及锌的优选的原子个数比范围的例子。

[0367] 图37示出[In]:[M]:[Zn]＝1:1:1的$InMZnO_4$的结晶结构的一个例子。图37所示的结晶结构是在从平行于b轴的方向上观察时的$InMZnO_4$。注意，图37所示的包含M、Zn、氧的层(以下，将该层称为“(M,Zn)层”)中的金属元素表示元素M或锌。此时，元素M和锌的比例相同。元素M和锌可以相互置换，其排列不规则。

[0368] 注意，$InMZnO_4$具有层状结晶结构(也称为层状结构)，如图37所示，相对于每两个包含元素M、锌及氧的(M,Zn)层有一个包含铟及氧的层(下面称为In层)。

[0369] 铟和元素M可以相互置换。因此，当以铟取代(M,Zn)层中的元素M时，也可以将该层表示为(In,M,Zn)层。在此情况下，得到相对于每两个(In,M,Zn)层有一个包含In层的层状结构。

[0370] 原子比[In]:[M]:[Zn]为1:1:2的氧化物具有相对于每三个(M,Zn)层包括一个In层的层状结构。就是说，若[Zn]比[In]及[M]大，则在氧化物晶化的情况下，相对于In层的(M,Zn)层的比例增加。

[0371] 注意，在氧化物中，相对于一个In层的(M,Zn)层的个数为非整数时，该氧化物有时具有相对于一个In层的(M,Zn)层的个数为整数的多种层状结构。例如，在[In]:[M]:[Zn]＝1:1:1.5的情况下，该氧化物有时具有如下结构：相对于每两个(M,Zn)层的一个In层的层状结构及相对于每三个(M,Zn)层的一个In层的层状结构。

[0372] 例如，当使用溅射设备形成氧化物时，形成其原子比与靶材的原子比错开的膜。尤其是，根据沉积时的衬底温度，有时膜的[Zn]小于靶材的[Zn]。

[0373] 有时在氧化物中，多个相共存(例如，二相共存或三相共存等)。例如，当原子比[In]:[M]:[Zn]近于0:2:1时，尖晶石型结晶结构和层状结晶结构的二相容易共存。另外，当原子比[In]:[M]:[Zn]近于1:0:0时，方铁锰矿型结晶结构和层状结晶结构的二相容易共存。当在氧化物中多个相共存时，在不同的结晶结构之间有时形成晶界。

[0374] 再者，以较高的比率包含铟的氧化物可以具有较高的载流子迁移率(电子迁移率)。这是因为：在包含铟、元素M及锌的氧化物中，重金属的s轨道主要有助于载流子传导，在增高氧化物中的铟时，铟原子的s轨道的重叠增大，由此铟含量高的氧化物的载流子迁移率比铟含量低的氧化物高。

[0375] 另一方面，氧化物的铟含量及锌含量变低时，载流子迁移率变低。因此，在是[In]:[M]:[Zn]＝0:1:0的原子个数比及其附近值的原子个数比(例如，图36C中的区域C)的情况下，绝缘性变高。

[0376] 因此，本发明的一个实施方式的氧化物优选具有图36A的以区域A表示的原子比。由于该原子比，容易得到载流子迁移率高且晶界少的层状结构。

[0377] 图36B中的区域B示出[In]:[M]:[Zn]＝4:2:3或4:2:4.1的原子比及其附近值。“附近”包含[In]:[M]:[Zn]＝5:3:4的原子比。具有以区域B表示的原子比的氧化物尤其是具有高的结晶性及优异的载流子迁移率。

[0378] 注意，氧化物形成层状结构的条件不是根据原子比唯一决定的。根据原子比，形成层状结构的难以度不同。即使在原子比相同的情况下，根据形成条件，有时具有层状结构，有时不具有层状结构。因此，图示的区域是表示氧化物具有层状结构时的原子比的区域，区域A至区域C的边界不清楚。

[0379] 接着，说明将上述氧化物用于晶体管的情况。

[0380] 通过将氧化物用于晶体管，可以减少晶界中的载流子散射等，因此可以实现场效应迁移率高的晶体管。另外，可以实现可靠性高的晶体管。

[0381] 此外，优选将载流子密度低的氧化物用于晶体管。例如，氧化物的载流子密度可以低于$8\times10^{11}cm^{-3}$，优选为低于$1\times10^{11}cm^{-3}$，更优选为低于$1\times10^{10}cm^{-3}$且$1\times10^{-9}cm^{-3}$以上。

[0382] 因为在高纯度本征或实质上高纯度本征的氧化物中，载流子发生源少，所以可以降低载流子密度。高纯度本征或实质上高纯度本征的氧化物的缺陷态密度低，所以有时其陷阱态密度也降低。

[0383] 此外，被氧化物的陷阱态俘获的电荷到消失需要较长的时间，有时像固定电荷那样动作。因此，有时在陷阱态密度高的氧化物中形成有沟道区域的晶体管的电特性不稳定。

[0384] 因此，为了使晶体管的电特性稳定，降低氧化物中的杂质浓度是有效的。为了降低氧化物中的杂质浓度，优选还降低与氧化物邻近的膜中的杂质浓度。作为杂质的例子有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0385] 在此，说明氧化物中的各杂质的影响。

[0386] 在氧化物包含第14族元素之一的硅或碳时，在氧化物中形成缺陷态。因此，将氧化物中的硅或碳的浓度、与氧化物的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为2×10^{18}atoms/cm^{3}以下，优选为2×10^{17}atoms/cm^{3}以下。

[0387] 当氧化物包含碱金属或碱土金属时，有时形成缺陷态而形成载流子。因此，包括包含碱金属或碱土金属的氧化物的晶体管容易具有常开启特性。由此，优选降低氧化物中的碱金属或碱土金属的浓度。具体而言，使通过SIMS测得的氧化物中的碱金属或碱土金属的浓度设定为1×10^{18}atoms/cm^{3}以下，优选为2×10^{16}atoms/cm^{3}以下。

[0388] 当氧化物包含氮时，产生作为载流子的电子，并载流子密度增加，而氧化物容易被n型化。其结果是，将含有氮的氧化物用于其半导体的晶体管容易成为常开启。因此，优选尽可能地减少氧化物中的氮，例如，将利用SIMS测得的氧化物中的氮浓度设定为小于5×10^{19}atoms/cm^3、优选为5×10^{18}atoms/cm^{3}以下，更优选为1×10^{18}atoms/cm^{3}以下，进一步优选为5×10^{17}atoms/cm^{3}以下。

[0389] 包含在氧化物中的氢与键合于金属原子的氧起反应生成水，因此有时形成氧空位。当氢进入该氧空位时，有时产生作为载流子的电子。另外，有时由于氢的一部分与键合于金属原子的氧键合，产生作为载流子的电子。因此，使用包含氢的氧化物的晶体管容易成为常开启。由此，优选尽可能减少氧化物中的氢。具体而言，将利用SIMS测得的氧化物中的氢浓度设定为低于1×10^{20}atoms/cm^3，优选低于1×10^{19}atoms/cm^3，更优选低于5×10^{18}atoms/cm^3，进一步优选低于1×10^{18}atoms/cm^3。

[0390] 当将杂质浓度充分得到降低的氧化物用于晶体管中的沟道区域时，该晶体管可以具有稳定的电特性。

[0391] 接着，对该氧化物具有两层结构或三层结构的情况进行说明。参照图38A至图38C说明氧化物S1、氧化物S2和氧化物S3的叠层结构及与叠层结构接触的绝缘体的能带图、氧化物S2和氧化物S3的叠层结构及与叠层结构接触的绝缘体的能带图以及氧化物S1和氧化物S2的叠层结构及与叠层结构接触的绝缘体的能带图。

[0392] 图38A是包括绝缘体I1、氧化物S1、氧化物S2、氧化物S3和绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。另外，图38B是包括绝缘体I1、氧化物S2、氧化物S3和绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。另外，图38C是包括绝缘体I1、氧化物S1、氧化物S2和绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。注意，为了便于理解，能带图示出绝缘体I1、氧化物S1、氧化物S2、氧化物S3及绝缘体I2的导带底的能级(Ec)。

[0393] 优选的是，氧化物S1、氧化物S3的导带底的能级比氧化物S2更靠近真空能级。典型的是，氧化物S2的导带底的能级与氧化物S1、氧化物S3的导带底的能级之差为0.15eV以上、0.5eV以上且2eV以下、或者1eV以下。就是说，优选的是，氧化物S2的电子亲和势高于氧化物S1及氧化物S3的电子亲和势，且氧化物S1及氧化物S3的电子亲和势与氧化物S2的电子亲和势之差为0.15eV以上、0.5eV以上且2eV以下、或者1eV以下。

[0394] 如图38A至图38C所示，在每个氧化物S1至氧化物S3中，导带底的能级平滑地变化。换言之，导带底的能级连续地变化或者连续地接合。为了实现这种能带图，优选降低形成在氧化物S1与氧化物S2的界面或者氧化物S2与氧化物S3的界面的混合层的缺陷态密度。

[0395] 具体而言，通过使氧化物S1和氧化物S2或者氧化物S2和氧化物S3除了氧之外还包含同一元素(主要成分)，可以形成缺陷态密度低的混合层。例如，在氧化物S2为In-Ga-Zn氧化物的情况下，作为氧化物S1及氧化物S3优选使用In-Ga-Zn氧化物、Ga-Zn氧化物、氧化镓等。

[0396] 此时，载流子的主要路径成为氧化物S2。因为可以降低氧化物S1与氧化物S2的界面以及氧化物S2与氧化物S3的界面的缺陷态密度，所以界面散射给载流子传导带来的影响小，从而可以得到大通态电流。

[0397] 在电子被陷阱态俘获时，被俘获的电子像固定电荷那样动作，因此晶体管的阈值电压向正方向漂移。通过设置氧化物S1及氧化物S3，可以使陷阱态远离氧化物S2。通过采用该结构，可以防止晶体管的阈值电压向正方向漂移。

[0398] 氧化物S1及氧化物S3使用与氧化物S2相比导电率充分低的材料。此时，氧化物S2、氧化物S1与氧化物S2的界面以及氧化物S2与氧化物S3的界面主要用作沟道区域。例如，作为氧化物S1、氧化物S3，都使用具有在图36C中以区域C表示的原子比的绝缘性高的氧化物。注意，图36C所示的区域C表示[In]:[M]:[Zn]＝0:1:0或其附近的原子比。

[0399] 当作为氧化物S2采用以区域A表示的原子比的氧化物时，优选作为氧化物S1及氧化物S3都使用原子比[M]/[In]为1以上(优选为2以上)的氧化物。另外，作为氧化物S3，适当地使用能够得到充分高的绝缘性的原子比[M]/([Zn]+[In])为1以上的氧化物。

[0400] 绝缘体250例如可以具有使用包含氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等的绝缘体的单层结构或叠层结构。或者，例如也可以对这些绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。此外，也可以对这些绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅的层。

[0401] 与绝缘体224同样，绝缘体250优选使用其氧含量超过满足化学计量组成的氧化物绝缘体形成。当以与氧化物230接触的方式设置上述包含过剩氧的绝缘体时，可以减少氧化物230中的氧空位。

[0402] 绝缘体250可以使用氧化铝、氧氮化铝、氧化镓、氧氮化镓、氧化钇、氧氮化钇、氧化铪、氧氮化铪、氮化硅等具有对氧或氢的阻挡性的绝缘膜。由这种材料形成的绝缘体250被用作防止从氧化物230释放氧及从外部混入氢等杂质的层。

[0403] 注意，绝缘体250也可以具有与绝缘体220、绝缘体222及绝缘体224同样的叠层结构。当绝缘体250具有在电子俘获态俘获所需要的电子的绝缘体时，晶体管200的阈值电压可以向正一侧漂移。通过采用该结构，晶体管200成为在栅极电压为0V的情况下也处于非导

通状态(也称为关闭状态)的常关闭型晶体管。

[0404] 另外,在图24A至图24C所示的半导体装置中,可以在氧化物230和导电体260之间除了绝缘体250以外还可以设置阻挡膜。或者,氧化物230c也可以具有阻挡性。

[0405] 例如,通过以与氧化物230接触的方式设置包含过剩氧的绝缘膜,且由阻挡膜包围这些膜,可以使氧化物为与化学计量组成大致一致的状态或者超过化学计量组成的氧的过饱和状态。此外,可以防止对氧化物230侵入氢等杂质。

[0406] 导电体240a和导电体240b中的一个被用作源电极,而其中的另一个被用作漏电极。

[0407] 导电体240a、导电体240b都可以使用铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨等金属或者以这些元素为主要成分的合金。尤其是,氮化钽膜等金属氮化物膜对氢或氧具有阻挡性,且耐氧化性较高,所以是优选的。

[0408] 虽然图24A至图24C中示出单层结构,但是也可以采用两层以上的叠层结构。例如,优选层叠氮化钽膜及钨膜。另外,优选层叠钛膜及铝膜。另外,也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0409] 例如,可以举出:形成钛膜或氮化钛膜,在该钛膜或氮化钛膜上层叠铝膜或铜膜,在该铝膜或铜膜上层叠钛膜或氮化钛膜的三层结构;形成钼膜或氮化钼膜,在该钼膜或氮化钼膜上层叠铝膜或铜膜,在该铝膜或铜膜层叠钼膜或氮化钼膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0410] 被用作栅电极的导电体260例如可以使用选自铝、铬、铜、钽、钛、钼、钨中的金属、以上述金属为成分的合金或组合上述金属的合金等而形成。尤其是,氮化钽膜等金属氮化物膜因为对氢或氧具有阻挡性且具有高耐氧化性,所以是优选的。另外,也可以使用选自锰、锆中的一个或多个的金属。此外,也可以使用以掺杂有磷等杂质元素的多晶硅为代表的半导体、镍硅化物等硅化物。虽然在图24A至图24C中示出单层结构,但是也可以采用两层以上的叠层结构。

[0411] 例如,优选采用在铝膜上层叠钛膜的两层结构。另外,也可以采用在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜或氮化钨膜上层叠钨膜的两层结构。

[0412] 作为其它例子,有:形成钛膜,在钛膜上层叠铝膜,在铝膜上形成钛膜的三层结构。此外,也可以使用包含铝与选自钛、钽、钨、钼、铬、钕、钪中的一种或多种金属的合金膜或氮化膜。

[0413] 导电体260也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等具有透光性的导电材料形成。导电体260也可以具有使用上述透光的导电材料中的任一个和上述金属中的任一个的叠层结构。

[0414] 接着,在晶体管200的上方设置绝缘体280及绝缘体282。

[0415] 绝缘体280优选包含含有超过化学计量组成的氧的氧化物。就是说,在绝缘体280中,优选形成有比满足化学计量组成的氧多的氧存在的区域(以下,也称为过剩氧区域)。尤其是,在晶体管200中使用氧化物半导体时,在晶体管200附近的层间膜等中设置具有过剩

氧区域的绝缘体时，降低晶体管200的氧空位，而可以提高可靠性。

[0416] 作为具有过剩氧区域的绝缘体，具体而言，优选使用由于加热而一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS分析中换算为氧原子的氧的脱离量为1.0×10^{18}atoms/cm^3以上，优选为3.0×10^{20}atoms/cm^3以上的氧化物膜。注意，上述TDS分析时的膜的表面温度优选为100℃以上且700℃以下或100℃以上且500℃以下。

[0417] 例如，作为这种材料，优选使用包含氧化硅或氧氮化硅的材料。另外，也可以使用金属氧化物。注意，在本说明书中，“氧氮化硅”是指氧含量多于氮含量的材料，“氮氧化硅”是指氮含量多于氧含量的材料。

[0418] 覆盖晶体管200的绝缘体280也可以被用作覆盖其下方的凹凸形状的平坦化膜。

[0419] 绝缘体282优选使用氧化铝及氧化铪等具有对氧或氢的阻挡性的绝缘膜。使用这种材料形成的绝缘体282被用作防止从氧化物230释放氧及从外部混入氢等杂质的层。

[0420] 通过上述结构，可以提供一种包含氧化物半导体的通态电流大的晶体管。另外，可以提供一种包含氧化物半导体的关态电流小的晶体管。另外，在半导体装置中具有上述结构的晶体管，可以降低半导体装置的电特性变动，并且其可靠性得到提高。另外，可以降低半导体装置的功耗。

[0421] <晶体管结构2>

[0422] 图25A至图25C示出可以应用于晶体管200的其他例子。图25A示出晶体管200的顶面。为了明确起见，在图25A中不示出一部分的膜。图25B是沿着图25A中的点划线X1-X2的截面图，图25C是沿着图25A中的点划线Y1-Y2的截面图。

[0423] 注意，在图25A至图25C所示的晶体管200中，对具有与图24A至图24C的晶体管200的构成要素相同的功能的构成要素附加相同附图标记。

[0424] 在图25A至图25C所示的结构中，导电体260具有两层结构。例如，导电体260a可以使用以In-Ga-Zn氧化物为代表的氧化物形成。以In-Ga-Zn氧化物为代表的氧化物半导体通过被供应氮或氢，其载流子密度变高。换言之，该氧化物半导体被用作氧化物导电体(OC:oxideconductor)。当作为导电体260b设置金属氮化物时，氧化物半导体的载流子密度变高，所以导电体260a被用作栅电极。

[0425] 作为导电体260a，可以使用以In-Ga-Zn氧化物为代表的氧化物半导体。导电体260a也可以使用透光导电材料诸如铟锡氧化物(indium tinoxide:ITO)、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、包含硅的铟锡氧化物(In-Sn-Si氧化物，也被称为ITSO)而形成。

[0426] 通过作为导电体260b使用金属氮化物，产生如下效果中的任一个：金属氮化物的构成元素(尤其是氮)扩散到导电体260a，而该导电体260a的电阻得到降低；由于形成导电体260b时的损伤(例如，溅射损伤)电阻得到降低。此外，导电体260b也可以具有两层以上的叠层结构。例如，通过在金属氮化物上层叠低电阻的金属膜，可以提供驱动电压低的晶体管。

[0427] 此外，导电体260a优选利用溅射法在包含氧气体的气氛下形成。当在包含氧气体的气氛下形成导电体260a时，可以在绝缘体250中形成过剩氧区域。另外，导电体260a的形成方法不局限于溅射法，也可以利用其他方法，例如ALD法。

[0428] 在图25A至图25C所示的结构中，以覆盖导电体260的方式设置绝缘体270。当使用

氧脱离的氧化物材料形成绝缘体280时，绝缘体270使用对氧具有阻挡性的物质形成。通过采用该结构，可以填补导电体260a的氧空位而抑制载流子密度降低，且可以防止导电体260b因扩散的氧被氧化。

[0429] 例如，绝缘体270可以使用氧化铝等金属氧化物形成。以防止导电体260的氧化的程度的厚度形成绝缘体270。

[0430] 如附图所示，也可以采用使用具有阻挡性的导电体设置导电体205c而不设置绝缘体220及绝缘体222的结构。通过采用本结构，即使绝缘体224包括过剩氧区域，也可以抑制导电体205b与过剩氧区域的氧起反应而生成氧化物。

[0431] 此外，也可以在导电体240a及导电体240b上设置绝缘体243a及绝缘体243b。绝缘体243a及绝缘体243b使用对氧具有阻挡性的物质形成。通过采用该结构，可以抑制导电体240a及导电体240b在形成氧化物230c时被氧化。此外，可以防止绝缘体280中的过剩氧区域的氧与导电体240a及导电体240b起反应而使它们氧化。

[0432] 绝缘体243a及绝缘体243b例如可以使用金属氧化物形成。尤其是，优选使用氧化铝、氧化铪、氧化镓等对氧或氢具有阻挡性的绝缘膜。此外，也可以使用利用CVD法形成的氮化硅。

[0433] 因此，通过采用该结构，可以扩大导电体240a、导电体240b、导电体205及导电体260的材料的选择范围。例如，导电体205b及导电体260b可以使用铝等耐氧化性低且导电性高的材料形成。另外，例如可以使用容易形成或加工的导电体。

[0434] 此外，可以抑制导电体205及导电体260的氧化，并且可以将从绝缘体224及绝缘体280脱离的氧高效率地供应到氧化物230。此外，通过作为导电体205及导电体260使用导电性高的导电体，可以提供一种功耗低的晶体管200。

[0435] <晶体管结构3>

[0436] 图26A至图26C示出可以应用于晶体管200的其他例子。图26A示出晶体管200的顶面。为了明确起见，在图26A中省略一部分的膜。图26B是沿图26A中的点划线X1-X2的截面图，图26C是沿图26A中的点划线Y1-Y2的截面图。

[0437] 注意，在图26A至图26C所示的晶体管200中，对具有与图24A至图24C的晶体管200的构成要素相同的功能的构成要素附加相同附图标记。

[0438] 在图26A至图26C所示的结构中，导电体260具有两层结构。在两层结构中，也可以层叠使用相同材料形成的层。例如，导电体260a利用热CVD法、MOCVD法或ALD法形成。尤其是，导电体260a优选利用ALD法形成。通过采用ALD法等，可以降低进行沉积时对绝缘体250造成的损伤。再者，因为可以提高覆盖性，所以优选利用ALD法等形成导电体260a。因此，可以提供一种可靠性高的晶体管200。

[0439] 接着，利用溅射法形成导电体260b。此时，由于在绝缘体250上设置导电体260a，所以可以抑制形成导电体260b时的损伤影响到绝缘体250。由于溅射法的沉积速率比ALD法快，所以成品率高，从而可以提高生产率。

[0440] 在图26A至图26C所示的结构中，以覆盖导电体260的方式设置绝缘体270。当使用氧脱离的氧化物材料形成绝缘体280时，绝缘体270使用对氧具有阻挡性的物质形成。通过采用该结构，可以填补导电体260a的氧空位而抑制载流子密度降低，且可以防止导电体260b因扩散的氧被氧化。

[0441] 例如，绝缘体270可以使用氧化铝等金属氧化物形成。以防止导电体260的氧化的程度的厚度形成绝缘体270。

[0442] <晶体管结构4>

[0443] 图27A至图27C示出可以应用于晶体管200的结构的一个例子。图27A示出晶体管200的顶面。注意，为了明确起见，在图27A中省略一部分的膜。另外，图27B是沿图27A中的点划线X1-X2的截面图，图27C是沿点划线Y1-Y2的截面图。

[0444] 注意，在图27A至图27C所示的晶体管200中，对具有与图24A至图24C所示的晶体管200的构成要素相同的功能的构成要素附加相同附图标记。

[0445] 在图27A至图27C所示的结构中，被用作栅电极的导电体260包括导电体260a、导电体260b及导电体260c。另外，氧化物230c只要覆盖氧化物230b的侧面即可，也可以在绝缘体224上被切断。

[0446] 在图27A至图27C所示的结构中，导电体260具有三层结构。作为两层结构，也可以层叠使用相同材料形成的层。例如，导电体260a利用热CVD法、MOCVD法或ALD法形成。尤其是，优选利用ALD法形成。通过利用ALD法等形成，可以降低进行沉积时对绝缘体250造成的损伤。此外，因为可以提高覆盖性，所以优选利用ALD法等形成导电体260a。因此，可以提供一种可靠性高的晶体管200。

[0447] 接着，利用溅射法形成导电体260b。此时，通过在绝缘体250上具有导电体260a，可以抑制形成导电体260b时的损伤影响到绝缘体250。另外，溅射法的沉积速度比ALD法快，所以成品率高，从而可以提高生产率。

[0448] 另外，导电体260b使用钽、钨、铜、铝等导电性高的材料形成。再者，形成在导电体260b上的导电体260c优选使用氮化钨等耐氧化性高的导电体形成。

[0449] 例如，在绝缘体280使用使氧脱离的氧化物材料形成的情况下，通过作为与具有过剩氧区域的绝缘体280接触的面积大的导电体260c使用耐氧化性高的导电体，可以抑制从过剩氧区域脱离的氧被导电体260吸收。此外，可以抑制导电体260的氧化，并且可以将从绝缘体280脱离的氧高效率地供应到氧化物230。此外，通过作为导电体260b使用导电性高的导电体，可以提供一种功耗低的晶体管200。

[0450] 如图27C所示，在晶体管200的沟道宽度方向上，氧化物230b被导电体260覆盖。此外，通过使绝缘体224具有凸部，氧化物230b的侧面也可以被导电体260覆盖。例如，优选的是，通过调整绝缘体224的凸部的形状，在绝缘体224与氧化物230c接触的区域，导电体260的底面比氧化物230b的底面更接近于衬底一侧。也就是说，晶体管200具有可以由导电体260的电场电围绕氧化物230b的结构。如此，将由导电体的电场电围绕氧化物230b的晶体管结构称为surrounded channel(s-channel)结构。在s-channel结构的晶体管200中，也可以在氧化物230b整体(块体)形成沟道。在s-channel结构中可以使晶体管的漏极电流增大，来可以得到更大的通态电流(在晶体管处于开启状态时流在源极与漏极之间的电流)。此外，也可以由导电体260的电场使形成在氧化物230b中的沟道形成区域的整个区域耗尽化。因此，s-channel结构可以进一步减少晶体管的关态电流。另外，当缩短沟道宽度时，可以提高增大通态电流且减少关态电流的s-channel结构的效果等。

[0451] <晶体管结构5>

[0452] 图28A至图28C示出可以应用于晶体管200的结构的一个例子。图28A示出晶体管

200的顶面。为了明确起见，在图28A中省略一部分的膜。另外，图28B是沿图28A中的点划线X1-X2的截面图，图28C是沿点划线Y1-Y2的截面图。

[0453] 注意，在图28A至图28C所示的晶体管200中，对具有与图24A至图24C所示的晶体管200的构成要素相同的功能的构成要素附加相同附图标记。

[0454] 在图28A至图28C所示的结构中，被用作源极或漏极的导电体具有叠层结构。作为导电体240a及导电体240b优选使用与氧化物230b的紧密性高的导电体，作为导电体241a及导电体241b优选使用导电性高的材料。此外，优选利用ALD法形成导电体240a及导电体240b。通过利用ALD法等形成导电体240a及导电体240b，可以提高覆盖性。

[0455] 例如，在作为氧化物230b使用包含铟的金属氧化物的情况下，作为导电体240a及导电体240b可以使用氮化钛等。此外，当作为导电体241a及导电体241b使用钽、钨、铜、铝等导电性高的材料时，可以提供一种可靠性高且功耗低的晶体管200。

[0456] 另外，如图28B及图28C所示，在晶体管200的沟道宽度方向上，氧化物230b被导电体260覆盖。此外，通过使绝缘体222具有凸部，氧化物230b的侧面也可以被导电体260覆盖。

[0457] 在此，在作为绝缘体222使用氧化铪等high-k材料的情况下，因为绝缘体222的相对介电常数较大，所以可以减小等效氧化物(SiO_2)厚度(EOT:Equivalent Oxide Thickness)。因此，由于绝缘体222的物理上的厚度而可以扩大导电体205与氧化物230之间的距离，而不使施加到氧化物230的来自导电体205的电场的影响减弱。因此，通过调整绝缘体222的厚度，可以调整导电体205与氧化物230之间的距离。

[0458] 例如，优选的是，通过调整绝缘体224的凸部的形状，在绝缘体222与氧化物230c接触的区域，导电体260的底面比氧化物230b的底面更接近于衬底一侧。也就是说，晶体管200具有可以由导电体260的电场电围绕氧化物230b的结构。如此，将由导电体的电场电围绕氧化物230b的晶体管结构称为surrounded channel(s-channel)结构。在s-channel结构的晶体管200中，也可以在氧化物230b整体(块体)形成沟道。在s-channel结构中可以使晶体管的漏极电流增大，来可以得到更大的通态电流(在晶体管处于开启状态时流在源极与漏极之间的电流)。此外，也可以由导电体260的电场使形成在氧化物230b中的沟道形成区域的整个区域耗尽化。因此，s-channel结构可以进一步减少晶体管的关态电流。当缩短沟道宽度时，可以提高增大通态电流且减少关态电流的s-channel结构的效果等。

[0459] <晶体管结构6>

[0460] 图29A至图29C示出可以应用于晶体管200的结构的一个例子。图29A示出晶体管200的顶面。为了明确起见，在图29A中省略一部分的膜。另外，图29B是沿图29A中的点划线X1-X2的截面图，图29C是沿点划线Y1-Y2的截面图。

[0461] 注意，在图29A至图29C所示的晶体管200中，对具有与图24A至图24C所示的晶体管200的构成要素相同的功能的构成要素附加相同附图标记。

[0462] 图29A至图29C所示的晶体管200在形成于绝缘体280的开口中形成有氧化物230c、绝缘体250及导电体260。另外，导电体240a和导电体240b中的一个端部与形成在绝缘体280中的开口的端部一致。再者，导电体240a及导电体240b的三个方向的端部与氧化物230a及氧化物230b的端部的一部分一致。由此，可以在与氧化物230或绝缘体280的开口同时形成导电体240a、导电体240b。由此，可以减少掩模及工序的数量。此外，可以提高成品率及生产率。

[0463] 导电体240a、导电体240b及氧化物230b隔着氧化物230d接触于具有过剩氧区域的绝缘体280。由此，通过在绝缘体280与包括形成有沟道的区域的氧化物230b之间设置氧化物230d，可以抑制氢、水及卤素等杂质从绝缘体280扩散到氧化物230b。

[0464] 由于图29A至图29C所示的晶体管200具有导电体240a、导电体240b与导电体260几乎不重叠的结构，所以可以减小导电体260的寄生电容。也就是说，可以提供一种工作频率高的晶体管200。

[0465] <晶体管结构7>

[0466] 图30A至图30C示出可以应用于晶体管200的结构的一个例子。图30A示出晶体管200的顶面。为了明确起见，在图30A中省略一部分的膜。另外，图30B是沿图30A中的点划线X1-X2的截面图，图30C是沿点划线Y1-Y2的截面图。

[0467] 注意，在图30A至图30C所示的晶体管200中，对具有与图29A至图29C所示的晶体管200的构成要素相同的功能的构成要素附加相同附图标记。

[0468] 在绝缘体282上形成绝缘体285及绝缘体286。

[0469] 在形成于绝缘体280、绝缘体282及绝缘体285的开口中形成有氧化物230c、绝缘体250及导电体260。另外，导电体240a和导电体240b中的一个端部与形成在绝缘体280中的开口的端部一致。再者，导电体240a及导电体240b的三个方向的端部与氧化物230a及氧化物230b的端部的一部分一致。由此，可以在与氧化物230a及氧化物230b或绝缘体280的开口同时形成导电体240a、导电体240b。由此，可以减少掩模及工序的数量。此外，可以提高成品率及生产率。

[0470] 导电体240a、导电体240b及氧化物230b隔着氧化物230d接触于具有过剩氧区域的绝缘体280。由此，由于在绝缘体280与包括形成有沟道的区域的氧化物230b之间设置有氧化物230d，所以可以抑制氢、水及卤素等杂质从绝缘体280扩散到氧化物230b。

[0471] 另外，在图30A至图30C所示的晶体管200中不形成高电阻的偏置(offset)区域，因此可以增大晶体管200的通态电流。

[0472] <晶体管结构8>

[0473] 图31A至图31C示出可以应用于晶体管200的结构的一个例子。图31A示出晶体管200的顶面。为了明确起见，在图31A中省略一部分的膜。另外，图31B是沿图31A中的点划线X1-X2的截面图，图31C是沿点划线Y1-Y2的截面图。

[0474] 注意，在图31A至图31C所示的晶体管200中，对具有与图30A至图30C所示的晶体管200的构成要素相同的功能的构成要素附加相同附图标记。

[0475] 图31A至图31C所示的晶体管200不包括氧化物230d。例如，在导电体240a及导电体240b使用耐氧化性高的导电体形成的情况下，并不需要设置氧化物230d。由此，可以减少掩模及工序的数量，且可以提高成品率及生产率。

[0476] 绝缘体224也可以仅设置在与氧化物230a及氧化物230b重叠的区域中。此时，可以以绝缘体222为蚀刻停止层对氧化物230a、氧化物230b及绝缘体224进行加工。因此，可以提高成品率或生产率。

[0477] 由于图31A至图31C所示的晶体管200具有导电体240a、导电体240b与导电体260几乎不重叠的结构，所以可以减小导电体260的寄生电容。也就是说，可以提供一种工作频率高的晶体管200。

[0478] <晶体管的制造方法>

[0479] 以下，参照图32A至图32E、图33A至图33D、图34A至图34C以及图35A至图35C对图24A至图24C所示的晶体管的制造方法的一个例子进行说明。

[0480] 首先，准备衬底(未图示)。对衬底没有特别的限制，但是衬底优选至少具有能够承受在后面进行的加热处理的程度的耐热性。例如，可以使用玻璃衬底如硼硅酸钡玻璃衬底和硼硅酸铝玻璃衬底等、陶瓷衬底、石英衬底、蓝宝石衬底等。此外，也可以利用：使用硅或碳化硅等的单晶半导体衬底或多晶半导体衬底；使用硅锗、砷化镓、砷化铟、砷化铟镓的化合物半导体衬底；SOI(Silicon On Insulator)衬底；或GOI(Germanium on Insulator)衬底等，并且也可以使用在这些衬底上设置有半导体元件的衬底。

[0481] 另外，作为衬底也可以使用柔性衬底来制造半导体装置。在制造具有柔性的半导体装置时，既可以在柔性衬底上直接制造晶体管，也可以在其他制造衬底上制造晶体管，然后从制造衬底剥离晶体管并将其转置到柔性衬底上。另外，为了从制造衬底剥离晶体管并将其转置到柔性衬底上，优选在制造衬底与包括氧化物半导体的晶体管之间设置剥离层。

[0482] 接着，形成绝缘体214、绝缘体216。接着，通过光刻法等在绝缘体216上形成抗蚀剂掩模290，去除绝缘体214及绝缘体216的不需要的部分(图32A)。然后，去除抗蚀剂掩模290，由此可以形成开口。

[0483] 在此，对被加工膜的加工方法进行说明。当对被加工膜进行微细加工时，可以使用各种微细加工技术。例如，也可以采用对通过光刻法等形成的抗蚀剂掩模进行缩小处理的方法。另外，也可以通过光刻法等形成假图案，在该假图案处形成侧壁之后去除假图案，将残留的侧壁用作抗蚀剂掩模，对被加工膜进行蚀刻。此外，为了实现高纵横比，作为被加工膜的蚀刻优选利用各向异性干蚀刻。另外，也可以使用由无机膜或金属膜构成的硬掩模。

[0484] 作为用来形成抗蚀剂掩模的光，例如可以使用i线(波长365nm)、g线(波长436nm)、h线(波长405nm)或将这些光混合的光。此外，还可以使用紫外线、KrF激光或ArF激光等。此外，也可以利用液浸曝光技术进行曝光。作为用于曝光的光，也可以使用极紫外光(EUV：Extreme Ultra-Violet)或X射线。另外，也可以使用电子束代替用于曝光的光。当使用极紫外光、X射线或电子束时，可以进行极其微细的加工，所以是优选的。注意，在通过利用电子束等光束进行扫描而进行曝光时，不需要光掩模。

[0485] 另外，也可以在形成将成为抗蚀剂掩模的抗蚀剂膜之前，形成具有提高被加工膜与抗蚀剂膜的紧密性的功能的有机树脂膜。可以利用旋涂法等以覆盖其下方的台阶而使其表面平坦化的方式形成该有机树脂膜，而可以降低形成在该有机树脂膜上方的抗蚀剂掩模的厚度的偏差。尤其是，在进行微细的加工时，作为该有机树脂膜优选使用具有对用于曝光的光的反射防止膜的功能的材料。作为具有这种功能的有机树脂膜，例如有BARC(Bottom Anti-Reflection Coating：底部抗反射)膜等。该有机树脂膜可以在去除抗蚀剂掩模的同时被去除或者在去除抗蚀剂掩模之后被去除。

[0486] 接着，在绝缘体214及绝缘体216上形成导电体205A及导电体205B。导电体205A及导电体205B可以通过溅射法、蒸镀法、CVD法(包括热CVD法、MOCVD法、PECVD法等)等形成。另外，为了减少等离子体所导致的损伤，优选利用热CVD法、MOCVD法或ALD法(图32B)。

[0487] 接着，去除导电体205A及导电体205B的不需要的部分。例如，直到使绝缘体216露出为止通过回蚀处理或化学机械抛光(CMP：Chemical Mechanical Polishing)处理等去除

导电体205A及导电体205B的一部分，由此形成导电体205(图32C)。此时，绝缘体216也可以被用作停止层，有时绝缘体216的厚度变薄。

[0488] 在此，CMP处理是一种对被加工物的表面通过化学、机械的复合作用进行平坦化的方法。更具体而言，CMP处理是一种方法，其中在抛光台上贴附砂布，且一边在被加工物与砂布之间供应浆料(抛光剂)，一边将抛光台和被加工物分别旋转或摇动，来由浆料与被加工物表面之间的化学反应以及砂布和被加工物的机械抛光的作用对被加工物的表面进行抛光。

[0489] 注意，CMP处理既可只进行一次，又可进行多次。当进行CMP处理多次时，优选在进行高抛光率的初期抛光之后，进行低抛光率的精抛光。如此，也可以组合抛光率不同的抛光。

[0490] 接着，形成绝缘体220、绝缘体222及绝缘体224(图32D)。注意，并不一定需要设置绝缘体220及绝缘体222。例如，当绝缘体224包括过剩氧区域时，也可以在导电体205上形成具有阻挡性的导电体。通过形成具有阻挡性的导电体，可以抑制导电体205与过剩氧区域的氧起反应而生成氧化物。

[0491] 绝缘体220、绝缘体222及绝缘体224可以通过采用与绝缘体320同样的材料及方法形成。尤其是，作为绝缘体222，优选使用氧化铪等high-k材料。

[0492] 绝缘体220、绝缘体222及绝缘体224例如可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法(包括热CVD法、有机金属CVD(MOCVD:Metal Organic Chemical Vapor Deposition)法、等离子体增强CVD(PECVD:Plasma Enhanced Chemical Vapor Deposition)法等)、分子束外延(MBE:Molecular Beam Epitaxy)法、原子层沉积(ALD:Atomic Layer Deposition)法或脉冲激光沉积(PLD:Pulsed Laser Deposition)法等形成。尤其是，当通过CVD法，优选为通过ALD法等形成该绝缘体时，可以提高覆盖性，所以是优选的。另外，为了减少等离子体所导致的损伤，优选利用热CVD法、MOCVD法或ALD法。此外，也可以使用使TEOS(Tetra-Ethyl-Ortho-Silicate:四乙氧基硅烷)或硅烷等与氧或一氧化二氮等起反应而形成的台阶覆盖性良好的氧化硅膜。

[0493] 另外，优选连续地形成绝缘体220、绝缘体222及绝缘体224。通过连续地形成它们，可以形成可靠性高的绝缘体，而不使杂质附着于绝缘体220与绝缘体222的界面及绝缘体222与绝缘体224的界面。

[0494] 接着，依次形成成为氧化物230a的氧化物230A及成为氧化物230b的氧化物230B。该氧化物优选以不接触于大气的方式连续地形成。

[0495] 然后，在氧化物230A上形成成为导电体240a及导电体240b的导电膜240A。作为导电膜240A，优选使用具有对氢或氧的阻挡性且耐氧化性高的材料。另外，虽然在附图中采用单层，但是也可以采用两层以上的叠层结构。接着，通过与上述方法同样的方法形成抗蚀剂掩模292(图32E)。

[0496] 使用抗蚀剂掩模292，通过蚀刻去除导电膜240A的不需要的部分，形成岛状导电层240B(图33A)。然后，以导电层240B为掩模通过蚀刻去除氧化物230A及氧化物230B的不需要的部分。

[0497] 此时，也可以同时将绝缘体224加工为岛状。例如，通过将具有阻挡性的绝缘体222用作蚀刻停止膜，即使在绝缘体220、绝缘体222及绝缘体224的总厚度薄的结构中，也可以

防止绝缘体222的下方的布线层也被过蚀刻。另外，通过减少绝缘体220、绝缘体222及绝缘体224的总厚度，来自导电体205的电压高效地施加到它们，所以可以提供一种功耗低的晶体管。

[0498] 然后，去除抗蚀剂掩模，由此可以形成岛状氧化物230a、岛状氧化物230b及岛状导电层240B的叠层结构(图33B)。

[0499] 接着，优选进行加热处理(图33C中的箭头表示加热处理)。加热处理在250℃以上且400℃以下，优选为320℃以上且380℃以下的温度下且在惰性气体气氛、包含10ppm以上的氧化气体的气氛或减压状态下进行即可。此外，也可以在惰性气体气氛下进行加热处理之后，在包含10ppm以上的氧化气体的气氛下进行加热处理以填补脱离的氧。通过加热处理，可以去除作为氧化物230a及氧化物230b的杂质的氢。另外，氧从形成在氧化物230a的下方的绝缘体供应到氧化物230a及氧化物230b中，由此可以降低氧化物中的氧空位。

[0500] 接着，通过与上述方法同样的方法在岛状导电层240B上形成抗蚀剂掩模294(图33D)。接着，通过蚀刻去除导电层240B的不需要的部分，然后去除抗蚀剂掩模294，由此形成导电体240a及导电体240b(图34A)。此时，通过对绝缘体222或绝缘体224的一部分进行蚀刻来减薄也可以实现s-channel结构。

[0501] 这里，也可以进行加热处理。加热处理的条件与在图33C中说明的加热处理相同即可。通过加热处理，可以去除作为氧化物230a及氧化物230b的杂质的氢。另外，氧从形成在氧化物230a的下方的绝缘体供应到氧化物230a及氧化物230b中，由此可以降低氧化物中的氧空位。再者，在使用氧化气体进行加热处理的情况下，通过使氧化气体直接接触于形成沟道的区域，可以高效地减少形成沟道的区域所包括的氧空位。

[0502] 接着，形成氧化物230c。此外，这里也可以进行加热处理(图34B中的箭头表示加热处理)。加热处理的条件与在图34C中说明的加热处理相同即可。通过加热处理，可以去除作为氧化物230a及氧化物230b的杂质的氢。另外，氧从形成在氧化物230a的下方的绝缘体供应到氧化物230a及氧化物230b中，由此可以降低氧化物中的氧空位。再者，在使用氧化气体进行加热处理的情况下，通过使氧化气体直接接触于形成沟道的区域，可以高效地减少形成沟道的区域中的氧空位。

[0503] 接着，依次形成绝缘体250及将成为导电体260的导电膜260A。另外，作为导电膜260A，优选使用具有对氢或氧的阻挡性且耐氧化性高的材料。另外，虽然在附图中采用单层，但是也可以采用两层以上的叠层结构。

[0504] 例如，作为两层结构，可以采用相同材料的叠层。第一导电膜利用热CVD法、MOCVD法或ALD法形成。尤其是，优选利用ALD法形成。通过利用ALD法等形成，可以降低进行沉积时对绝缘体250造成的损伤。此外，因为可以提高覆盖性，所以优选利用ALD法等形成第一导电膜。因此，可以提供一种可靠性高的晶体管200。

[0505] 接着，利用溅射法形成第二导电膜。此时，通过在绝缘体250上具有第一导电膜，可以抑制形成第二导电膜时造成的损伤给绝缘体250带来的影响。此外，溅射法的沉积速度比ALD法快，由此可以提高成品率及生产率。注意，优选使用不包含氯的沉积气体形成导电膜260A。

[0506] 接着，通过与上述方法同样的方法在导电膜260A上形成抗蚀剂掩模296(图34C)。接着，通过蚀刻去除导电膜260A的不需要的部分来形成导电体260，然后去除抗蚀剂掩模

296(图35A)。

[0507] 接着,在导电体260上形成绝缘体280。绝缘体280是包含氧的绝缘体,诸如氧化硅膜、氧氮化硅膜等。作为形成包含过剩氧的绝缘体的方法,可以适当地设定CVD法或溅射法中的条件,形成使其膜中包含多量氧的氧化硅膜或氧氮化硅膜。另外,也可以在形成氧化硅膜及氧氮化硅膜之后,通过离子注入法、离子掺杂法或等离子体处理添加氧。

[0508] 尤其是,优选进行氧等离子体处理(图35B中的箭头表示等离子体处理)。在典型的氧等离子体处理中,利用通过氧气体的辉光放电等离子体产生的自由基对氧化物半导体表面进行处理。但是产生等离子体的气体不局限于氧,也可以是氧气体和稀有气体的混合气体。例如,以250℃以上且400℃以下,优选为300℃以上且400℃以下的温度,在包含氧化气体的气氛或减压状态下进行氧等离子体处理即可。

[0509] 通过氧等离子体处理,在对绝缘体280及氧化物230进行脱水化或脱氢化处理的同时对绝缘体280引入过剩氧,由此可以形成过剩氧区域。另外,在被脱水化或脱氢化的氧化物230中产生氧空位,而低电阻化。另一方面,绝缘体280中的过剩氧填补氧化物230中的氧空位。因此,通过氧等离子体处理,绝缘体280可以其中形成过剩氧区域的同时去除杂质的氢及水。此外,边填补氧化物230中的氧空位边从氧化物230去除杂质的氢或水。因此,可以提高晶体管200的电特性,并且可以减少电特性的不均匀。

[0510] 接着,在绝缘体280上形成绝缘体282(图35C)。优选使用溅射设备形成绝缘体282。通过利用溅射法,可以更容易地在绝缘体282的下方的绝缘体280中形成过剩氧区域。

[0511] 在通过溅射法进行沉积时,在靶材与衬底之间存在离子和被溅射的粒子。例如,靶材与电源连接,并被施加电位E0。另外,衬底被施加接地电位等电位E1。但是,衬底也可以处于电浮动状态。另外,在靶材与衬底之间存在成为电位E2的区域。各电位的大小关系为E2>E1>E0。

[0512] 通过使等离子体中的离子由于电位差(E2-E0)加速而该离子碰撞到靶材,被溅射的粒子从靶材被弹出。并且,通过该被溅射的粒子附着于沉积表面上而沉积,来形成膜。另外,有时离子的一部分由靶材反冲,并且作为反冲离子经过所形成的膜被吸收到位于所形成的膜的下方的绝缘体280。此外,有时等离子体中的离子由于电位差(E2-E1)而加速,冲击到沉积表面。此时,离子的一部分到达绝缘体280的内部。通过离子被吸收到绝缘体280,在绝缘体280中形成离子被吸收的区域。换言之,在离子是包含氧的离子的情况下,在绝缘体280中形成过剩氧区域。

[0513] 通过对绝缘体280引入过剩氧,可以形成过剩氧区域。绝缘体280中的过剩氧被供应到氧化物230中,可以填补氧化物230中的氧空位。在此,在作为与绝缘体280接触的导电体260、导电体240a及导电体240b使用耐氧化性高的导电体的情况下,绝缘体280中的过剩氧不被导电体260、导电体240a及导电体240b吸收,可以被高效地供应到氧化物230中。因此,可以提高晶体管200的电特性,并且可以减少电特性的不均匀。

[0514] 通过上述工序,可以制造本发明的一个实施方式的晶体管200。

[0515] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0516] (实施方式4)

[0517] 在本实施方式中,下面参照图39A至图39E、图40A至图40E、图41A至图41D、图42A及

图42B、图43以及图44说明包括在上述实施方式所例示的晶体管中的氧化物半导体。

[0518] <氧化物半导体的结构>

[0519] 下面,说明氧化物半导体的结构。

[0520] 氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体有CAAC-OS(c-axis-aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0521] 从其他观点看来,氧化物半导体被分为非晶氧化物半导体和结晶氧化物半导体。作为结晶氧化物半导体,有单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及nc-OS等。

[0522] 一般而言,非晶结构具有如下特征:具有各向同性而不具有不均匀结构;处于亚稳态且原子的配置没有被固定化;键角不固定;具有短程有序而不具有长程有序;等。

[0523] 即,不能将稳定的氧化物半导体称为完全非晶氧化物半导体。另外,不能将不具有各向同性(例如,在微小区域中具有周期结构)的氧化物半导体称为完全非晶氧化物半导体。另一方面,a-like OS不具有各向同性但却是具有空洞(void)的不稳定结构。在不稳定这一点上,a-like OS在物性上接近于非晶氧化物半导体。

[0524] <CAAC-OS>

[0525] 首先,将说明CAAC-OS。

[0526] CAAC-OS是包含多个c轴取向的结晶部(也称为颗粒)的氧化物半导体之一。

[0527] 说明使用X射线衍射(XRD:X-Ray Diffraction)的CAAC-OS的分析。例如,当利用out-of-plane法分析包含分类为空间群R-3m的$InGaZnO_4$结晶的CAAC-OS的结构时,如图39A所示,在衍射角(2θ)为31°附近出现峰值。由于该峰值来源于$InGaZnO_4$结晶的(009)面,由此可确认到在CAAC-OS中结晶具有c轴取向性,并且c轴朝向大致垂直于形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的顶面的方向。注意,除了2θ为31°附近的峰值以外,有时在2θ为36°附近也出现峰值。2θ为36°附近的峰值起因于分类为空间群Fd-3m的结晶结构。因此,优选的是,在CAAC-OS中不出现该峰值。

[0528] 另一方面,当利用在平行于被形成面的方向上使X射线入射到CAAC-OS的in-plane法分析CAAC-OS的结构时,在2θ为56°附近出现峰值。该峰值来源于$InGaZnO_4$结晶的(110)面。当将2θ固定为56°附近并在以样品面的法线向量为轴(φ轴)旋转样品的条件下进行分析(φ扫描)时,如图39B所示的那样观察不到明确的峰值。另一方面,当对单晶$InGaZnO_4$将2θ固定为56°附近来进行φ扫描时,如图39C所示,观察到来源于相等于(110)面的结晶面的六个峰值。因此,由使用XRD的结构分析可以确认到CAAC-OS中的a轴和b轴的取向没有规律性。

[0529] 接着,将说明利用电子衍射的CAAC-OS分析。例如,当对包含$InGaZnO_4$结晶的CAAC-OS在平行于CAAC-OS的被形成面的方向上入射束径为300nm的电子束时,有可能出现图39D所示的衍射图案(也称为选区电子衍射图案)。在该衍射图案中包含起因于$InGaZnO_4$结晶的(009)面的斑点。因此,电子衍射也示出CAAC-OS所包含的颗粒具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS的被形成面或顶面的方向。另一方面,图39E示出对相同的样品在垂直于样品面的方向上入射束径为300nm的电子束时的衍射图案。从图39E观察到环状的衍射图案。因此,使用束径为300nm的电子束的电子衍射也示出CAAC-OS所包含的颗粒的a轴和b轴

不具有取向性。可以认为图39E中的第一环起因于$InGaZnO_4$结晶的(010)面和(100)面等。另外,可以认为图39E中的第二环起因于(110)面等。

[0530] 在利用透射电子显微镜(TEM:Transmission Electron Microscope)观察所获取的CAAC-OS的明视场图像与衍射图案的复合分析图像(也称为高分辨率TEM图像)中,可以观察到多个颗粒。然而,即使在高分辨率TEM图像中,有时观察不到颗粒与颗粒之间的明确的边界,即晶界(grain boundary)。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。

[0531] 图40A示出从大致平行于样品面的方向观察所获取的CAAC-OS的截面的高分辨率TEM图像。利用球面像差校正(Spherical Aberration Corrector)功能得到高分辨率TEM图像。尤其将利用球面像差校正功能获取的高分辨率TEM图像称为Cs校正高分辨率TEM图像。例如可以使用日本电子株式会社制造的原子分辨率分析型电子显微镜JEM-ARM200F等观察Cs校正高分辨率TEM图像。

[0532] 从图40A可确认到其中金属原子排列为层状的颗粒。图40A示出一个颗粒的尺寸为1nm以上或者3nm以上。因此,也可以将颗粒称为纳米晶(nc:nanocrystal)。另外,也可以将CAAC-OS称为具有CANC(C-Axis Aligned nanocrystals:c轴取向纳米晶)的氧化物半导体。颗粒反映CAAC-OS的被形成面或顶面的凸凹并平行于CAAC-OS的被形成面或顶面。

[0533] 图40B及图40C示出从大致垂直于样品面的方向观察CAAC-OS的平面的Cs校正高分辨率TEM图像。图40D及图40E是通过对图40B及图40C进行图像处理得到的图像。下面说明图像处理的方法。首先,通过对图40B进行快速傅里叶变换(FFT:Fast Fourier Transform)处理,获取FFT图像。接着,以保留所获取的FFT图像中的离原点$2.8nm^{-1}$至$5.0nm^{-1}$的范围的方式进行掩模处理。在进行掩模处理之后,对FFT图像进行快速傅立叶逆变换(IFFT:Inverse Fast Fourier Transform)处理而获取经过处理的图像。将所获取的图像称为FFT滤波图像。FFT滤波图像是从Cs校正高分辨率TEM图像中提取出周期分量的图像,其示出晶格排列。

[0534] 在图40D中,以虚线示出晶格排列被打乱的部分。由虚线围绕的区域是一个颗粒。以虚线示出的部分是颗粒与颗粒的联结部。虚线呈现六角形,由此可知颗粒为六角形。注意,颗粒的形状并不局限于正六角形,不是正六角形的情况较多。

[0535] 在图40E中,以点线示出晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分,以虚线示出晶格排列的方向变化。在点线附近也无法确认到明确的晶界。当以点线附近的晶格点为中心连接周围的晶格点时,可以形成畸变的六角形、五角形和/或七角形等。即,可知通过使晶格排列畸变,可抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变:在a-b面方向上的氧的原子排列的低密度或因金属元素的取代而使原子间的键合距离产生变化等。

[0536] 如上所示,CAAC-OS具有c轴取向性,其颗粒(纳米晶)在a-b面方向上连结而结晶结构具有畸变。因此,也可以将CAAC-OS称为具有CAA(c-axis-aligned a-b-plane-anchored)结晶的氧化物半导体。

[0537] CAAC-OS是结晶性高的氧化物半导体。氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质及缺陷(氧空位等)少的氧化物半导体。

[0538] 此外,杂质是指氧化物半导体的主要成分以外的元素,诸如氢、碳、硅和过渡金属元素等。例如,与氧的键合力包含在氧化物半导体中的金属元素强的元素(具体而言,硅等)

会夺取氧化物半导体中的氧，由此打乱氧化物半导体的原子排列，导致结晶性下降。另外，由于铁或镍等重金属、氩、二氧化碳等的原子半径(或分子半径)大，所以会打乱氧化物半导体的原子排列，导致结晶性下降。

[0539] <nc-OS>

[0540] 接着，对nc-OS进行说明。

[0541] 说明使用XRD的nc-OS的分析。当利用out-of-plane法分析nc-OS的结构时，不出现表示取向性的峰值。换言之，nc-OS的结晶不具有取向性。

[0542] 例如，当在平行于被形成面的方向上使束径为50nm的电子束入射到包含$InGaZnO_4$结晶的薄片化的nc-OS的34nm厚的区域时，观察到如图41A所示的环状衍射图案(纳米束电子衍射图案)。另外，图41B示出将束径为1nm的电子束入射到相同的样品时的衍射图案。从图41B观察到环状区域内的多个斑点。因此，nc-OS在入射束径为50nm的电子束时观察不到秩序性，但是在入射束径为1nm的电子束时确认到秩序性。

[0543] 另外，当使束径为1nm的电子束入射到厚度小于10nm的区域时，如图41C所示，有时观察到斑点被配置为准正六角形的电子衍射图案。由此可知，nc-OS在厚度小于10nm的范围内包含秩序性高的区域，即结晶。注意，因为结晶朝向各种各样的方向，所以有时观察不到有规律性的电子衍射图案。

[0544] 图41D示出从大致平行于被形成面的方向观察到的nc-OS的截面的Cs校正高分辨率TEM图像。在高分辨率TEM图像中nc-OS有如由图41D的辅助线所示的部分那样观察到结晶部的区域和观察不到明确的结晶部的区域。nc-OS所包含的结晶部的尺寸大多为1nm以上且10nm以下，尤其为1nm以上且3nm以下。注意，有时将其结晶部的尺寸大于10nm且是100nm以下的氧化物半导体称为微晶氧化物半导体(microcrystalline oxide semiconductor)。例如，在nc-OS的高分辨率TEM图像中，有时无法明确地观察到晶界。注意，纳米晶的来源有可能与CAAC-OS中的颗粒相同。因此，下面有时将nc-OS的结晶部称为颗粒。

[0545] 如此，在nc-OS中，微小的区域(例如1nm以上且10nm以下的区域，特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外，nc-OS在不同的颗粒之间观察不到结晶取向的规律性。因此，在膜整体中没有取向性。所以，有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0546] 由于在颗粒(纳米晶)之间结晶取向没有规律性，所以也可以将nc-OS称为包含无规取向纳米晶(RANC:Random Aligned nanocrystals)的氧化物半导体或包含无取向纳米晶(NANC:Non-Aligned nanocrystals)的氧化物半导体。

[0547] nc-OS是规律性比非晶氧化物半导体高的氧化物半导体。因此，nc-OS的缺陷态密度容易比a-like OS及非晶氧化物半导体低。但是，在nc-OS中的不同的颗粒之间没有晶体取向的规律性。所以，nc-OS的缺陷态密度比CAAC-OS高。

[0548] <a-like OS>

[0549] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。

[0550] 图42A和图42B示出a-like OS的高分辨率截面TEM图像。图42A示出电子照射开始时的a-like OS的高分辨率截面TEM图像。图42B示出照射$4.3\times10^8 e^-/nm^2$的电子(e^-)之后的a-like OS的高分辨率截面TEM图像。由图42A和图42B可知，a-like OS从电子照射开始时被观察到在纵向方向上延伸的条状明亮区域。另外，可知明亮区域的形状在照射电子之后变

化。明亮区域被估计为空洞或低密度区域。

[0551] 由于a-like OS包含空洞,所以其结构不稳定。为了证明与CAAC-OS及nc-OS相比a-like OS具有不稳定的结构,下面示出电子照射所导致的结构变化。

[0552] 作为样品,准备a-like OS、nc-OS和CAAC-OS。每个样品都是In-Ga-Zn氧化物。

[0553] 首先,取得各样品的高分辨率截面TEM图像。由高分辨率截面TEM图像可知,每个样品都具有结晶部。

[0554] 已知$InGaZnO_4$结晶的单位晶格具有所包括的三个In-O层和六个Ga-Zn-O层共计九个层在c轴方向上层叠的结构。这些彼此靠近的层之间的间隔与(009)面的晶格表面间隔(也称为d值)几乎相等,由结晶结构分析求出其值为0.29nm。由此,在下面可以将晶格条纹的间隔为0.28nm以上且0.30nm以下的部分看作$InGaZnO_4$结晶部。各晶格条纹对应于$InGaZnO_4$结晶的a-b面。

[0555] 图43示出各样品的结晶部(22至30处)的平均尺寸的变化。注意,结晶部尺寸对应于上述晶格条纹的长度。由图43可知,在所获得的TEM图像中,a-like OS中的结晶部尺寸根据电子的累积照射量的增大而变大。由图43可知,在利用TEM的观察初期尺寸为1.2nm左右的结晶部(也称为初始晶核)在电子(e^-)的累积照射量为$4.2\times10^8e^-/nm^2$时生长到1.9nm左右。另一方面,可知nc-OS和CAAC-OS在开始电子照射时到电子的累积照射量为$4.2\times10^8e^-/nm^2$的范围内,结晶部的尺寸都没有变化。由图43可知,无论电子的累积照射量如何,nc-OS及CAAC-OS的结晶部尺寸分别为1.3nm左右及1.8nm左右。此外,使用日立透射电子显微镜H-9000NAR进行电子束照射及TEM的观察。作为电子束照射条件,加速电压为300kV;电流密度为$6.7\times10^5e^-/(nm^2\cdot s)$;照射区域的直径为230nm。

[0556] 如此,有时电子照射引起a-like OS中的结晶部的生长。另一方面,在nc-OS和CAAC-OS中,几乎没有电子照射所引起的结晶部的生长。也就是说,a-like OS与nc-OS及CAAC-OS相比具有不稳定的结构。

[0557] 由于a-like OS包含空洞,所以其密度比nc-OS及CAAC-OS低。具体地,a-like OS的密度为具有相同组成的单晶氧化物半导体的78.6%以上且小于92.3%。nc-OS的密度及CAAC-OS的密度为具有相同组成的单晶氧化物半导体的92.3%以上且小于100%。注意,难以形成其密度小于单晶氧化物半导体的密度的78%的氧化物半导体。

[0558] 例如,在原子比满足In:Ga:Zn=1:1:1的氧化物半导体中,具有菱方晶系结构的单晶$InGaZnO_4$的密度为$6.357g/cm^3$。因此,例如,在原子比满足In:Ga:Zn=1:1:1的氧化物半导体中,a-like OS的密度为$5.0g/cm^3$以上且小于$5.9g/cm^3$。另外,例如,在原子比满足In:Ga:Zn=1:1:1的氧化物半导体中,nc-OS的密度和CAAC-OS的密度为$5.9g/cm^3$以上且小于$6.3g/cm^3$。

[0559] 注意,当不存在相同组成的单晶氧化物半导体时,通过以任意比例组合组成不同的单晶氧化物半导体,可以估计出相当于所希望的组成的单晶氧化物半导体的密度。根据组成不同的单晶氧化物半导体的组合比例可以使用加权平均计算出相当于所希望的组成的单晶氧化物半导体的密度即可。注意,优选尽可能减少所组合的单晶氧化物半导体的种类来计算密度。

[0560] 如上所述,氧化物半导体具有各种结构及各种特性。注意,氧化物半导体例如可以是包括非晶氧化物半导体、a-like OS、nc-OS和CAAC-OS中的两种以上的叠层膜。

[0561] <氧化物半导体的载流子密度>

[0562] 对氧化物半导体的载流子密度进行说明。

[0563] 作为影响氧化物半导体的载流子密度的因素的例子包括氧化物半导体中的氧空位(Vo)及杂质等。

[0564] 氧化物半导体中的氧空位越增多,在氢与该氧空位键合(也可以将该状态称为VoH)时,缺陷态密度也越增高。当氧化物半导体中的杂质增多时,缺陷态密度也增高。由此,可以通过控制氧化物半导体中的缺陷态密度来控制氧化物半导体的载流子密度。

[0565] 下面,对将氧化物半导体用于沟道区域的晶体管进行说明。

[0566] 为了以抑制晶体管的阈值电压的负向漂移或降低晶体管的关态电流,优选减少氧化物半导体的载流子密度。为了以降低氧化物半导体的载流子密度,可以降低氧化物半导体中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。高纯度本征的氧化物半导体的载流子密度低于$8\times10^{15}cm^{-3}$,优选低于$1\times10^{11}cm^{-3}$,更优选低于$1\times10^{10}cm^{-3}$,且为$1\times10^{-9}cm^{-3}$以上,即可。

[0567] 另一方面,为了以增加晶体管的通态电流或提高晶体管的场效应迁移率,优选增加氧化物半导体的载流子密度。为了增加氧化物半导体的载流子密度,稍微提高氧化物半导体的杂质浓度,或者稍微增高氧化物半导体的缺陷态密度即可。或者,优选缩小氧化物半导体的带隙即可。例如,在得到晶体管的Id-Vg特性的导通/截止比的范围中,杂质浓度稍高或缺陷态密度稍高的氧化物半导体可以被看作实质上本征。此外,因电子亲和势大而带隙小的热激发电子(载流子)密度增高的氧化物半导体可以被看作实质上本征。另外,在使用电子亲和势较大的氧化物半导体的情况下,晶体管的阈值电压更低。

[0568] 上述载流子密度增高的氧化物半导体稍微被n型化,因此,也可以将载流子密度增高的氧化物半导体称为“Slightly-n”。

[0569] 实质上本征的氧化物半导体的载流子密度优选为$1\times10^{5}cm^{-3}$以上且低于$1\times10^{18}cm^{-3}$,更优选为$1\times10^{7}cm^{-3}$以上且$1\times10^{17}cm^{-3}$以下,进一步优选为$1\times10^{9}cm^{-3}$以上且$5\times10^{16}cm^{-3}$以下,还优选为$1\times10^{10}cm^{-3}$以上且$1\times10^{16}cm^{-3}$以下,还进一步优选为$1\times10^{11}cm^{-3}$以上且$1\times10^{15}cm^{-3}$以下。

[0570] 通过使用上述实质上本征的氧化物半导体膜,也可以提高晶体管的可靠性。在此,使用图44说明在沟道区域中使用氧化物半导体膜的晶体管的可靠性得到提高的理由。图44是在其沟道区域中使用氧化物半导体膜的晶体管的能带图。

[0571] 在图44中,GE、GI、OS及SD分别表示栅电极、栅极绝缘膜、氧化物半导体膜及源电极或漏电极。就是说,图44示出栅电极、栅极绝缘膜、氧化物半导体膜、与氧化物半导体膜接触的源电极或漏电极的能带的一个例子。

[0572] 在图44中,作为栅极绝缘膜及氧化物半导体膜,分别使用氧化硅膜及In-Ga-Zn氧化物。有可能形成在氧化硅膜中的缺陷的迁移能级(εf)被假设形成在离栅极绝缘膜的导带底约3.1eV的位置。此外,将在栅极电压(V_g)为30V时的氧化物半导体膜与氧化硅膜的界面处的氧化硅膜的费米能级(Ef)会形成在离栅极绝缘膜的导带底约3.6eV的位置。氧化硅膜的费米能级依赖于栅极电压而变动。例如,随着栅极电压的增大,氧化物半导体膜与氧化硅膜的界面处的氧化硅膜的费米能级(Ef)变低。图44中的白色圆圈及X分别表示电子(载流子)及氧化硅膜中的缺陷态。

[0573] 如图44所示，当在栅极电压的施加中载流子被热激发时，载流子被缺陷态(附图中的X)俘获，缺陷态的荷电状态从正(“+”)变为中性(“0”)。就是说，当对氧化硅膜的费米能级(E_f)加热激发的能量来得到的值比缺陷的迁移能级(εf)高时，氧化硅膜中的缺陷态的荷电状态从正变为中性，从而晶体管的阈值电压向正方向变动。

[0574] 当使用电子亲和势不同的氧化物半导体膜时，有可能栅极绝缘膜与氧化物半导体膜的界面的费米能级产生变化。当使用电子亲和势较大的氧化物半导体膜时，在栅极绝缘膜与氧化物半导体膜的界面或该界面附近栅极绝缘膜的导带底相对提高。此时，有可能形成在栅极绝缘膜中的缺陷态(图44中的X)相对提高，因此栅极绝缘膜的费米能级与氧化物半导体膜的费米能级的能量差变大。该能量差的增大使被栅极绝缘膜俘获的电荷减少。例如，有可能形成在上述氧化硅膜中的缺陷态的荷电状态变化变少，而可以减少由栅极偏压热(GBT:gate bias temperature)压力所导致的晶体管的阈值电压变动。

[0575] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0576] (实施方式5)

[0577] 在本实施方式中，对包括本发明的一个实施方式的晶体管等的半导体装置的电路的例子进行说明。

[0578] 〈电路〉

[0579] 以下，参照图45及图46对包括本发明的一个实施方式的晶体管等的半导体装置的电路的例子进行说明。

[0580] 〈存储装置1〉

[0581] 图45的半导体装置与上述实施方式所说明的半导体装置之间的不同之处在于包括晶体管3500及布线3006。在此情况下也可以通过与上述实施方式所示的半导体装置相同的方式进行数据的写入及保持。作为晶体管3500，可以使用与上述晶体管200同样的晶体管。

[0582] 布线3006与晶体管3500的栅极电连接，晶体管3500的源极和漏极中的一个与晶体管3200的漏极电连接，晶体管3500的源极和漏极中的另一个与布线3003电连接。

[0583] 〈存储装置2〉

[0584] 参照图46的电路图对半导体装置(存储装置)的变形例子进行说明。

[0585] 图46所示的半导体装置包括晶体管4100、4200、4300及4400、电容器4500及4600。在此，作为晶体管4100可以使用与上述晶体管300同样的晶体管，作为晶体管4200至4400可以使用与上述晶体管200同样的晶体管。作为电容器4500及4600，可以使用与上述电容器100同样的电容器。虽然在图46中未示出，但是多个图46的半导体装置被设置为矩阵状。图46的半导体装置可以根据供应到布线4001、布线4003、布线4005至4009的信号或电位而控制数据电压的写入及读出。

[0586] 晶体管4100的源极和漏极中的一个连接于布线4003。晶体管4100的源极和漏极中的另一个连接于布线4001。虽然在图46中晶体管4100为p沟道晶体管，但是该晶体管4100也可以为n沟道晶体管。

[0587] 图46的半导体装置包括两个数据保持部。例如，第一数据保持部在连接于节点FG1的晶体管4400的源极和漏极中的一个、电容器4600的一个电极以及晶体管4200的源极和漏极中的一个之间保持电荷。第二数据保持部在连接于节点FG2的晶体管4100的栅极、晶体管

4200的源极和漏极中的另一个、晶体管4300的源极和漏极中的一个以及电容器4500的一个电极之间保持电荷。

[0588] 晶体管4300的源极和漏极中的另一个连接于布线4003。晶体管4400的源极和漏极中的另一个连接于布线4001。晶体管4400的栅极连接于布线4005。晶体管4200的栅极连接于布线4006。晶体管4300的栅极连接于布线4007。电容器4600的另一个电极连接于布线4008。电容器4500的另一个电极连接于布线4009。

[0589] 晶体管4200、4300及4400被用作控制数据电压的写入及电荷的保持的开关。注意，作为晶体管4200、4300及4400优选使用在非导通状态下流过源极与漏极之间的电流较小(关态电流较小)的晶体管。作为关态电流较小的晶体管的例子，优选使用在其沟道形成区域中包括氧化物半导体的晶体管(OS晶体管)。OS晶体管例如具有关态电流较小并可以以与包含硅的晶体管重叠的方式制造。虽然在图46中晶体管4200、4300及4400为n沟道晶体管，但是该晶体管4200、4300及4400也可以为p沟道晶体管。

[0590] 即便晶体管4200、晶体管4300及晶体管4400是包含氧化物半导体的晶体管，也优选将晶体管4200及晶体管4300设置在与晶体管4400不同的层中。也就是说，在图46的半导体装置中，优选层叠晶体管4100、晶体管4200及晶体管4300与晶体管4400。换言之，通过使晶体管集成化，能够缩小电路面积，而能够减小半导体装置的尺寸。

[0591] 接着，说明对图46所示的半导体装置写入数据的工作。

[0592] 首先，说明对连接于节点FG1的数据保持部写入数据电压的工作(以下称为写入工作1)。在下面的说明中，写入到连接于节点FG1的数据保持部的数据电压为V_{D1}，而晶体管4100的阈值电压为V_{th}。

[0593] 在写入工作1中，将布线4003的电位设定为V_{D1}，并在将布线4001的电位设定为接地电位之后，使布线4001处于电浮动状态。将布线4005及4006设定为高电平。将布线4007至4009设定为低电平。然后，处于电浮动状态的节点FG2的电位上升，由此电流流过晶体管4100。通过该电流的流过，布线4001的电位上升。晶体管4400及4200成为导通状态。因此，随着布线4001的电位上升，节点FG1及FG2的电位就上升。当节点FG2的电位上升而晶体管4100的栅极与源极之间的电压(V_{gs})到达晶体管4100的阈值电压V_{th}时，流过晶体管4100中的电流变小。因此，布线4001、节点FG1及FG2的电位上升停止，而节点FG1及FG2的电位被固定为比V_{D1}低出V_{th}的“$V_{D1}-V_{th}$”。

[0594] 当电流流过晶体管4100时，施加到布线4003的V_{D1}被施加到布线4001，而节点FG1及FG2的电位上升。当由于电位的上升而节点FG2的电位成为“$V_{D1}-V_{th}$”时，晶体管4100的V_{gs}成为V_{th}，所以电流停止。

[0595] 接着，说明对连接于节点FG2的数据保持部写入数据电压的工作(以下称为写入工作2)。在下面的说明中，写入到连接于节点FG2的数据保持部的数据电压称为V_{D2}。

[0596] 在写入工作2中，将布线4001的电位设定为V_{D2}，并在将布线4003的电位设定为接地电位之后，使布线4003处于电浮动状态。将布线4007设定为高电平。将布线4005、4006、4008及4009设定为低电平。将晶体管4300处于导通状态，而将布线4003设定为低电平。因此，节点FG2的电位也降低到低电平，而电流流过晶体管4100。通过该电流的流过，布线4003的电位上升。晶体管4300成为导通状态。因此，随着布线4003的电位上升，节点FG2的电位就上升。当节点FG2的电位上升而晶体管4100的V_{gs}成为晶体管4100的V_{th}时，流过晶体管4100中

的电流变小。因此，布线4003及节点FG2的电位的上升停止，而节点FG2的电位被固定为比V_{D2}低出V_{th}的“$V_{D2}-V_{th}$”。

[0597] 也就是说，当电流流过晶体管4100时，施加到布线4001的V_{D2}被施加到布线4003，而节点FG2的电位上升。当由于电位的上升而节点FG2的电位成为“$V_{D2}-V_{th}$”时，晶体管4100的V_{gs}成为V_{th}，所以电流停止。此时，晶体管4200和4400处于非导通状态，而节点FG1的电位保持在写入工作1中写入的“$V_{D1}-V_{th}$”。

[0598] 在图46的半导体装置中，在将数据电压写入到多个数据保持部之后，将布线4009设定为高电平，而使节点FG1及FG2的电位上升。然后，使各晶体管处于非导通状态以停止电荷移动，来保持所写入的数据电压。

[0599] 通过如上所述的对节点FG1及FG2进行数据电压的写入工作，可以将数据电压保持在多个数据保持部。虽然说明了作为所写入的电位使用“$V_{D1}-V_{th}$”及“$V_{D2}-V_{th}$”的例子，但是它们是对应于多值数据的数据电压。因此，当各数据保持部保持4位的数据时，可以得到16个值的“$V_{D1}-V_{th}$”及16个值的“$V_{D2}-V_{th}$”。

[0600] 接着，说明从图46的半导体装置读出数据的工作。

[0601] 首先，说明对连接于节点FG2的数据保持部读出数据电压的工作(以下称为读出工作1)。

[0602] 在读出工作1中，对预充电后成为电浮动状态的布线4003进行放电。将布线4005至4008设定为低电平。当将布线4009设定为低电平时，将处于电浮动状态的节点FG2的电位设定为“$V_{D2}-V_{th}$”。节点FG2的电位降低，由此电流流过晶体管4100。通过该电流的流过，电浮动状态的布线4003的电位降低。随着布线4003的电位的降低，晶体管4100的V_{gs}就变小。当晶体管4100的V_{gs}成为晶体管4100的V_{th}时，流过晶体管4100的电流变小。也就是说，布线4003的电位成为比节点FG2的电位“$V_{D2}-V_{th}$”高出V_{th}的“V_{D2}”。该布线4003的电位对应于连接到节点FG2的数据保持部的数据电压。对所读出的模拟数据电压进行A/D转换，以取得连接于节点FG2的数据保持部的数据。

[0603] 也就是说，使经预充电后的布线4003成为浮动状态，而将布线4009的电位从高电平换到低电平，由此电流流过晶体管4100。当电流流过时，处于浮动状态的布线4003的电位降低而成为“V_{D2}”。在晶体管4100中，节点FG2的“$V_{D2}-V_{th}$”与布线4003的“V_{D2}”之间的V_{gs}成为V_{th}，因此电流停止。然后，在写入工作2中写入的“V_{D2}”被读出到布线4003。

[0604] 在取得连接于节点FG2的数据保持部的数据之后，使晶体管4300处于导通状态，而使节点FG2的“$V_{D2}-V_{th}$”放电。

[0605] 然后，将保持在节点FG1的电荷分配在节点FG1及节点FG2之间，而将连接于节点FG1的数据保持部的数据电压移动到连接于节点FG2的数据保持部。将布线4001及4003设定为低电平。将布线4006设定为高电平。将布线4005、布线4007至4009设定为低电平。当使晶体管4200处于导通状态时，节点FG1的电荷被分配在节点FG1与节点FG2之间。

[0606] 在此，电荷分配后的电位从所写入的电位“$V_{D1}-V_{th}$”降低。因此，电容器4600的电容值优选大于电容器4500的电容值。或者，写入到节点FG1的电位“$V_{D1}-V_{th}$”优选大于对应于相同数据的电位“$V_{D2}-V_{th}$”。如此，通过改变电容值的比例而预先使写入的电位变大，可以抑制电荷分配后的电位下降。关于电荷分配所引起的电位变动，将在后面进行说明。

[0607] 接着，说明对连接于节点FG1的数据保持部读出数据电压的工作(以下称为读出工

作2)。

[0608] 在读出工作2中,对预充电后成为电浮动状态的布线4003进行放电。将布线4005至4008设定为低电平。布线4009的电位在预充电时被设定为高电平,之后被设定为低电平。当将布线4009设定为低电平时,将处于电浮动状态的节点FG2的电位设定为“$V_{D1}-V_{th}$”。节点FG2的电位降低,由此电流流过晶体管4100。通过该电流的流过,电浮动状态的布线4003的电位降低。随着布线4003的电位的降低,晶体管4100的V_{gs}就变小。当晶体管4100的V_{gs}成为晶体管4100的V_{th}时,流过晶体管4100的电流变小。也就是说,布线4003的电位成为比节点FG2的电位“$V_{D1}-V_{th}$”高出V_{th}的“V_{D1}”。该布线4003的电位对应于连接到节点FG1的数据保持部的数据电压。对所读出的模拟数据电压进行A/D转换,以取得连接于节点FG1的数据保持部的数据。以上是从连接于节点FG1的数据保持部读出数据电压的工作。

[0609] 也就是说,使经预充电后的布线4003成为浮动状态,而将布线4009的电位从高电平换到低电平,由此电流流过晶体管4100。当电流流过时,处于浮动状态的布线4003的电位降低而成为“V_{D1}”。在晶体管4100中,节点FG2的“$V_{D1}-V_{th}$”与布线4003的“V_{D1}”之间的V_{gs}成为V_{th},因此电流停止。然后,在写入工作1中写入的“V_{D1}”被读出到布线4003。

[0610] 在如上所述的对节点FG1及FG2进行的数据电压的读出工作中,可以从多个数据保持部读出数据电压。例如,通过在节点FG1及节点FG2的每一个中保持4位(16个值)的数据,可以保持总共8位(256个值)的数据。虽然在图46所示的结构中设置有第一至第三层4021至4023,但是通过追加层数能够提高存储容量而无需增加半导体装置的面积。

[0611] 注意,所读出的电位可以作为比所写入的数据电压高出V_{th}的电压被读出。因此,可以在读出中抵消在写入工作中写入的“$V_{D1}-V_{th}$”的V_{th}或“$V_{D2}-V_{th}$”的V_{th}。其结果是,可以提高每存储单元的存储容量,还可以将所读出的数据接近于正确的数据,所以可以实现良好的数据可靠性。

[0612] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合。

[0613] (实施方式6)

[0614] 在本实施方式中,参照图47A至图47C、图48A至图48C、图49A和图49B以及图50A和图50B对能够使用上述实施方式所说明的OS晶体管的电路结构例子进行说明。

[0615] 图47A是反相器的电路图。反相器800将供应到输入端子IN的信号的逻辑被反转的信号输出到输出端子OUT。反相器800包括多个OS晶体管。信号S_{BG}能够切换OS晶体管的电特性。

[0616] 图47B示出反相器800的例子。反相器800包括OS晶体管810及OS晶体管820。反相器800可以仅使用n沟道晶体管形成,所以与使用互补金属氧化物半导体(complementary metal oxide semiconductor)形成的反相器(即,CMOS反相器)相比,可以以低成本形成反相器800。

[0617] 另外,包括OS晶体管的反相器800可以设置在包含Si晶体管的CMOS电路上。因为反相器800可以设置为与CMOS电路重叠,所以不需要反相器800的追加面积,从而可以抑制电路面积的增大。

[0618] OS晶体管810、820都包括被用作前栅极的第一栅极、被用作背栅极的第二栅极、被用作源极和漏极中的一个的第一端子以及被用作源极和漏极中的另一个的第二端子。

[0619] OS晶体管810的第一栅极与第二端子连接。OS晶体管810的第二栅极与供应信号S_{BG}

的布线连接。OS晶体管810的第一端子与供应电压VDD的布线连接。OS晶体管810的第二端子与输出端子OUT连接。

[0620] OS晶体管820的第一栅极与输入端子IN连接。OS晶体管820的第二栅极与输入端子IN连接。OS晶体管820的第一端子与输出端子OUT连接。OS晶体管820的第二端子与供应电压VSS的布线连接。

[0621] 图47C是示出反相器800的工作的时序图。图47C的时序图示出输入端子IN的信号波形、输出端子OUT的信号波形、信号S_{BG}的信号波形以及OS晶体管810(FET810)的阈值电压的变化。

[0622] 可以将信号S_{BG}施加到OS晶体管810的第二栅极,来控制OS晶体管810的阈值电压。

[0623] 信号S_{BG}具有用来使阈值电压向负方向漂移的电压V_{BG_A}以及用来使阈值电压向正方向漂移的电压V_{BG_B}。当对第二栅极施加电压V_{BG_A}时,可以使OS晶体管810的阈值电压向负方向漂移而成为阈值电压V_{TH_A}。当对第二栅极施加电压V_{BG_B}时,可以使OS晶体管810的阈值电压向正方向漂移而成为阈值电压V_{TH_B}。

[0624] 为了使上述说明可视化,图48A示出晶体管的电特性之一的V_g-I_d曲线。

[0625] 当将电压V_{BG_A}等高电压施加到第二栅极时,可以将上述OS晶体管810的电特性漂移到图48A中的以虚线840表示的曲线。当将电压V_{BG_B}等低电压施加到第二栅极时,可以将上述OS晶体管810的电特性漂移到图48A中的以实线841表示的曲线。如图48A所示,通过在电压V_{BG_A}和电压V_{BG_B}之间切换信号S_{BG},可以使OS晶体管810的阈值电压向正方向或负方向漂移。

[0626] 通过将阈值电压向正方向漂移到阈值电压V_{TH_B},可以使电流不容易流过OS晶体管810中。图48B视觉性地示出该状态。如图48B所示,可以使流过OS晶体管810的电流I_B极小。因此,在施加到输入端子IN的信号为高电平而OS晶体管820为开启状态(ON)时,可以急剧降低输出端子OUT的电压。

[0627] 由于可以得到如图48B所示电流不容易流过OS晶体管810中的状态,所以可以在图47C的时序图中使输出端子的信号波形831为急剧。可以减少在供应电压VDD的布线与供应电压VSS的布线之间的贯通电流,所以可以实现低功耗工作。

[0628] 通过将阈值电压向负方向漂移到阈值电压V_{TH_A},可以使电流容易流过OS晶体管810中。图48C视觉性地示出该状态。如图48C所示,此时流过的电流I_A可以至少高于电流I_B。因此,在施加到输入端子IN的信号为低电平而OS晶体管820为关闭状态(OFF)时,可以急剧提高输出端子OUT的电压。

[0629] 由于可以得到如图48C所示电流容易流过OS晶体管810中的状态,所以可以在图47C的时序图中使输出端子的信号波形832为急剧。

[0630] 另外,优选在切换OS晶体管820的状态之前,即在时刻T1或时刻T2之前利用信号S_{BG}控制OS晶体管810的阈值电压。例如,如图47C所示,优选在将施加到输入端子IN的信号切换为高电平的时刻T1之前将OS晶体管810的阈值电压从阈值电压V_{TH_A}切换为阈值电压V_{TH_B}。另外,如图47C所示,优选在将施加到输入端子IN的信号切换为低电平的时刻T2之前将OS晶体管810的阈值电压从阈值电压V_{TH_B}切换为阈值电压V_{TH_A}。

[0631] 虽然图47C的时序图示出根据施加到输入端子IN的信号切换信号S_{BG}的电平的结构,但是也可以采用不同的结构,例如,可以采用利用处于浮动状态的OS晶体管810的第二

栅极保持用来控制阈值电压的电压的结构。图49A示出该电路结构的例子。

[0632] 图49A的电路结构除了包括OS晶体管850之外与图47B的电路结构相同。OS晶体管850的第一端子与OS晶体管810的第二栅极连接。OS晶体管850的第二端子与供应电压V_{BG_B}(或电压V_{BG_A})的布线连接。OS晶体管850的第一栅极与供应信号S_F的布线连接。OS晶体管850的第二栅极与供应电压V_{BG_B}(或电压V_{BG_A})的布线连接。

[0633] 参照图49B的时序图对图49A的电路结构的工作进行说明。

[0634] 在将施加到输入端子IN的信号的电平切换为高电平的时刻T3之前,将用来控制OS晶体管810的阈值电压的电压施加到OS晶体管810的第二栅极。将信号S_F设定为高电平而OS晶体管850成为开启状态,来对节点N_{BG}施加用来控制阈值电压的电压V_{BG_B}。

[0635] 在节点N_{BG}的电压成为V_{BG_B}之后,使OS晶体管850处于关闭状态。因为OS晶体管850的关态电流极小,所以通过使OS晶体管850维持关闭状态,并使节点N_{BG}为非常近于浮动状态的状态,可以保持节点N_{BG}所保持的电压V_{BG_B}。因此,对OS晶体管850的第二栅极施加电压V_{BG_B}的工作的次数得到减少,所以可以减少改写电压V_{BG_B}所需要的功耗。

[0636] 虽然图47B及图49A都示出通过外部控制对OS晶体管810的第二栅极施加电压的结构,但是也可以采用不同的结构,例如,也可以采用基于施加到输入端子IN的信号生成用来控制阈值电压的电压而将其施加到OS晶体管810的第二栅极的结构。图50A示出该电路结构的例子。

[0637] 图50A的电路结构除了输入端子IN与OS晶体管810的第二栅极之间设置有CMOS反相器860之外与图47B的电路结构相同。CMOS反相器860的输入端子与输入端子IN连接。CMOS反相器860的输出端子与OS晶体管810的第二栅极连接。

[0638] 参照图50B的时序图对图50A的电路结构的工作进行说明。图50B的时序图示出输入端子IN的信号波形、输出端子OUT的信号波形、CMOS反相器860的输出波形IN_B以及OS晶体管810(FET810)的阈值电压的变化。

[0639] 相当于使施加到输入端子IN的信号的逻辑反转的信号的输出波形IN_B可以被用作用来控制OS晶体管810的阈值电压的信号。因此,如图47A至图47C所说明,可以控制OS晶体管810的阈值电压。例如,在图50B的时刻T4,施加到输入端子IN的信号为高电平而OS晶体管820成为开启状态。此时,输出波形IN_B为低电平。因此,可以使电流不容易流过OS晶体管810中,所以可以急剧降低输出端子OUT的电压。

[0640] 另外,在图50B的时刻T5,施加到输入端子IN的信号为低电平而OS晶体管820成为关闭状态。此时,输出波形IN_B为高电平。因此,可以使电流容易流过OS晶体管810中,所以可以急剧提高输出端子OUT的电压。

[0641] 如上所述,在本实施方式的包括OS晶体管的反相器的结构中,根据施加到输入端子IN的信号的逻辑而切换背栅极的电压。通过采用该结构,可以控制OS晶体管的阈值电压。通过利用施加到输入端子IN的信号控制OS晶体管的阈值电压,可以使输出端子OUT的电压急剧变化。另外,可以减少供应电源电压的布线之间的贯通电流。因此,可以降低功耗。

[0642] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合。

[0643] (实施方式7)

[0644] 在本实施方式中,参照图51A至图51E、图52A和图52B、图53A和图53B、图54A至图54C、图55A和图55B、图56A至图56C以及图57A和图57B对具有多个上述实施方式所说明的包

括OS晶体管的电路的半导体装置的例子进行说明。

[0645] 图51A是半导体装置900的方框图。半导体装置900包括电源电路901、电路902、电压生成电路903、电路904、电压生成电路905及电路906。

[0646] 电源电路901是生成用作基准的电位V_{ORG}的电路。电压V_{ORG}不局限于一个电压，也可以为多个电压。电压V_{ORG}可以基于从半导体装置900的外部被施加的电压V_0而生成。半导体装置900可以基于从外部被施加的一个电源电压而生成电压V_{ORG}。因此，即使不从外部输入多个电源电压，半导体装置900也可以工作。

[0647] 电路902、904及906利用不同的电源电压而工作。例如，电路902的电源电压是基于电压V_{ORG}和电压V_{SS}($V_{ORG}>V_{SS}$)而被施加的电压。例如，电路904的电源电压是基于电压V_{POG}和电压V_{SS}($V_{POG}>V_{ORG}$)而被施加的电压。例如，电路906的电源电压是基于电压V_{ORG}、电压V_{SS}和电压V_{NEG}($V_{ORG}>V_{SS}>V_{NEG}$)而被施加的电压。当电压V_{SS}相等于接地电位(GND)时，可以减少在电源电路901中生成的电压的种类。

[0648] 电压生成电路903是生成电压V_{POG}的电路。电压生成电路903可以基于从电源电路901被施加的电压V_{ORG}而生成电压V_{POG}。因此，包括电路904的半导体装置900可以基于从外部被施加的一个电源电压而工作。

[0649] 电压生成电路905是生成电压V_{NEG}的电路。电压生成电路905可以基于从电源电路901被施加的电压V_{ORG}而生成电压V_{NEG}。因此，包括电路906的半导体装置900可以基于从外部被施加的一个电源电压而工作。

[0650] 图51B示出利用电压V_{POG}而工作的电路904的例子，图51C示出用来使电路904工作的信号波形的例子。

[0651] 图51B示出晶体管911。施加到晶体管911的栅极的信号例如基于电压V_{POG}和电压V_{SS}而生成。该信号在使晶体管911成为导通状态时为电压V_{POG}，在使晶体管911成为非导通状态时为电压V_{SS}。如图51C所示，电压V_{POG}高于电压V_{ORG}。因此，可以更确实地得到晶体管911的源极(S)与漏极(D)之间的导通状态。其结果是，可以减少电路904的误动作频度。

[0652] 图51D示出利用电压V_{NEG}而工作的电路906的例子，图51E示出用来使电路906工作的信号波形的例子。

[0653] 图51D示出具有背栅极的晶体管912。施加到晶体管912的栅极的信号例如基于电压V_{ORG}和电压V_{SS}而生成。该信号在使晶体管911成为导通状态时基于电压V_{ORG}而生成，且在使晶体管911成为非导通状态时基于电压V_{SS}而生成。施加到晶体管912的背栅极的信号基于电压V_{NEG}而生成。如图51E所示，电压V_{NEG}低于电压V_{SS}(GND)。因此，可以将晶体管912的阈值电压控制为向正方向漂移。所以，可以更确实地使晶体管912成为非导通状态，由此可以减少流过源极(S)与漏极(D)之间的电流。其结果是，可以减少电路906的误动作频度，并可以降低其功耗。

[0654] 电压V_{NEG}也可以直接被施加到晶体管912的背栅极。或者，也可以基于电压V_{ORG}和电压V_{NEG}生成施加到晶体管912的栅极的信号，而将该生成的信号施加到晶体管912的背栅极。

[0655] 图52A和图52B示出图51D和图51E的变形例子。

[0656] 在图52A所示的电路图中，在电压生成电路905与电路906之间设置有能够通过控制电路921控制其导通状态的晶体管922。晶体管922是n沟道OS晶体管。控制电路921所输出的控制信号S_{BG}是控制晶体管922的导通状态的信号。电路906所包括的晶体管912A、912B是

与晶体管922相同的OS晶体管。

[0657] 图52B的时序图示出控制信号S_{BG}的电位及节点N_{BG}的电位的变化。节点N_{BG}的电位示出晶体管912A、912B的背栅极的电位的状态。在控制信号S_{BG}为高电平时，晶体管922成为导通状态，节点N_{BG}的电压成为电压V_{NEG}。然后，在控制信号S_{BG}为低电平时，节点N_{BG}处于电浮动状态。因为晶体管922是OS晶体管，所以其关态电流小。因此，即使节点N_{BG}处于电浮动状态，也可以保持被施加的电压V_{NEG}。

[0658] 图53A示出能够应用于上述电压生成电路903的电路结构的例子。图53A所示的电压生成电路903是包括二极管D1至D5、电容器C1至C5及反相器INV的5级电荷泵。时钟信号CLK直接或者通过反相器INV被施加到电容器C1至C5。当反相器INV的电源电压为基于电压V_{ORG}和电压V_{SS}而被施加的电压时，可以得到通过供应时钟信号CLK升压到电压V_{ORG}的5倍的正电压的电压V_{POG}。注意，二极管D1至D5的正向电压为0V。当改变电荷泵的级数时，可以得到所希望的电压V_{POG}。

[0659] 图53B示出能够应用于上述电压生成电路905的电路结构的例子。图53B所示的电压生成电路905是包括二极管D1至D5、电容器C1至C5及反相器INV的4级电荷泵。时钟信号CLK直接或者通过反相器INV被施加到电容器C1至C5。当反相器INV的电源电压基于电压V_{ORG}和电压V_{SS}而被施加的电压时，可以得到通过供应时钟信号CLK从接地电位即电压V_{SS}降压到电压V_{ORG}的4倍的负电压的电压V_{NEG}。注意，二极管D1至D5的正向电压为0V。当改变电荷泵的级数时，可以得到所希望的电压V_{NEG}。

[0660] 上述电压生成电路903的电路结构不局限于图53A所示的电路图的结构。图54A至图54C、图55A和图55B示出电压生成电路903的变形例子。

[0661] 图54A所示的电压生成电路903A包括晶体管M1至M10、电容器C11至C14以及反相器INV1。时钟信号CLK直接或通过反相器INV1被供应到晶体管M1至M10的栅极。可以得到通过供应时钟信号CLK升压到电压V_{ORG}的4倍的正电压的电压V_{POG}。当改变电荷泵的级数时，可以得到所希望的电压V_{POG}。在图54A的电压生成电路903A中，当晶体管M1至M10为OS晶体管时，可以减少晶体管M1至M10的各关态电流，从而可以抑制保持在电容器C11至C14中的电荷的泄漏。因此，可以将电压V_{ORG}高效地升压到电压V_{POG}。

[0662] 图54B所示的电压生成电路903B包括晶体管M11至M14、电容器C15和C16以及反相器INV2。时钟信号CLK直接或通过反相器INV2被供应到晶体管M11至M14的栅极。可以得到通过供应时钟信号CLK升压到电压V_{ORG}的2倍的正电压的电压V_{POG}。在图54B的电压生成电路903B中，当晶体管M11至M14为OS晶体管时，可以减少晶体管M11至M14的各关态电流，从而可以抑制保持在电容器C15、C16中的电荷的泄漏。因此，可以将电压V_{ORG}高效地升压到电压V_{POG}。

[0663] 图54C的电压生成电路903C包括电感器I11、晶体管M15、二极管D6及电容器C17。晶体管M15的导通状态由控制信号EN控制。通过利用控制信号EN，可以得到使电压V_{ORG}升压而得到的电压V_{POG}。因为图54C的电压生成电路903C使用电感器I11进行升压，所以可以以高效率地进行升压。

[0664] 图55A的电压生成电路903D具有如下结构：设置有二极管连接的晶体管M16至M20代替图53A的电压生成电路903的二极管D1至D5。在图55A的电压生成电路903D中，当晶体管M16至M20为OS晶体管时，可以减少晶体管M16至M20的各关态电流，从而可以抑制保持在电

容器C1至C5中的电荷的泄漏。因此，可以将电压V_{ORG}高效地升压到电压V_{POG}。

[0665] 图55B的电压生成电路903E具有如下结构：设置有包括背栅极的晶体管M21至M25代替图55A的电压生成电路903D的晶体管M16至M20。在图55B的电压生成电路903E中，可以对背栅极施加与栅极相同的电压，所以可以增大流过晶体管的电流的量。因此，可以将电压V_{ORG}高效地升压到电压V_{POG}。

[0666] 注意，电压生成电路903的变形例子也可以应用于图53B的电压生成电路905。图56A至图56C、图57A和图57B示出此时的电路图的结构。在图56A所示的电压生成电路905A中，可以得到通过供应时钟信号CLK从电压V_{SS}降压到电压V_{ORG}的3倍的负电压的电压V_{NEG}。在图56B所示的电压生成电路905B中，可以得到通过供应时钟信号CLK从电压V_{SS}降压到电压V_{ORG}的2倍的负电压的电压V_{NEG}。

[0667] 图56A至图56C、图57A和图57B所示的电压生成电路905A至905E具有对图54A至图54C、图55A和图55B所示的电压生成电路903A至903E的施加到各布线的电压或者元件配置进行改变而形成的结构。与电压生成电路903A至903E同样，在图56A至图56C、图57A和图57B所示的电压生成电路905A至905E中可以将电压V_{SS}高效地降压到电压V_{NEG}。

[0668] 如上所述，在本实施方式的结构中，可以在半导体装置内部生成包括在该半导体装置中的电路所需要的电压。因此，在该半导体装置中可以减少从外部被施加的电源电压的种类。

[0669] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合。

[0670] (实施方式8)

[0671] 在本实施方式中，对包括本发明的一个实施方式的晶体管和上述存储装置等半导体装置的CPU的例子进行说明。

[0672] <CPU的结构>

[0673] 图58所示的半导体装置400包括CPU核401、电源管理单元421及外围电路422。电源管理单元421包括功率控制器402及功率开关403。外围电路422包括具有高速缓冲存储器的高速缓存404、总线接口(BUS I/F)405及调试接口(Debug I/F)406。CPU核401包括数据总线423、控制装置407、PC(程序计数器)408、流水线寄存器409、流水线寄存器410、ALU(arithmetic logic unit:算术逻辑单元)411及寄存器堆412。经过数据总线423在CPU核401与高速缓存404等外围电路422之间传输数据。

[0674] 半导体装置(单元)可以被用于以功率控制器402、控制装置407为代表的很多逻辑电路，尤其是，可以被用于能够使用标准单元构成的所有逻辑电路。由此，半导体装置400可以实现小型化。半导体装置400可以具有低功耗。半导体装置400可以具有高工作速度。半导体装置400可以减小电源电压的变动。

[0675] 当作为半导体装置(单元)使用p沟道Si晶体管、上述实施方式所记载的在沟道形成区域中包含氧化物半导体(优选为包含In、Ga及Zn的氧化物)的晶体管，并且将该半导体装置(单元)用于半导体装置400时，半导体装置400可以实现小型化。半导体装置400可以具有低功耗。半导体装置400可以具有高工作速度。尤其是，当作为Si晶体管只使用p沟道晶体管时，可以降低制造成本。

[0676] 控制装置407通过对PC408、流水线寄存器409、流水线寄存器410、ALU411、寄存器堆412、高速缓存404、总线接口405、调试接口406及功率控制器402的工作进行整体控制，能

够将被输入的应用软件等程序所包含的指令解码并执行。

[0677] ALU411具有进行四则运算及逻辑运算等各种运算处理的功能。

[0678] 高速缓存404具有暂时储存使用频度多的数据的功能。PC408是具有储存接下来执行的指令的地址的功能的寄存器。另外，虽然在图58中没有图示出，但是高速缓存404设置有控制高速缓冲存储器的工作的高速缓存控制器。

[0679] 流水线寄存器409具有暂时储存指令的功能。

[0680] 寄存器堆412具有包括常用寄存器的多个寄存器，而可以储存从主存储器读出的数据或者由ALU411的运算处理的结果得出的数据等。

[0681] 流水线寄存器410具有暂时储存用于ALU411的运算处理的数据或者由ALU411的运算处理结果得出的数据等的功能。

[0682] 总线接口405具有半导体装置400与位于半导体装置400外部的各种装置之间的数据的路径的功能。调试接口406具有用来将控制调试的指令输入到半导体装置400的信号的路径的功能。

[0683] 功率开关403具有控制对半导体装置400所包括的功率控制器402以外的各种电路供应电源电压的功能。上述各种电路属于几个不同电源定域。功率开关403控制是否对属于同一电源定域的各种电路供应电源电压。另外，功率控制器402具有控制功率开关403的工作的功能。

[0684] 具有上述结构的半导体装置400能够进行电源门控。对电源门控的工作流程的例子进行说明。

[0685] 首先，CPU核401将停止供应电源电压的时机设定在功率控制器402的寄存器中。然后，从CPU核401对功率控制器402发送开始进行电源门控的指令。然后，半导体装置400所包括的各种寄存器及高速缓存404开始数据备份。然后，功率开关403停止对半导体装置400所包括的功率控制器402以外的各种电路的电源电压供应。然后，通过对功率控制器402输入中断信号，开始对半导体装置400所包括的各种电路的电源电压供应。此外，也可以在功率控制器402中设置计数器，不依靠中断信号的输入而利用该计数器决定开始供应电源电压的时机。接着，各种寄存器及高速缓存404开始数据恢复。然后，在控制装置407中再次开始执行指令。

[0686] 在处理器整体或者形成处理器的一个或多个逻辑电路中能够进行这种电源门控。另外，即使在较短的时间内也可以停止供应电力。因此，可以以空间上或时间上微细的粒度减少功耗。

[0687] 在进行电源门控时，优选在较短的期间中将CPU核401或外围电路422所保持的数据备份。此时，可以在较短的期间中使电源开启或关闭，从而可以实现显著的低功耗化效果。

[0688] 为了在较短的期间中将CPU核401或外围电路422所保持的数据备份，优选在触发器电路内进行数据备份(将其称为能够备份的触发器电路)。另外，优选在SRAM单元内进行数据备份(将其称为能够备份的SRAM单元)。能够备份的触发器电路和SRAM单元优选包括在沟道形成区域中包含氧化物半导体(优选为包含In、Ga及Zn的氧化物)的晶体管。其结果是，该晶体管具有小关态电流，由此能够备份的触发器电路或SRAM单元可以长期间保持数据而不需要电力供应。当晶体管的开关速度快时，能够备份的触发器电路和SRAM单元有时可以

在较短的期间中进行数据备份及恢复。

[0689] 参照图59对能够备份的触发器电路的例子进行说明。

[0690] 图59所示的半导体装置500是能够备份的触发器电路的例子。半导体装置500包括第一存储电路501、第二存储电路502、第三存储电路503以及读出电路504。作为电源电压，电位V1与电位V2的电位差被供应到半导体装置500。电位V1和电位V2中的一个为高电平，另一个为低电平。下面，对在电位V1为低电平而电位V2为高电平时的半导体装置500的结构例子进行说明。

[0691] 第一存储电路501具有在半导体装置500被供应电源电压的期间中被输入包括数据的信号D时保持该数据的功能。此外，在半导体装置500被供应电源电压的期间，第一存储电路501输出包括所保持的数据的信号Q。另一方面，在半导体装置500没有被供应电源电压的期间中，第一存储电路501不能保持数据。就是说，可以将第一存储电路501称为易失性存储电路。

[0692] 第二存储电路502具有读取并储存(或备份)保持在第一存储电路501中的数据的功能。第三存储电路503具有读取并储存(或备份)保持在第二存储电路502中的数据的功能。读出电路504具有读取保持在第二存储电路502或第三存储电路503中的数据并将其储存(或恢复)在第一存储电路501中的功能。

[0693] 尤其是，第三存储电路503具有即使在半导体装置500没有被供应电源电压的期间中也读取并储存(或备份)保持在第二存储电路502中的数据的功能。

[0694] 如图59所示，第二存储电路502包括晶体管512及电容器519。第三存储电路503包括晶体管513、晶体管515以及电容器520。读出电路504包括晶体管510、晶体管518、晶体管509以及晶体管517。

[0695] 晶体管512具有根据保持在第一存储电路501中的数据对电容器519进行充放电的功能。晶体管512优选能够根据保持在第一存储电路501中的数据高速地对电容器519进行充放电。具体而言，晶体管512优选在沟道形成区域中包含结晶硅(优选为多晶硅，更优选为单晶硅)。

[0696] 晶体管513的导通状态或非导通状态根据保持在电容器519中的电荷而决定。晶体管515具有在晶体管513处于导通状态时根据布线544的电位对电容器520进行充放电的功能。优选晶体管515的关态电流极小。具体而言，晶体管515优选在沟道形成区域中包含氧化物半导体(优选为包含In、Ga及Zn的氧化物)。

[0697] 将说明各元件之间的具体连接关系。晶体管512的源极和漏极中的一个与第一存储电路501连接。晶体管512的源极和漏极中的另一个与电容器519的一个电极、晶体管513的栅极及晶体管518的栅极连接。电容器519的另一个电极与布线542连接。晶体管513的源极和漏极中的一个与布线544连接。晶体管513的源极和漏极中的另一个与晶体管515的源极和漏极中的一个连接。晶体管515的源极和漏极中的另一个与电容器520的一个电极及晶体管510的栅极连接。电容器520的另一个电极与布线543连接。晶体管510的源极和漏极中的一个与布线541连接。晶体管510的源极和漏极中的另一个与晶体管518的源极和漏极中的一个连接。晶体管518的源极和漏极中的另一个与晶体管509的源极和漏极中的一个连接。晶体管509的源极和漏极中的另一个与晶体管517的源极和漏极中的一个及第一存储电路501连接。晶体管517的源极和漏极中的另一个与布线540连接。虽然在图59中晶体管509

的栅极与晶体管517的栅极连接，但是晶体管509的栅极不一定必须与晶体管517的栅极连接。

[0698] 对晶体管515可以使用上述实施方式所例示的晶体管。因为晶体管515的关态电流小，所以半导体装置500可以长期间保持数据而不需要电力供应。晶体管515的开关特性良好，所以半导体装置500可以高速地进行备份和恢复。

[0699] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合。

[0700] (实施方式9)

[0701] 在本实施方式中，对包括本发明的一个实施方式的晶体管等的摄像装置的例子进行说明。

[0702] 〈摄像装置〉

[0703] 以下，对本发明的一个实施方式的摄像装置进行说明。

[0704] 图60A是示出本发明的一个实施方式的摄像装置2200的例子的平面图。摄像装置2200包括像素部2210、用来驱动像素部2210的外围电路(外围电路2260、外围电路2270、外围电路2280及外围电路2290)。像素部2210包括配置为p行q列(p及q为2以上的整数)的矩阵状的多个像素2211。外围电路2260、外围电路2270、外围电路2280及外围电路2290都与多个像素2211连接，并供应用来驱动多个像素2211的信号。在本说明书等中，有时“外围电路”或“驱动电路”表示外围电路2260、2270、2280及2290的全部。例如，外围电路2260可以说是外围电路的一部分。

[0705] 摄像装置2200优选包括光源2291。光源2291能够发射检测光P1。

[0706] 外围电路包括逻辑电路、开关、缓冲器、放大电路和转换电路中的至少一个。另外，也可以在形成像素部2210的衬底上形成外围电路。另外，也可以将IC芯片等半导体装置用作外围电路的一部分或全部。注意，作为外围电路，也可以省略外围电路2260、2270、2280和2290中的一个以上。

[0707] 如图60B所示，在摄像装置2200所包括的像素部2210中，也可以以像素2211倾斜的方式配置。当以像素2211倾斜的方式配置时，可以减小在行方向上及列方向上的像素间隔(间距)。由此，可以提高摄像装置2200所拍摄的图像质量。

[0708] 〈像素的结构例子1〉

[0709] 摄像装置2200所包括的像素2211由多个子像素2212形成，每个子像素2212与使特定的波长范围的光透过的滤光片(滤色片)组合，由此可以获得用来实现彩色图像显示的数据。

[0710] 图61A是示出用来取得彩色图像的像素2211的例子的俯视图。图61A所示的像素2211包括设置有使红色(R)的波长范围的光透过的滤色片的子像素2212(也称为子像素2212R)、设置有使绿色(G)的波长范围的光透过的滤色片的子像素2212(也称为子像素2212G)及设置有使蓝色B的波长范围的光透过的滤色片的子像素2212(也称为子像素2212B)。子像素2212可以被用作光电传感器。

[0711] 子像素2212(子像素2212R、子像素2212G及子像素2212B)与布线2231、布线2247、布线2248、布线2249、布线2250电连接。另外，子像素2212R、子像素2212G及子像素2212B连接于独立设置的布线2253。在本说明书等中，例如将与第n行的像素2211连接的布线2248及布线2249称为布线2248[n]及布线2249[n]。例如，将与第m列的像素2211连接的布线2253称

为布线2253[m]。另外，在图61A中，与第m列的像素2211中的子像素2212R、子像素2212G、子像素2212B连接的布线2253称为布线2253[m]R、布线2253[m]G、布线2253[m]B。子像素2212通过上述布线与外围电路电连接。

[0712] 摄像装置2200具有相邻的像素2211中的设置有使相同的波长范围的光透过的滤色片的子像素2212通过开关彼此电连接的结构。图61B示出配置在第n(n为1以上且p以下的整数)行第m(m为1以上且q以下的整数)列的像素2211中的子像素2212与相邻于该像素2211的配置在第n+1行第m列的像素2211中的子像素2212的连接例子。在图61B中，配置在第n行第m列的子像素2212R与配置在第n+1行第m列的子像素2212R通过开关2201连接在一起。配置在第n行第m列的子像素2212G与配置在第n+1行第m列的子像素2212G通过开关2202连接在一起。配置在第n行第m列的子像素2212B与配置在第n+1行第m列的子像素2212B通过开关2203连接在一起。

[0713] 用于子像素2212的滤色片不局限于红色(R)滤色片、绿色(G)滤色片、蓝色(B)滤色片，也可以使用使青色(C)、黄色(Y)及品红色(M)的光透过的滤色片。通过在一个像素2211中设置检测三种不同波长范围的光的子像素2212，可以获得全彩色图像。

[0714] 除了设置有使红色(R)、绿色(G)及蓝色(B)的光透过的滤色片的子像素2212以外，也可以包括设置有使黄色(Y)的光透过的滤色片的子像素2212的像素2211。除了设置有使青色(C)、黄色(Y)及品红色(M)的光透过的滤色片的子像素2212以外，也可以包括设置有使蓝色(B)的光透过的滤色片的子像素2212的像素2211。当在一个像素2211中设置检测四种不同波长范围的光的子像素2212时，可以提高所获得的图像的颜色再现性。

[0715] 例如，在图61A中，检测红色的波长范围的光的子像素2212、检测绿色的波长范围的光的子像素2212及检测蓝色的波长范围的光的子像素2212的像素数比(或受光面积比)不局限于1:1:1。例如，也可以采用红色、绿色及蓝色的像素数比(受光面积比)为1:2:1的Bayer排列。或者，红色、绿色及蓝色的像素数比(受光面积比)也可以为1:6:1。

[0716] 虽然设置在像素2211中的子像素2212的数量可以为一个，但优选为两个以上。例如，当设置两个以上的检测相同的波长范围的光的子像素2212时，可以提高冗余性，由此可以提高摄像装置2200的可靠性。

[0717] 当作为滤光片使用反射或吸收可见光且使红外光透过的红外(IR:infrared)滤光片时，可以实现检测红外光的摄像装置2200。

[0718] 此外，当使用中性灰度(ND:neutral density)滤光片(减光滤光片)时，可以防止大光量的光入射到光电转换元件(受光元件)时产生的输出饱和。通过组合减光量不同的ND滤光片，可以增大摄像装置的动态范围。

[0719] 除了上述滤光片以外，像素2211还可以设置有透镜。参照图62A及图62B的截面图说明像素2211、滤光片2254、透镜2255的配置例子。通过设置透镜2255，光电转换元件可以高效地受光。具体而言，如图62A所示，光2256穿过设置在像素2211中的透镜2255、滤光片2254(滤光片2254R、滤光片2254G及滤光片2254B)及像素电路2230等而入射到光电转换元件2220。

[0720] 但是，如由点划线围绕的区域所示，有时箭头所示的光2256的一部分被布线2257的一部分遮蔽。因此，如图62B所示，优选采用在光电转换元件2220一侧设置透镜2255及滤光片2254，由此光电转换元件2220可以高效地接收光2256的结构。当光2256从光电转换元

件2220一侧入射到光电转换元件2220时，可以提供灵敏度高的摄像装置2200。

[0721] 作为图62A及图62B所示的光电转换元件2220，也可以使用形成有p-n结或p-i-n结的光电转换元件。

[0722] 光电转换元件2220也可以使用具有吸收辐射并产生电荷的功能的物质形成。作为具有吸收辐射并产生电荷的功能的物质的例子，有硒、碘化铅、碘化汞、砷化镓、碲化镉、镉锌合金。

[0723] 例如，在将硒用于光电转换元件2220时，光电转换元件2220可以在可见光、紫外光、红外光、X射线、伽马射线等较宽的波长范围中具有光吸收系数。

[0724] 摄像装置2200所包括的一个像素2211除了图61A及图61B所示的子像素2212以外，还可以包括具有第一滤光片的子像素2212。

[0725] <像素的结构例子2>

[0726] 下面，对包括具有硅的晶体管及具有氧化物半导体的晶体管的像素的例子进行说明。作为各晶体管可以使用与上述实施方式所示的晶体管同样的晶体管。

[0727] 图63是包括在摄像装置中的元件的截面图。图63所示的摄像装置包括硅衬底2300上的包含硅的晶体管2351、在晶体管2351上层叠的包含氧化物半导体的晶体管2352和2353以及设置在硅衬底2300中的光电二极管2360。各晶体管及光电二极管2360与各种插头2370及布线2371电连接。另外，光电二极管2360的阳极2361通过低电阻区域2363与插头2370电连接。

[0728] 摄像装置包括：包括设置在硅衬底2300上的晶体管2351及设置在硅衬底2300中的光电二极管2360的层2310、与层2310接触且包括布线2371的层2320、与层2320接触且包括晶体管2352及2353的层2330、与层2330接触且包括布线2372及布线2373的层2340。

[0729] 在图63的截面图的例子中，在硅衬底2300的与形成有晶体管2351的面相反一侧设置有光电二极管2360的受光面。通过采用该结构，可以确保光路而不受各种晶体管或布线的影响。因此，可以形成高开口率的像素。另外，光电二极管2360的受光面可以是与形成有晶体管2351的面相同的面。

[0730] 在只使用包含氧化物半导体的晶体管形成像素时，层2310可以包括包含氧化物半导体的晶体管。或者，像素也可以只包括包含氧化物半导体的晶体管而省略层2310。

[0731] 硅衬底2300也可以是SOI衬底。另外，可以使用包含锗、硅锗、碳化硅、砷化镓、砷化铝镓、磷化铟、氮化镓、有机半导体的衬底代替硅衬底2300。

[0732] 这里，在包括晶体管2351及光电二极管2360的层2310与包括晶体管2352及2353的层2330之间设置有绝缘体2380。但是，绝缘体2380的位置不局限于此。在绝缘体2380下设置绝缘体2379，在绝缘体2380上设置绝缘体2381。

[0733] 在形成于绝缘体2379及2381中的开口中设置有导电体2390a至2390e。导电体2390a、2390b及2390e被用作插头及布线。导电体2390c被用作晶体管2353的背栅极。导电体2390d被用作晶体管2352的背栅极。

[0734] 设置在晶体管2351的沟道形成区域附近的绝缘体中的氢使硅的悬空键终结，由此可以提高晶体管2351的可靠性。另一方面，设置在晶体管2352及晶体管2353等附近的绝缘体中的氢成为在氧化物半导体中生成载流子的原因之一。因此，该氢有时引起晶体管2352及晶体管2353等的可靠性的下降。因此，当在包含硅类半导体的晶体管上设置包含氧化物

半导体的晶体管时，优选在这些晶体管之间设置具有阻挡氢的功能的绝缘体2380。当将氢封闭在绝缘体2380下时，可以提高晶体管2351的可靠性。再者，可以抑制氢从绝缘体2380下方的层扩散至绝缘体2380上方的层，所以可以提高晶体管2352及晶体管2353等的可靠性。导电体2390a、2390b及2390e可以抑制氢经过形成于绝缘体2380中的导通孔(via hole)扩散到设置在其上的层，所以可以提高晶体管2352及2353等的可靠性。

[0735] 在图63的截面图中，可以以彼此重叠的方式形成层2310中的光电二极管2360与层2330中的晶体管。因此，可以提高像素的集成度。就是说，可以提高摄像装置的分辨率。

[0736] 可以使摄像装置的一部分或全部弯曲。通过使摄像装置弯曲，可以降低像场弯曲或像散(astigmatism)。因此，可以使与摄像装置组合使用的透镜等的光学设计变得容易。例如，可以减少用于像差校正的透镜的数量，因此可以实现使用摄像装置的电子设备等的小型化或轻量化。另外，可以提高摄像图像的质量。

[0737] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合。

[0738] (实施方式10)

[0739] 在本实施方式中，对本发明的一个实施方式的半导体晶片、芯片及电子构件进行说明。

[0740] 〈半导体晶片、芯片〉

[0741] 图64A是示出进行切割处理之前的衬底711的俯视图。作为衬底711，例如可以使用半导体衬底(也称为“半导体晶片”)。在衬底711上设置有多个电路区域712。在电路区域712中可以设置本发明的一个实施方式的半导体装置、CPU、RF标签或图像传感器等。

[0742] 多个电路区域712的每一个都被分离区域713围绕。分离线(也称为“切割线”)714设置在与分离区域713重叠的位置。可以沿着分离线714将衬底711切割成包括电路区域712的芯片715。图64B是芯片715的放大图。

[0743] 另外，也可以在分离区域713中设置导电层或半导体层。通过在分离区域713中设置导电层或半导体层，可以缓和可能在切割工序中产生的ESD，而防止切割工序的成品率下降。一般来说，为了冷却衬底、去除刨花、防止带电等，例如一边使溶解有碳酸气体等以降低了其电阻率的纯水流过切削部一边进行切割工序。通过在分离区域713中设置导电层或半导体层，可以减少该纯水的使用量。因此，可以降低半导体装置的生产成本。由此，可以高生产率地制造半导体装置。

[0744] 作为设置在分离区域713中的半导体层，优选使用带隙为2.5eV以上且4.2eV以下，优选为2.7eV以上且3.5eV以下的材料。通过使用这种材料，可以使所积蓄的电荷缓慢释放，所以可以抑制ESD导致的电荷的急剧的移动，而可以使静电损坏不容易产生。

[0745] 〈电子构件〉

[0746] 图65A及图65B示出将芯片715用于电子构件的例子。注意，电子构件也被称为半导体封装或IC用封装。电子构件根据端子取出方向和端子形状有多个规格和名称。

[0747] 在组装工序(后工序)中组合上述实施方式所示的半导体装置与该半导体装置之外的构件，来完成电子构件。

[0748] 参照图65A的流程图对后工序进行说明。在前工序中完成包括上述实施方式所示的半导体装置的元件衬底之后，进行研磨该元件衬底的背面(没有形成半导体装置等的面)的背面研磨工序(步骤S721)。当通过研磨使元件衬底变薄时，可以减少元件衬底的翘曲等，

而可以减小电子构件的尺寸。

[0749] 接着,在切割工序(dicing step)(步骤S722)中,将元件衬底分成多个芯片(芯片715)。然后,在芯片接合工序(die bonding step)(步骤S723)中,拾取被切割的各芯片,并将其接合于引线框架上。为了在芯片接合工序中接合芯片与引线框架,根据产品适当地选择合适的方法,如利用树脂的接合或利用胶带的接合等。另外,也可以对插入物(interposer)衬底接合芯片代替引线框架。

[0750] 接着,进行将引线框架的引线与芯片上的电极通过金属细线(metal wire)电连接的引线键合工序(wire bonding step)(步骤S724)。作为金属细线可以使用银线或金线。作为引线键合可以使用球键合(ball bonding)或楔键合(wedge bonding)。

[0751] 进行由环氧树脂等密封被引线键合的芯片的模塑工序(molding step)(步骤S725)。通过进行密封工序,电子构件的内部被树脂填充,由此可以保护安装于芯片内部的电路部及将芯片与引线连接的金属细线免受机械外力的影响,还可以降低因水分或灰尘而导致的特性劣化(可靠性的降低)。

[0752] 接着,在引线电镀工序(步骤S726)中,对引线框架的引线进行电镀处理。通过该电镀处理可以防止引线生锈,而在后面工序中将芯片安装于印刷电路板时,可以更加确实地进行焊接。然后,在成型加工工序(步骤S727)中,进行引线的切断及成型加工。

[0753] 接着,对封装表面进行印字工序(printing step)(步骤S728)。在调查外观形状的优劣或工作故障的有无的检验工序(步骤S729)之后,完成电子构件。

[0754] 图65B是完成的电子构件的立体示意图。图65B是作为电子构件的一个例子示出四侧引脚扁平封装(quad flat package:QFP)的立体示意图。图65B的电子构件750包括引线755及半导体装置753。作为半导体装置753,可以使用上述实施方式所示的半导体装置。

[0755] 图65B的电子构件750例如安装于印刷电路板752上。彼此组合而电连接的多个电子构件750设置在印刷电路板752上,由此完成安装有电子构件的衬底(电路板754)。完成的电路板754被设置在电子设备等中。

[0756] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合。

[0757] (实施方式11)

[0758] 在本实施方式中,对包括本发明的一个实施方式的晶体管等的电子设备进行说明。

[0759] <电子设备>

[0760] 本发明的一个实施方式的半导体装置可以用于显示设备、个人计算机或具备记录媒体的图像再现装置(典型的是,再现如数字通用磁盘(DVD:digital versatile disc)等记录媒体的内容并具有可以显示该再现图像的显示器的装置)中。可以安装本发明的一个实施方式的半导体装置的电子设备的其他例子是移动电话、包括便携式游戏机的游戏机、便携式数据终端、电子书阅读器、拍摄装置诸如视频摄像机及数码相机等、护目镜型显示器(头戴式显示器)、导航系统、音频再现装置(例如,汽车音响系统、数字音频播放器)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机。图66A至图66F示出这些电子设备的具体例子。

[0761] 图66A示出便携式游戏机,其包括框体1901、框体1902、显示部1903、显示部1904、麦克风1905、扬声器1906、操作键1907以及触屏笔1908等。虽然图66A的便携式游戏机包括

两个显示部1903和1904，但是便携式游戏机所包括的显示部的个数不限于此。

[0762] 图66B示出便携式数据终端，其包括第一框体1911、第二框体1912、第一显示部1913、第二显示部1914、连接部1915、操作键1916等。第一显示部1913设置在第一框体1911中，而第二显示部1914设置在第二框体1912中。第一框体1911和第二框体1912由连接部1915连接在一起，可以通过连接部1915改变第一框体1911和第二框体1912之间的角度。显示在第一显示部1913上的影像也可以根据连接部1915的第一框体1911和第二框体1912之间的角度切换。另外，也可以作为第一显示部1913和第二显示部1914中的至少一个使用具有位置输入功能的显示装置。另外，可以通过在显示装置中设置触摸屏来附加位置输入功能。或者，也可以通过在显示装置的像素部中设置还称为光电传感器的光电转换元件来附加位置输入功能。

[0763] 图66C示出笔记本型个人计算机，其包括框体1921、显示部1922、键盘1923以及指向装置1924等。

[0764] 图66D示出电冷藏冷冻箱，其包括框体1931、冷藏室门1932、冷冻室门1933等。

[0765] 图66E示出视频摄像机，其包括第一框体1941、第二框体1942、显示部1943、操作键1944、镜头1945、连接部1946等。操作键1944及镜头1945设置在第一框体1941中，而显示部1943设置在第二框体1942中。第一框体1941和第二框体1942由连接部1946连接，可以通过连接部1946改变第一框体1941和第二框体1942之间的角度。显示在显示部1943上的影像也可以根据连接部1946的第一框体1941和第二框体1942之间的角度切换。

[0766] 图66F示出汽车，其包括车体1951、车轮1952、仪表盘1953及灯1954等。

[0767] 在本实施方式中，对本发明的实施方式进行说明。注意，本发明的一个实施方式不局限于上述例子。换而言之，由于在本实施方式等中记载有本发明的各种各样的方式，因此本发明的一个实施方式不局限于特定的实施方式。例如，作为本发明的一个实施方式，示出了在晶体管的沟道形成区域、源区域或漏区域等中包括氧化物半导体的例子，但是本发明的一个实施方式不局限于该例子。或者，根据情形或状况，在本发明的一个实施方式的各种各样的晶体管、晶体管的沟道形成区域或者晶体管的源区域或漏区域等中也可以包括各种各样的半导体。根据情形或状况，在本发明的一个实施方式的各种各样的晶体管、晶体管的沟道形成区域或者晶体管的源区域或漏区域等中也可以包含硅、锗、硅锗、碳化硅、砷化镓、铝砷化镓、磷化铟、氮化镓和有机半导体等中的至少一个。或者，例如，根据情形或状况，在本发明的一个实施方式中的各种各样的晶体管、晶体管的沟道形成区域或者晶体管的源区域或漏区域等中不一定需要包括氧化物半导体。

[0768] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合。

[0769] 符号说明

[0770] 100:电容器，101:电容器，102:电容器，112:导电体，112a:导电体，112b:导电体，116:导电体，124:导电体，124a:导电体，124A:导电体，124b:导电体，124d:导电体，130:绝缘体，132:绝缘体，134:绝缘体，150:绝缘体，200:晶体管，201:晶体管，202:晶体管，205:导电体，205a:导电体，205A:导电体，205b:导电体，205B:导电体，205c:导电体，210:绝缘体，212:绝缘体，213:绝缘体，214:绝缘体，216:绝缘体，218:导电体，218a:导电体，218b:导电体，218c:导电体，219:导电体，219a:导电体，219b:导电体，219c:导电体，220:绝缘体，222:绝缘体，224:绝缘体，230:氧化物，230a:氧化物，230A:氧化物，230b:氧化物，230B:氧化物，

230c:氧化物,230d:氧化物,240a:导电体,240A:导电膜,240b:导电体,240B:导电层,241a:导电体,241b:导电体,243a:绝缘体,243b:绝缘体,244:导电体,244a:导电体,244A:导电膜,244b:导电体,244B:导电膜,244c:导电体,244d:导电体,244e:导电体,246:导电体,246a:导电体,246A:导电体,246b:导电体,246d:导电体,250:绝缘体,260:导电体,260a:导电体,260A:导电膜,260b:导电体,260c:导电体,270:绝缘体,271:阻挡层,279:绝缘体,280:绝缘体,281:阻挡层,281a:阻挡层,281A:阻挡膜,281b:阻挡层,281c:阻挡层,281d:阻挡层,282:绝缘体,284:绝缘体,285:绝缘体,286:绝缘体,290:抗蚀剂掩模,292:抗蚀剂掩模,294:抗蚀剂掩模,296:抗蚀剂掩模,300:晶体管,301:晶体管,302:晶体管,311:衬底,312:半导体区域,314:绝缘体,316:导电体,318a:低电阻区域,318b:低电阻区域,320:绝缘体,322:绝缘体,324:绝缘体,326:绝缘体,328:导电体,328a:导电体,328b:导电体,328c:导电体,330:导电体,330a:导电体,330b:导电体,330c:导电体,350:绝缘体,352:绝缘体,354:绝缘体,356:导电体,356a:导电体,356b:导电体,356c:导电体,358:绝缘体,400:半导体装置,401:CPU核,402:功率控制器,403:功率开关,404:高速缓存,405:总线接口,406:调试接口,407:控制装置,408:PC,409:流水线寄存器,410:流水线寄存器,411:ALU,412:寄存器堆,421:电源管理单元,422:外围电路,423:数据总线,500:半导体装置,501:存储电路,502:存储电路,503:存储电路,504:电路,509:晶体管,510:晶体管,512:晶体管,513:晶体管,515:晶体管,517:晶体管,518:晶体管,519:电容器,520:电容器,540:布线,541:布线,542:布线,543:布线,544:布线,711:衬底,712:电路区域,713:分离区域,714:分离线,715:芯片,750:电子构件,752:印刷电路板,753:半导体装置,754:电路板,755:引线,800:反相器,810:OS晶体管,820:OS晶体管,831:信号波形,832:信号波形,840:虚线,841:实线,850:OS晶体管,860:CMOS反相器,900:半导体装置,901:电源电路,902:电路,903:电压生成电路,903A:电压生成电路,903B:电压生成电路,903C:电压生成电路,903D:电压生成电路,903E:电压生成电路,904:电路,905:电压生成电路,905A:电压生成电路,905E:电压生成电路,906:电路,911:晶体管,912:晶体管,912A:晶体管,912B:晶体管,921:控制电路,922:晶体管,1901:框体,1902:框体,1903:显示部,1904:显示部,1905:麦克风,1906:扬声器,1907:操作键,1908:触屏笔,1911:框体,1912:框体,1913:显示部,1914:显示部,1915:连接部,1916:操作键,1921:框体,1922:显示部,1923:键盘,1924:指向装置,1931:框体,1932:冷藏室门,1933:冷冻室门,1941:框体,1942:框体,1943:显示部,1944:操作键,1945:镜头,1946:连接部,1951:车体,1952:车轮,1953:仪表盘,1954:灯,2200:摄像装置,2201:开关,2202:开关,2203:开关,2210:像素部,2211:像素,2212:子像素,2212B:子像素,2212G:子像素,2212R:子像素,2220:光电转换元件,2230:像素电路,2231:布线,2247:布线,2248:布线,2249:布线,2250:布线,2253:布线,2254:滤光片,2254B:滤光片,2254G:滤光片,2254R:滤光片,2255:透镜,2256:光,2257:布线,2260:外围电路,2270:外围电路,2280:外围电路,2290:外围电路,2291:光源,2300:硅衬底,2310:层,2320:层,2330:层,2340:层,2351:晶体管,2352:晶体管,2353:晶体管,2360:光电二极管,2361:阳极,2363:低电阻区域,2370:插头,2371:布线,2372:布线,2373:布线,2379:绝缘体,2380:绝缘体,2381:绝缘体,2390a:导电体,2390b:导电体,2390c:导电体,2390d:导电体,2390e:导电体,3001:布线,3002:布线,3003:布线,3004:布线,3005:布线,3006:布线,3200:晶体管,3500:晶体管,4001:布线,4003:布线,4005:布线,4006:布线,4007:布线,4008:布线,4009:布线,4021:层,4023:层,

4100:晶体管,4200:晶体管,4300:晶体管,4400:晶体管,4500:电容器,4600:电容器

[0771] 本申请基于2016年2月12日提交到日本专利局的日本专利申请No.2016-024794,通过引用将其完整内容并入在此。

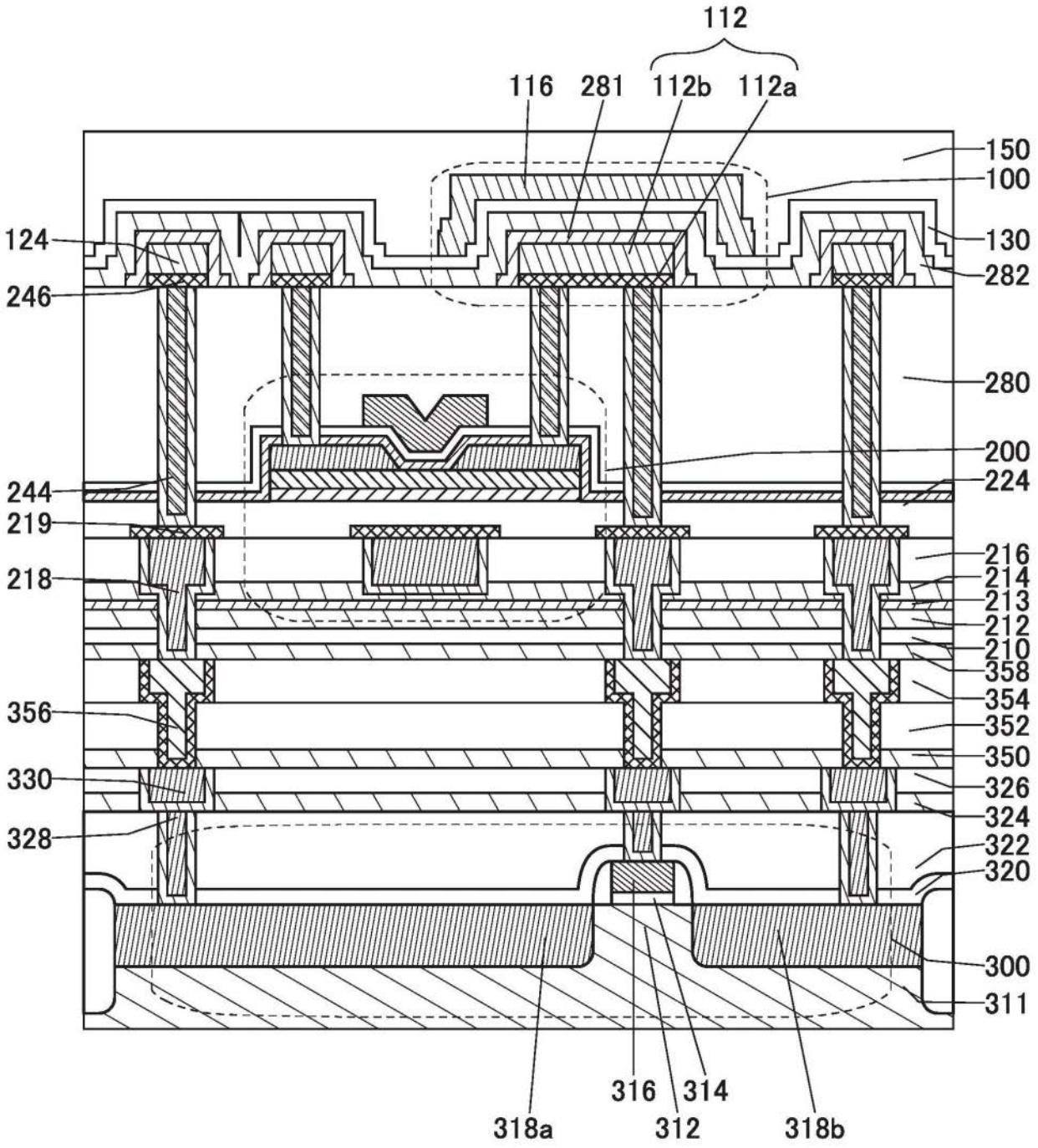

112
116
281
112b
112a
150
100
124
130
246
282
280
200
244
224
219
216
218
214
213
212
210
358
356
354
352
350
330
326
328
324
322
320
300
311
316
314
318a
312
318b

图1

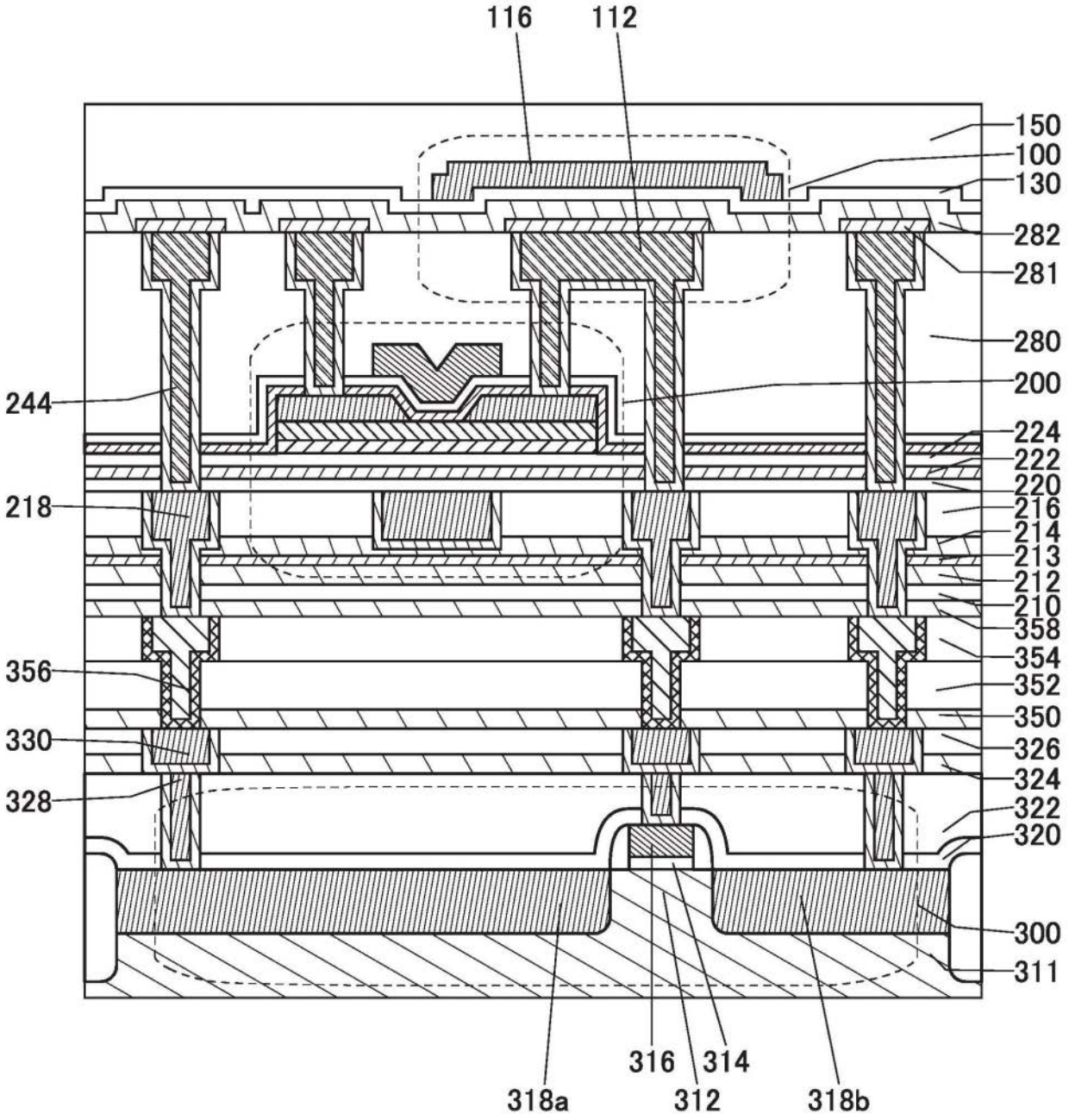

116
112
150
100
130
282
281
280
200
244
224
222
220
218
216
214
213
212
210
358
354
356
352
350
330
326
324
328
322
320
300
311
316
314
318a
312
318b

图2

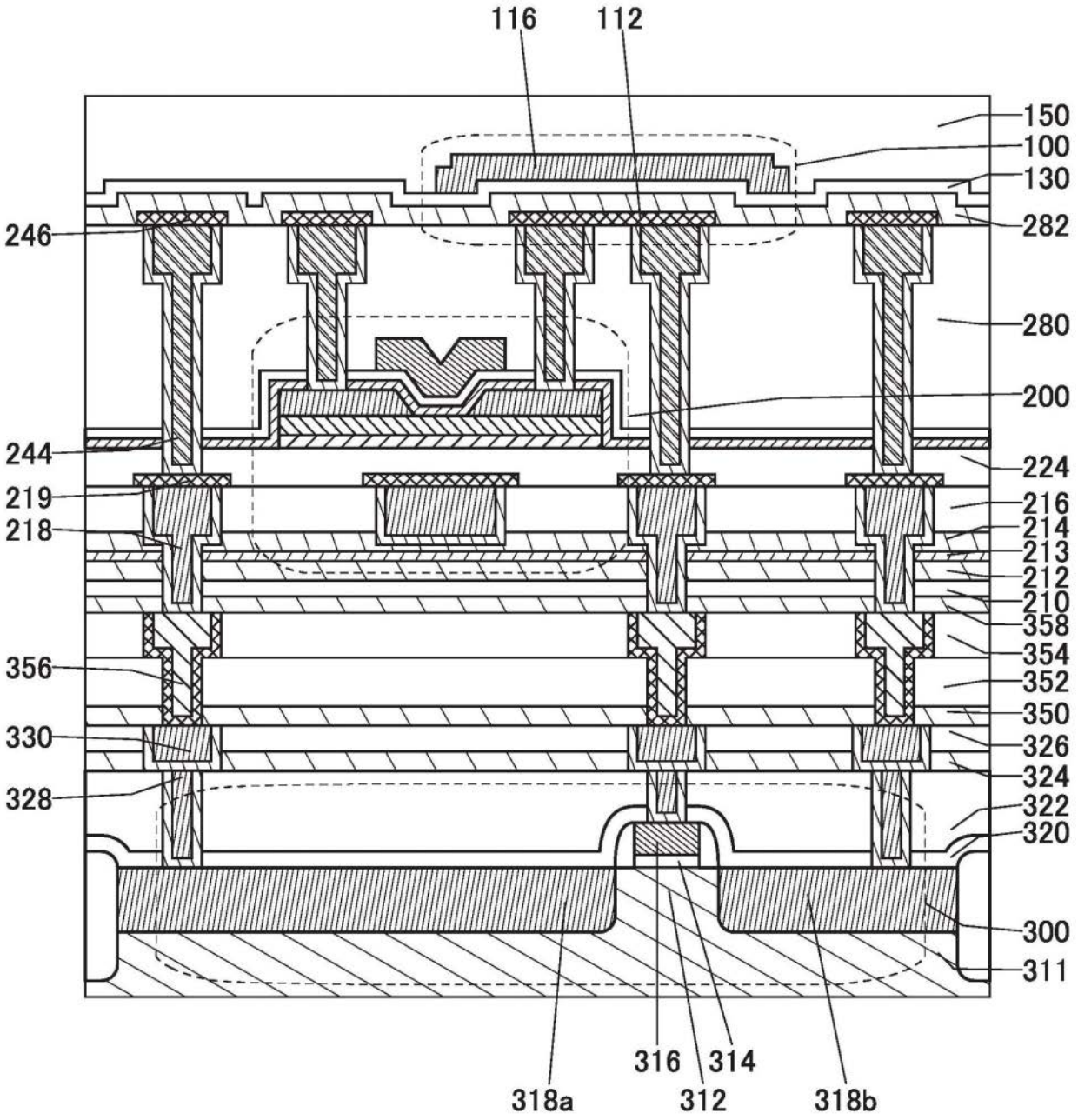

116
112
150
100
130
282
246
280
200
244
224
219
216
218
214
213
212
210
358
354
356
352
350
330
326
324
328
322
320
300
311
316
314
318a
312
318b

图3

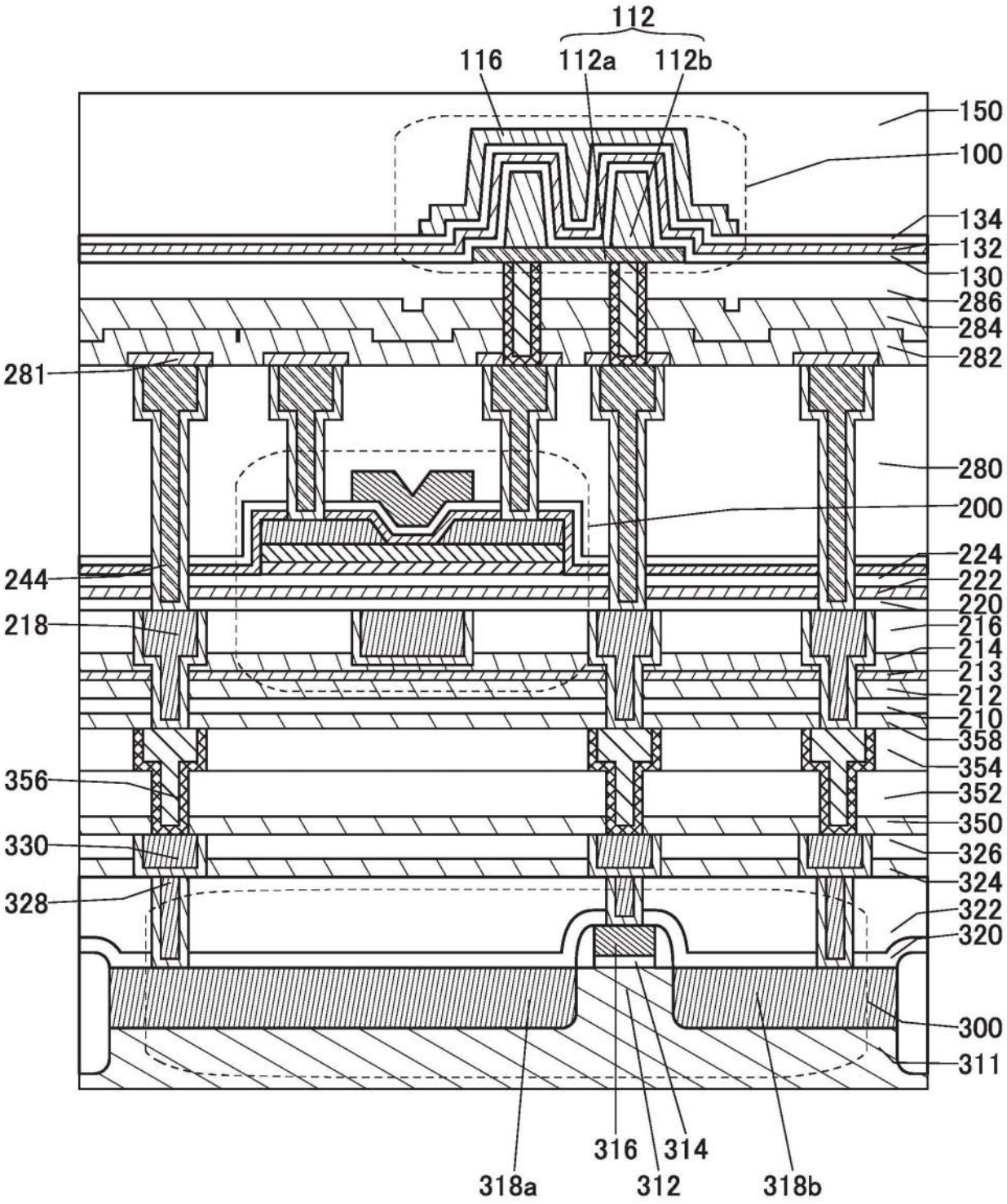

112
116
112a
112b
150
100
134
132
130
286
284
282
281
280
200
224
244
222
220
218
216
214
213
212
210
358
354
356
352
350
330
326
324
328
322
320
300
311
316
314
318a
312
318b

图4

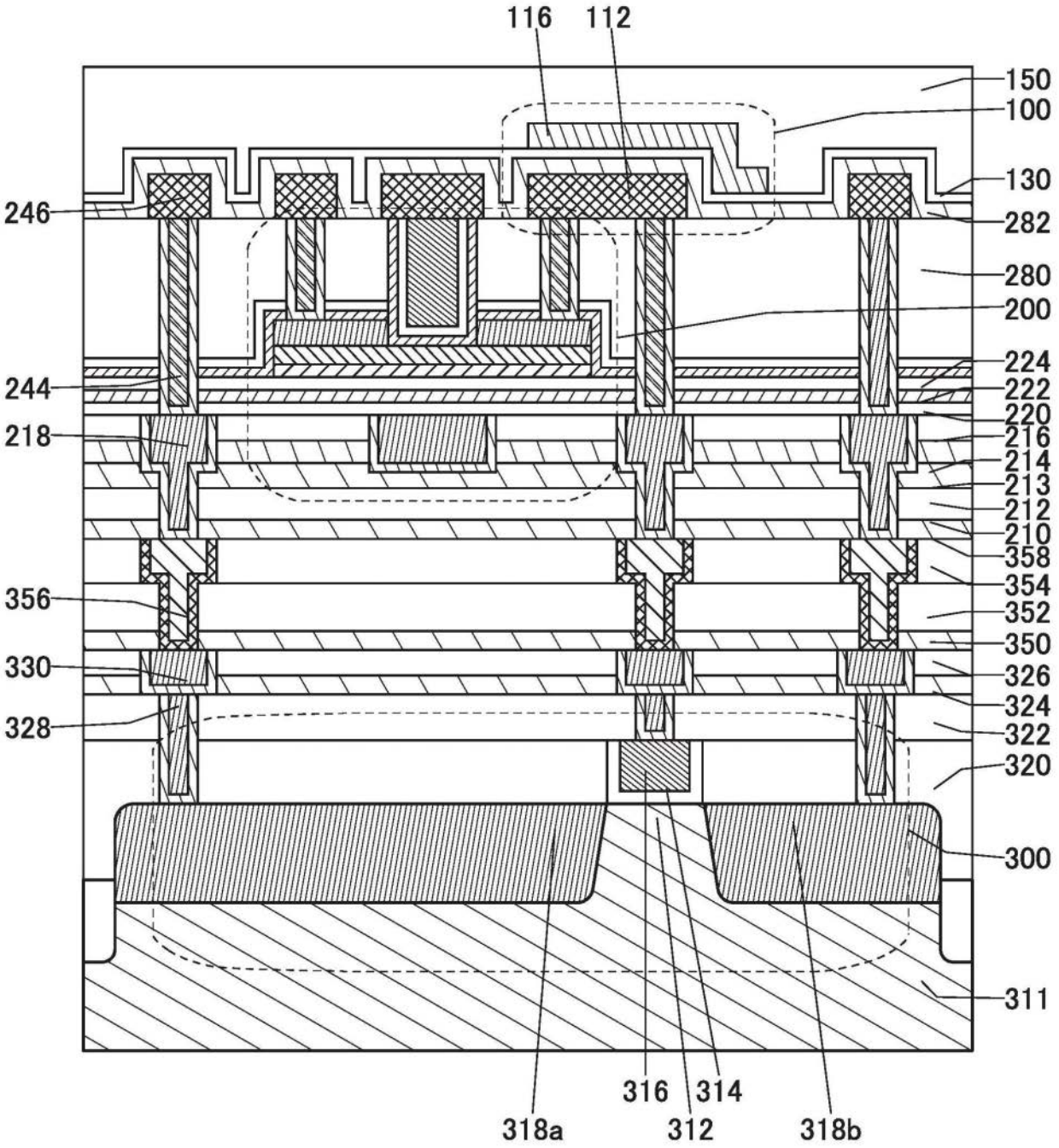

116
112
150
100
130
246
282
280
200
224
244
222
220
218
216
214
213
212
210
358
354
356
352
350
330
326
324
328
322
320
300
311
316
314
318a
312
318b

图5

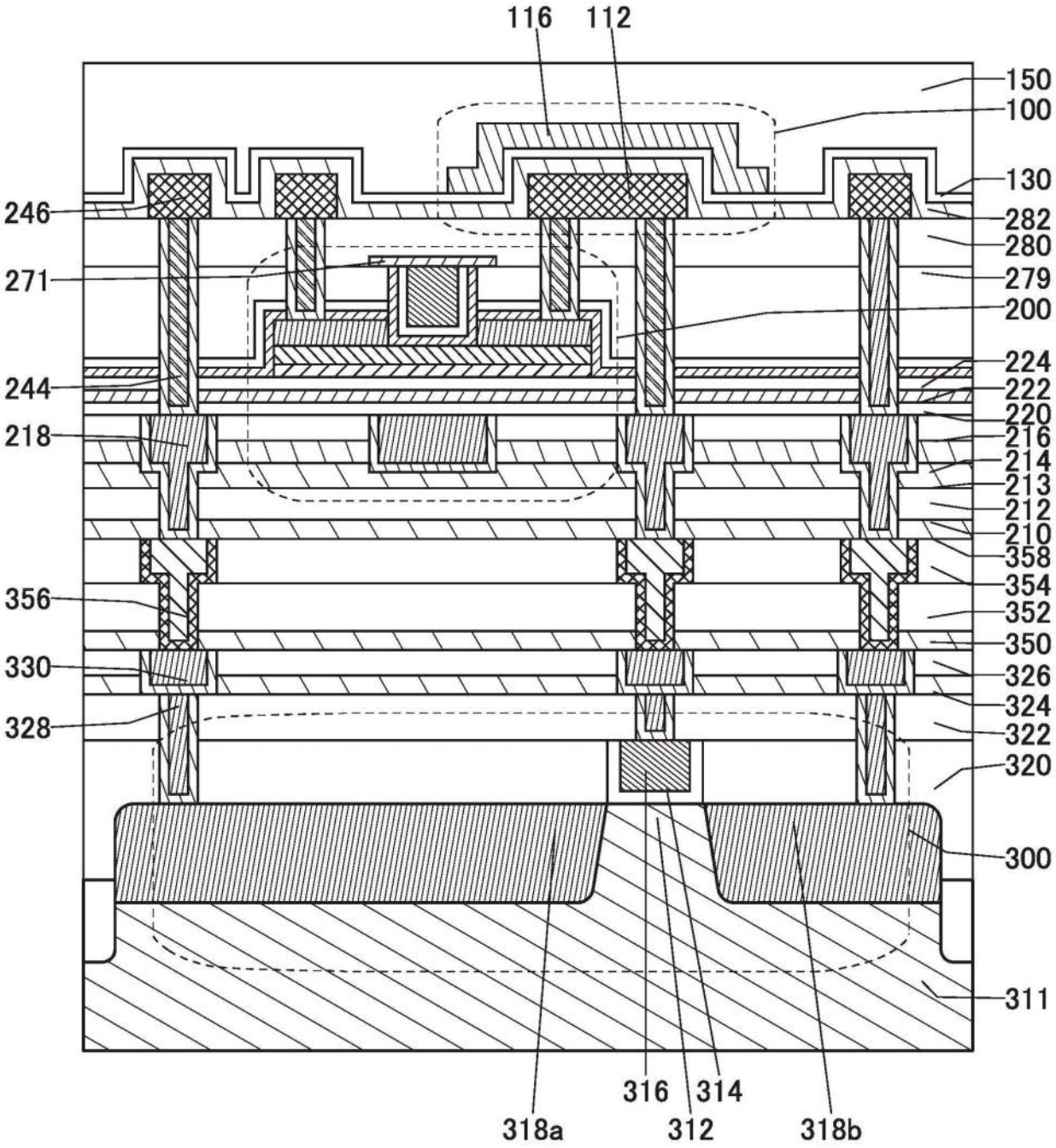

116
112
150
100
130
246
282
280
271
279
200
224
244
222
220
218
216
214
213
212
210
358
354
356
352
350
330
326
324
328
322
320
300
311
316
314
318a
312
318b

图6

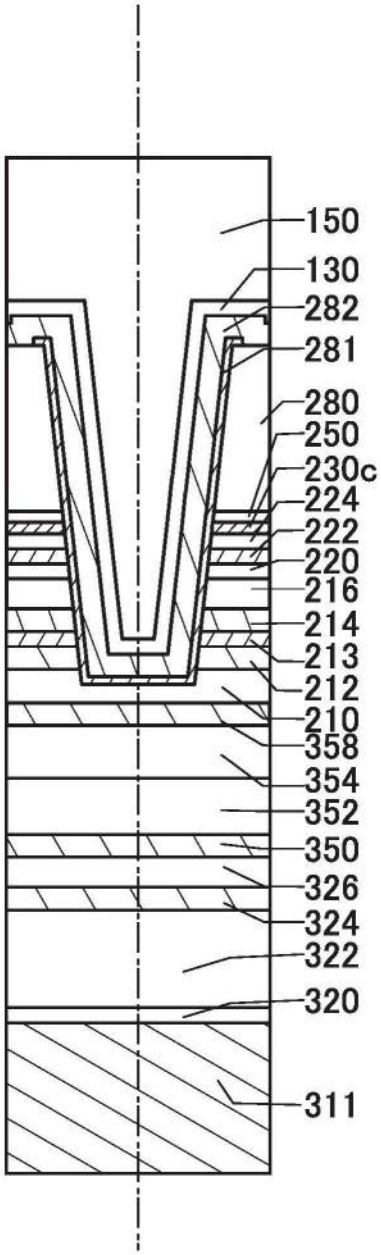

150
130
282
281
280
250
230c
224
222
220
216
214
213
212
210
358
354
352
350
326
324
322
320
311

图7A

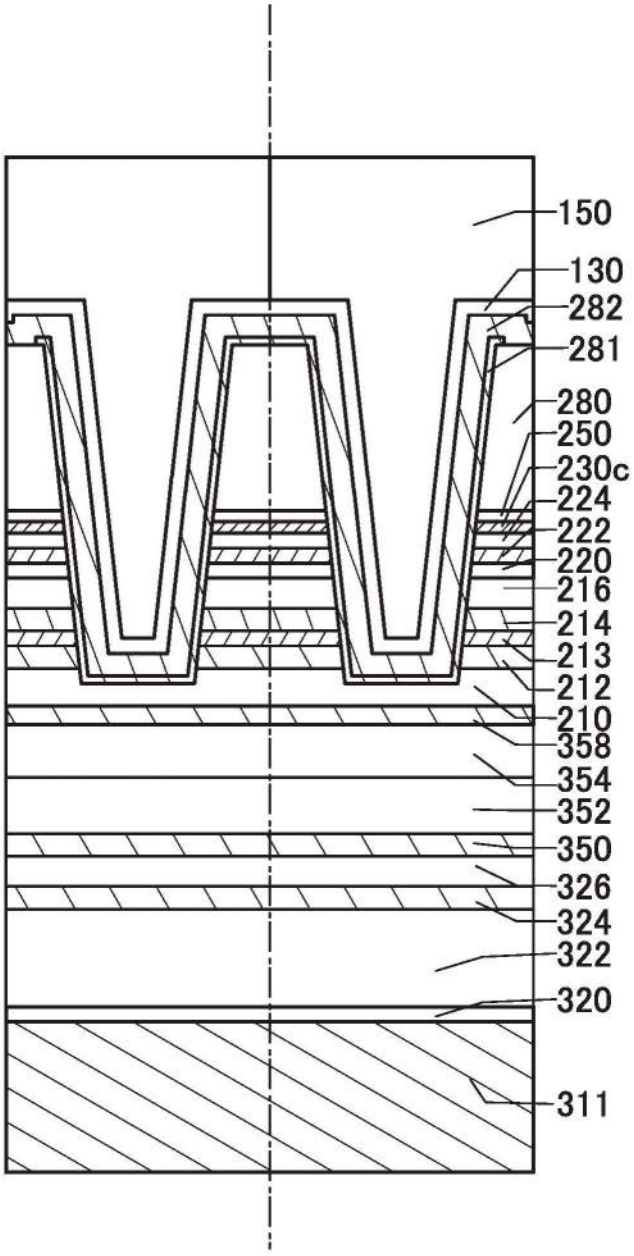

150
130
282
281
280
250
230c
224
222
220
216
214
213
212
210
358
354
352
350
326
324
322
320
311

图7B

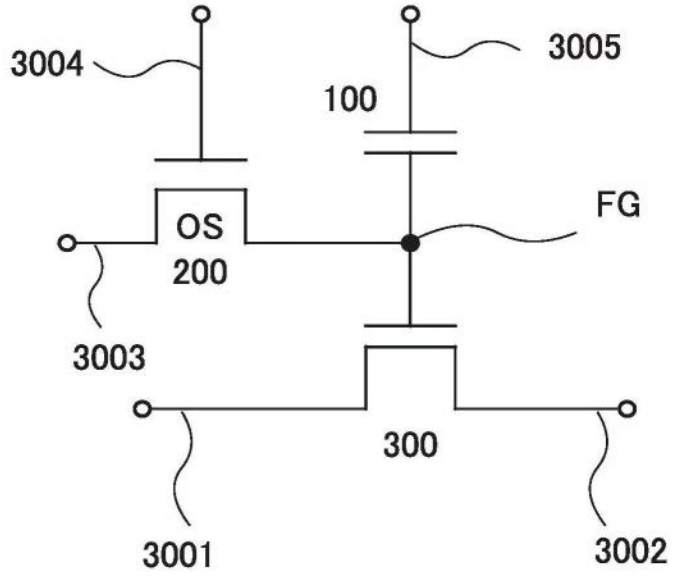

3004
3005
100
FG
OS
200
3003
300
3001
3002

图8A

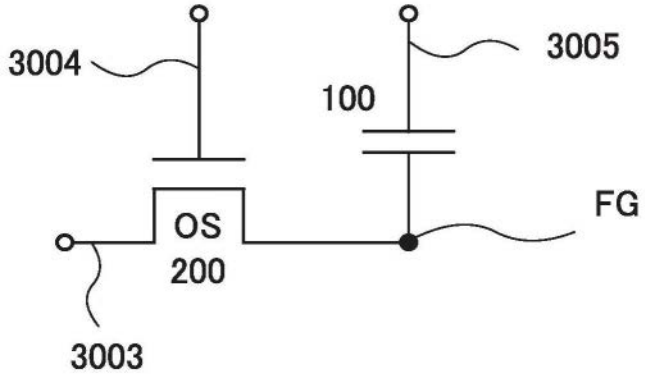

3004
3005
100
FG
OS
200
3003

图8B

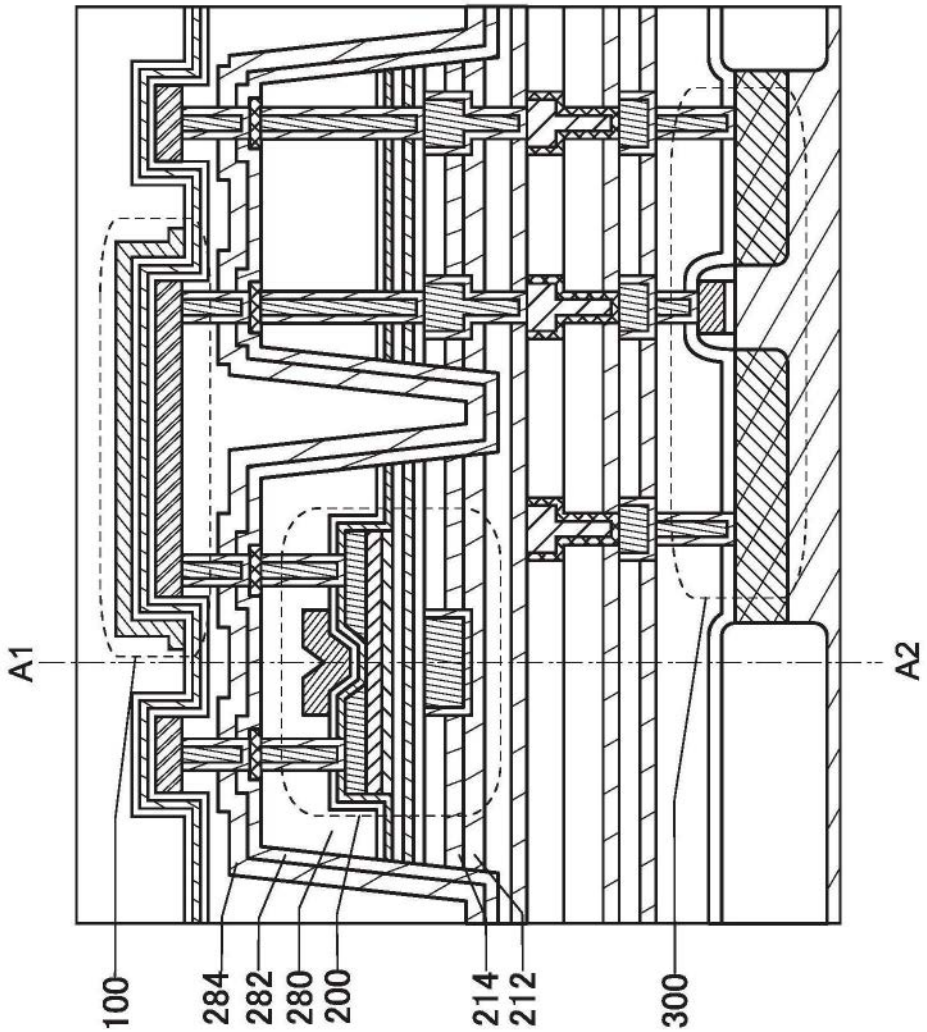


图9A

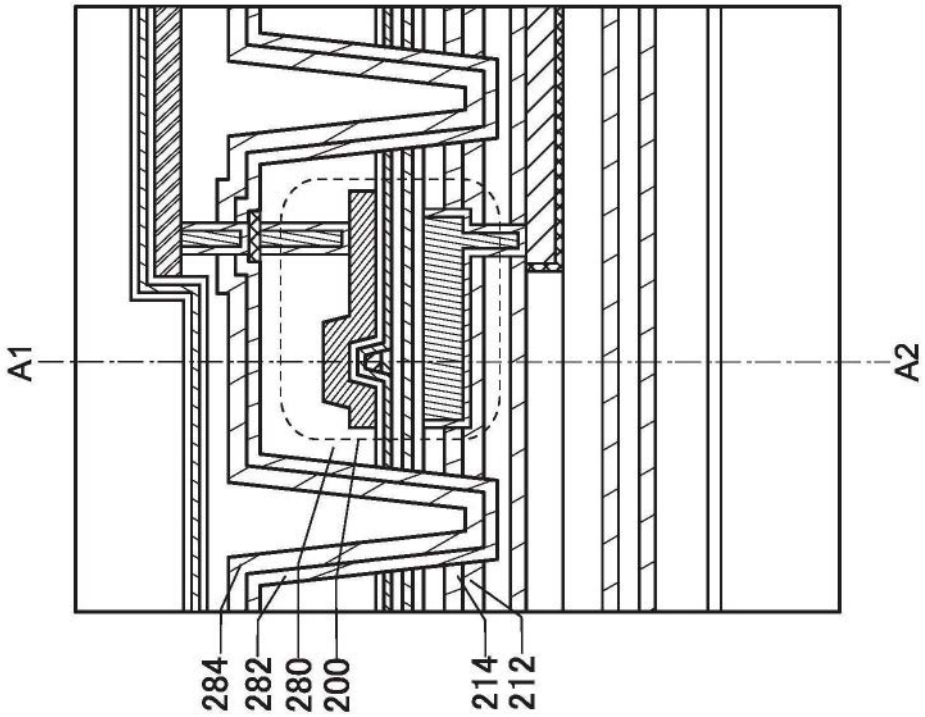


图9B

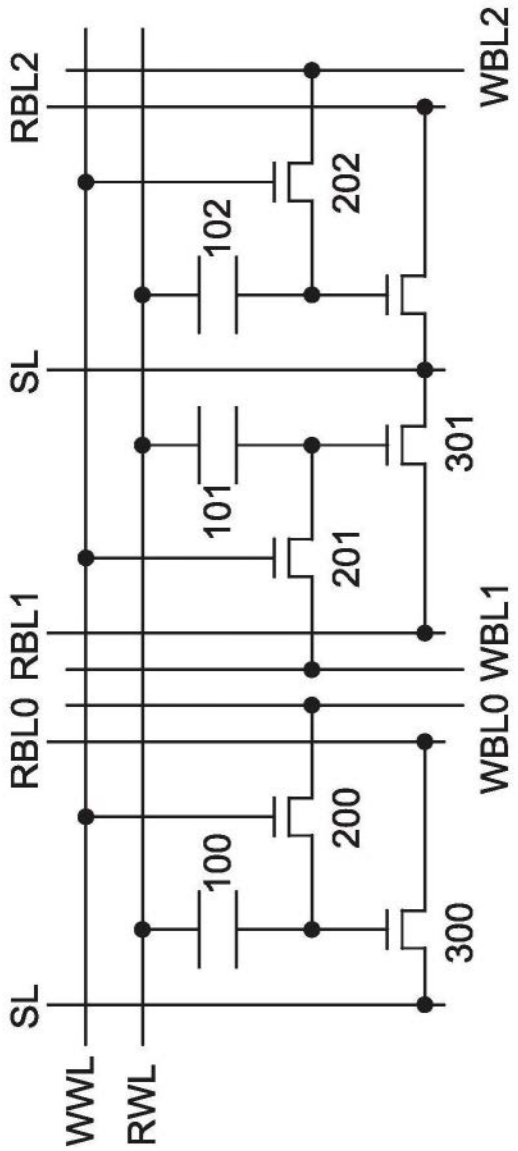

RBL2
WBL2
202
102
SL
301
101
201
RBL1
WBL1
RBL0
WBL0
200
100
300
SL
WWL
RWL

图10A

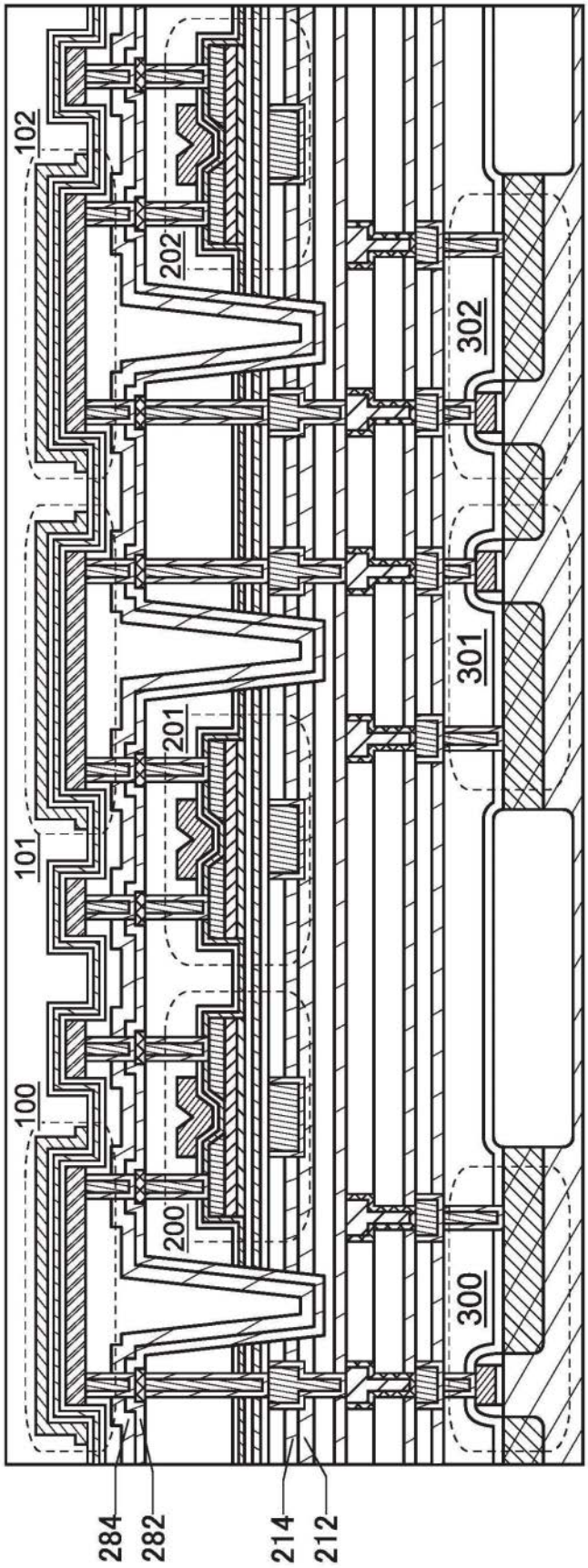


图10B

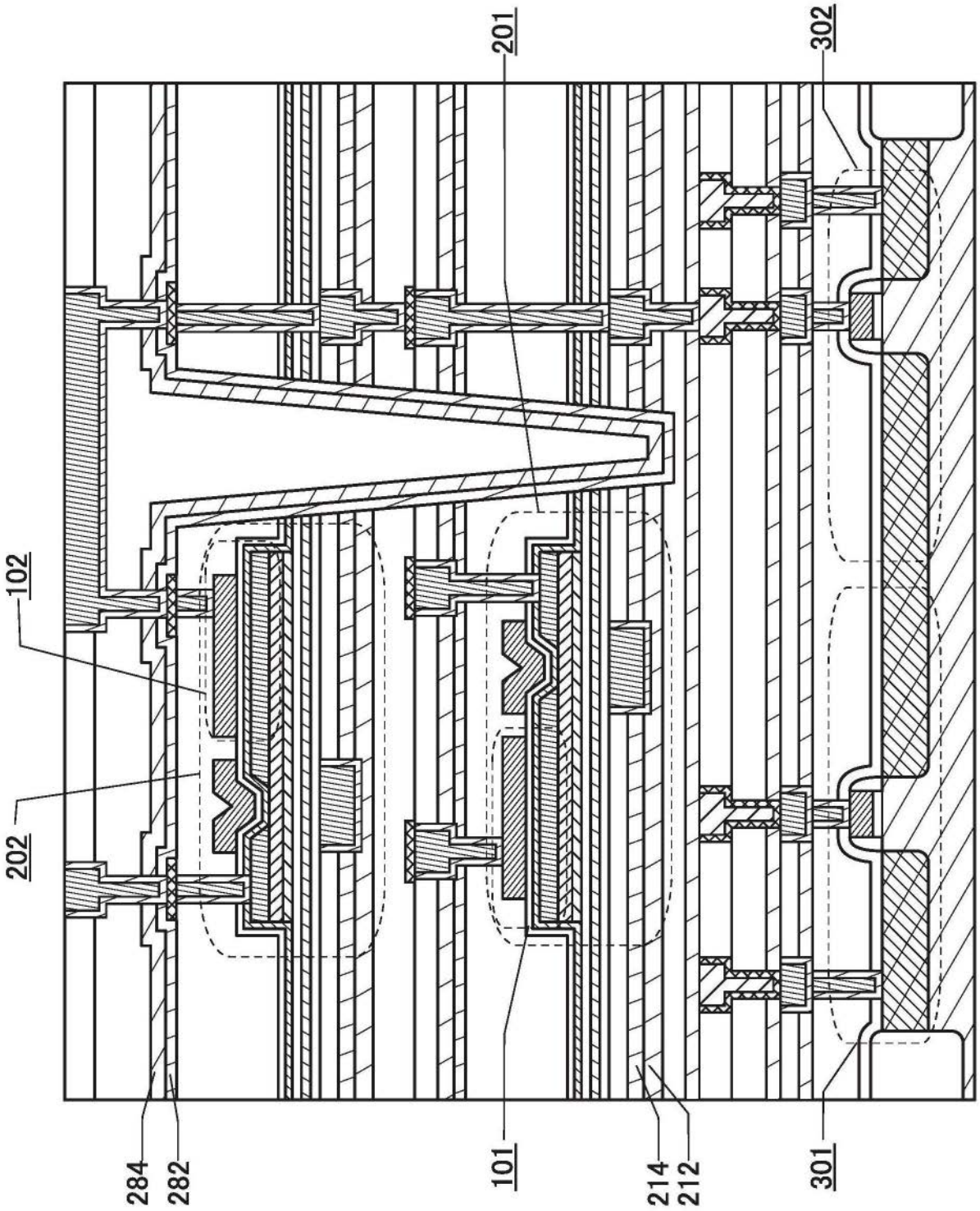


图11

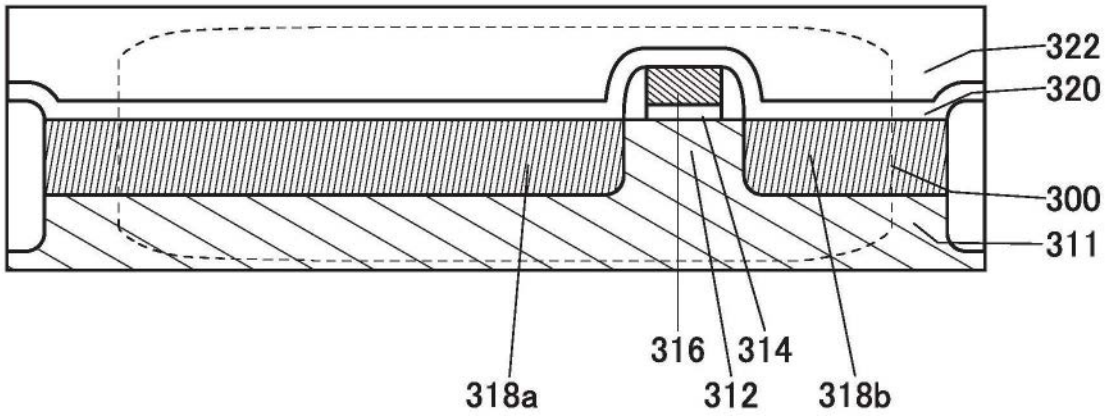


图12A

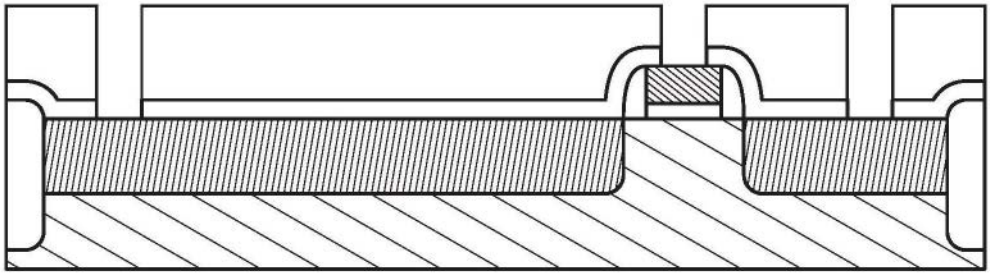


图12B

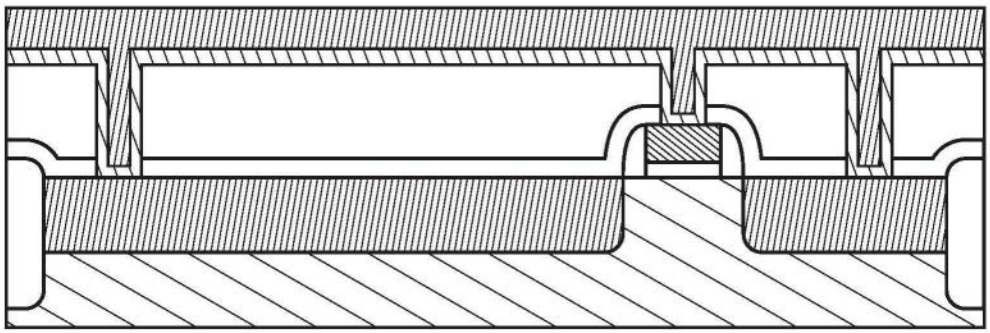


图12C

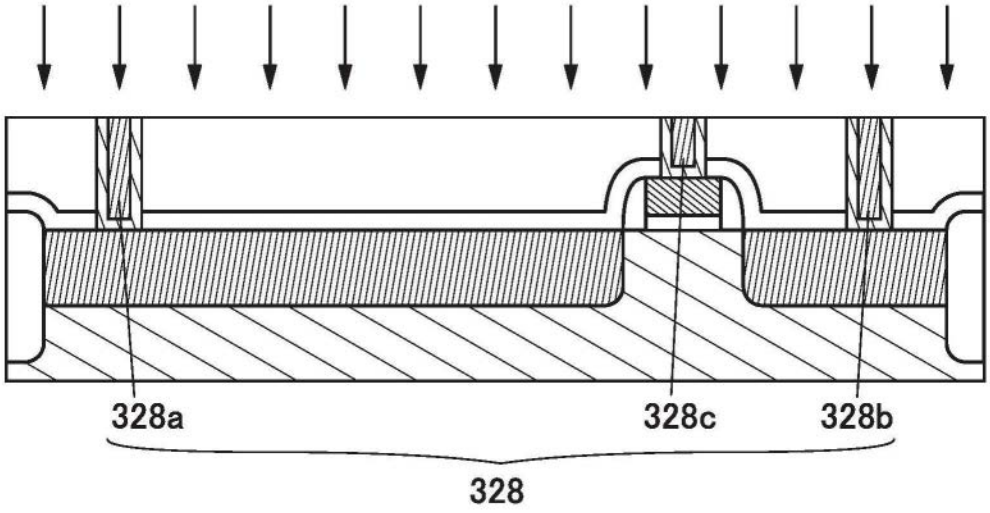


图12D

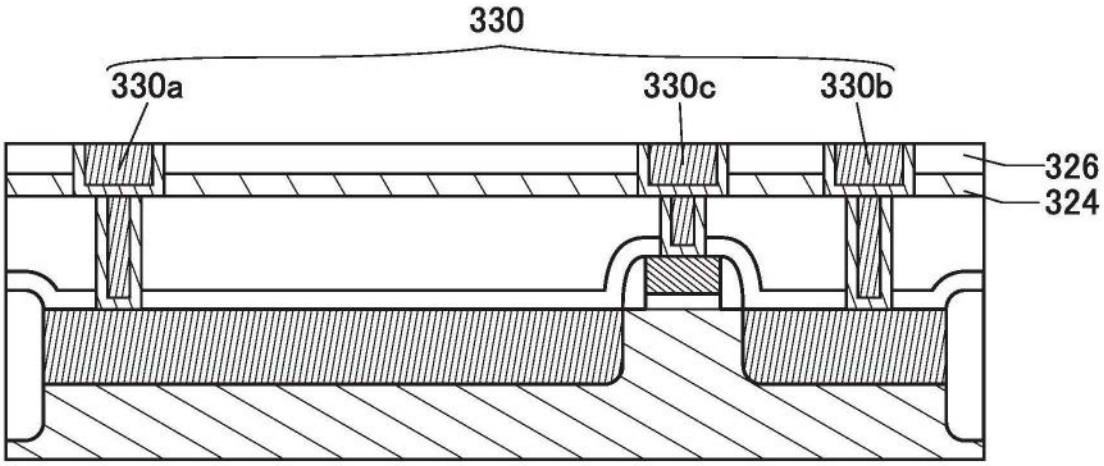


图13A

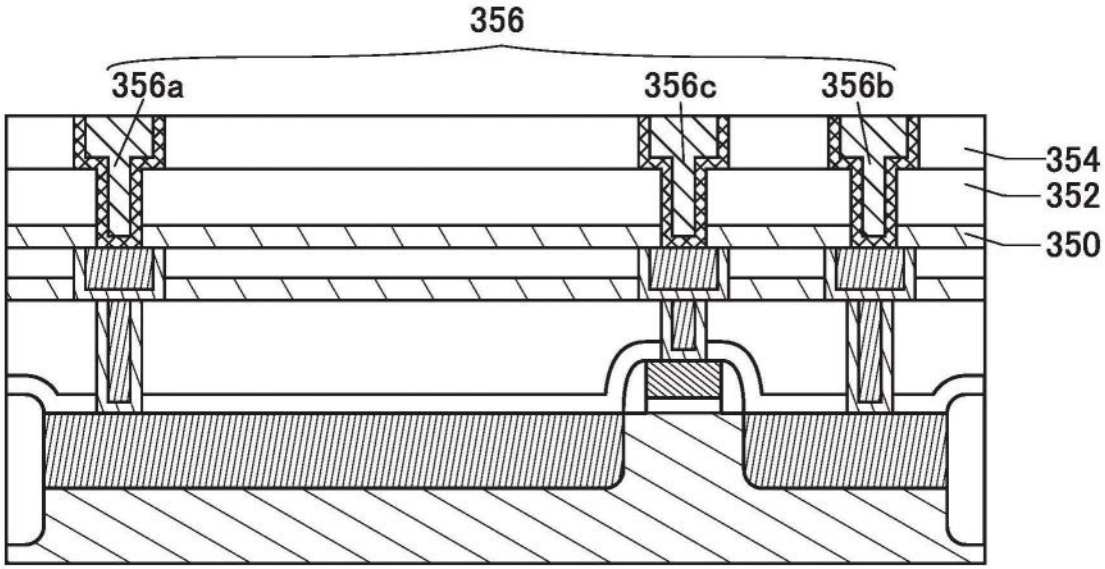


图13B

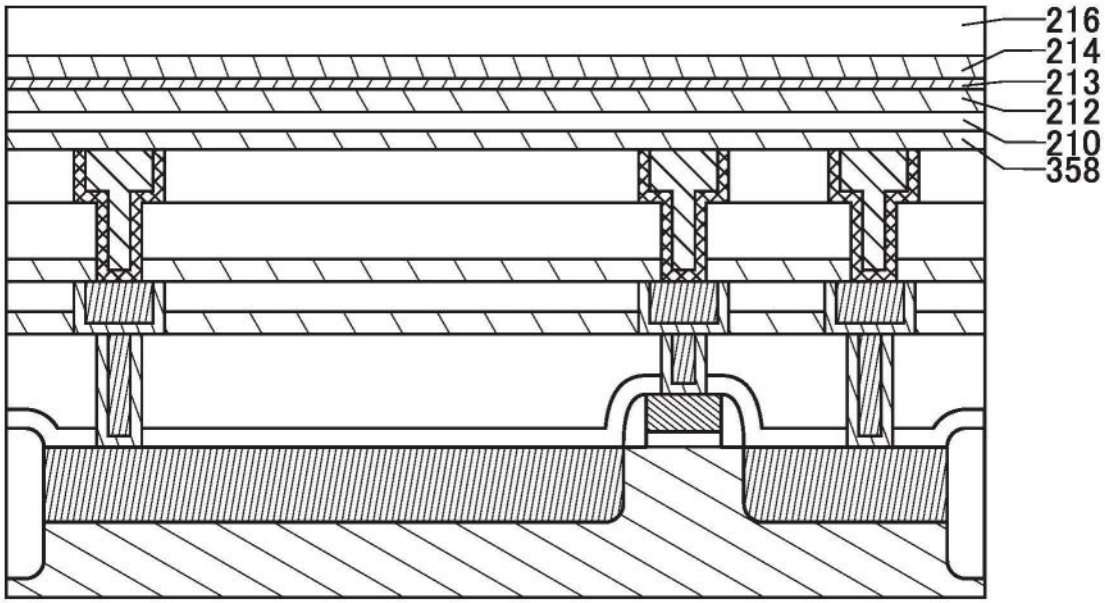


图13C

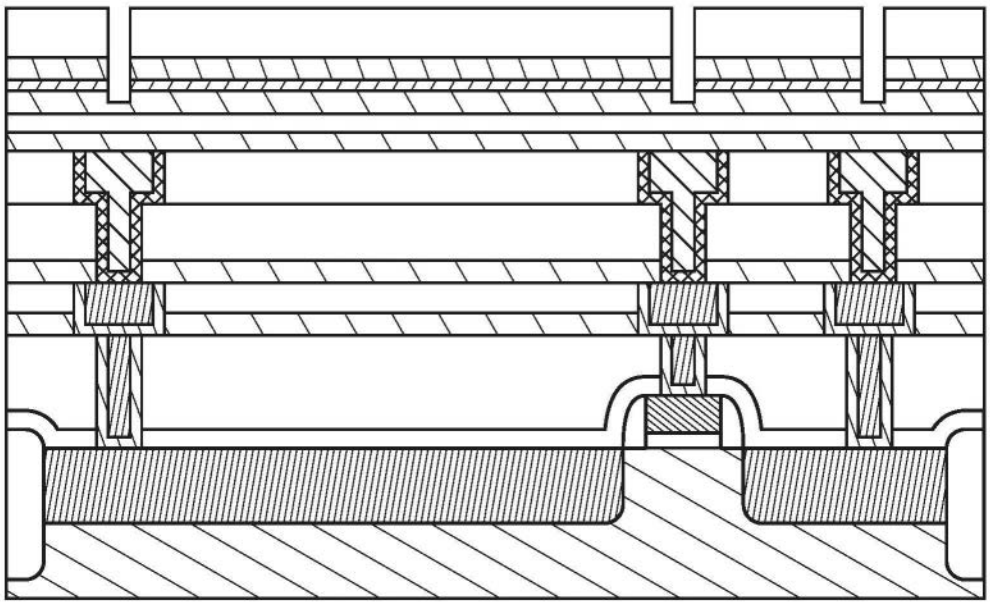


图14A

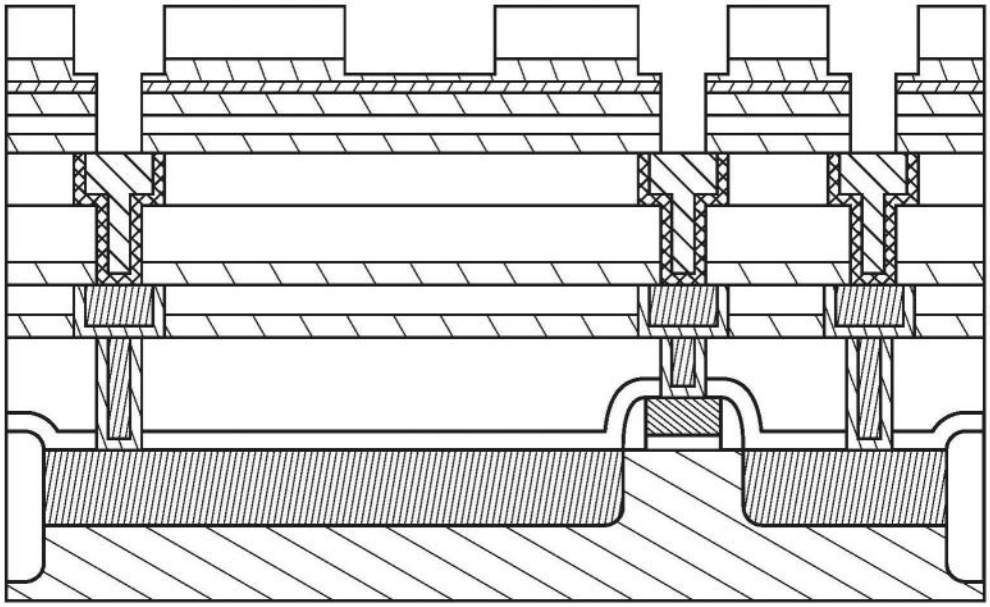


图14B

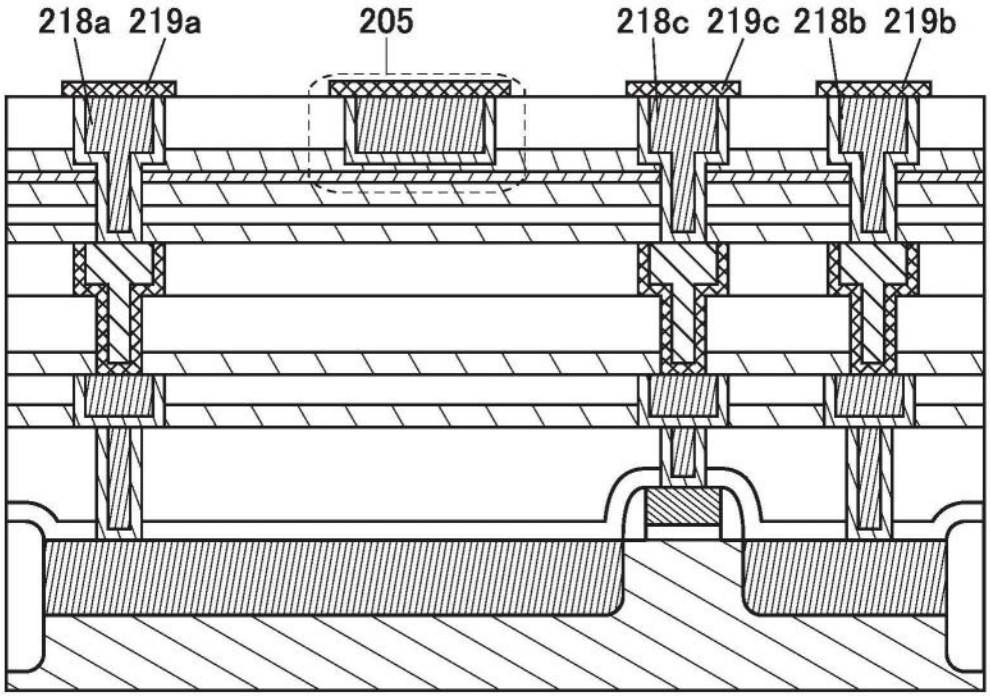


图15A

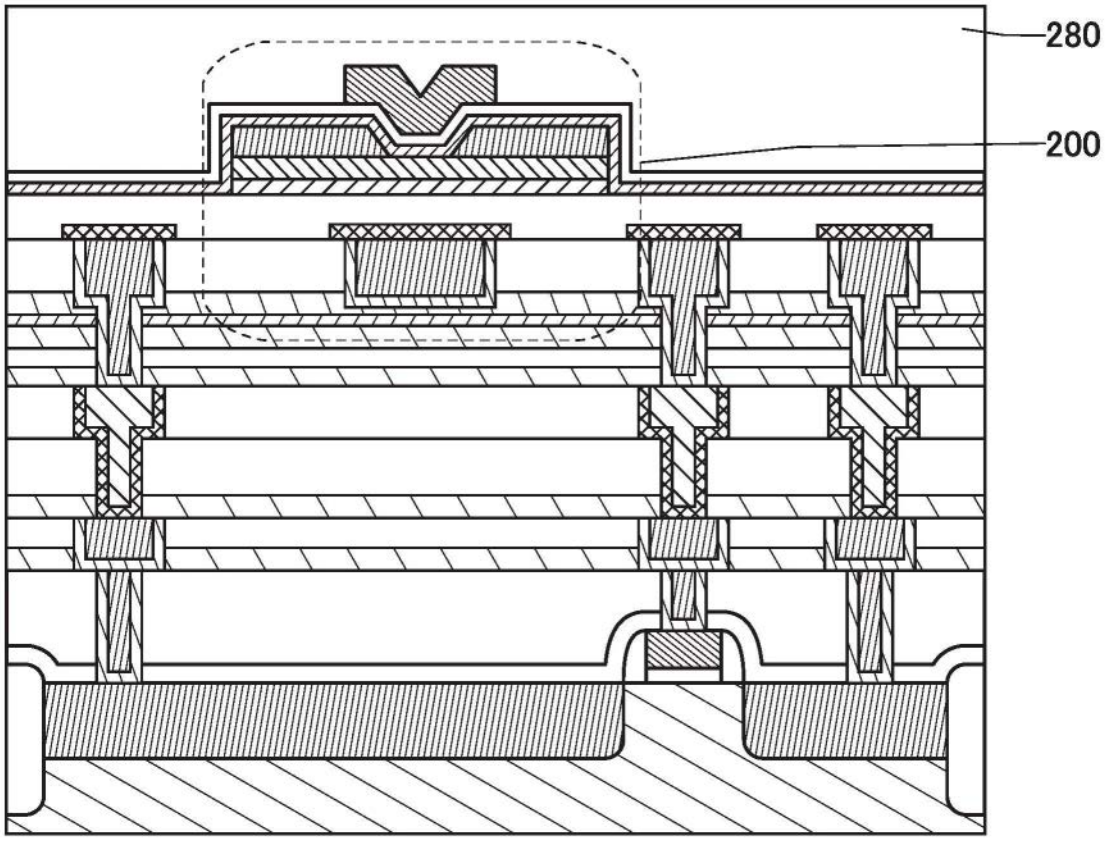


图15B

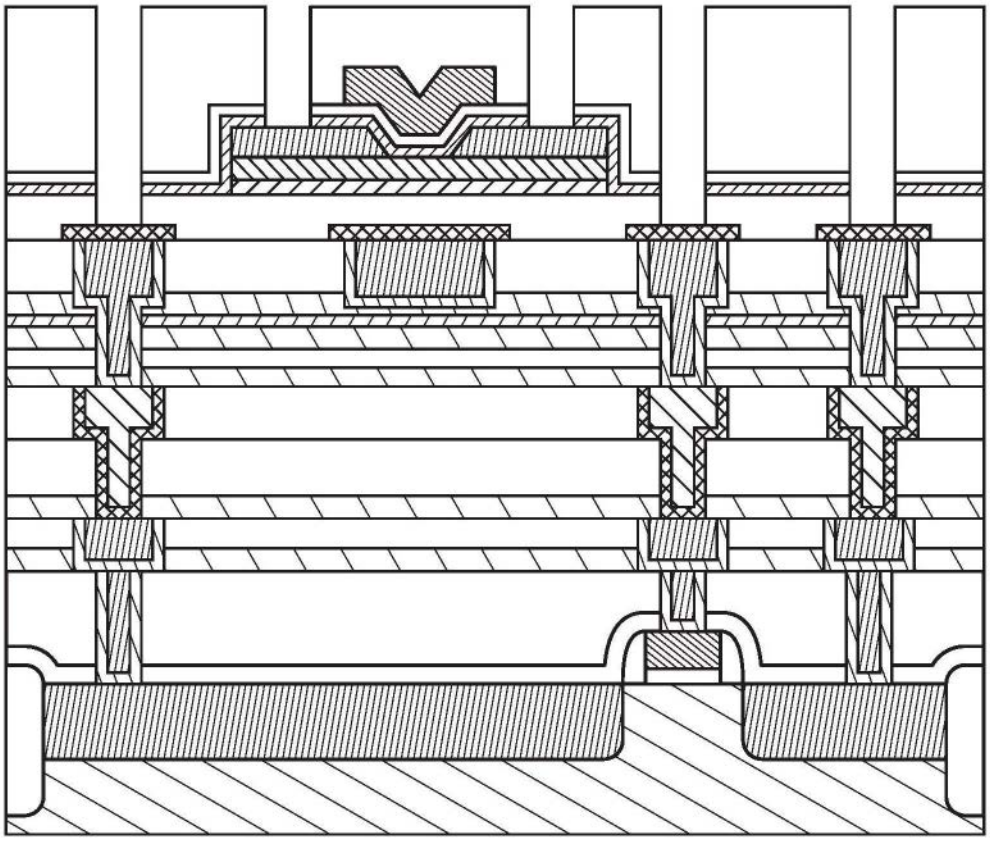


图16A

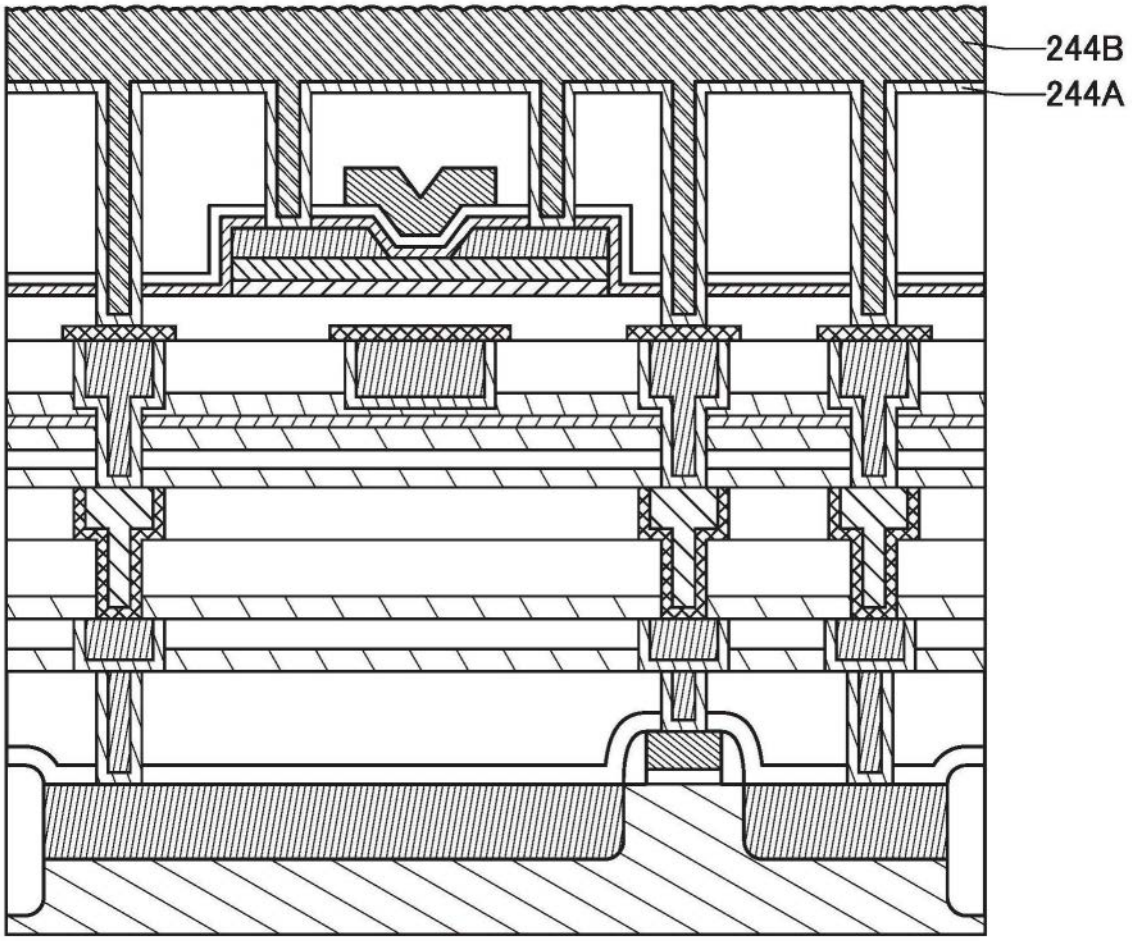


图16B

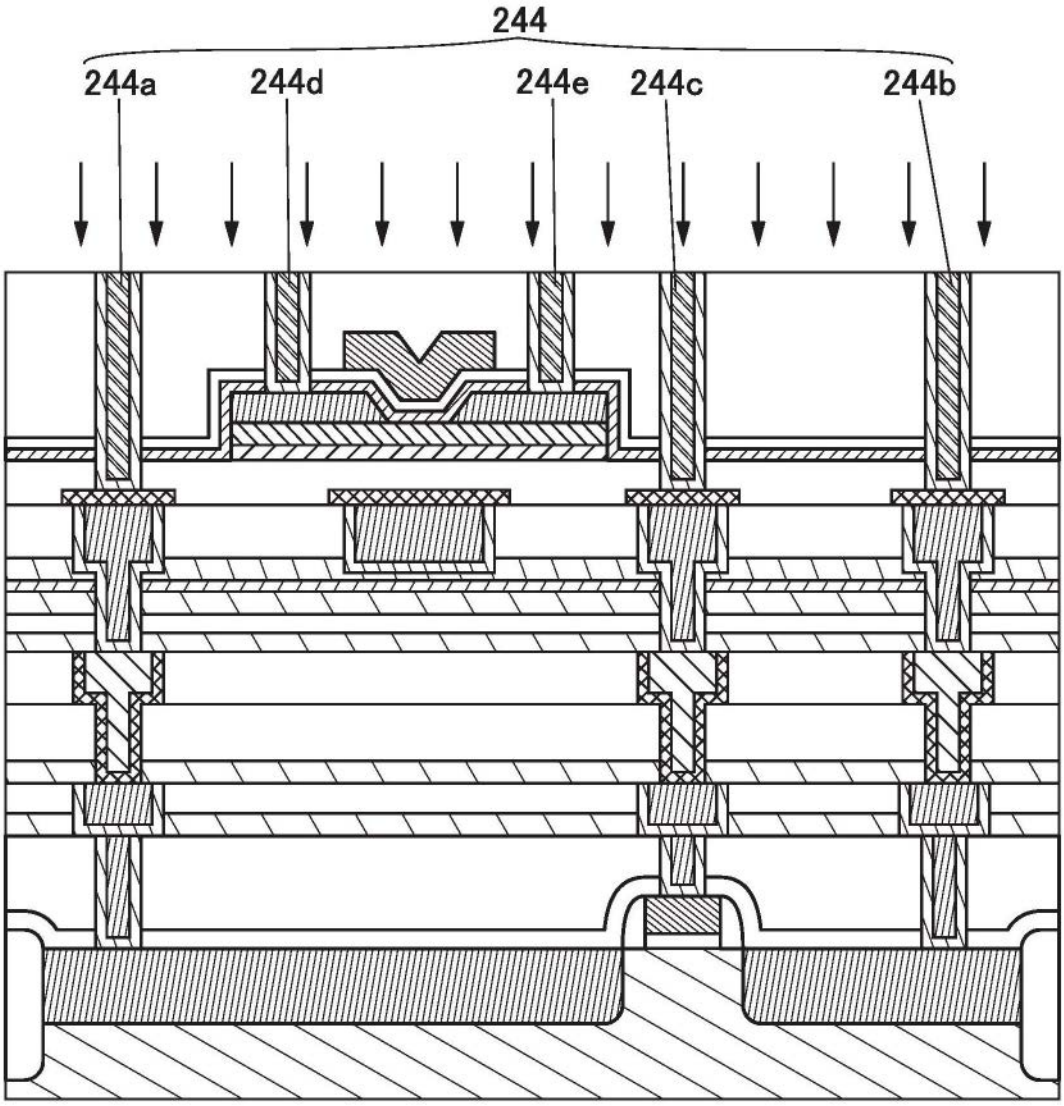


图17

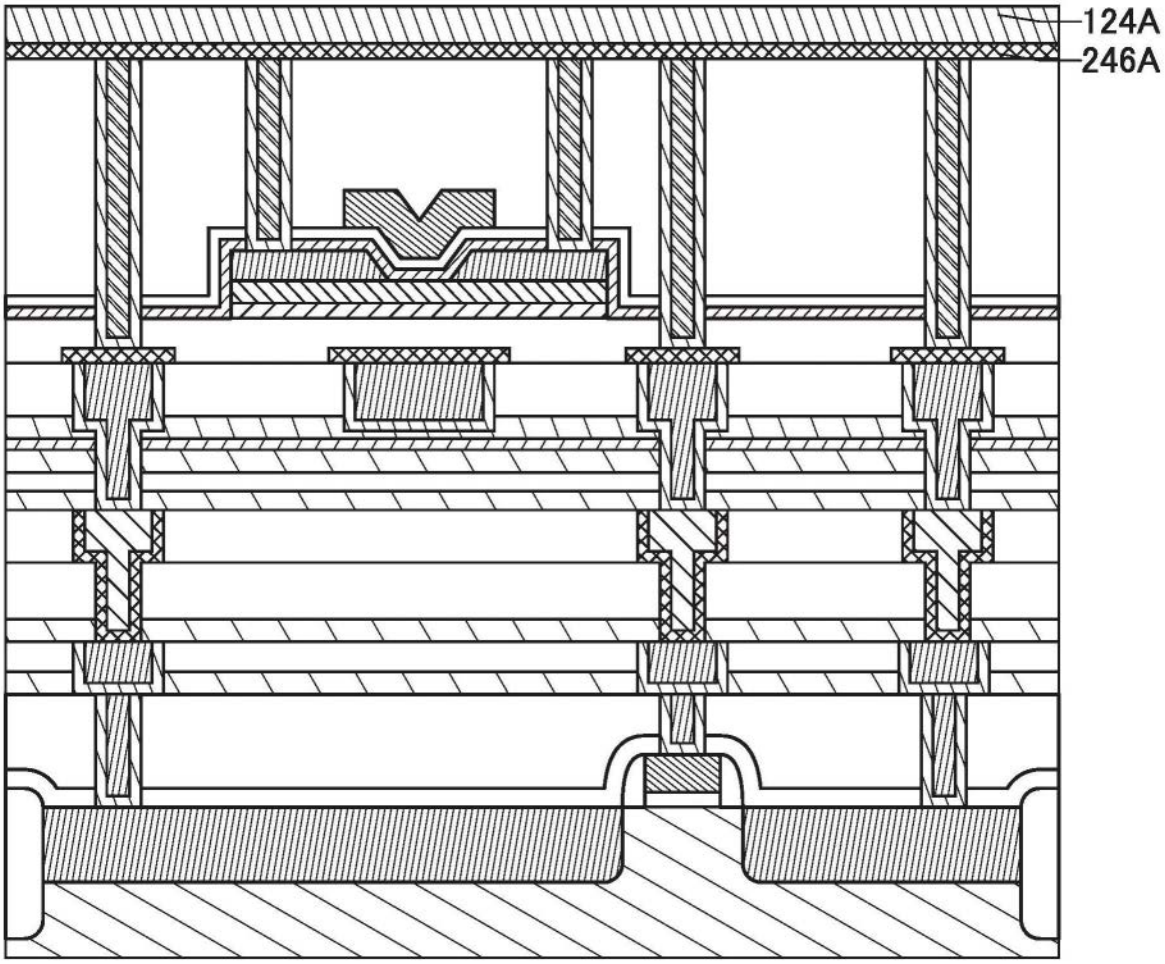


图18

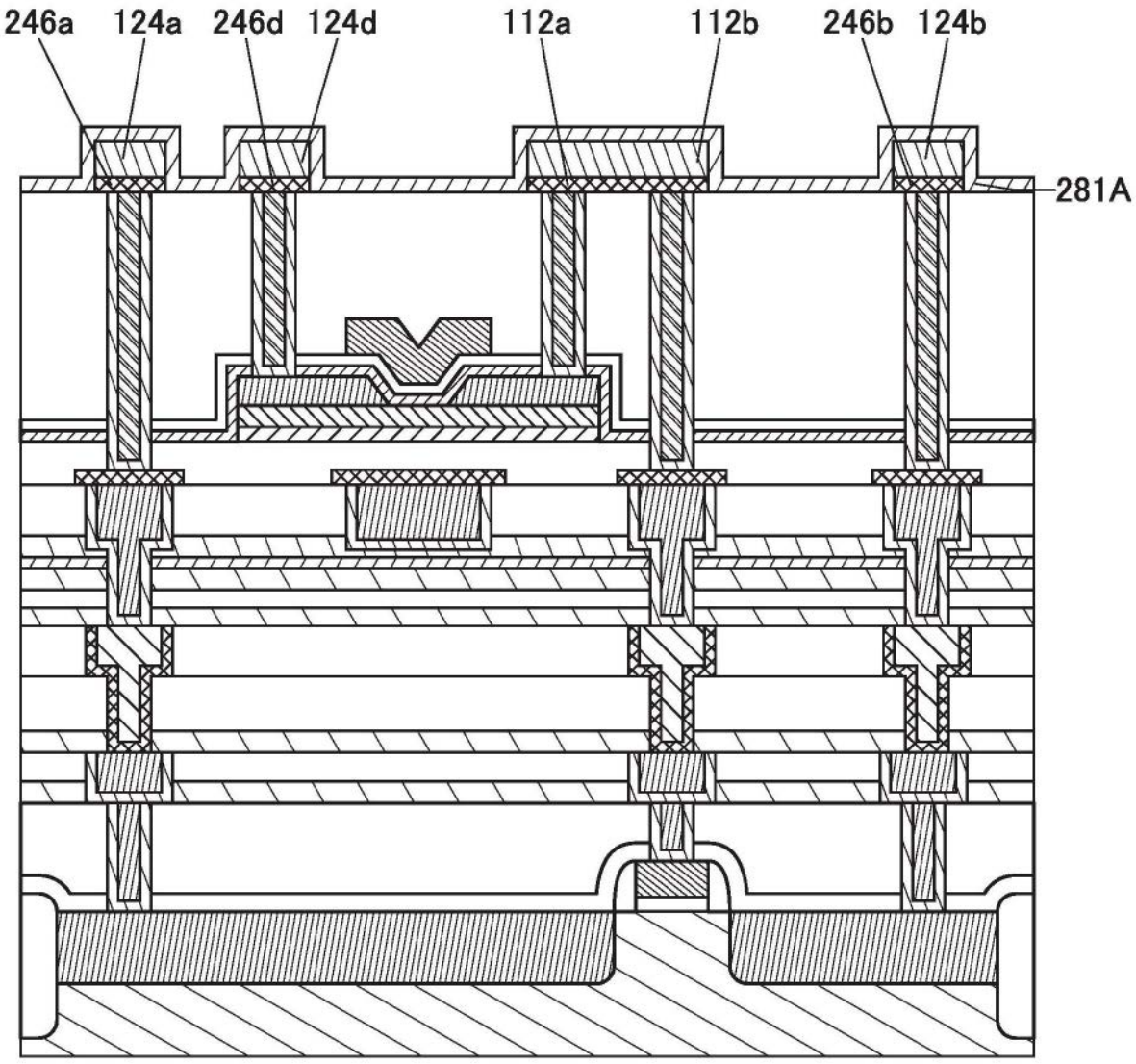


图19

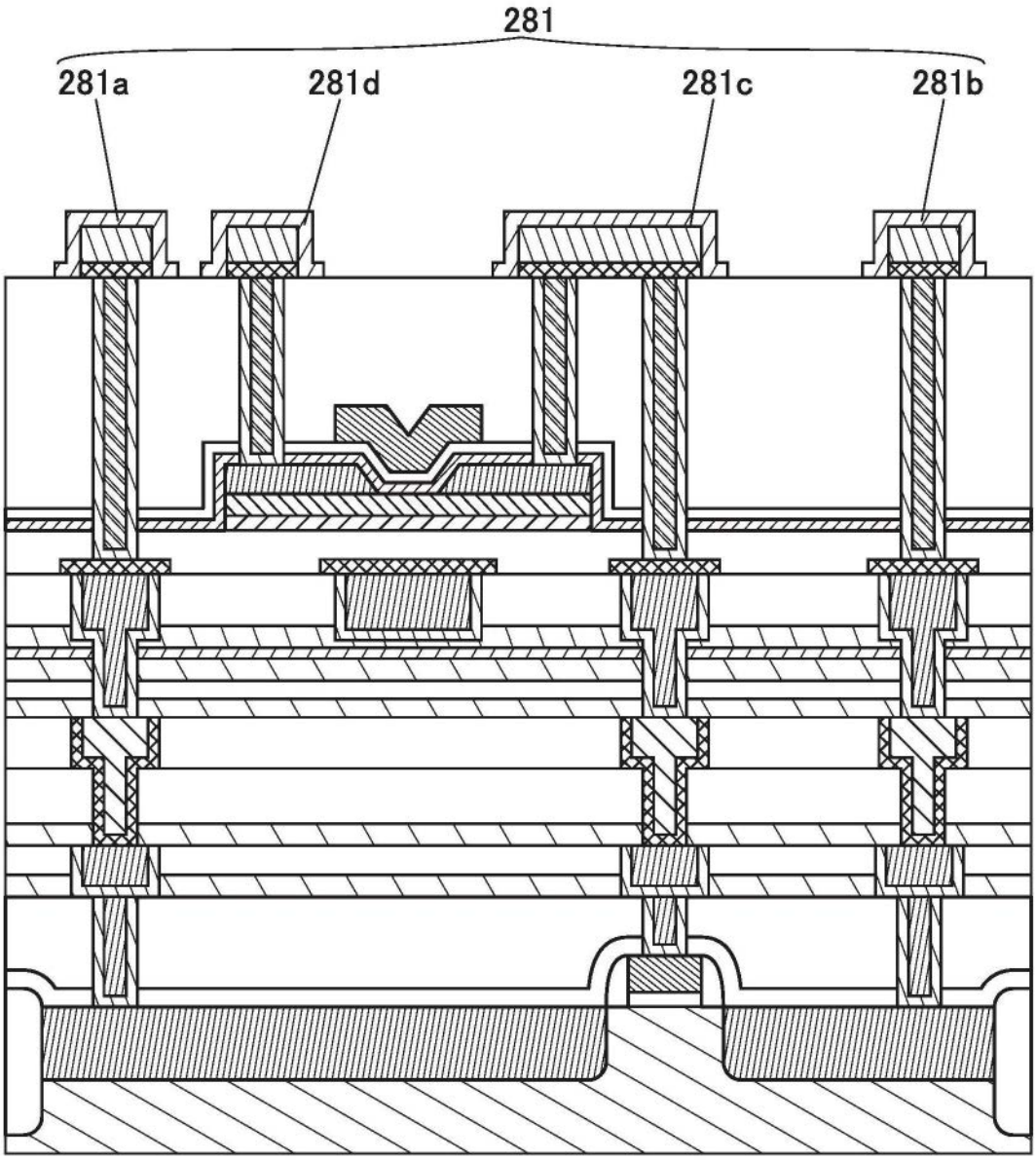


图20

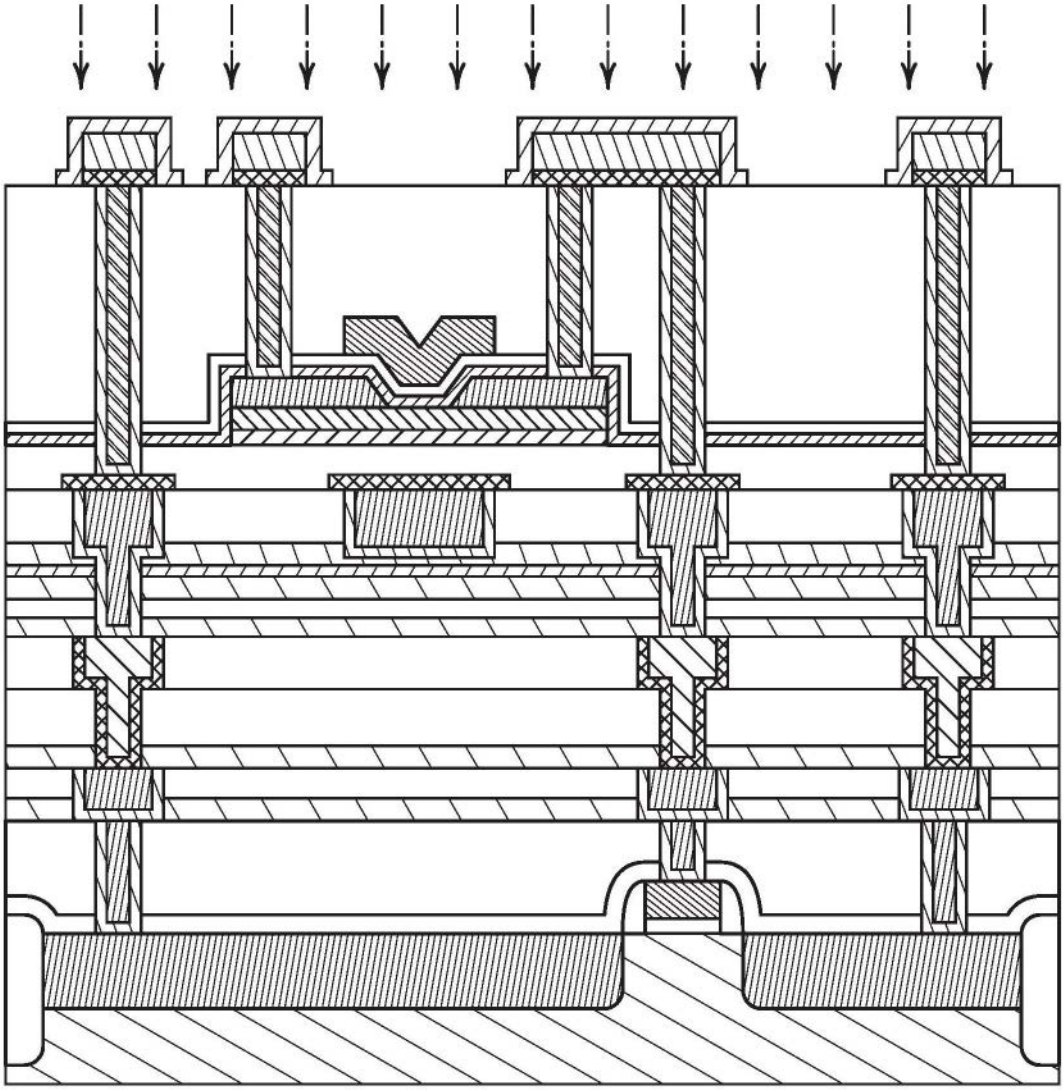


图21

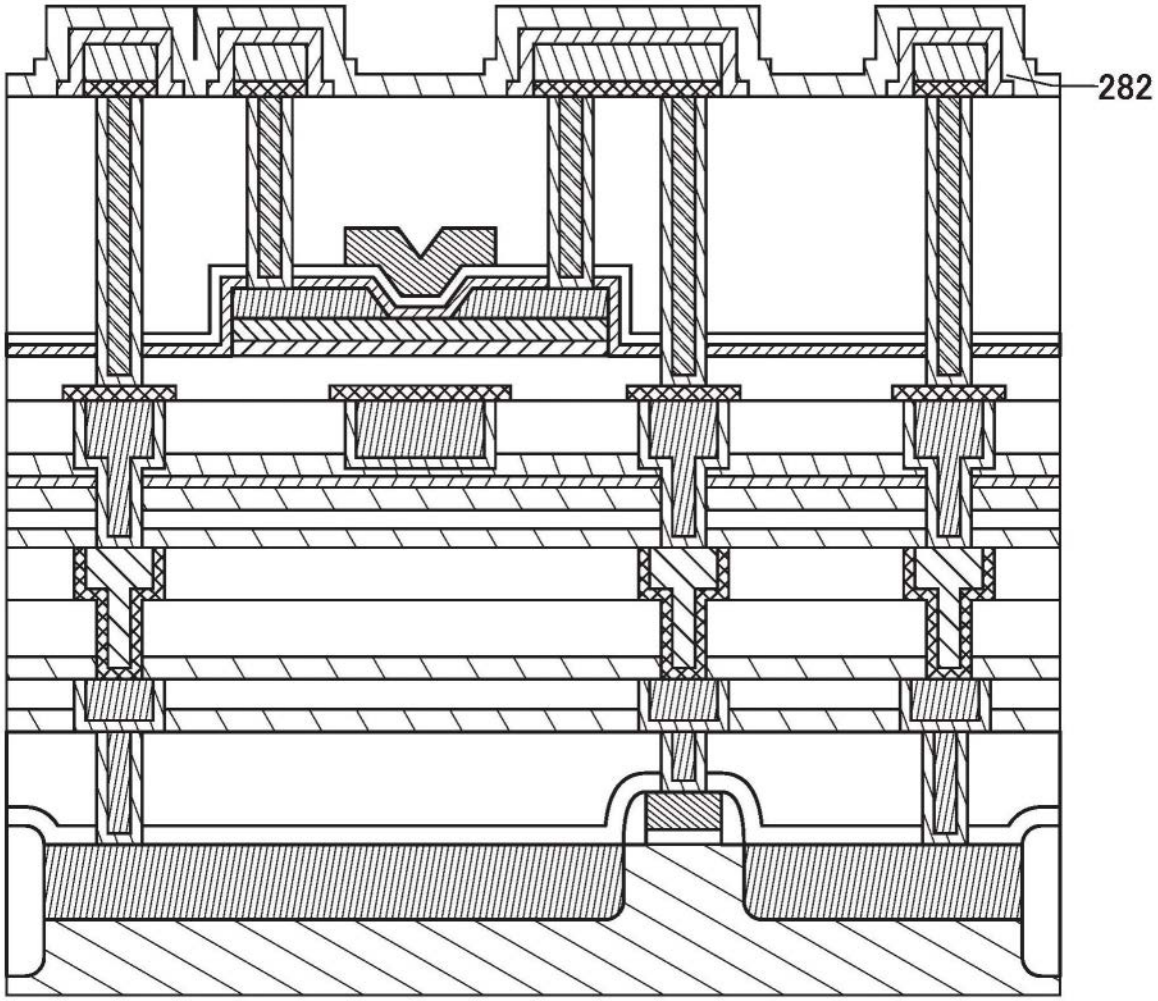


图22

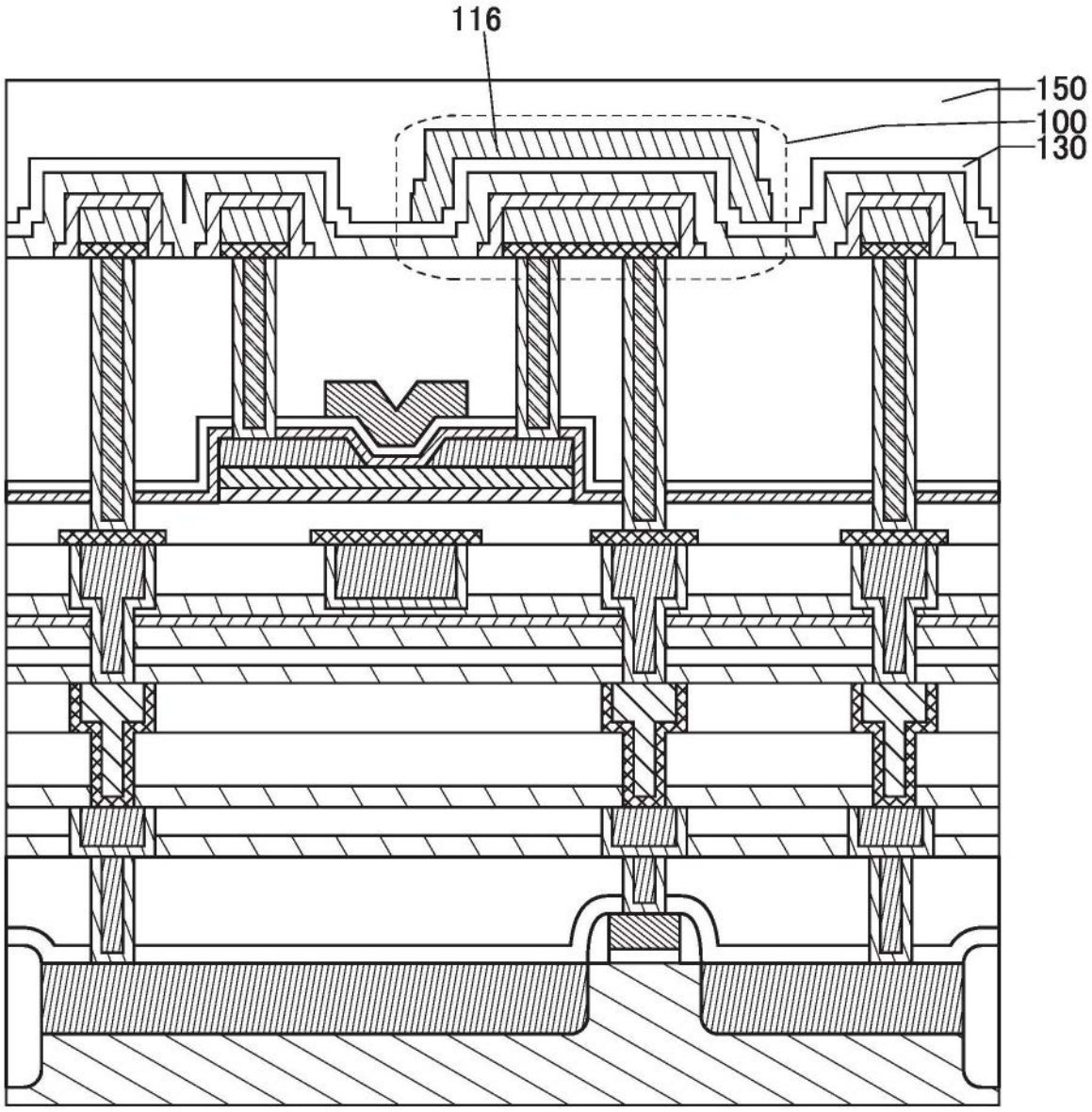


图23

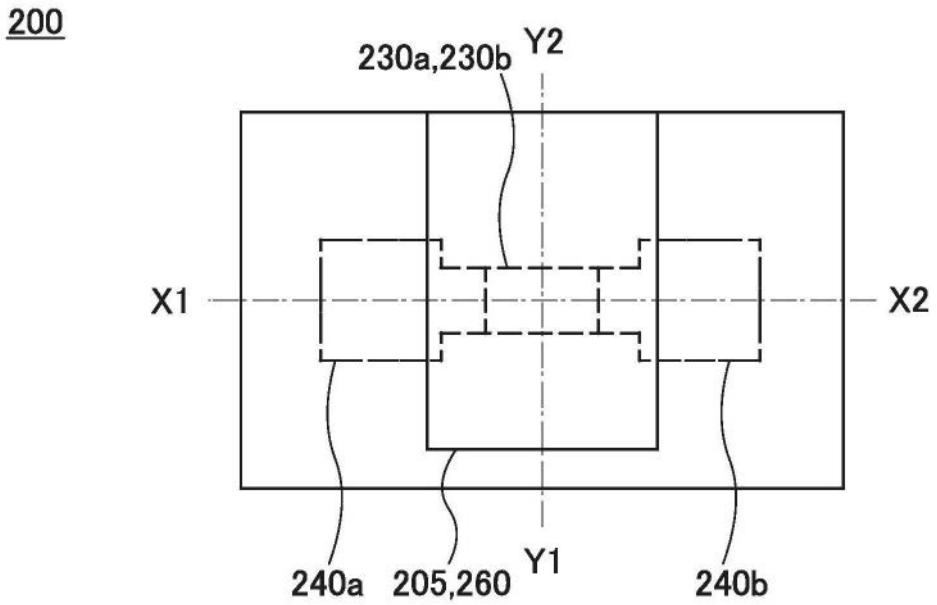

200
230a,230b
Y2
X1
X2
240a
205,260
Y1
240b

图24A

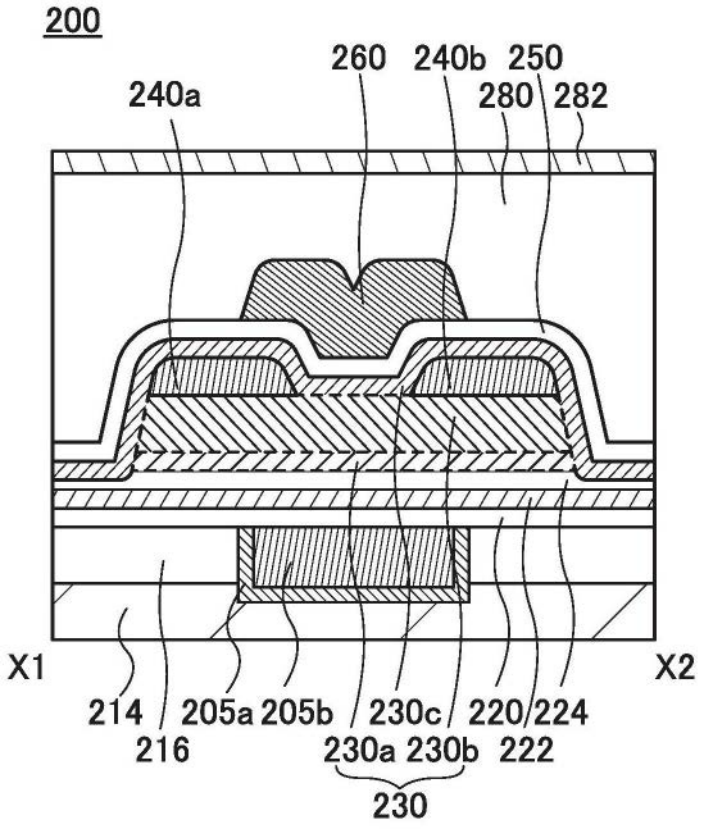

200
260
240b
250
240a
280
282
X1
X2
214
205a
205b
230c
220
224
216
230a
230b
222
230

图24B

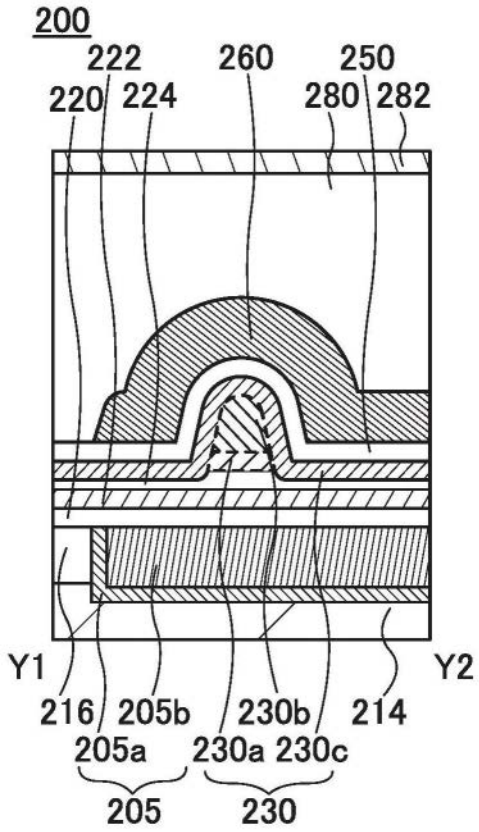

200
222
260
250
220
224
280
282
Y1
Y2
216
205b
230b
214
205a
230a
230c
205
230

图24C

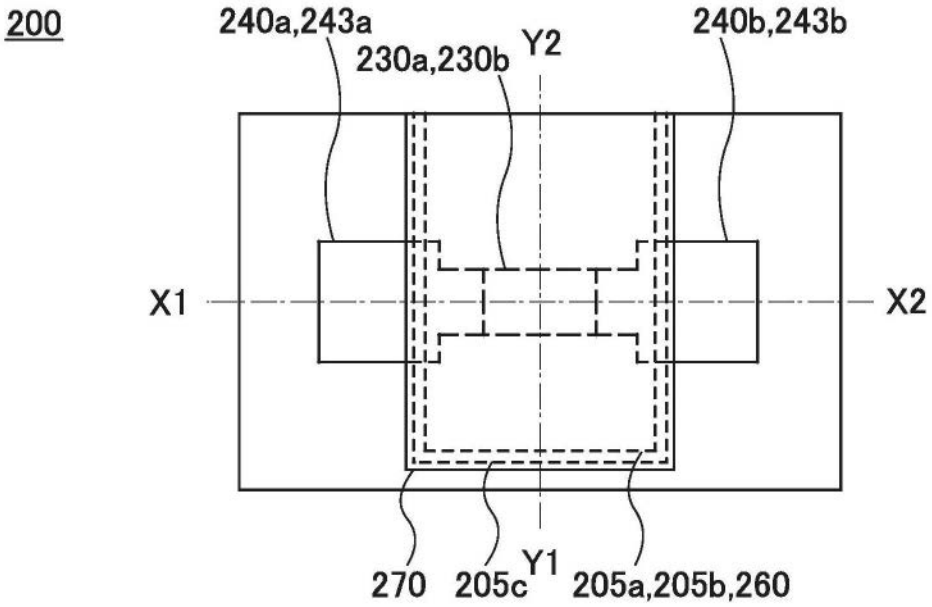

200
240a,243a
230a,230b
Y2
240b,243b
X1
X2
270
205c
Y1
205a,205b,260

图25A

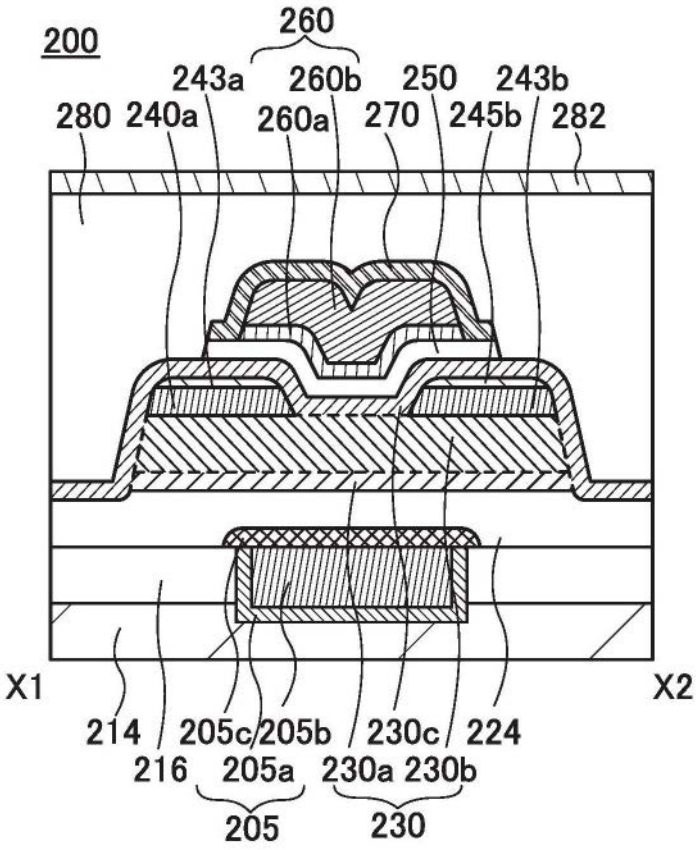

200
260
243a
260b
250
243b
280
240a
260a
270
245b
282
X1
X2
214
205c
205b
230c
224
216
205a
230a
230b
205
230

图25B

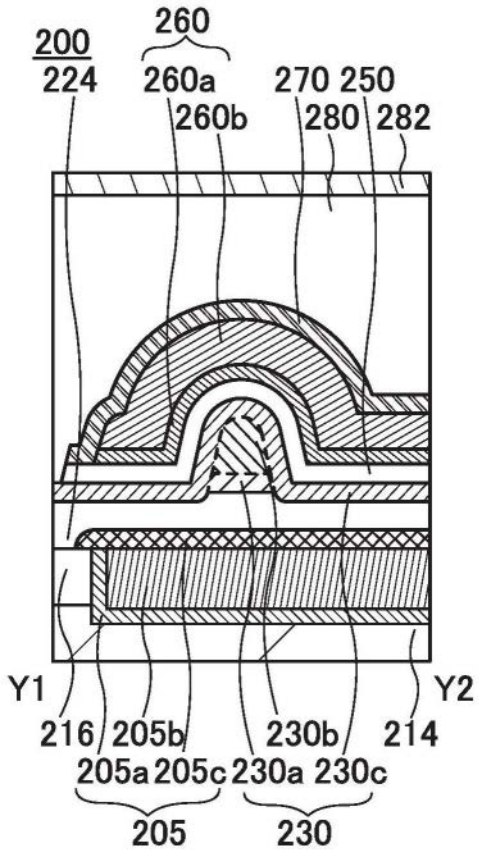

200
260
224
260a
260b
270 250
280 282
Y1
Y2
216 205b
230b 214
205a 205c 230a 230c
205
230

图25C

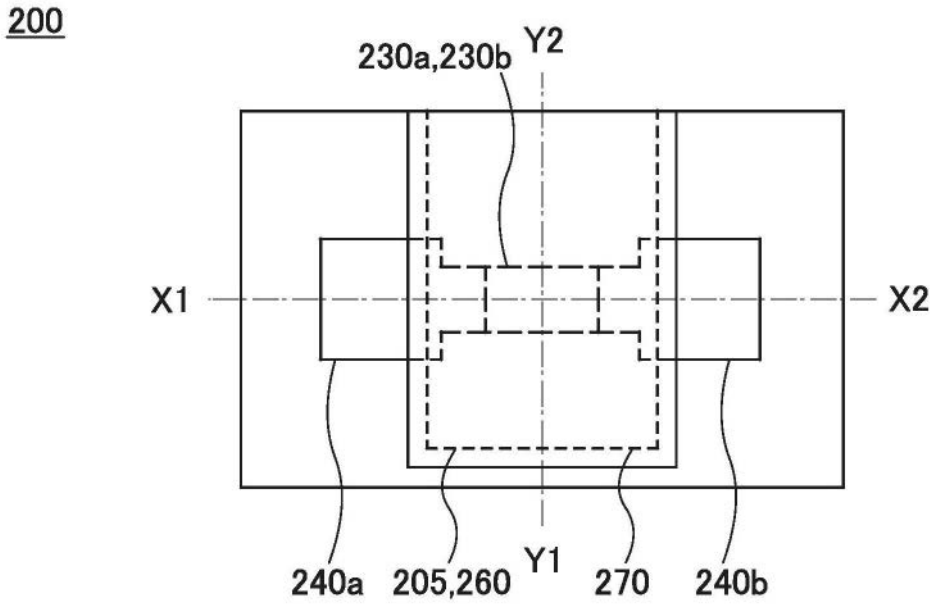

200
230a,230b
Y2
X1
X2
Y1
240a
205,260
270
240b

图26A

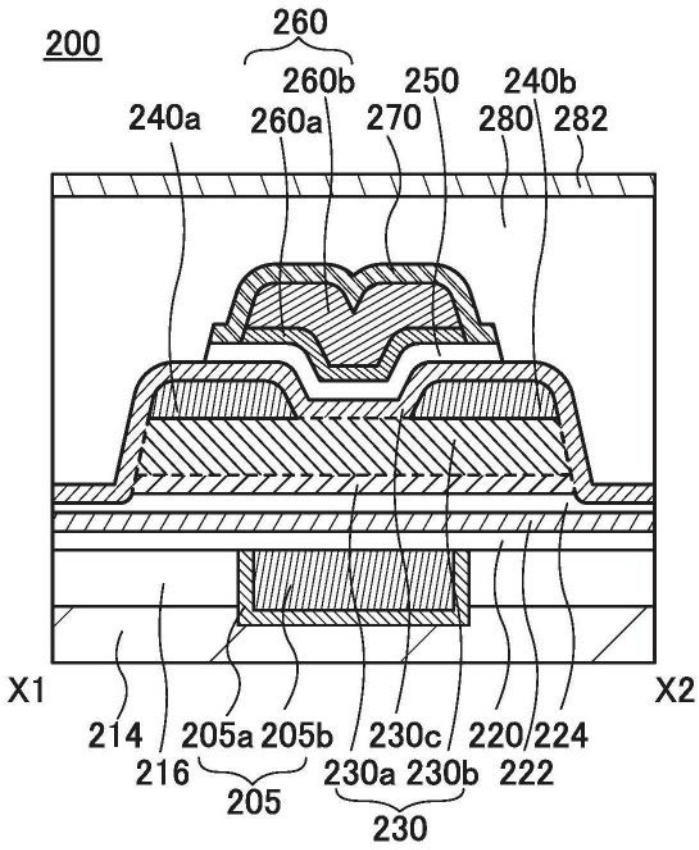

200
260
260b
250
240b
240a
260a
270
280
282
X1
X2
214
205a
205b
230c
220
224
216
230a
230b
222
205
230

图26B

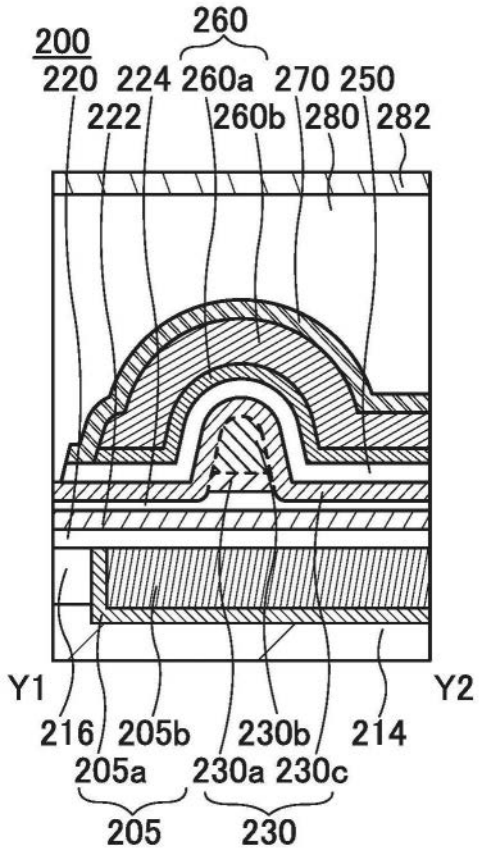

200
260
220
224
260a
270
250
222
260b
280
282
Y1
Y2
216
205b
230b
214
205a
230a
230c
205
230

图26C

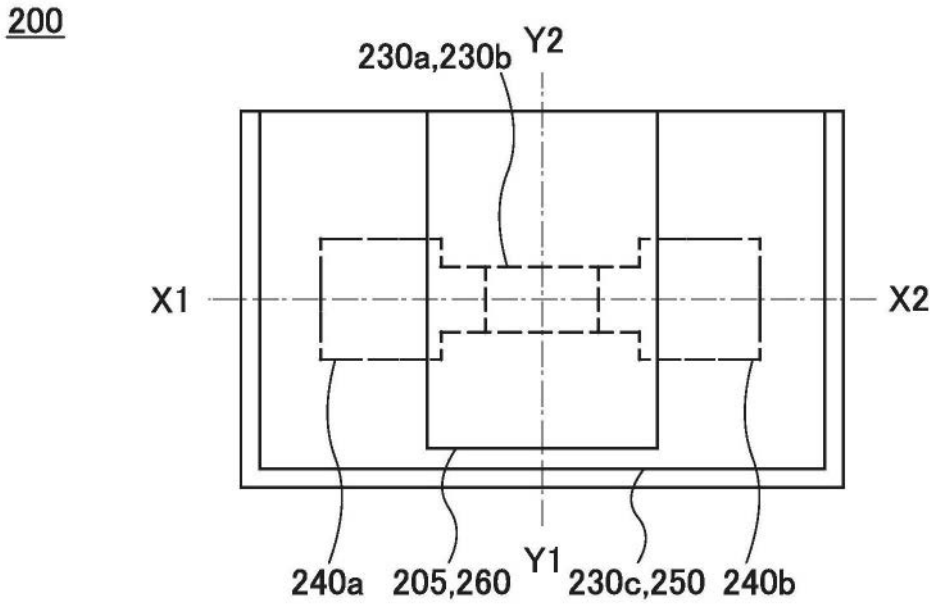

200
230a,230b
Y2
X1
X2
Y1
240a
205,260
230c,250
240b

图27A

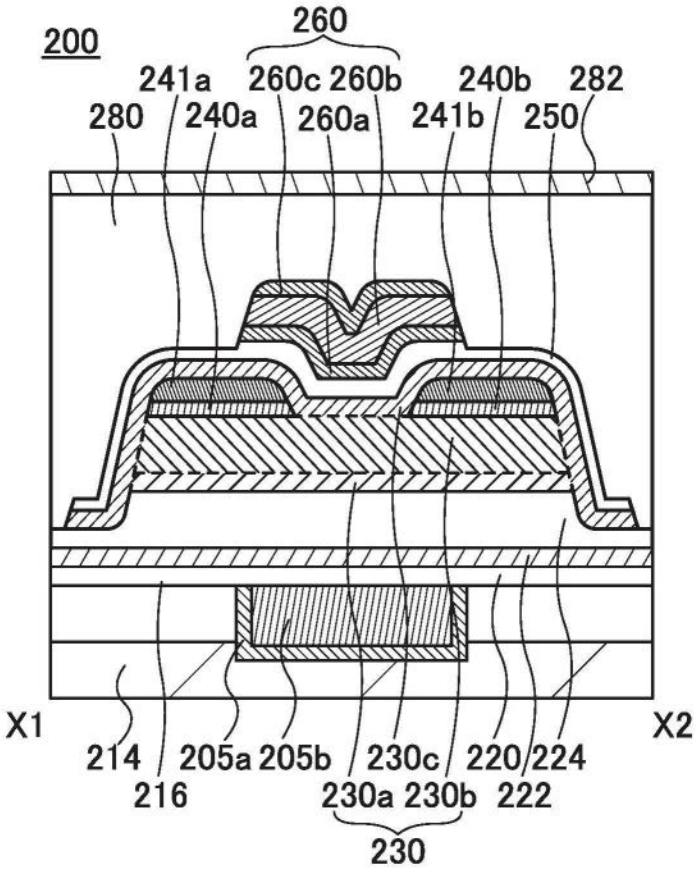

200
260
241a
260c
260b
240b
282
280
240a
260a
241b
250
X1
X2
214
205a
205b
230c
220
224
216
230a
230b
222
230

图27B

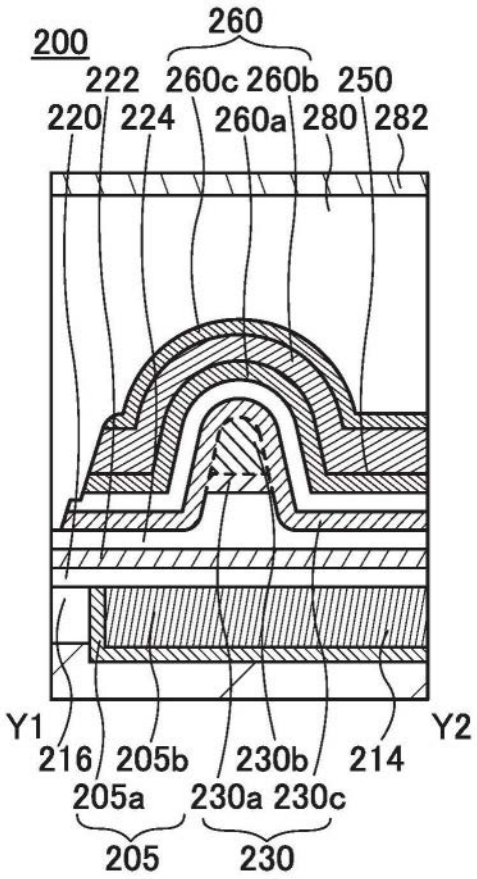

200
260
222
260c
260b
250
220
224
260a
280
282
Y1
Y2
216
205b
230b
214
205a
230a
230c
205
230

图27C

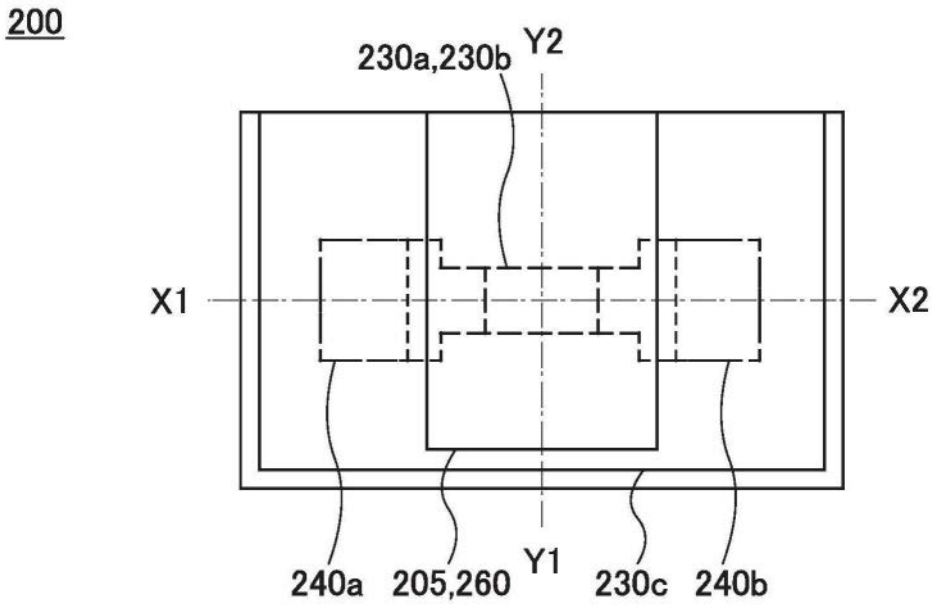

200
230a,230b
Y2
X1
X2
Y1
240a
205,260
230c
240b

图28A

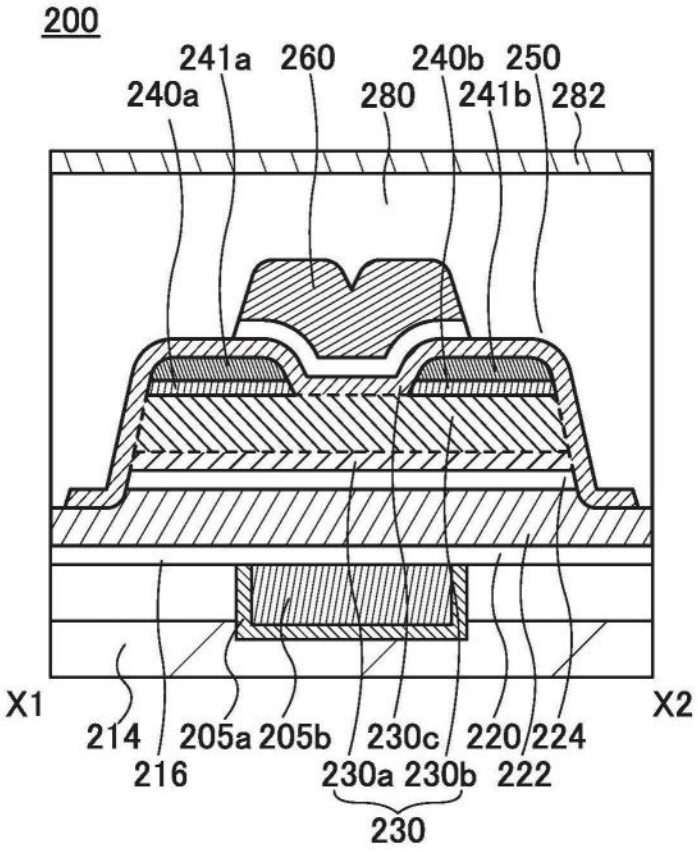

200
241a
260
240b
250
240a
280
241b
282
X1
X2
214
205a
205b
230c
220
224
216
230a
230b
222
230

图28B

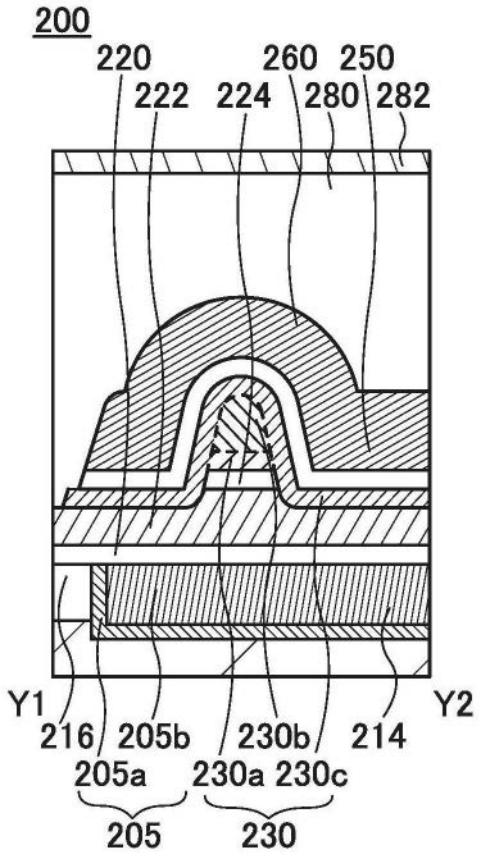

200
220
222
224
260
250
280
282
Y1
Y2
216
205b
230b
214
205a
230a
230c
205
230

图28C

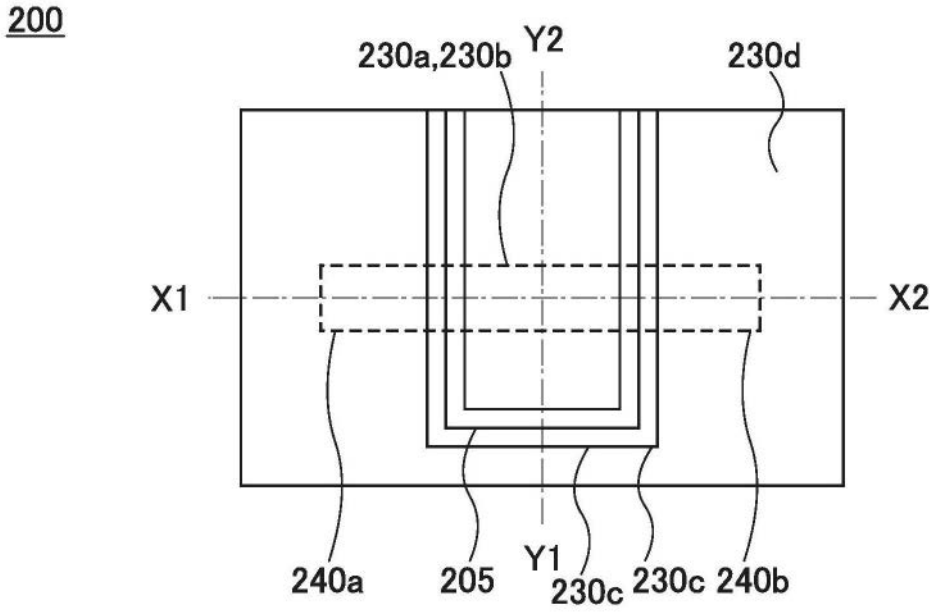

200
230a,230b
Y2
230d
X1
X2
240a
205
Y1
230c
230c
240b

图29A

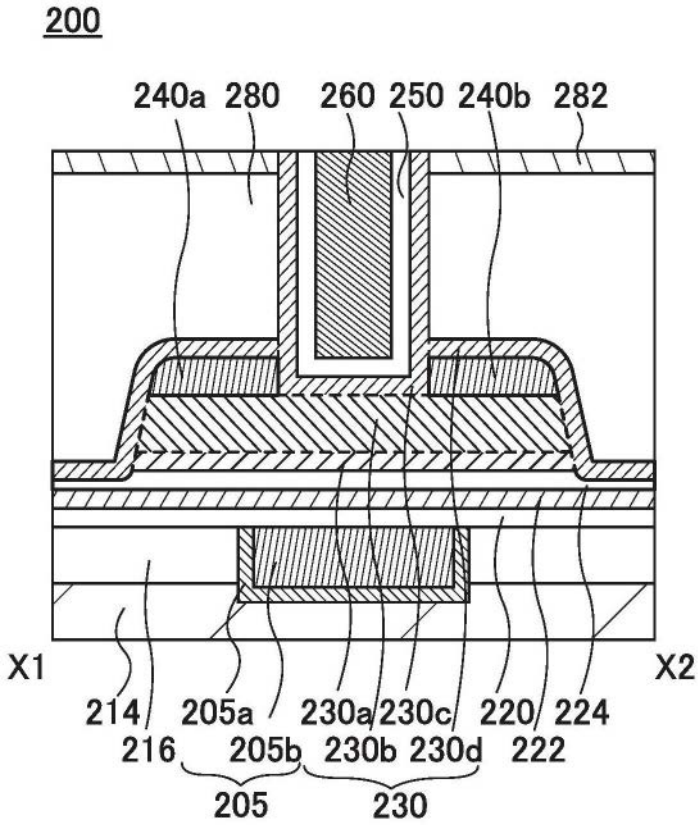

200
240a
280
260
250
240b
282
X1
X2
214
216
205a
205b
230a
230b
230c
230d
220
222
224
205
230

图29B

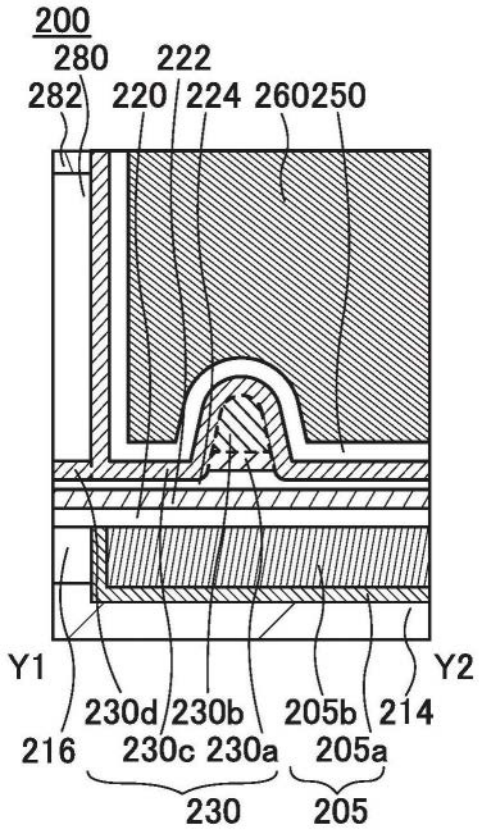

200
280
222
282
220
224
260
250
Y1
Y2
230d
230b
205b
214
216
230c
230a
205a
230
205

图29C

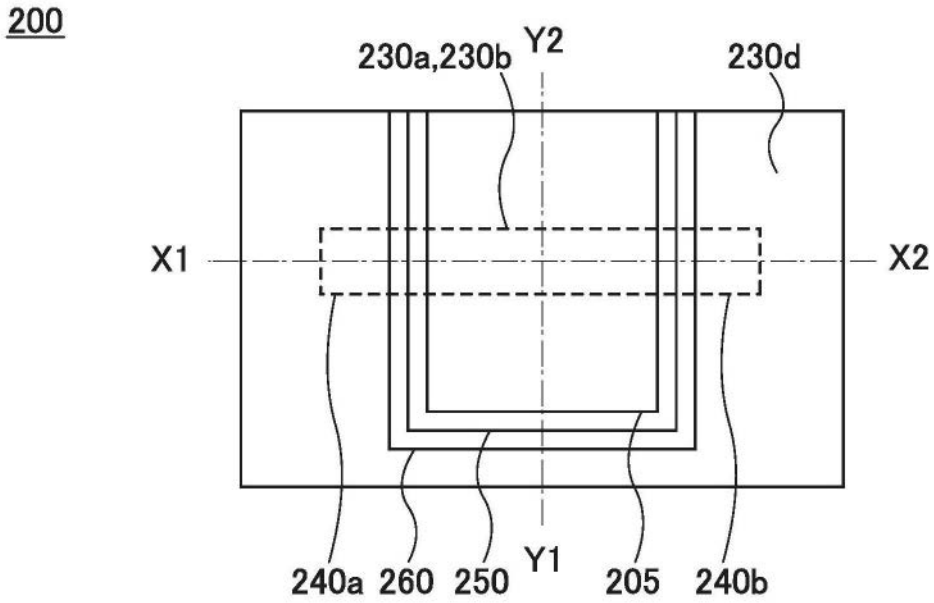

200
230a,230b
Y2
230d
X1
X2
Y1
240a
260
250
205
240b

图30A

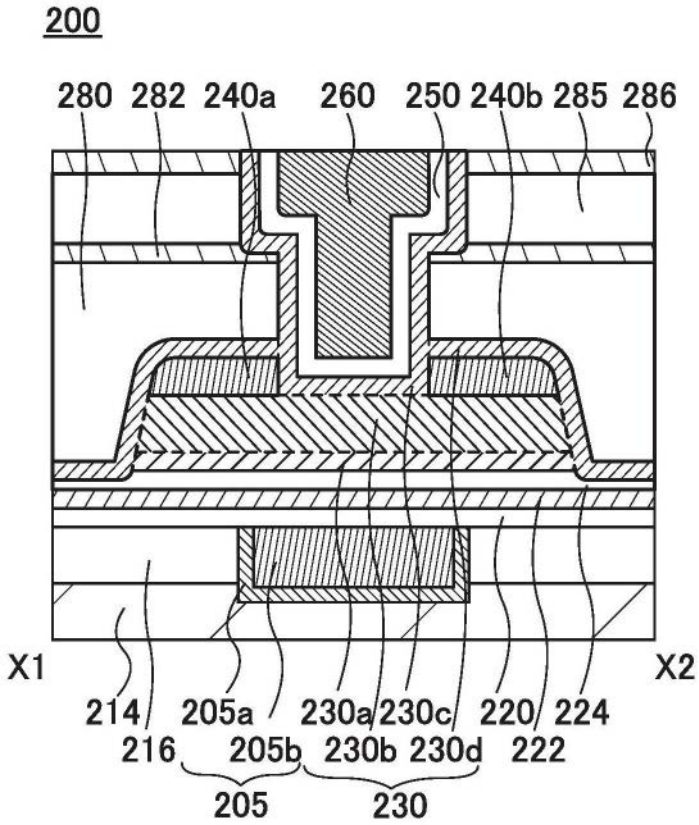

200
280
282
240a
260
250
240b
285
286
X1
X2
214
216
205a
205b
230a
230b
230c
230d
220
222
224
205
230

图30B

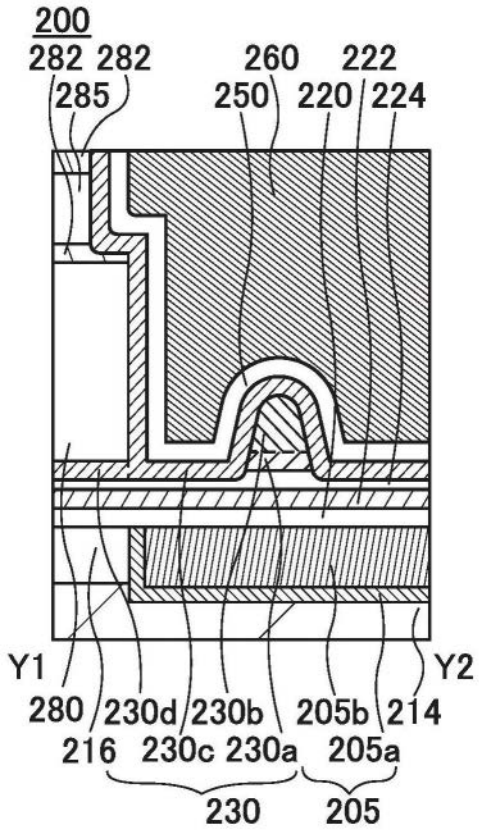

200
282 282
285
260
250
222
220
224
Y1
Y2
280
216
230d
230c
230b
230a
205b
205a
214
230
205

图30C

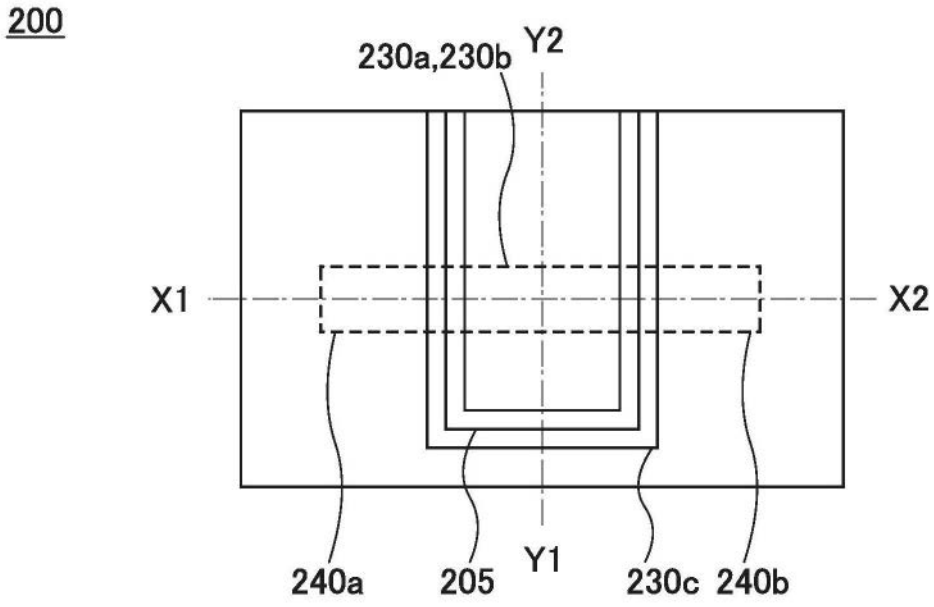

200
230a,230b
Y2
X1
X2
Y1
240a
205
230c
240b

图31A

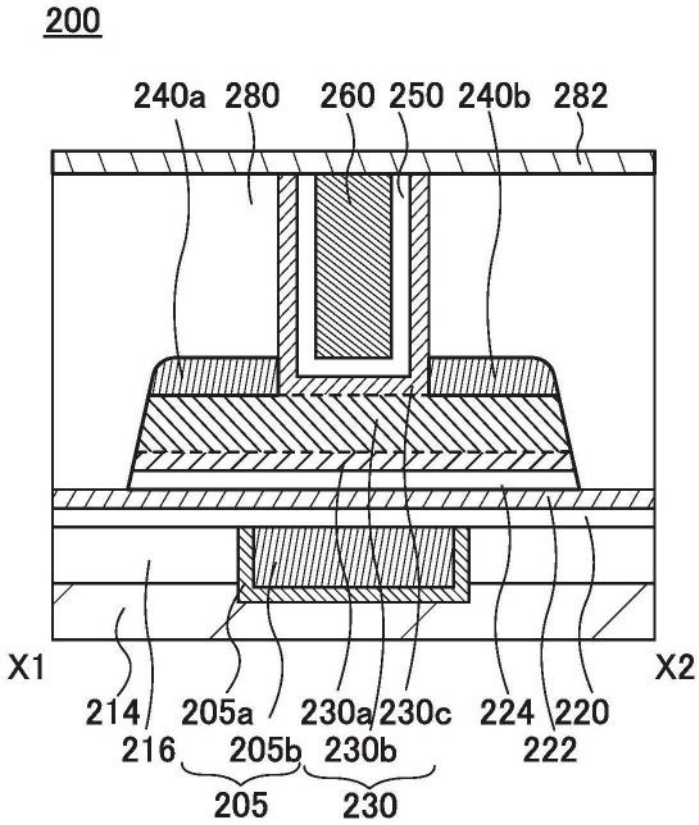

200
240a
280
260
250
240b
282
X1
X2
214
216
205a
205b
205
230a
230c
230b
230
224
222
220

图31B

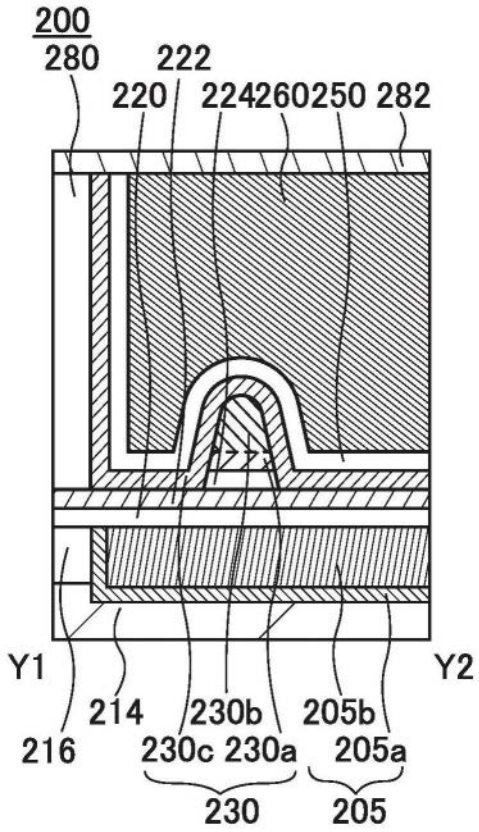


图31C

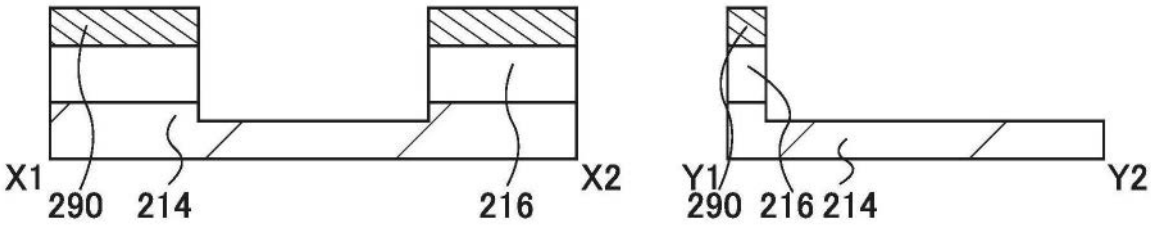


图32A

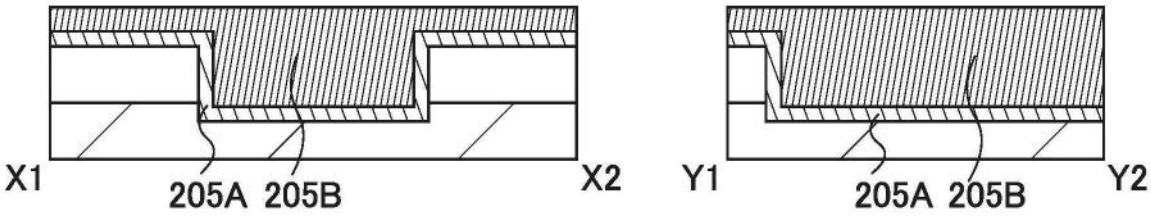


图32B

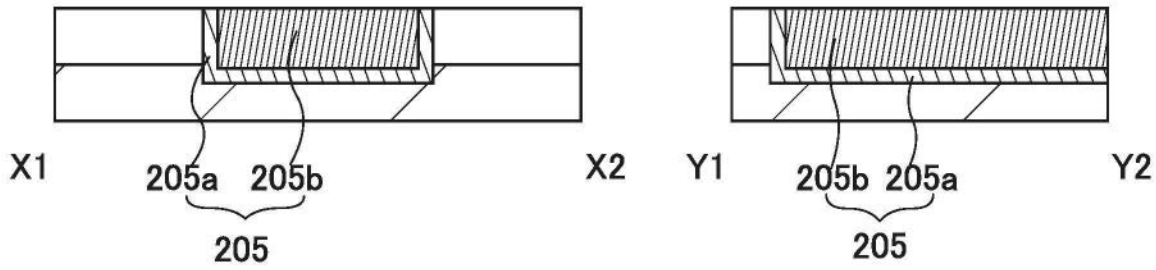


图32C

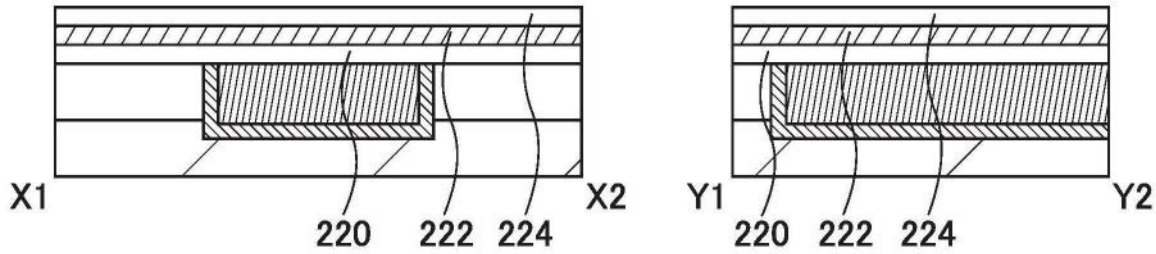


图32D

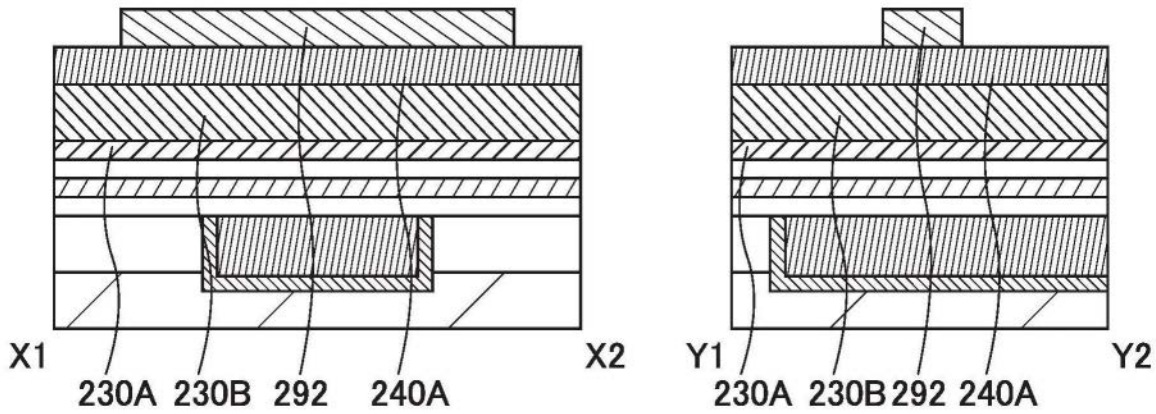


图32E

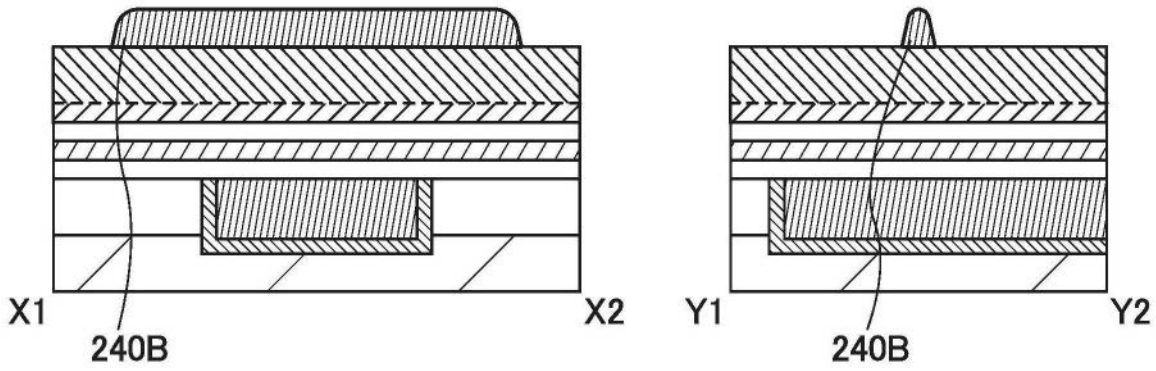


图33A

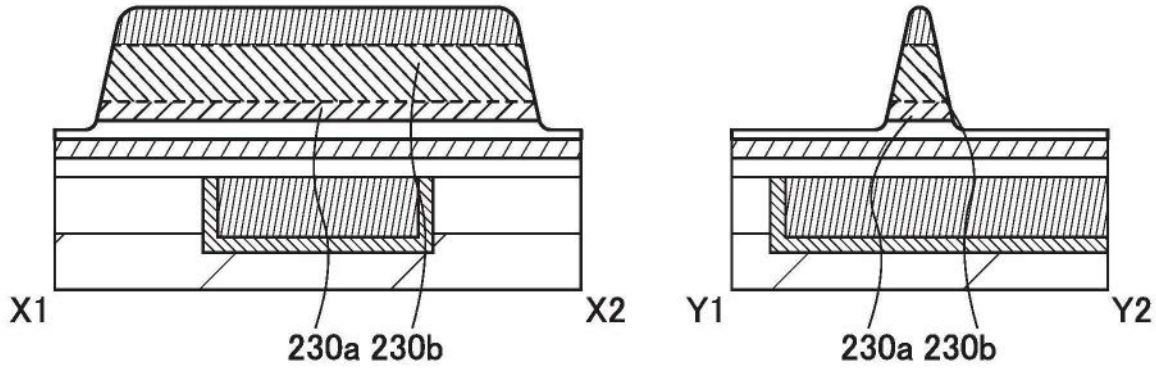


图33B

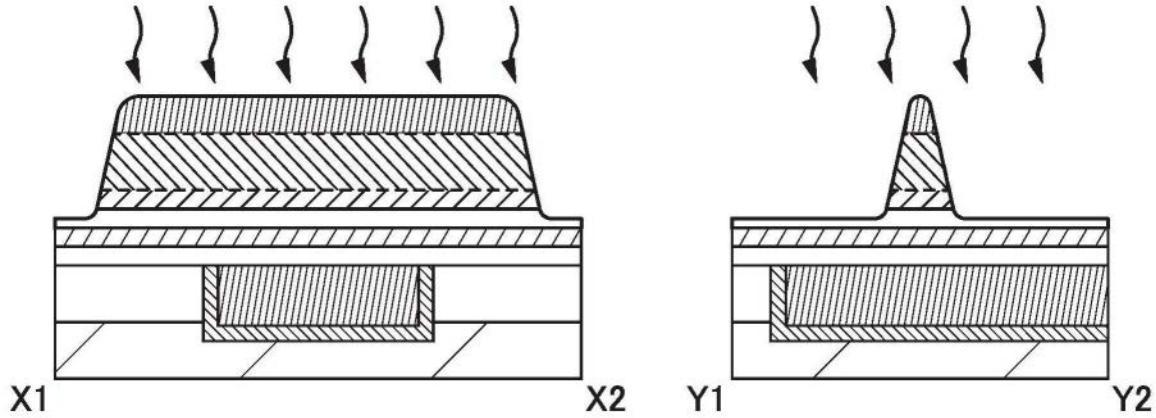


图33C

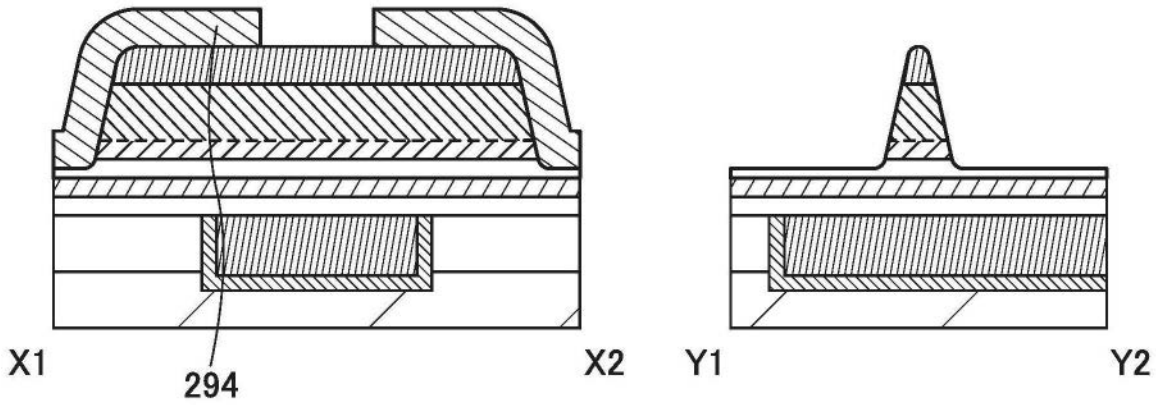


图33D

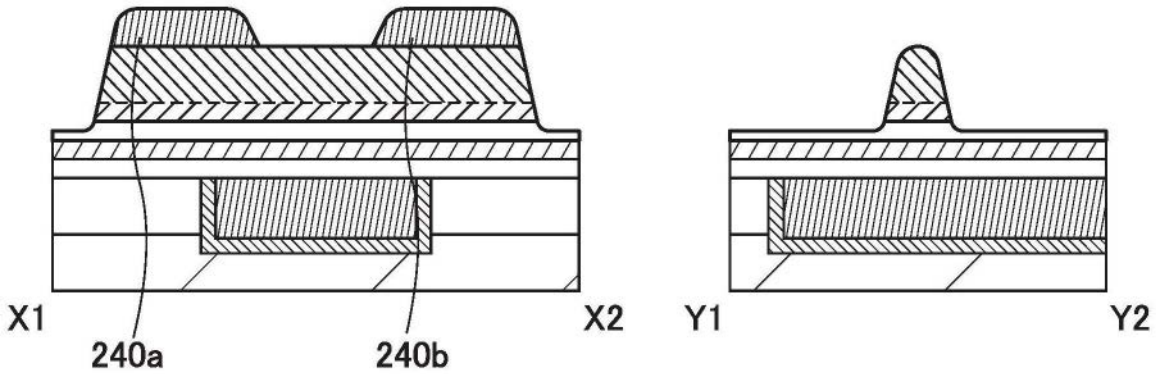


图34A

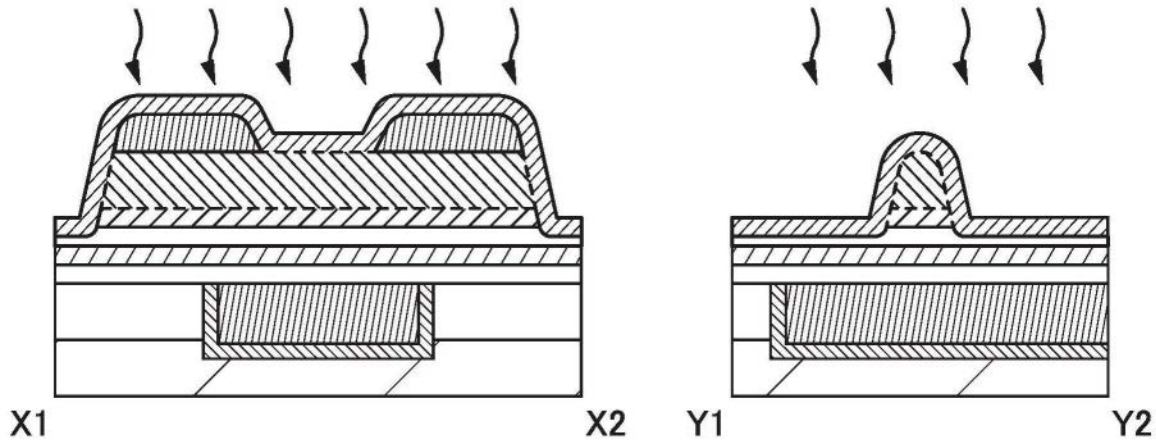


图34B

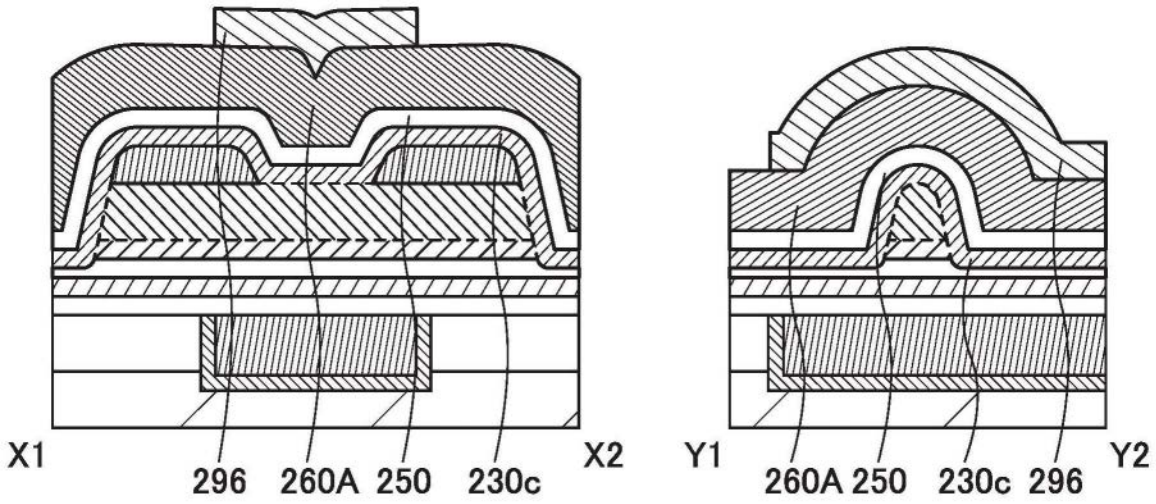

X1
296
260A
250
230c
X2
Y1
260A
250
230c
296
Y2

图34C

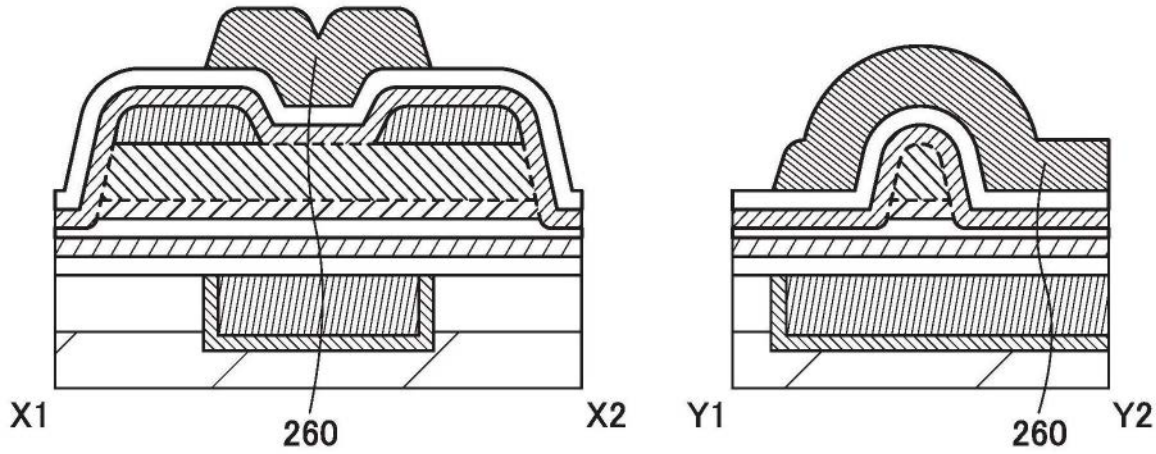

X1
260
X2
Y1
260
Y2

图35A

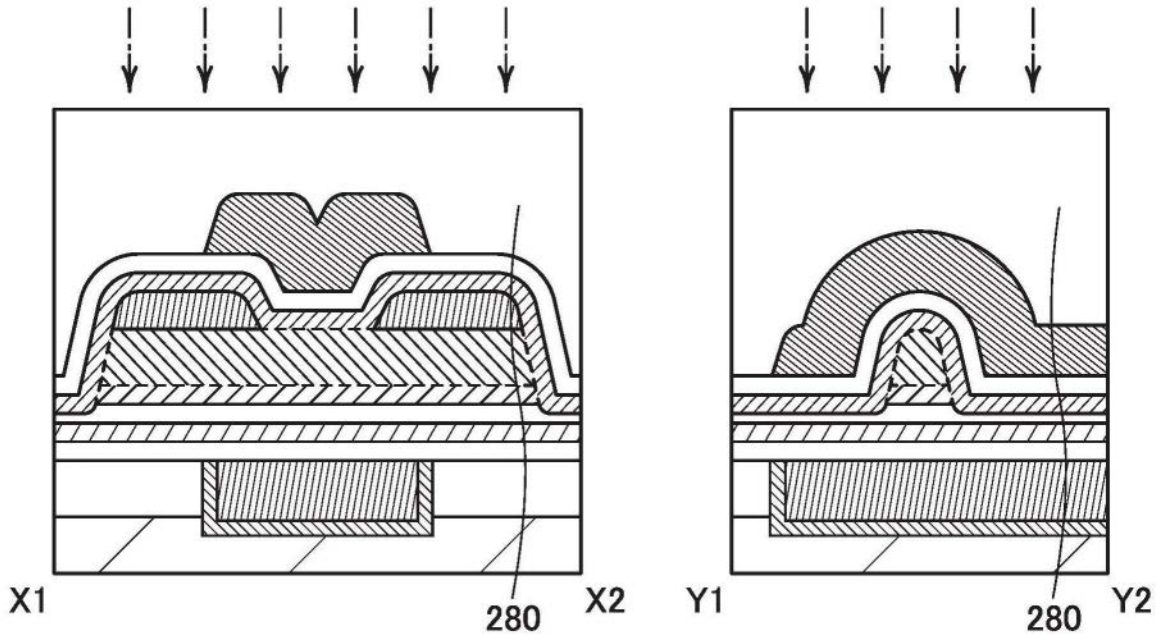


图35B

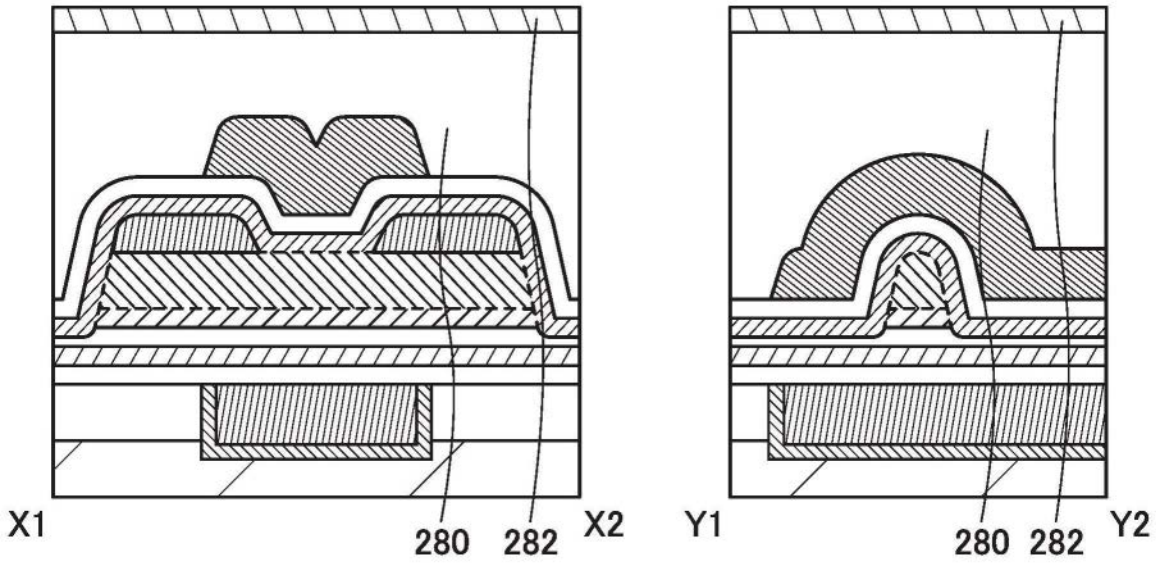


图35C

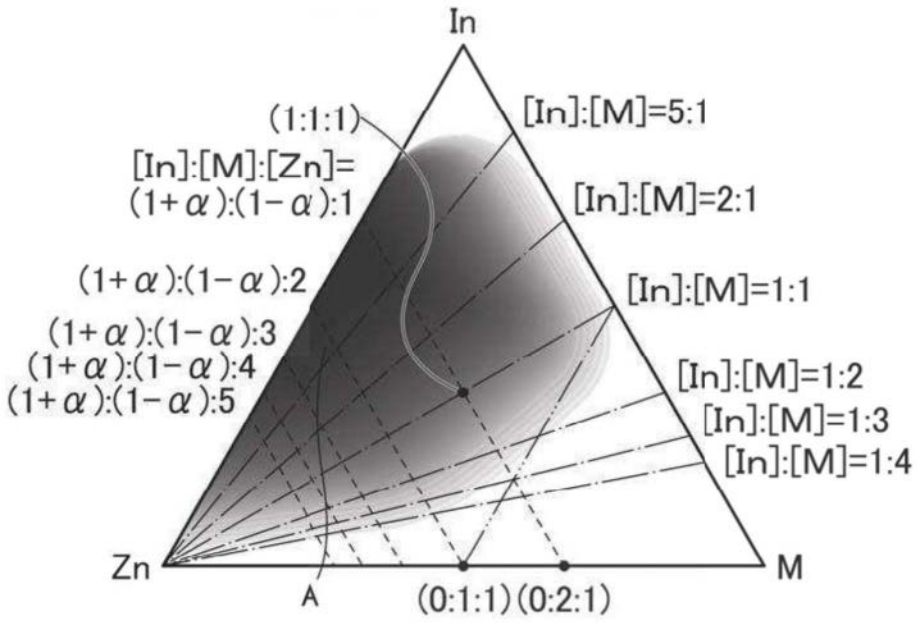

In
(1:1:1)
[In]:[M]=5:1
[In]:[M]:[Zn]=
(1+α):(1−α):1
[In]:[M]=2:1
(1+α):(1−α):2
[In]:[M]=1:1
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
[In]:[M]=1:2
[In]:[M]=1:3
[In]:[M]=1:4
Zn
M
A
(0:1:1)(0:2:1)

图36A

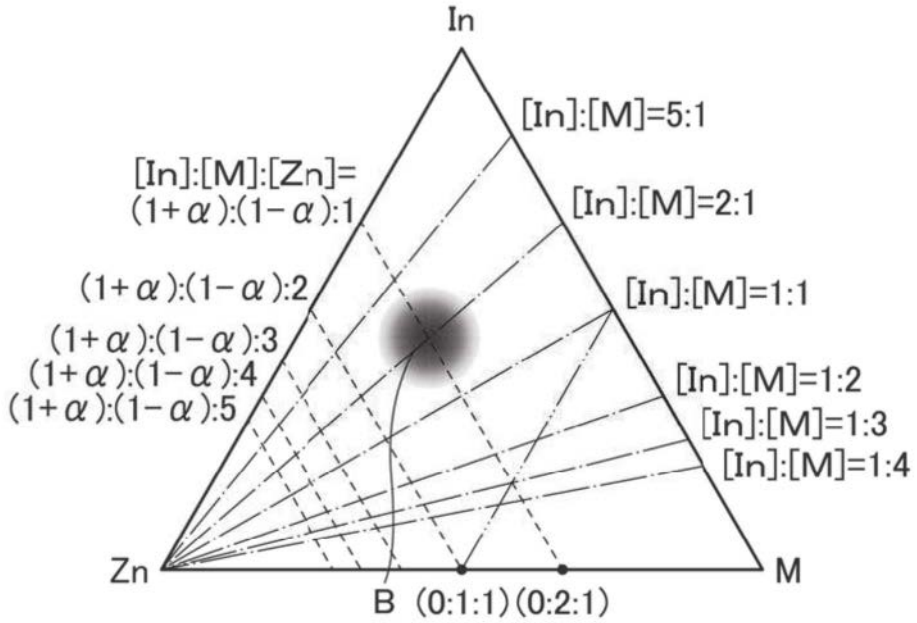

In
[In]:[M]=5:1
[In]:[M]:[Zn]=
(1+α):(1−α):1
[In]:[M]=2:1
(1+α):(1−α):2
[In]:[M]=1:1
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
[In]:[M]=1:2
[In]:[M]=1:3
[In]:[M]=1:4
Zn
M
B
(0:1:1)(0:2:1)

图36B

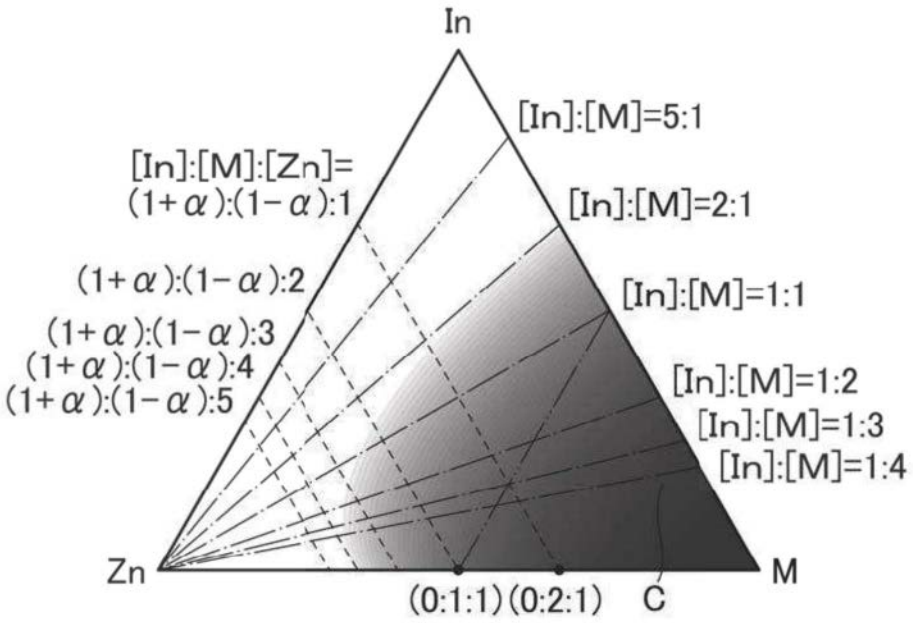

In
[In]:[M]=5:1
[In]:[M]=2:1
[In]:[M]=1:1
[In]:[M]=1:2
[In]:[M]=1:3
[In]:[M]=1:4
[In]:[M]:[Zn]=
(1+α):(1−α):1
(1+α):(1−α):2
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
Zn
M
(0:1:1)(0:2:1)
C

图36C

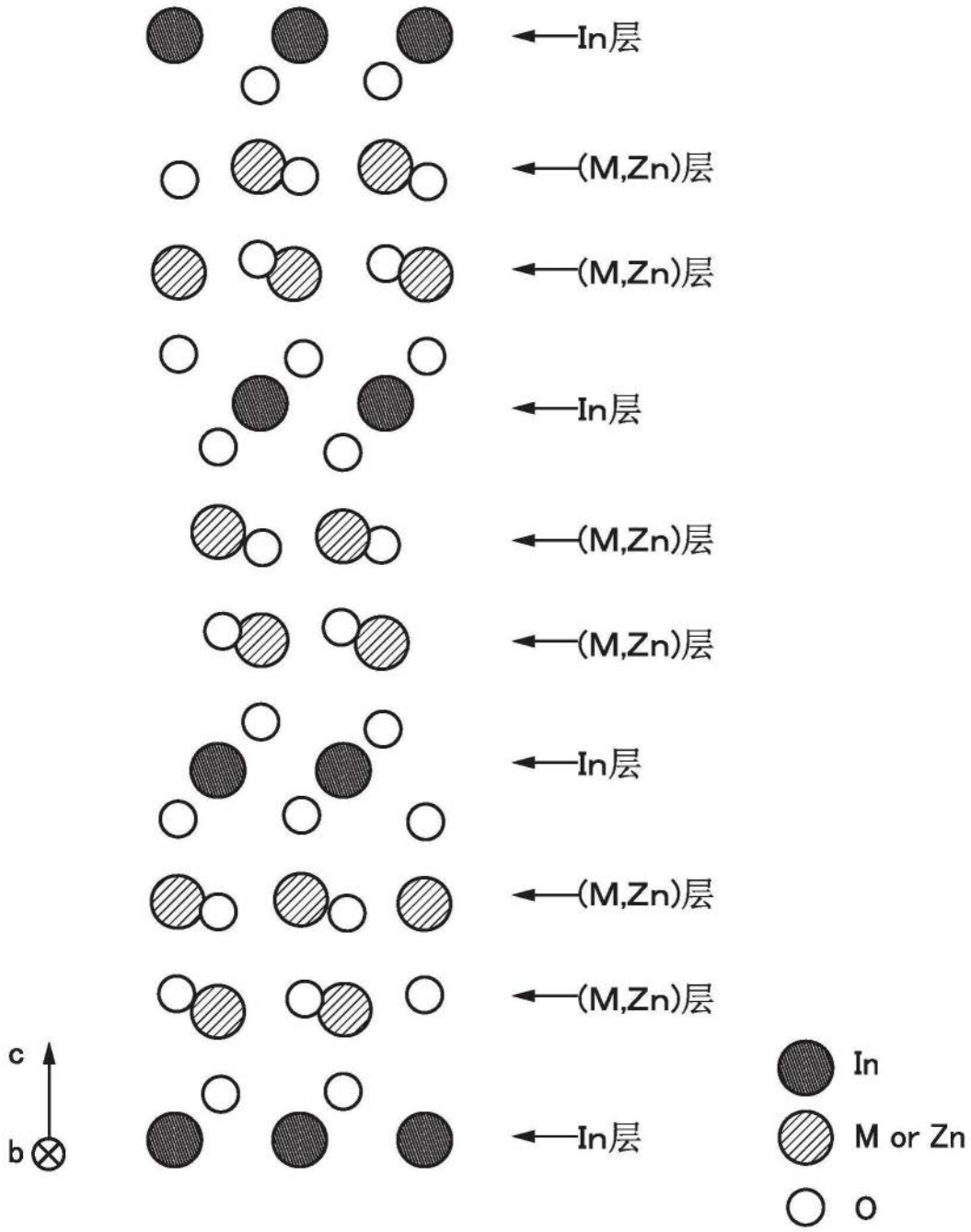


图37

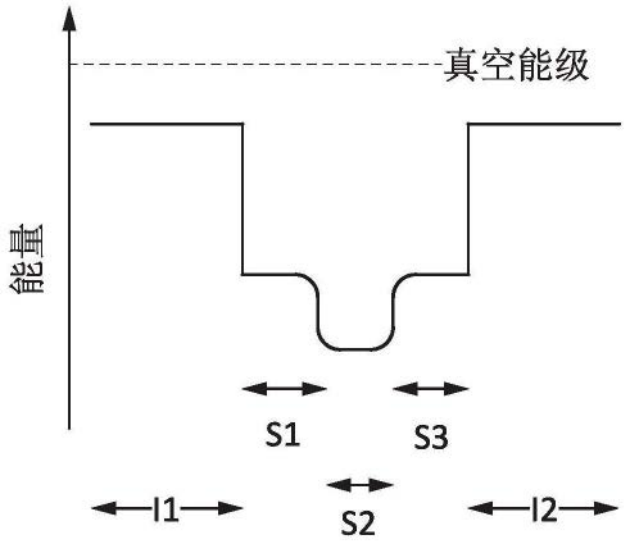


图38A

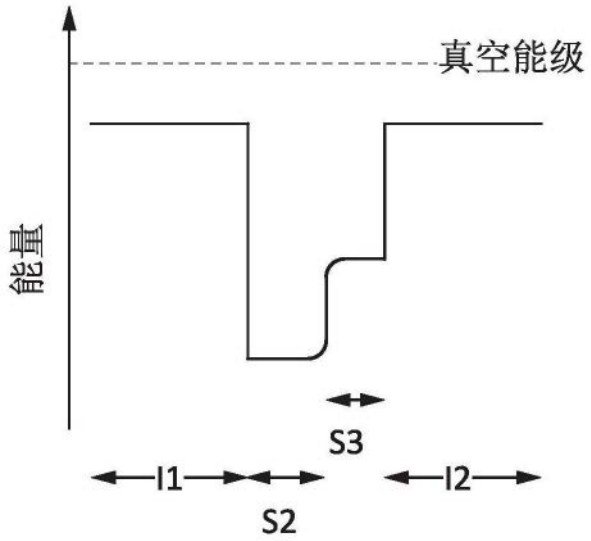


图38B

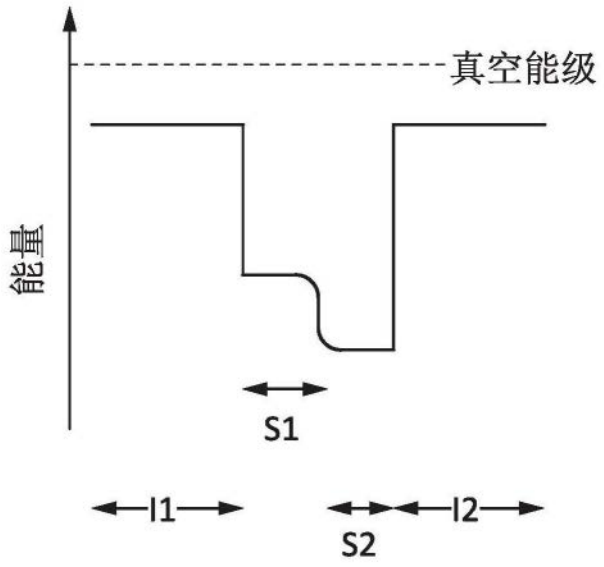

真空能级
能量
S1
l1
l2
S2

图38C

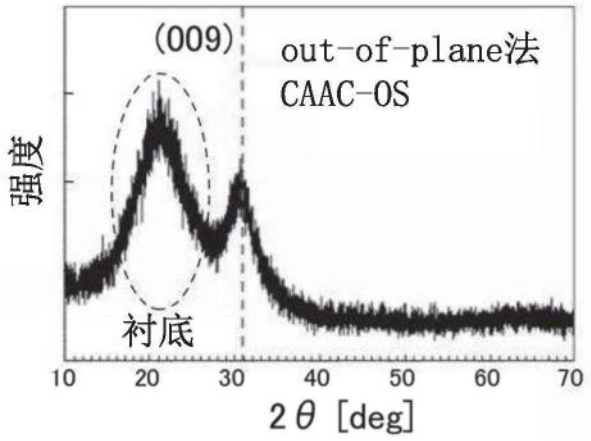

(009)
out-of-plane法
CAAC-OS
强度
衬底
10
20
30
40
50
60
70
2θ [deg]

图39A

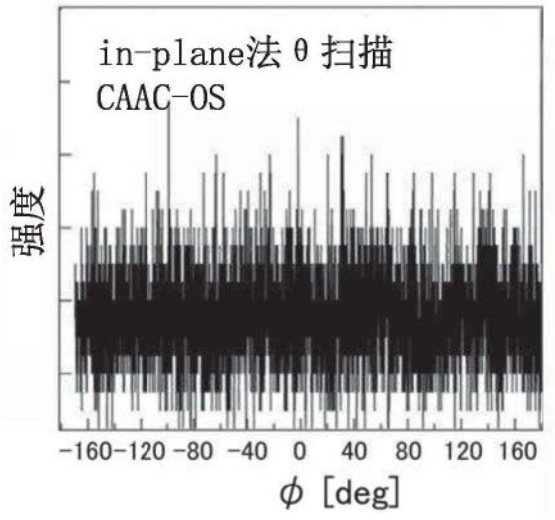

in-plane法θ扫描
CAAC-OS
强度
-160 -120 -80 -40 0 40 80 120 160
φ [deg]

图39B

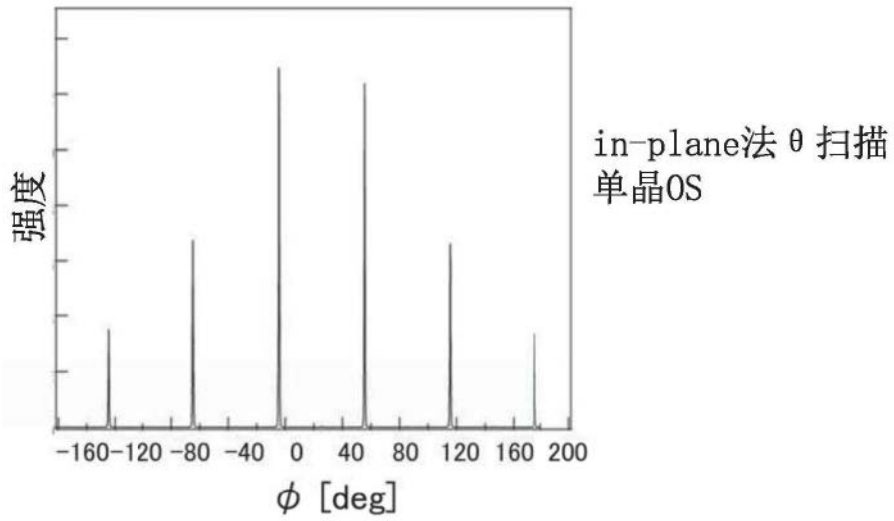

in-plane法θ扫描
单晶OS
强度
-160 -120 -80 -40 0 40 80 120 160 200
φ [deg]

图39C



图39D

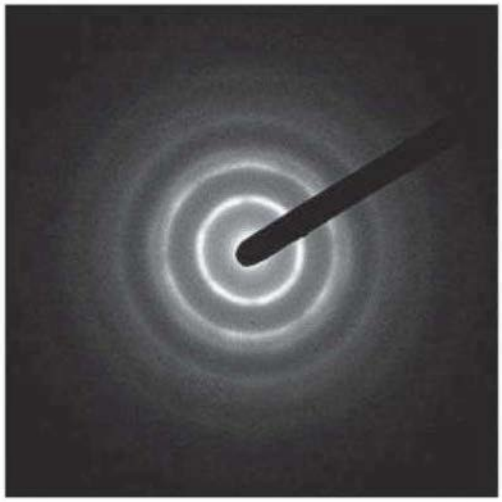


图39E

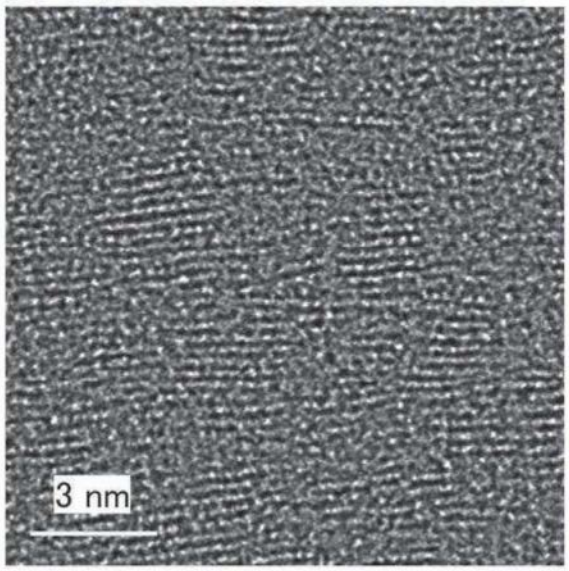


图40A

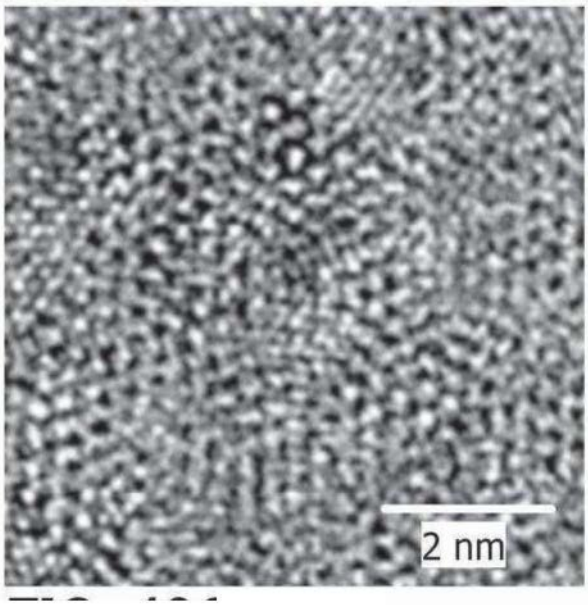


图40B

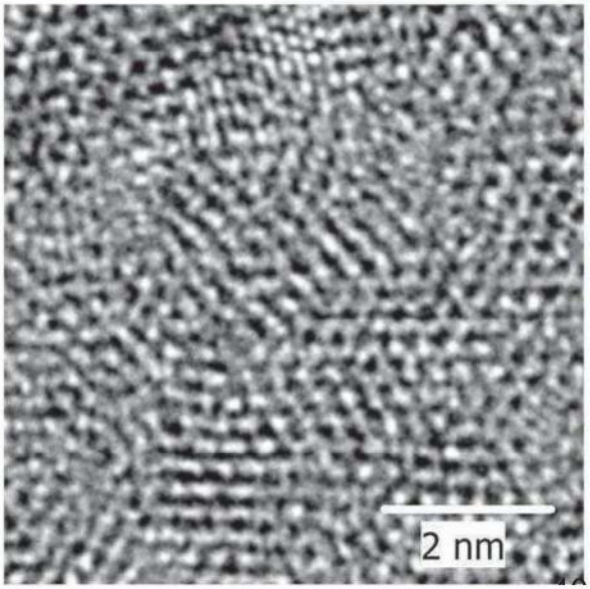


图40C

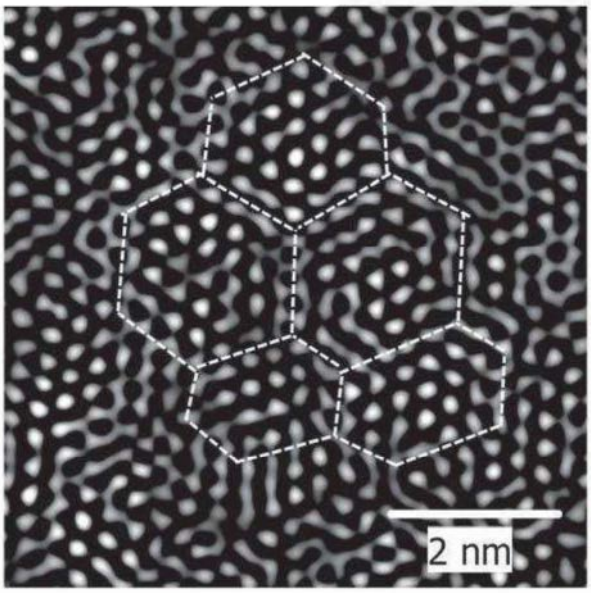


图40D

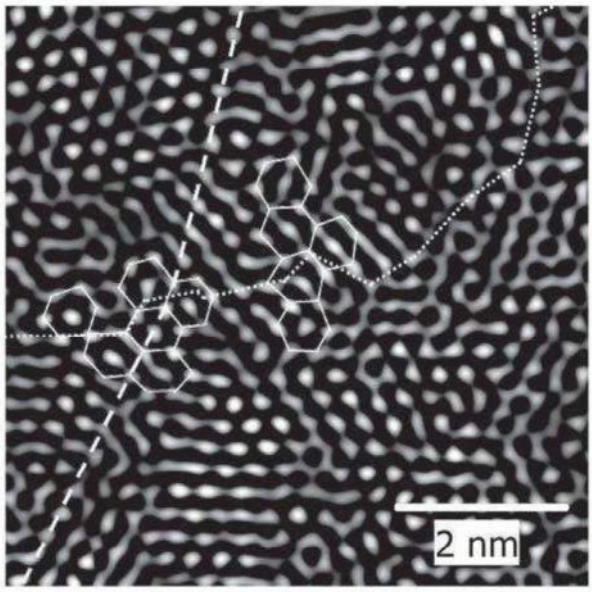


图40E

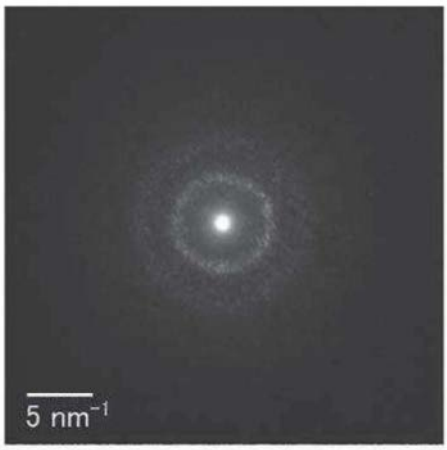


图41A

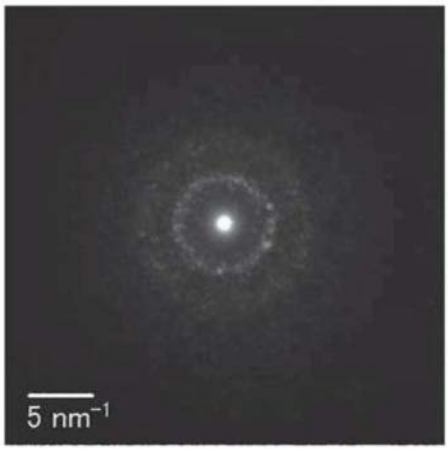


图41B

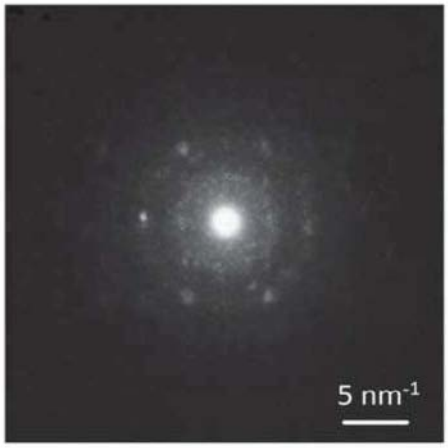


图41C

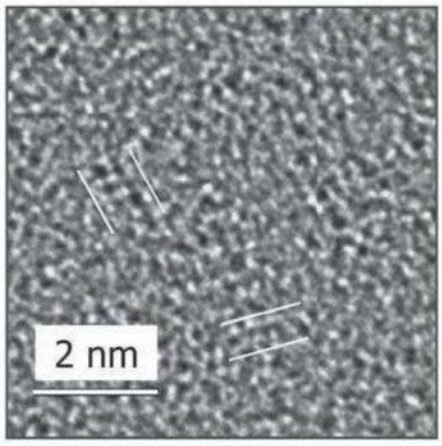


图41D

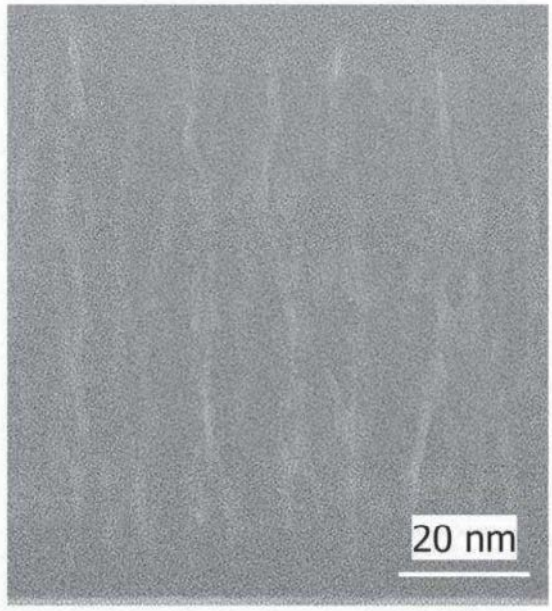


图42A

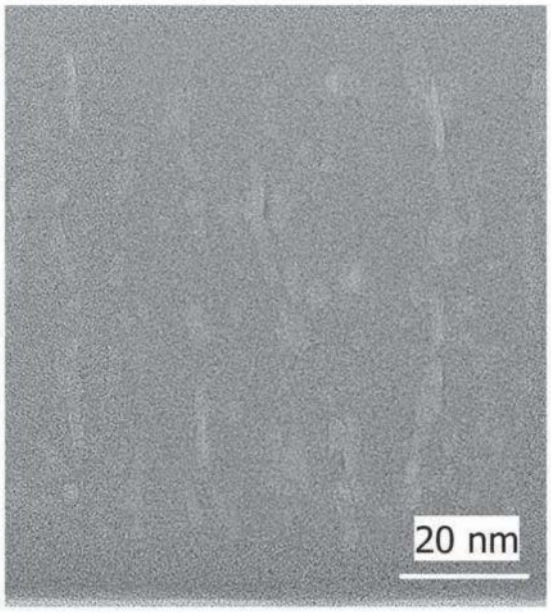


图42B

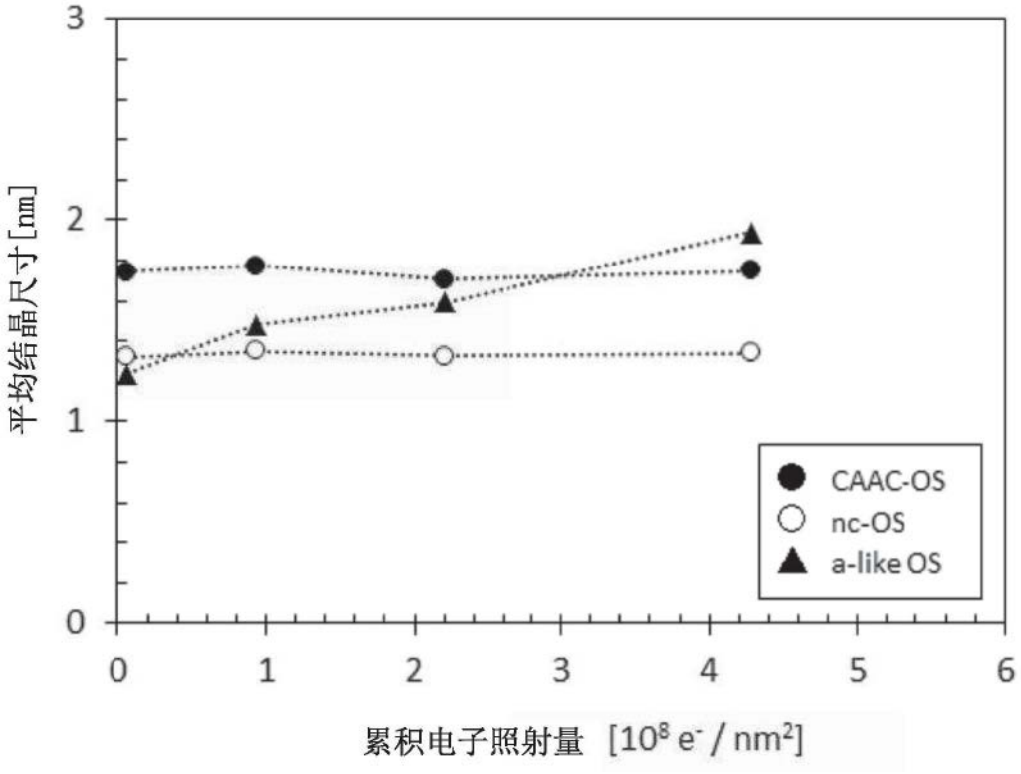

平均结晶尺寸[nm]
累积电子照射量 [10^8 e^- / nm^2]
CAAC-OS
nc-OS
a-like OS
0
1
2
3
4
5
6

图43

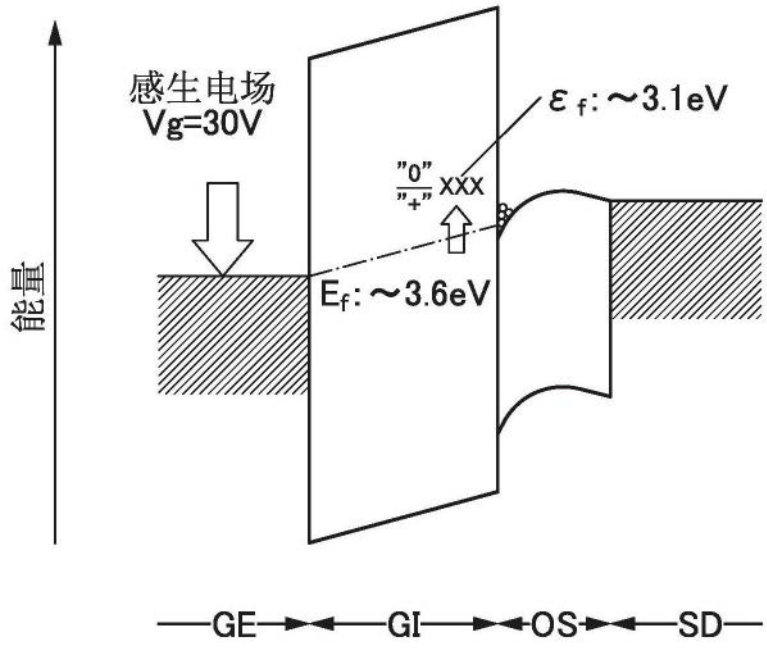

感生电场
Vg=30V
ε f: ～3.1eV
"0"
"+" XXX
Ef: ～3.6eV
能量
GE
GI
OS
SD

图44

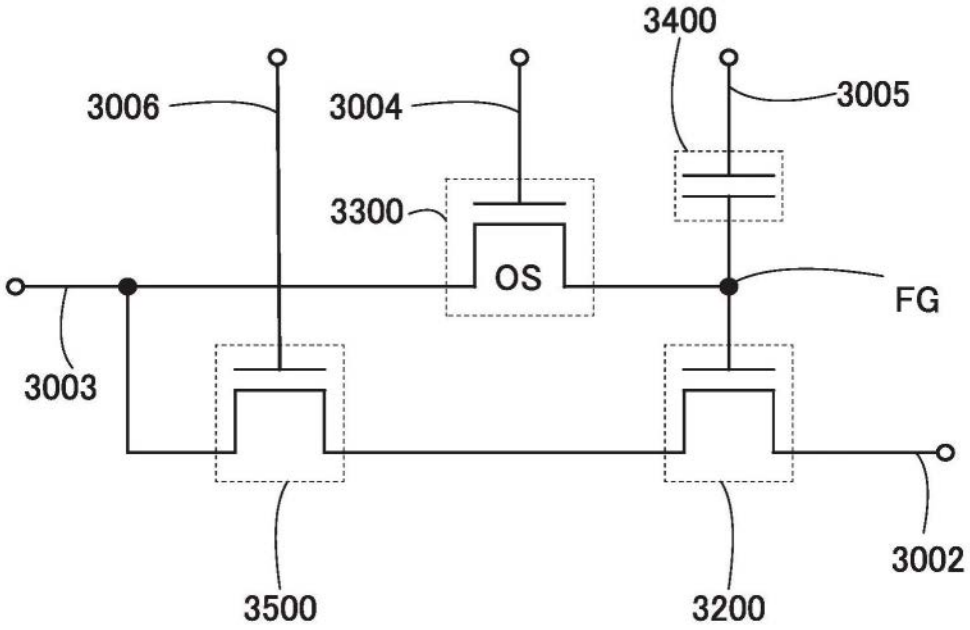


图45

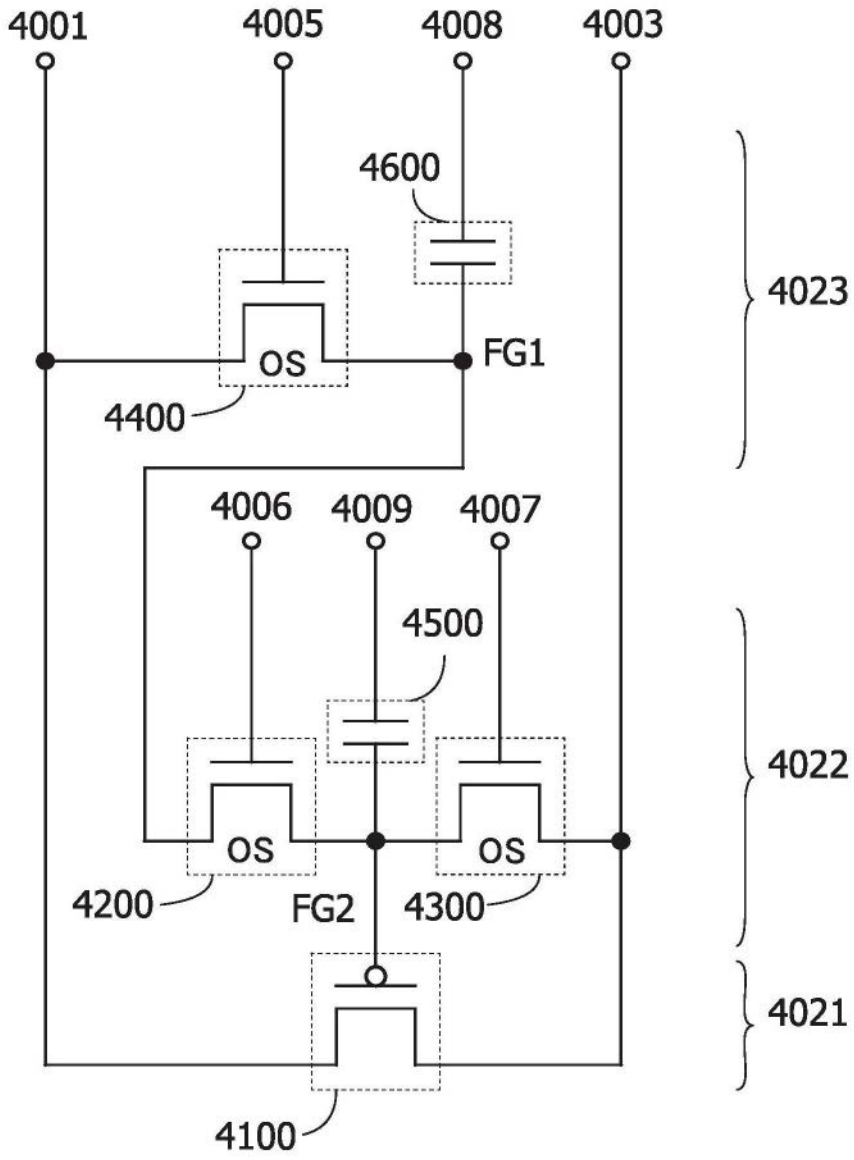

4001
4005
4008
4003
4600
4023
OS
FG1
4400
4006
4009
4007
4500
4022
OS
OS
4200
FG2
4300
4021
4100

图46

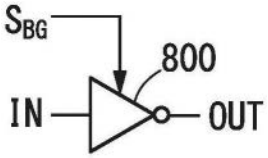

SBG
800
IN
OUT

图47A

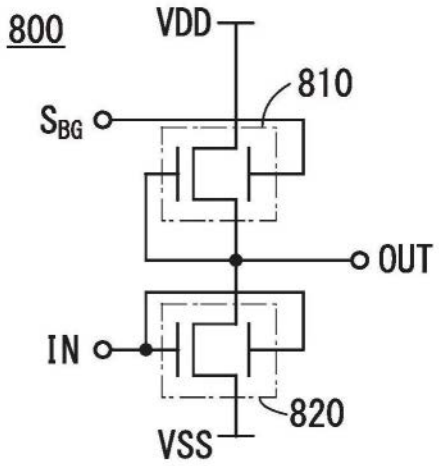

800
VDD
810
S_{BG}
OUT
IN
820
VSS

图47B

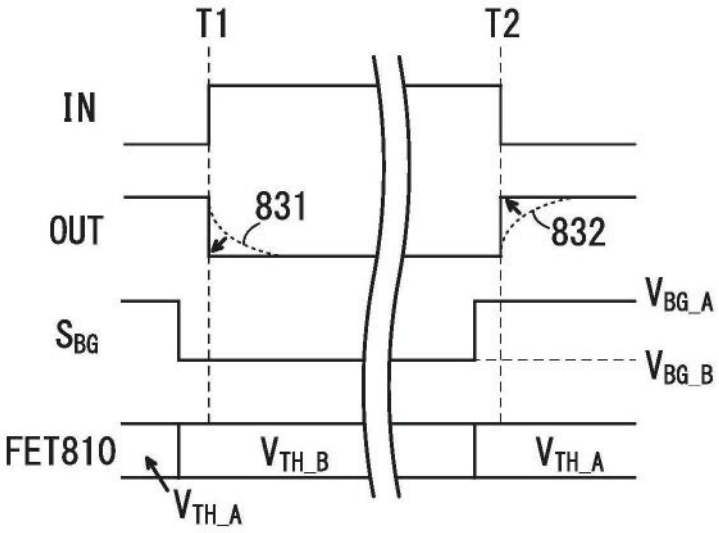

T1
T2
IN
OUT
831
832
V_{BG_A}
S_{BG}
V_{BG_B}
FET810
V_{TH_B}
V_{TH_A}
V_{TH_A}

图47C

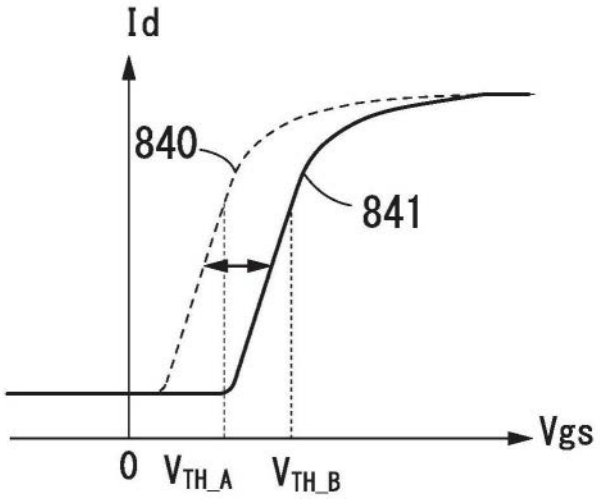

Id
840
841
Vgs
0
V_{TH_A}
V_{TH_B}

图48A

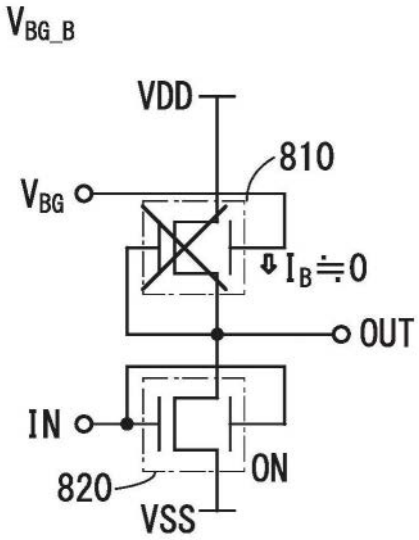

V_{BG_B}
VDD
810
V_{BG}
$I_B \fallingdotseq 0$
OUT
IN
ON
820
VSS

图48B

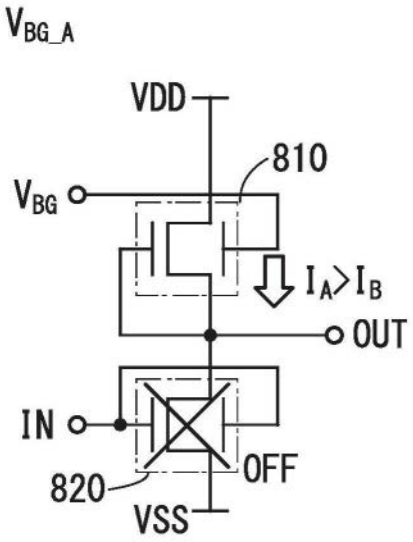

V_{BG_A}
VDD
810
V_{BG}
$I_A > I_B$
OUT
IN
OFF
820
VSS

图48C

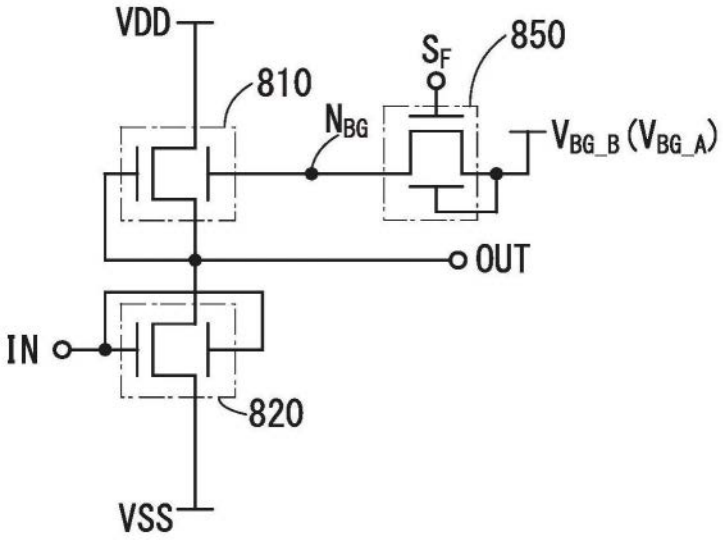

VDD
S_F
850
810
N_{BG}
V_{BG_B} (V_{BG_A})
OUT
IN
820
VSS

图49A

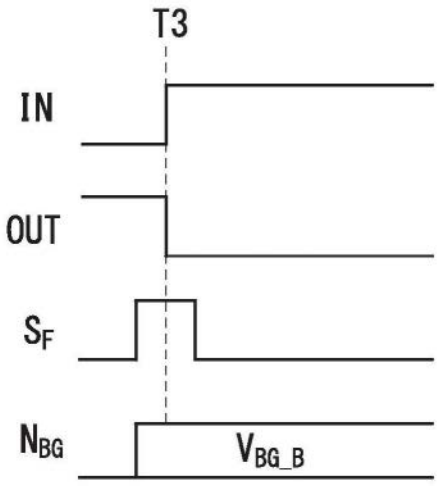


图49B

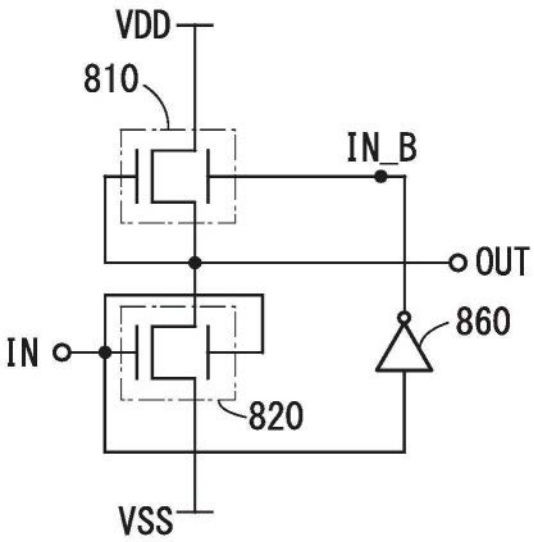


图50A

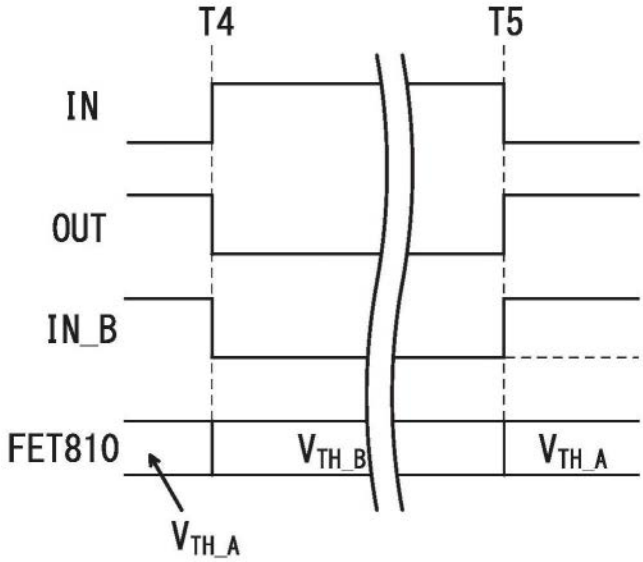

T4
T5
IN
OUT
IN_B
FET810
V_{TH_B}
V_{TH_A}
V_{TH_A}

图50B

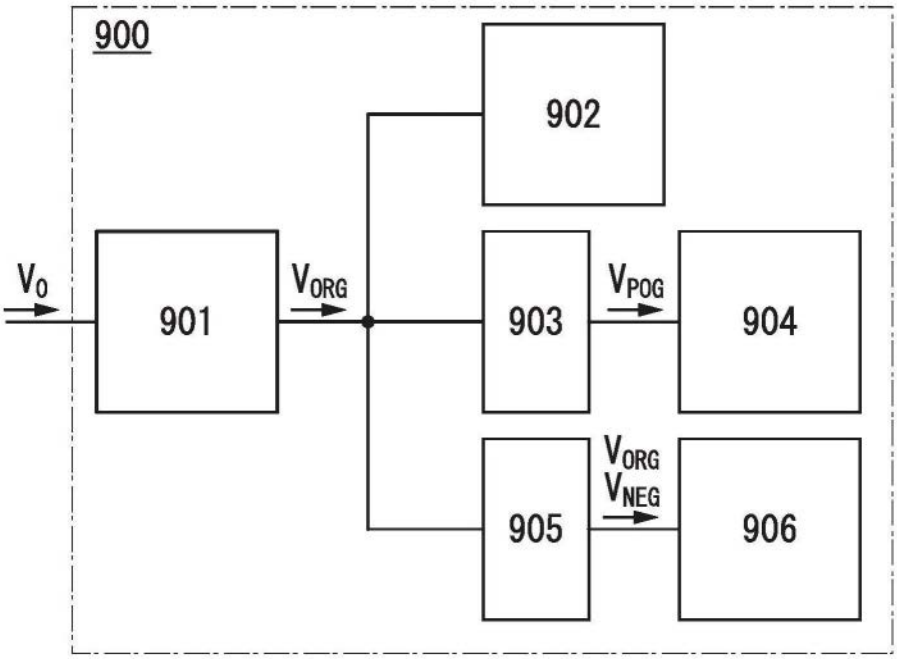

900
902
V_O
901
V_{ORG}
903
V_{POG}
904
V_{ORG}
V_{NEG}
905
906

图51A

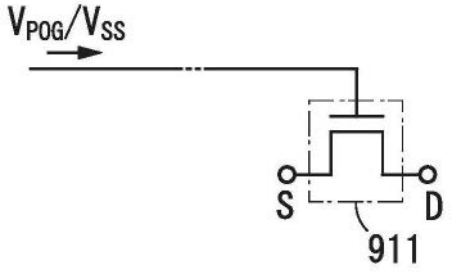


图51B

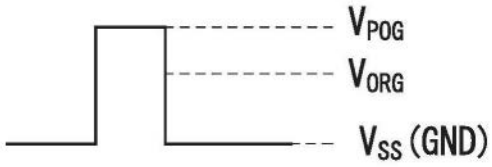


图51C

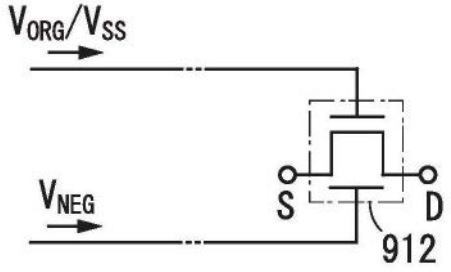


图51D

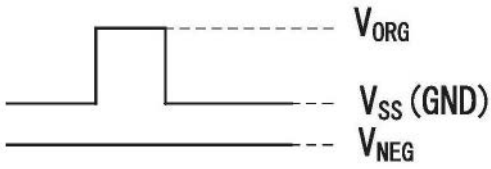


图51E

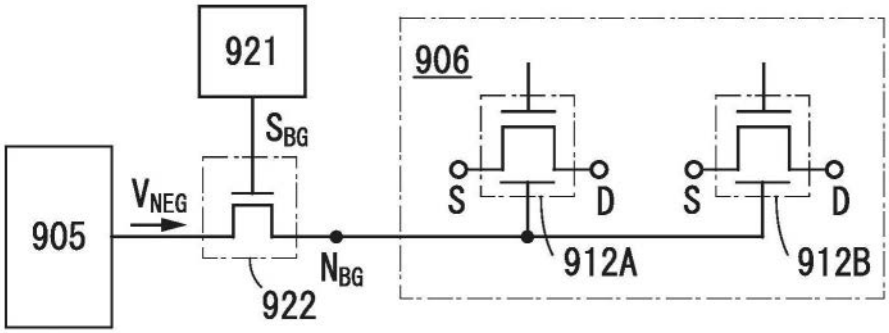


图52A

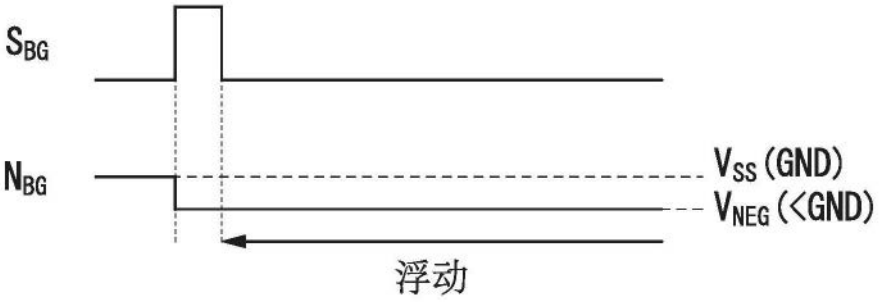


图52B

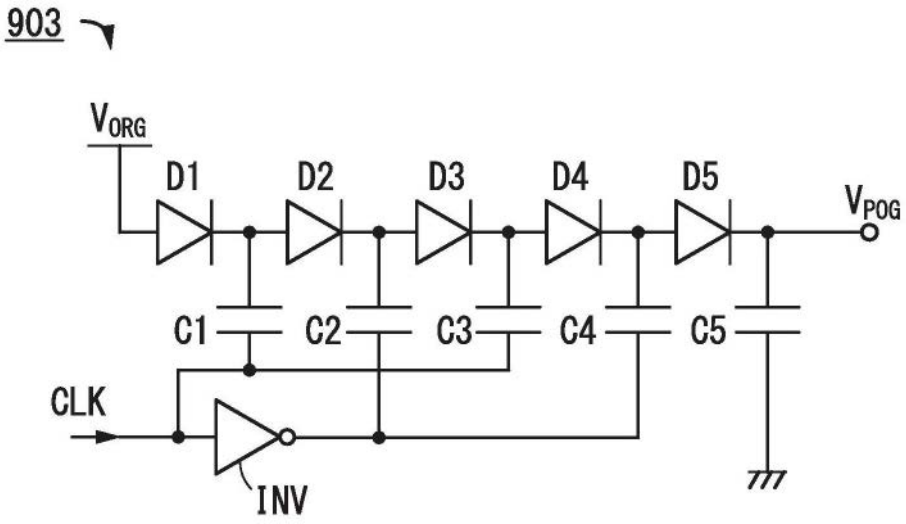


图53A

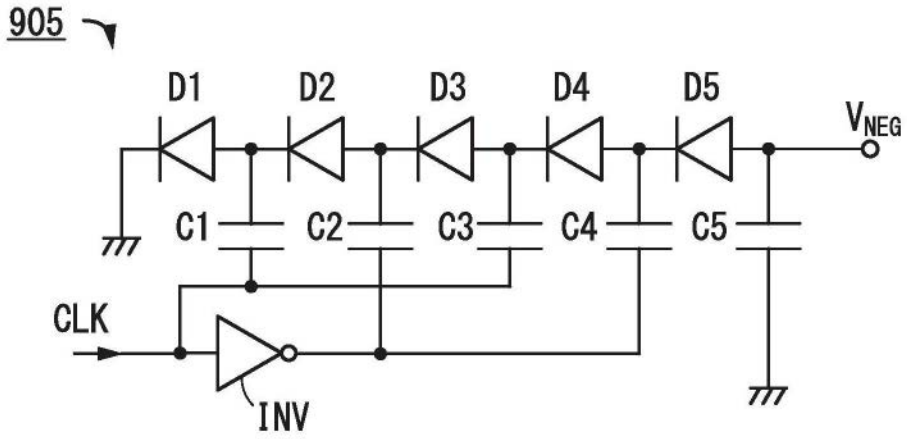

905
D1
D2
D3
D4
D5
V_{NEG}
C1
C2
C3
C4
C5
CLK
INV

图53B

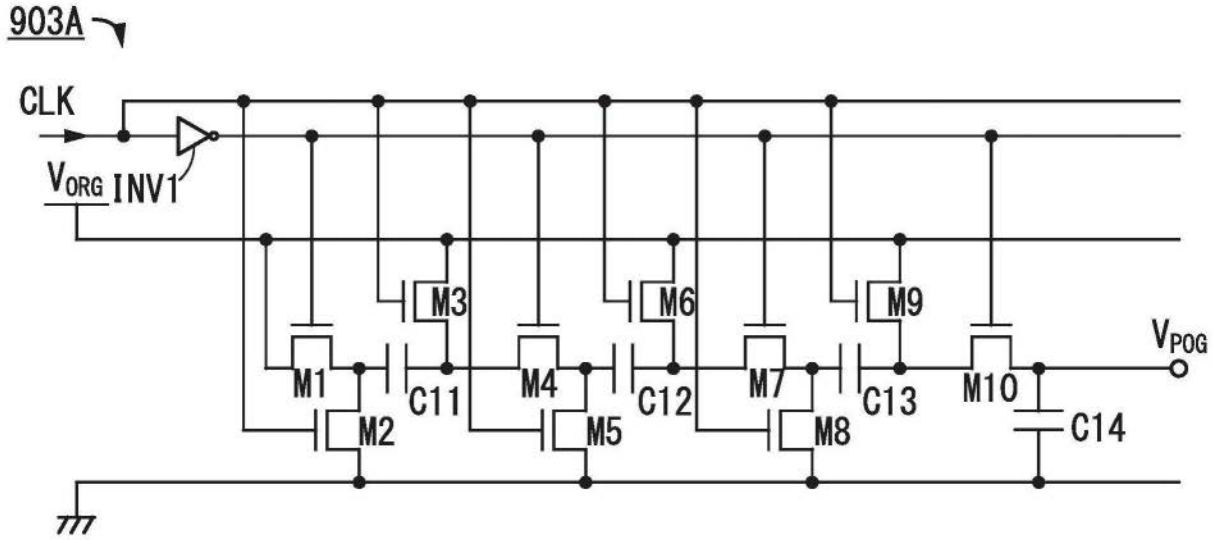

903A
CLK
V_{ORG}
INV1
M1
M2
C11
M3
M4
M5
C12
M6
M7
M8
C13
M9
M10
C14
V_{POG}

图54A

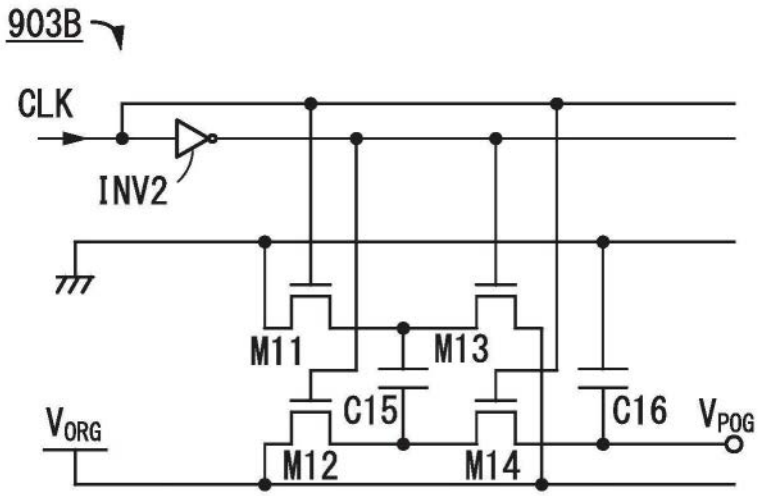

903B
CLK
INV2
M11
M13
C15
C16
V_{POG}
V_{ORG}
M12
M14

图54B

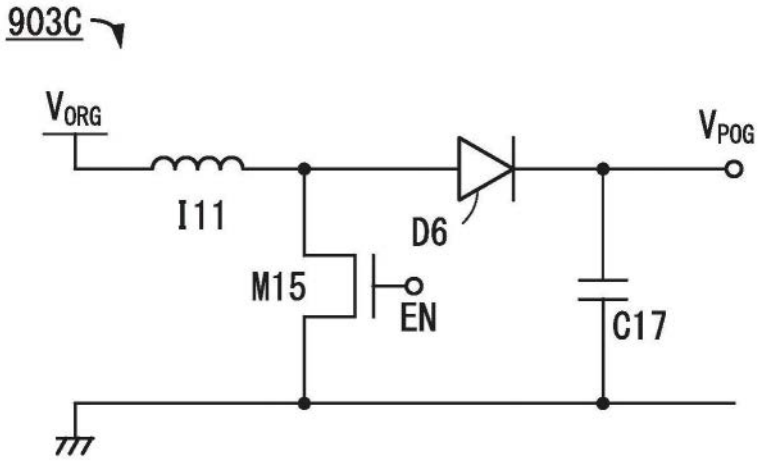

903C
V_{ORG}
V_{POG}
I11
D6
M15
EN
C17

图54C

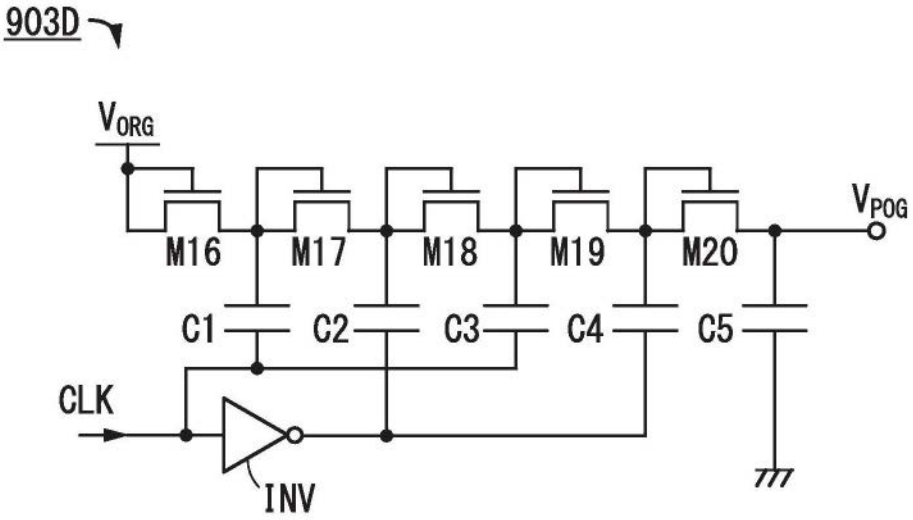

903D
VORG
VPOG
M16
M17
M18
M19
M20
C1
C2
C3
C4
C5
CLK
INV

图55A

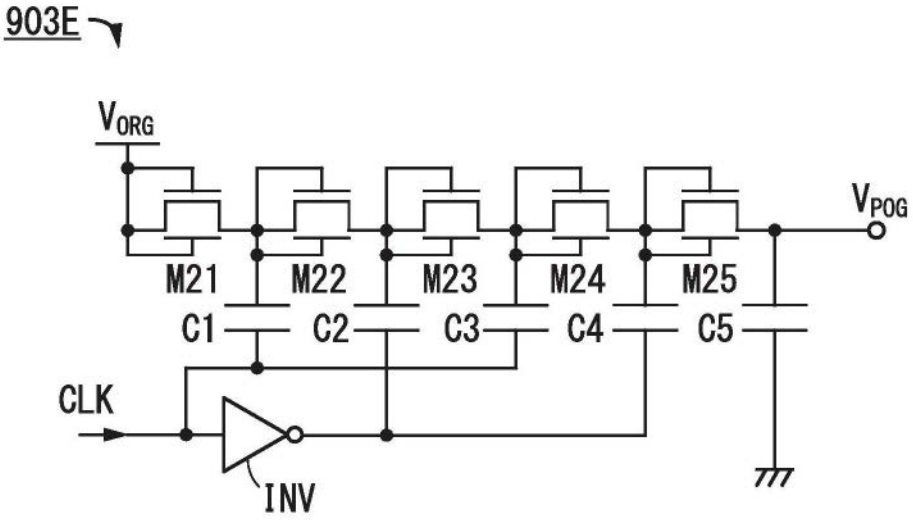

903E
VORG
VPOG
M21
M22
M23
M24
M25
C1
C2
C3
C4
C5
CLK
INV

图55B

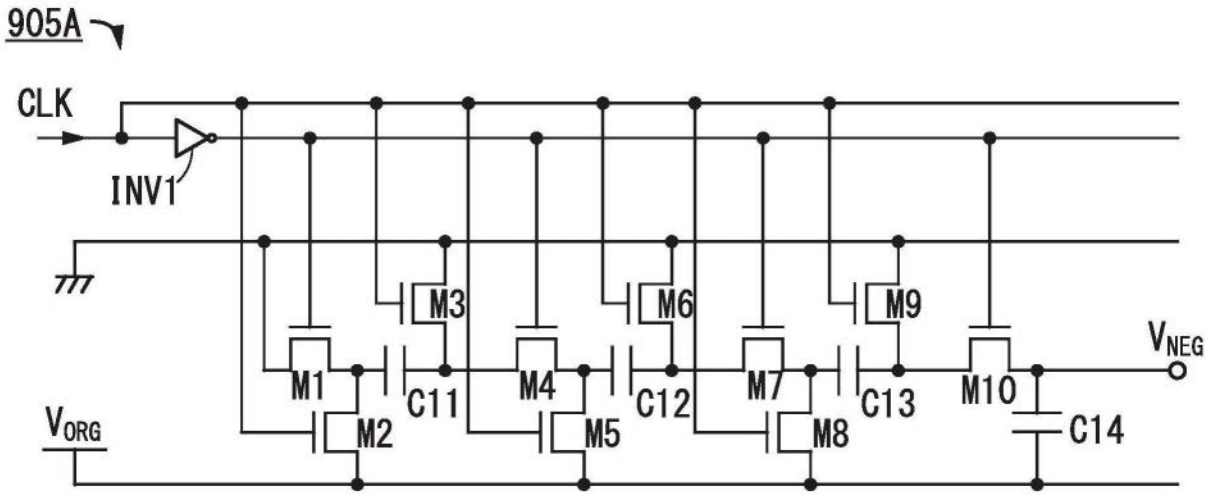

905A
CLK
INV1
M1
M2
M3
M4
M5
M6
M7
M8
M9
M10
C11
C12
C13
C14
VORG
VNEG

图56A

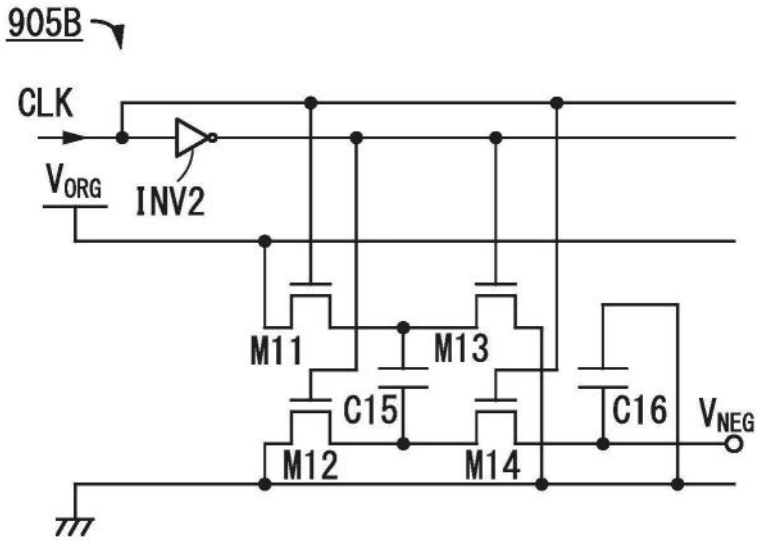

905B
CLK
VORG
INV2
M11
M12
M13
M14
C15
C16
VNEG

图56B

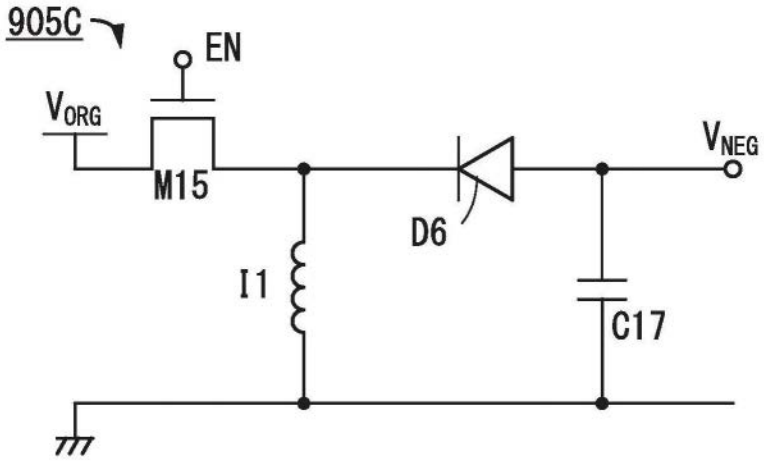

905C
EN
VORG
M15
VNEG
D6
I1
C17

图56C

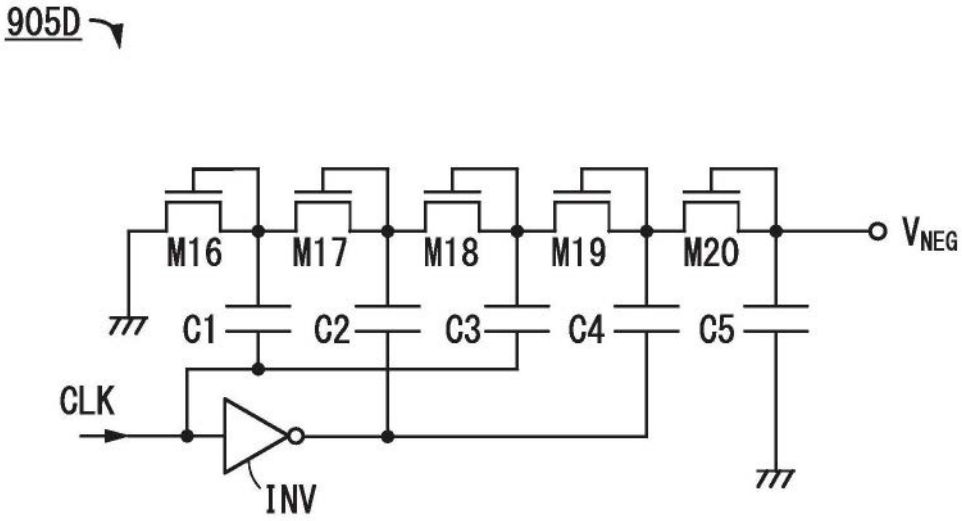

905D
M16
M17
M18
M19
M20
VNEG
C1
C2
C3
C4
C5
CLK
INV

图57A

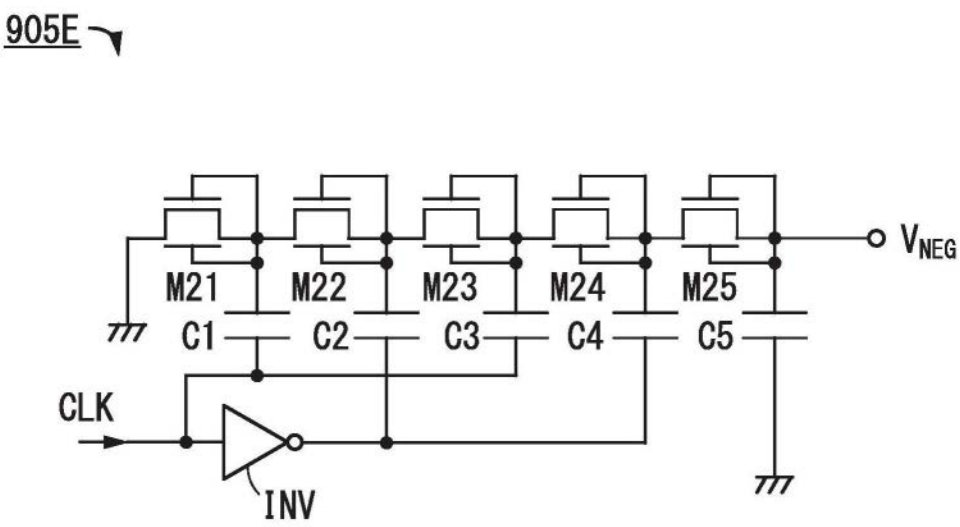


图57B

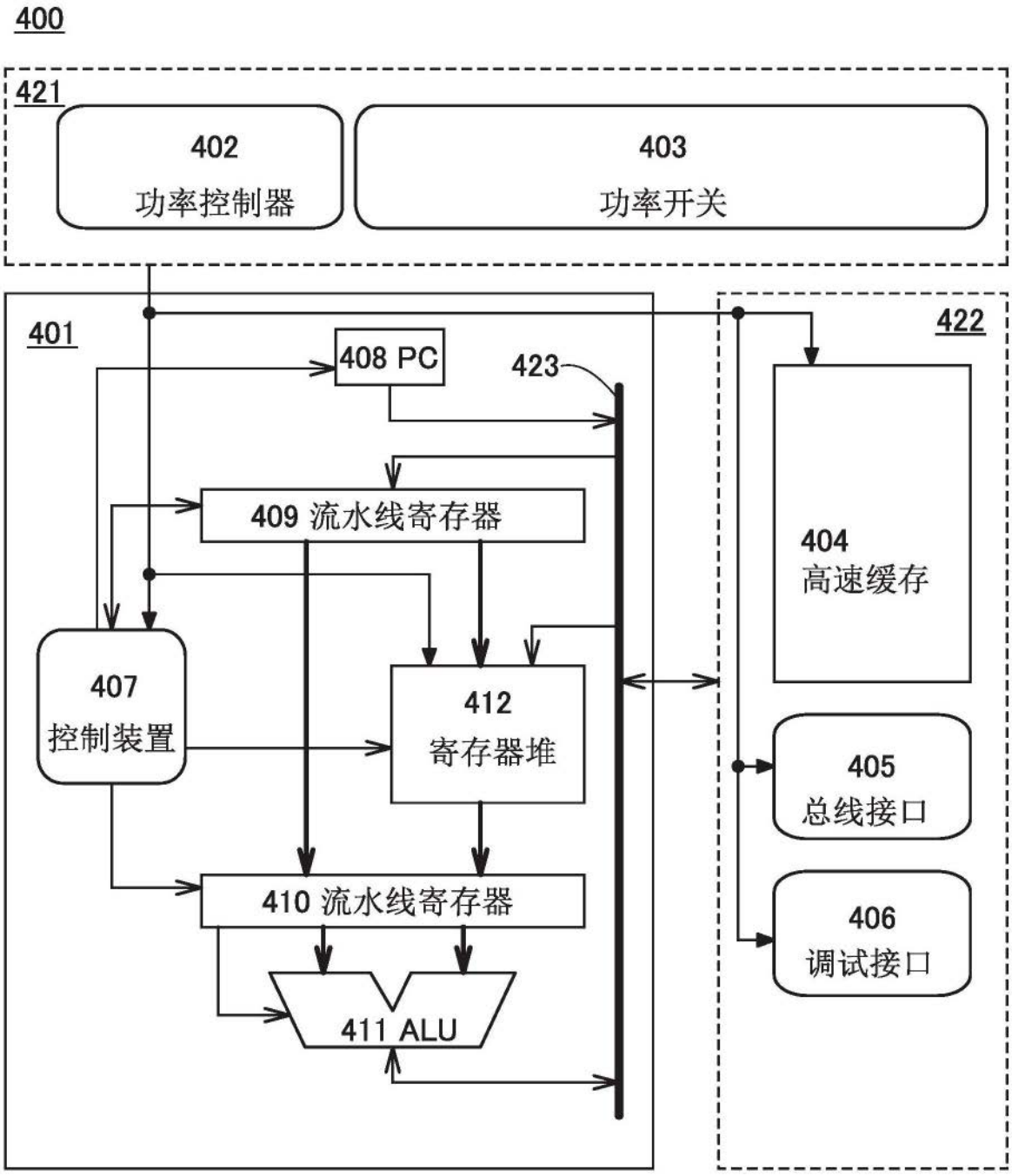

400
421
402
功率控制器
403
功率开关
401
408 PC
423
409 流水线寄存器
407
控制装置
412
寄存器堆
410 流水线寄存器
411 ALU
422
404
高速缓存
405
总线接口
406
调试接口

图58

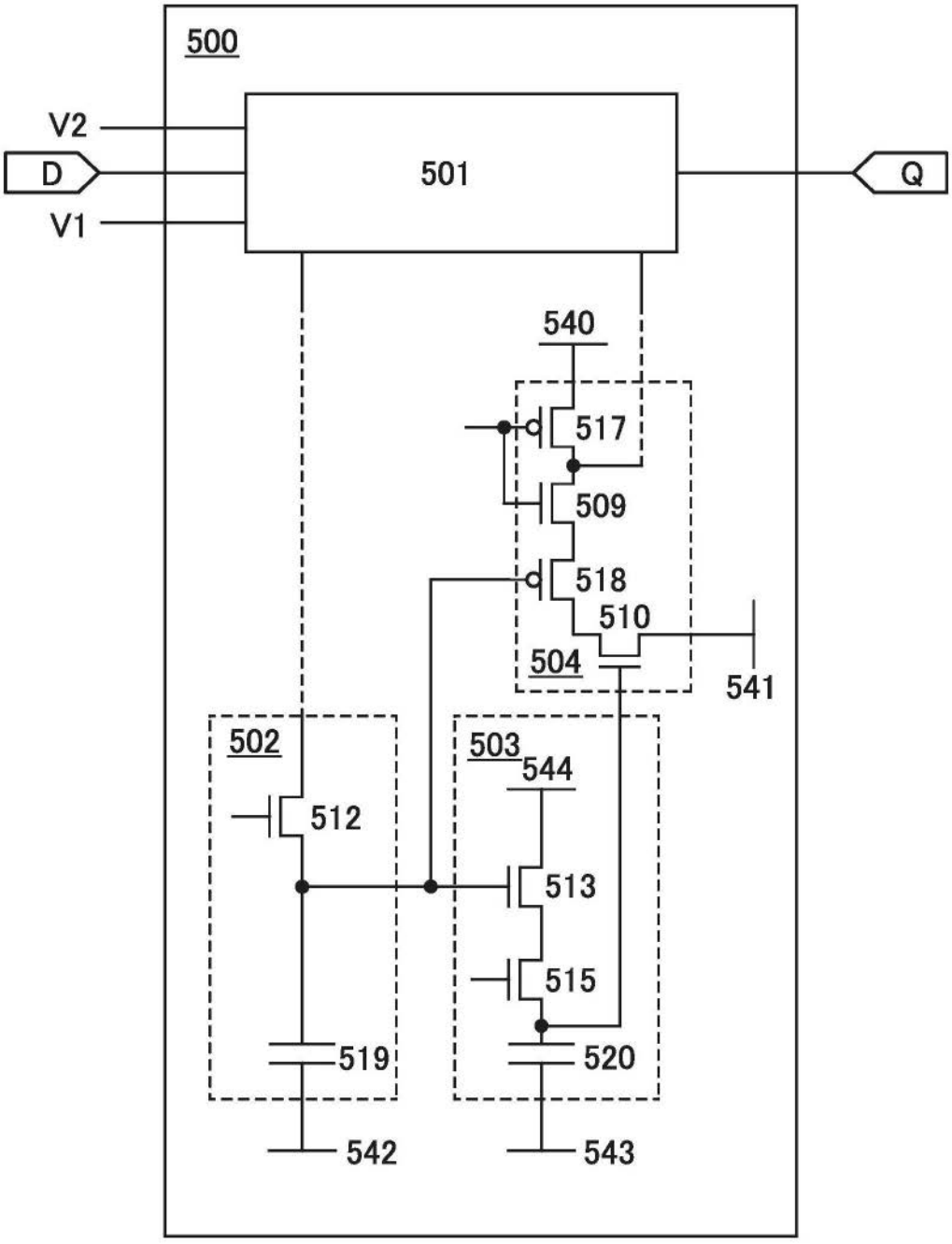

500
V2
D
V1
501
Q
540
517
509
518
510
504
541
502
503
544
512
513
515
519
520
542
543

图59

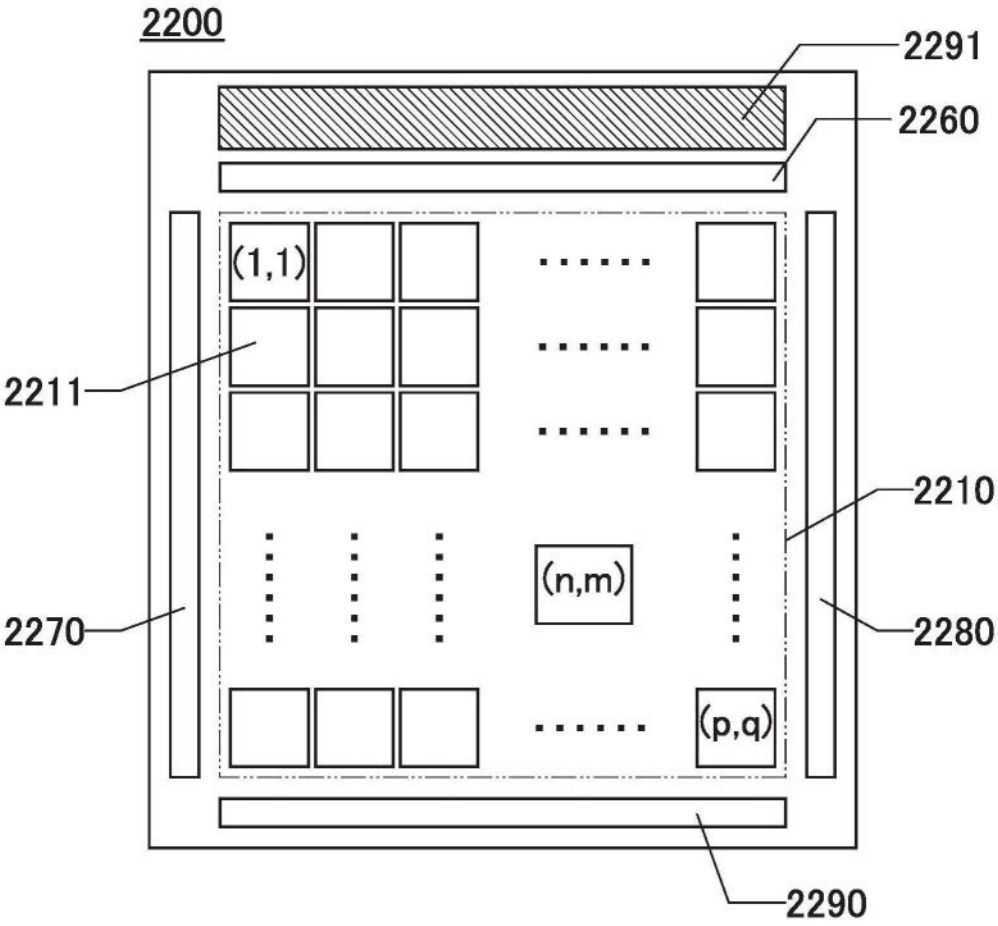


图60A

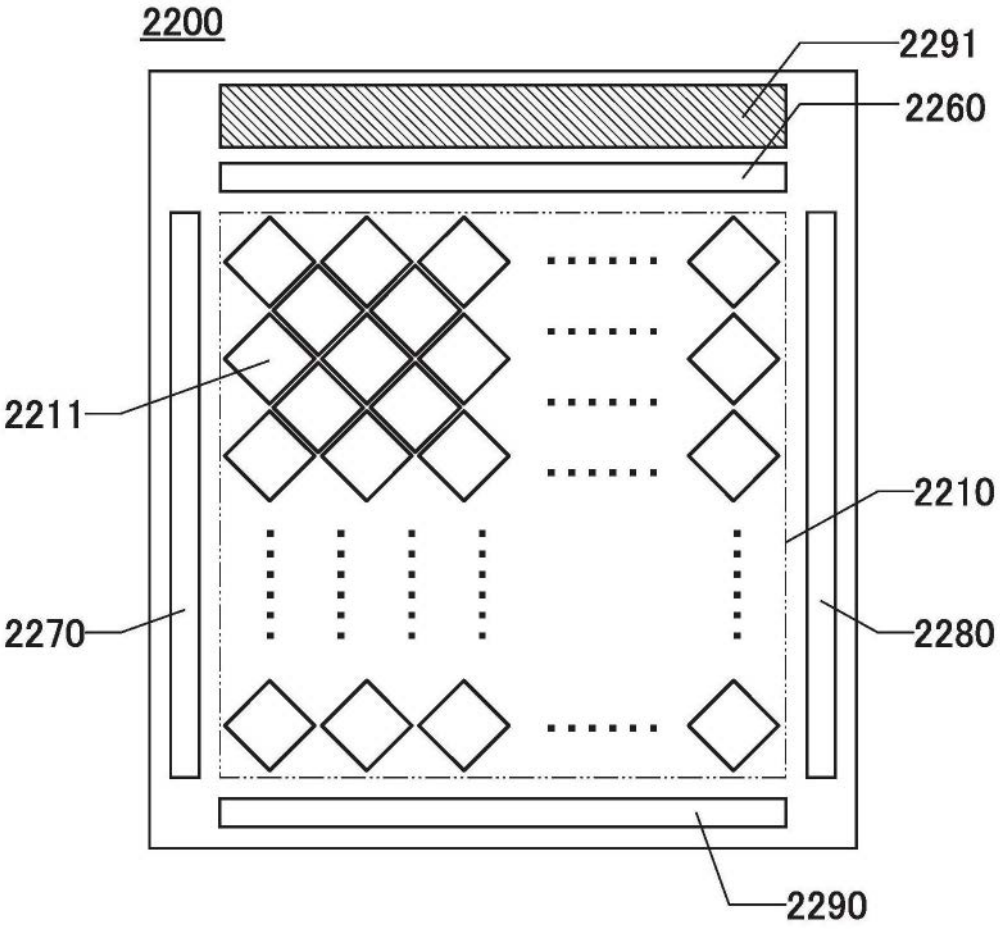

2200
2291
2260
2211
2210
2270
2280
2290

图60B

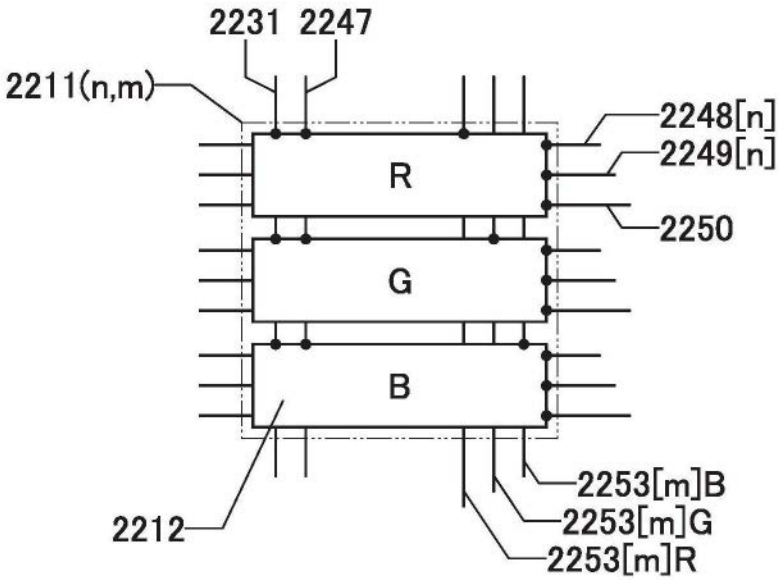

2231 2247
2211(n,m)
2248[n]
2249[n]
R
2250
G
B
2253[m]B
2253[m]G
2253[m]R
2212

图61A

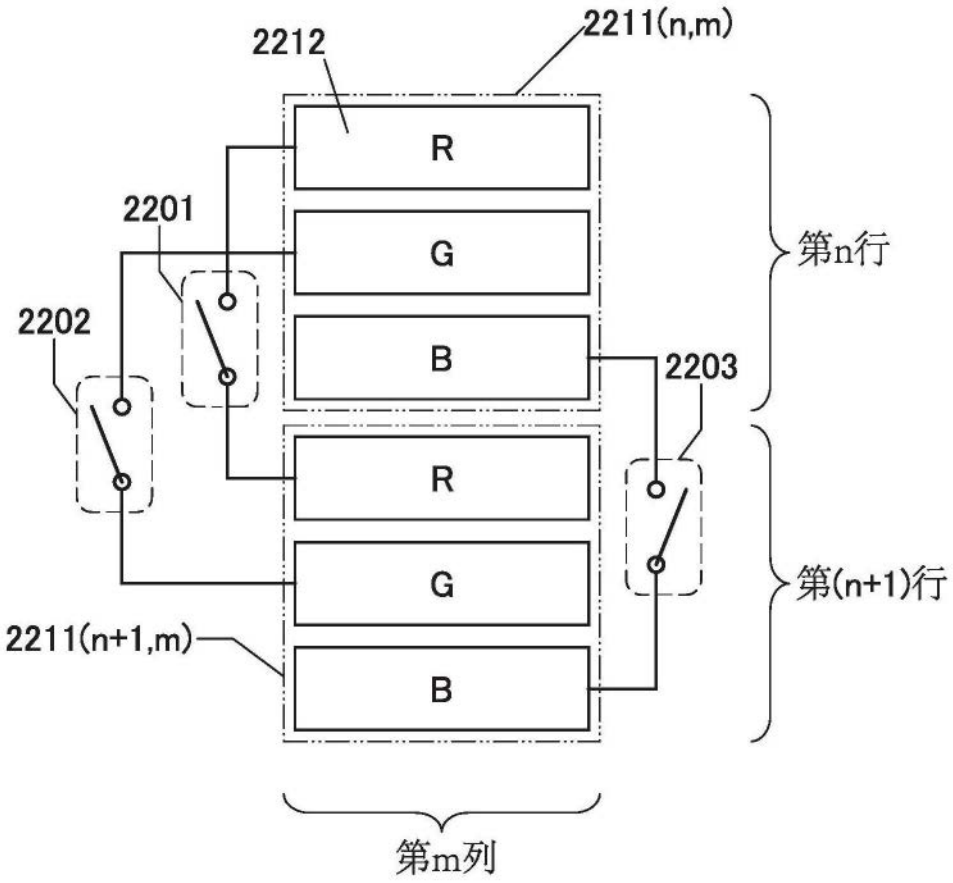


图61B

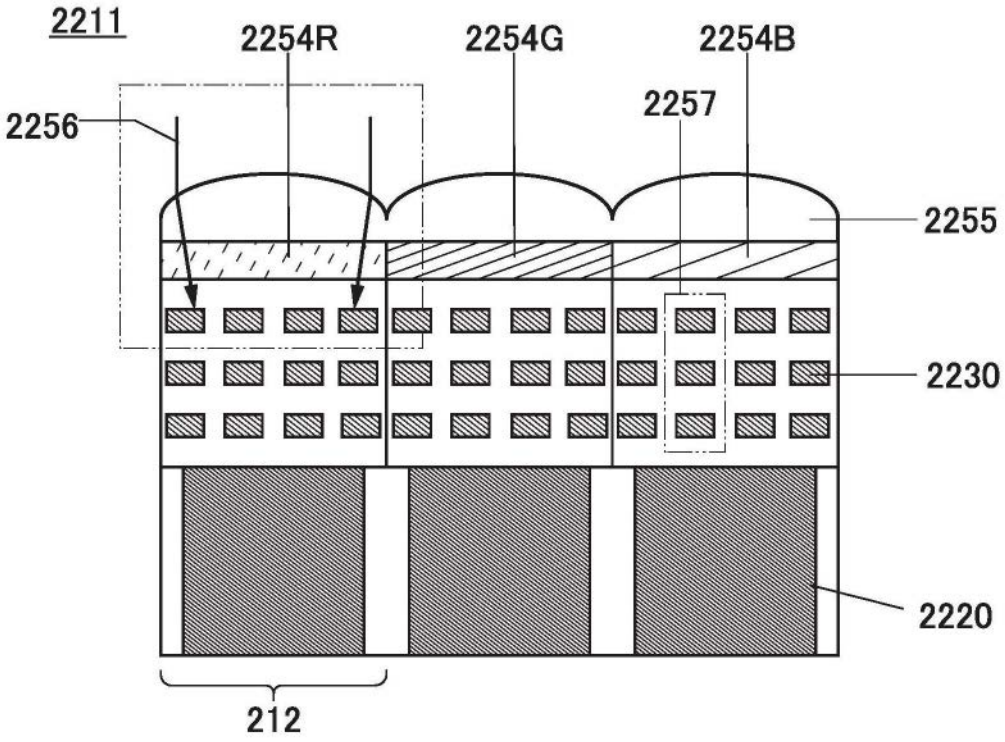

2211
2254R
2254G
2254B
2257
2256
2255
2230
2220
212

图62A

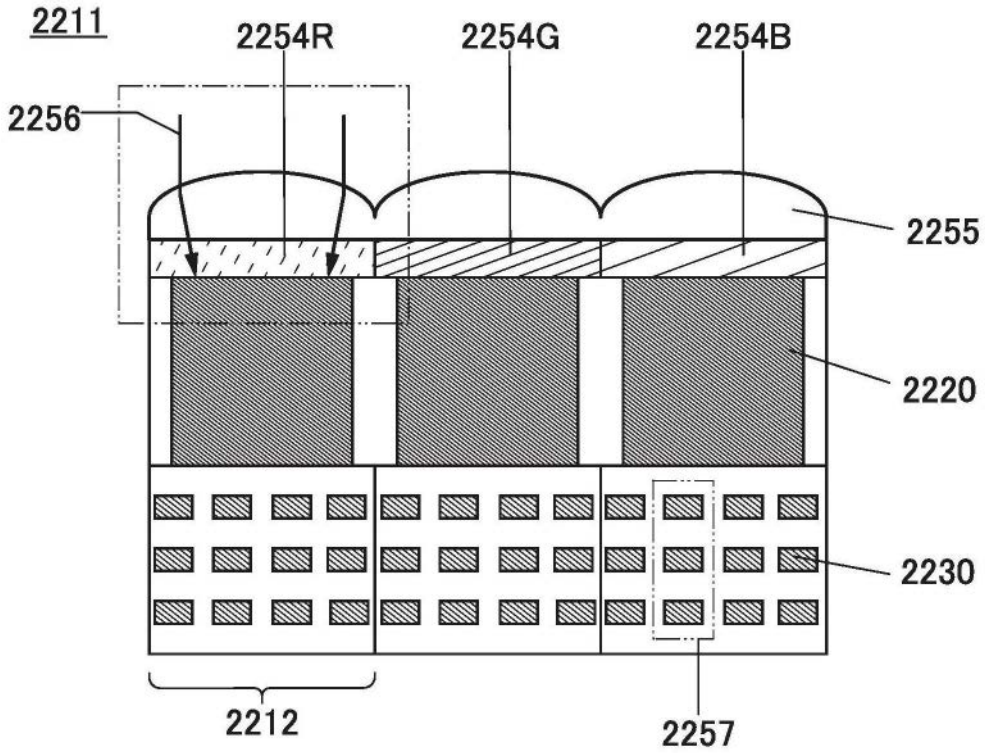

2211
2254R
2254G
2254B
2256
2255
2220
2230
2212
2257

图62B

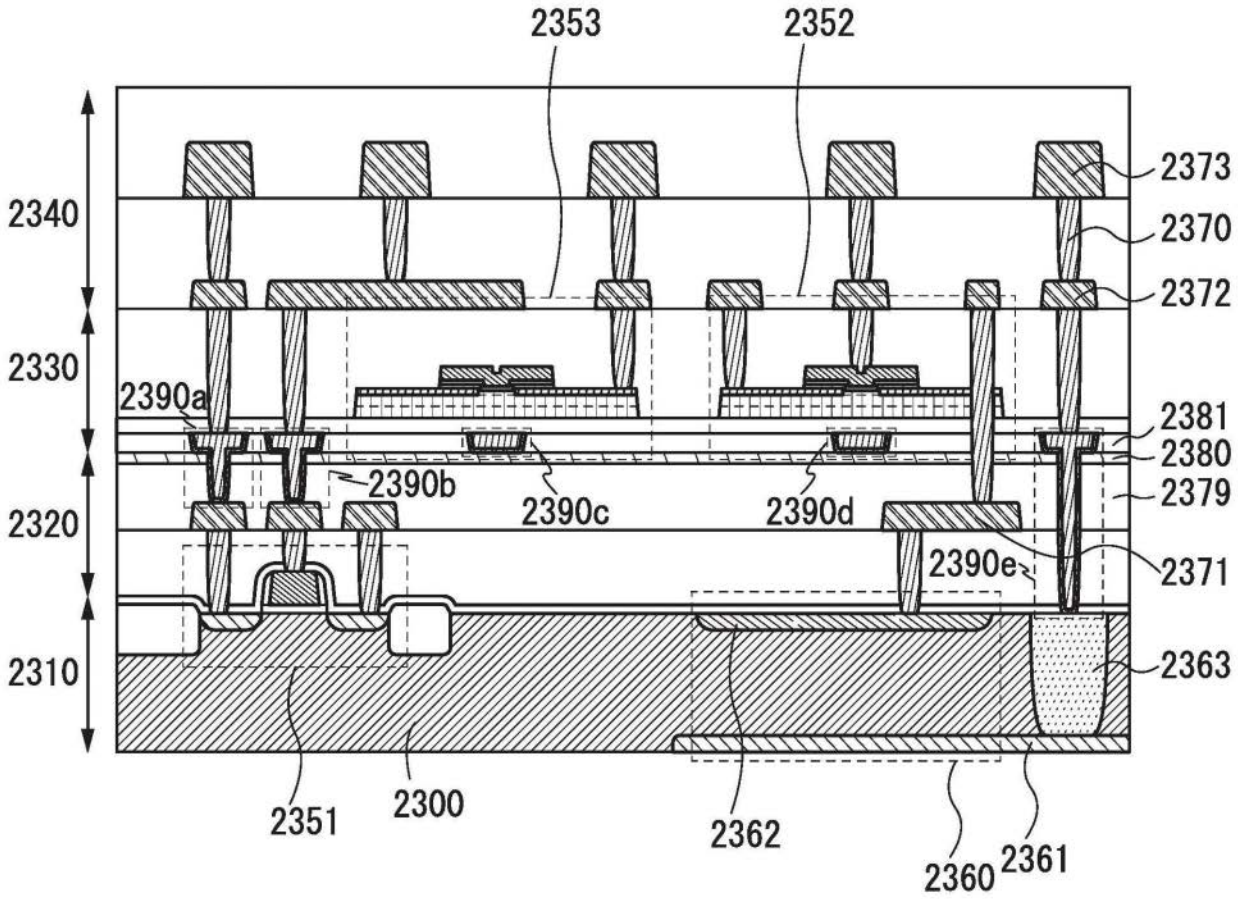

2353
2352
2340
2330
2320
2310
2373
2370
2372
2390a
2381
2380
2379
2390b
2390c
2390d
2390e
2371
2363
2351
2300
2362
2360
2361

图63

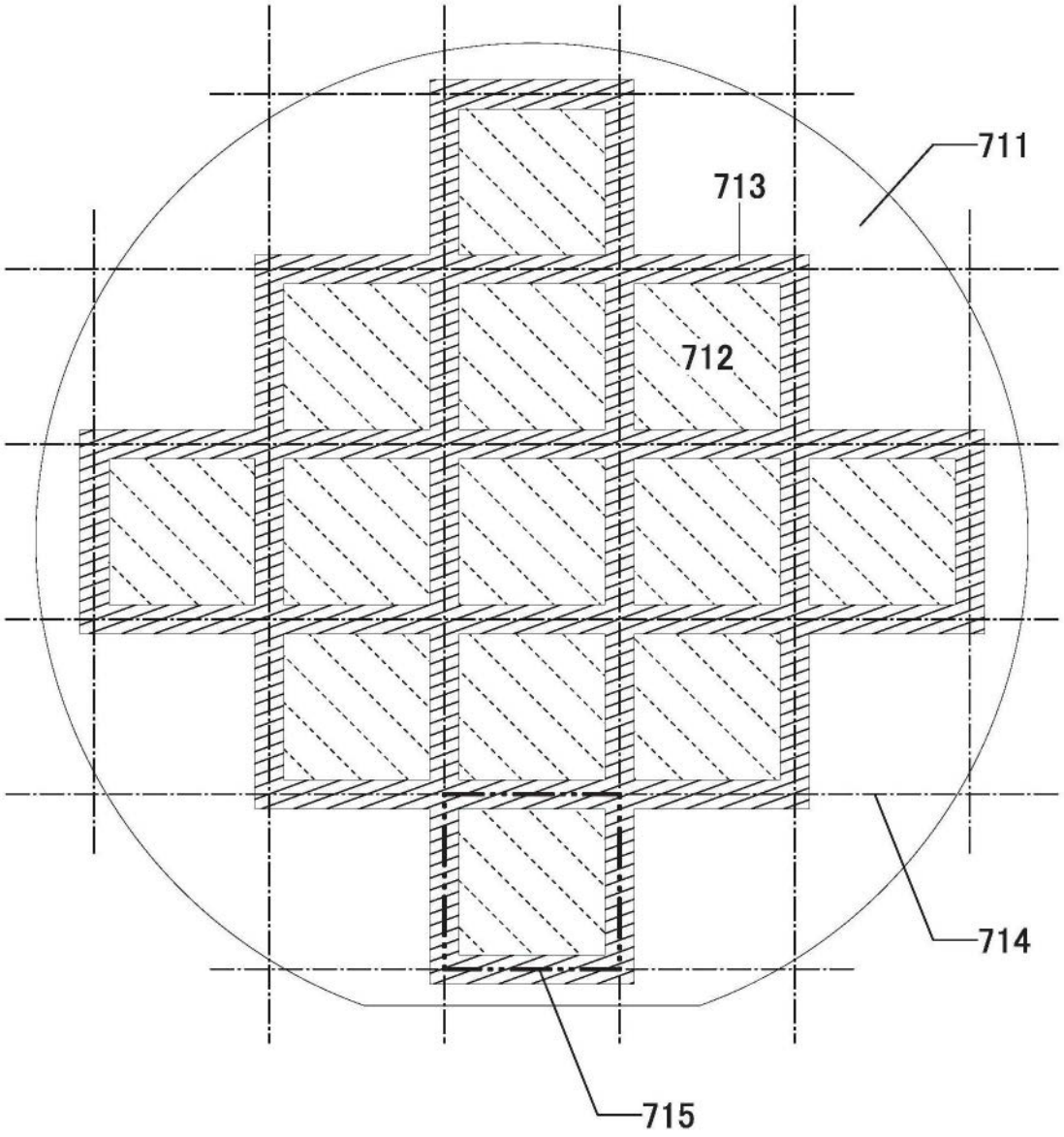


图64A

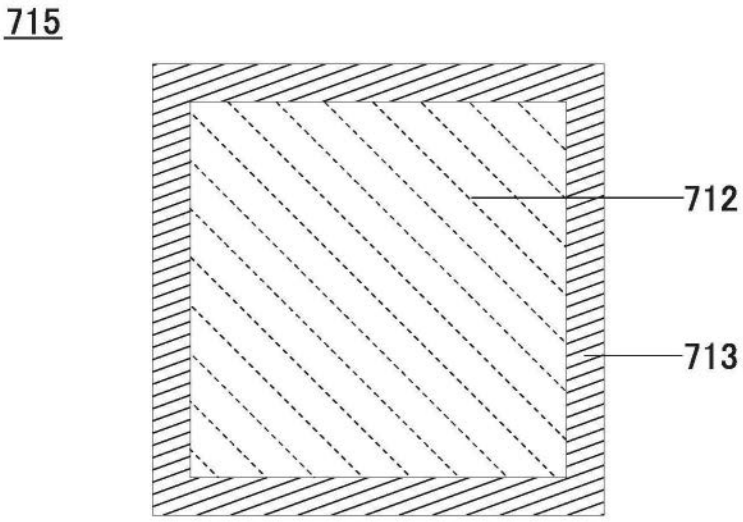


图64B

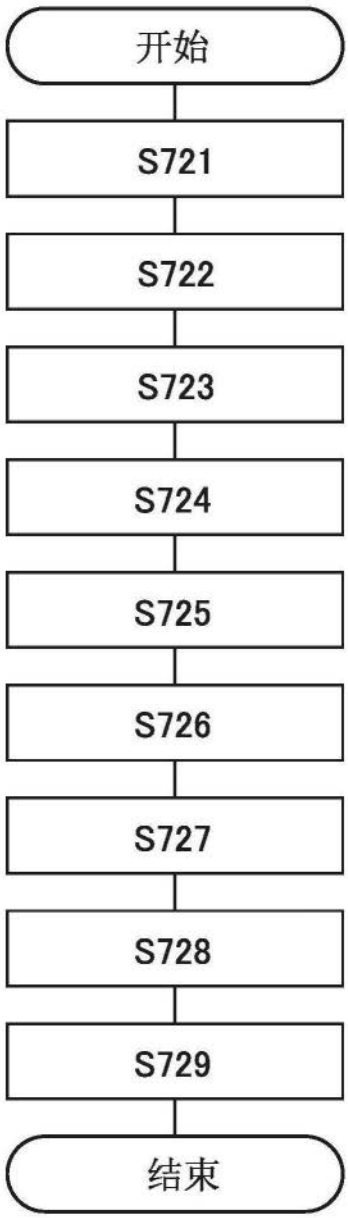


图65A

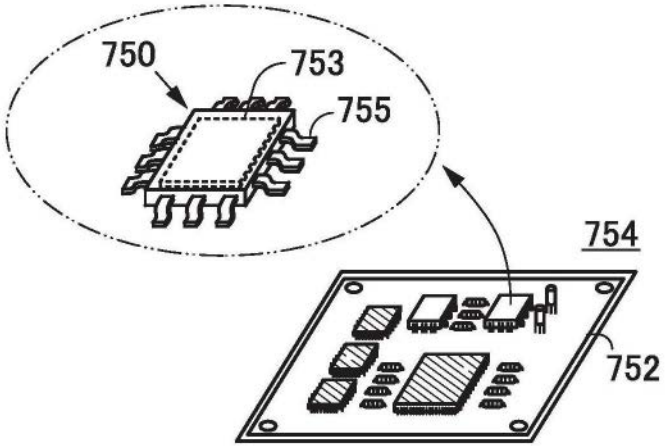


图65B

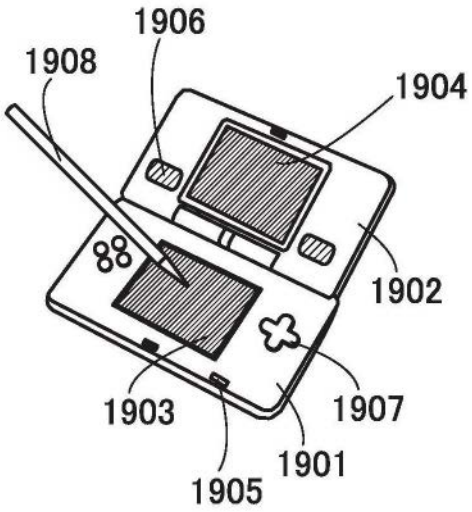


图66A

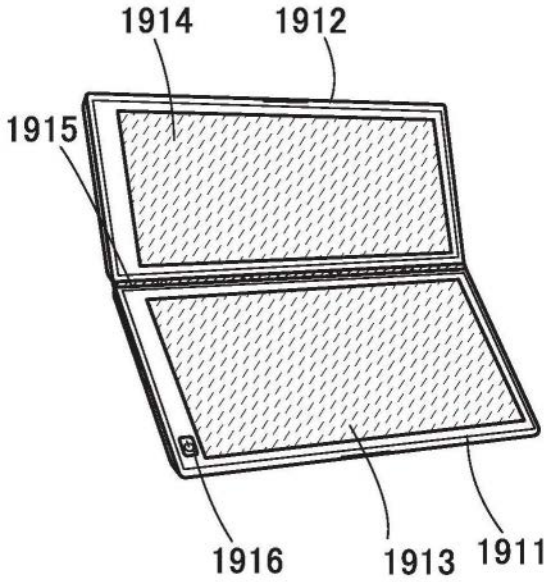


图66B

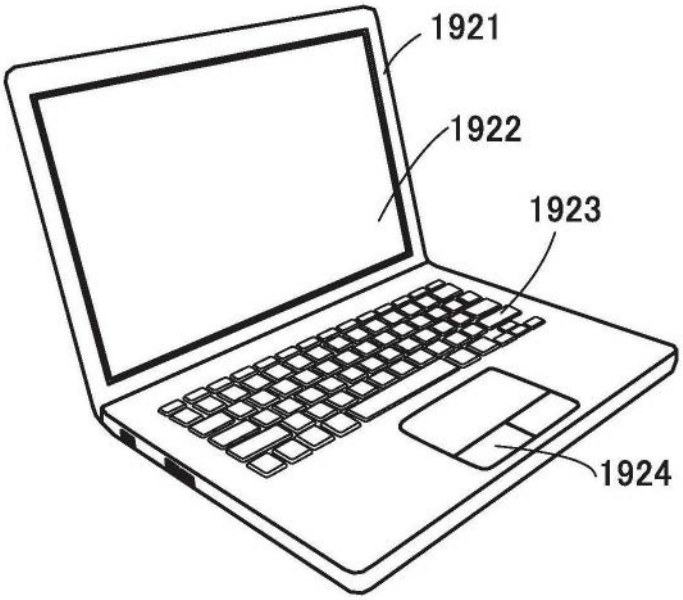


图66C

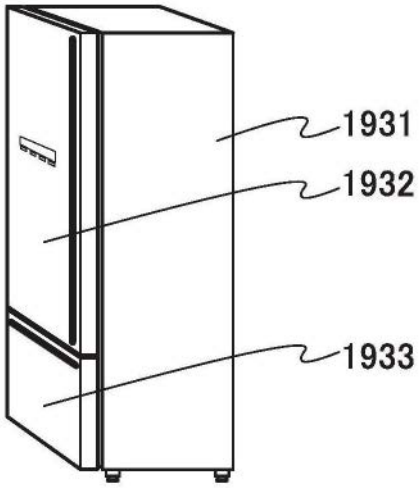


图66D

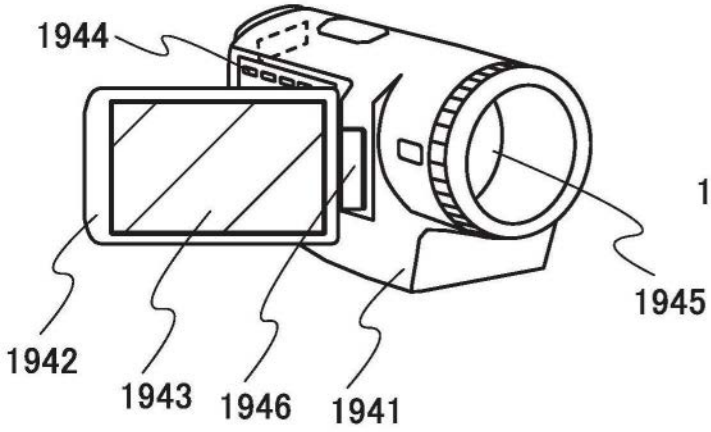


图66E

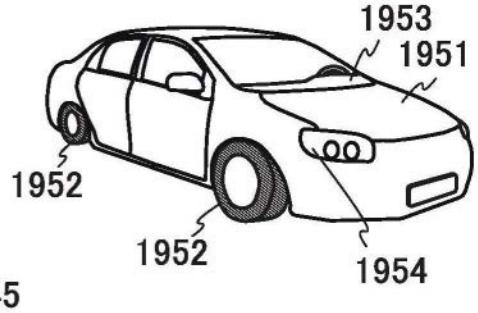


图66F