

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年5月25日(2006.5.25)

【公開番号】特開2005-136436(P2005-136436A)

【公開日】平成17年5月26日(2005.5.26)

【年通号数】公開・登録公報2005-020

【出願番号】特願2004-381000(P2004-381000)

【国際特許分類】

H 01 L 27/108 (2006.01)

H 01 L 21/8242 (2006.01)

H 01 L 21/28 (2006.01)

H 01 L 21/8234 (2006.01)

H 01 L 27/088 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 21/8238 (2006.01)

H 01 L 21/768 (2006.01)

H 01 L 29/423 (2006.01)

H 01 L 29/49 (2006.01)

【F I】

H 01 L 27/10 6 7 1 Z

H 01 L 21/28 L

H 01 L 27/10 6 8 1 D

H 01 L 27/10 6 2 1 Z

H 01 L 27/08 1 0 2 C

H 01 L 27/08 1 0 2 D

H 01 L 27/08 1 0 2 H

H 01 L 27/08 3 2 1 D

H 01 L 27/08 3 2 1 F

H 01 L 27/08 3 2 1 K

H 01 L 21/90 C

H 01 L 29/58 G

【手続補正書】

【提出日】平成18年4月3日(2006.4.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フィールド領域によってメモリセル領域および周辺回路領域に分けられた半導体基板と、この半導体基板上のメモリセル領域内に集積され、ゲート電極の側壁部分にそれぞれ第1の絶縁物で構成される第1の側壁絶縁膜が形成されてなる、複数の第1の絶縁ゲート型トランジスタと、

前記半導体基板上の周辺回路領域内に設けられ、ゲート電極の側壁部分に第1の絶縁物および第2の絶縁物で構成される第2の側壁絶縁膜が形成されるとともに、拡散領域の表面に選択的に設けられた低抵抗領域を有してなる、少なくとも1つの第2の絶縁ゲート型トランジスタと

を具備したことを特徴とする半導体装置。

【請求項 2】

前記低抵抗領域は、前記第2の絶縁ゲート型トランジスタにおけるゲート電極より、前記第2の側壁絶縁膜の側壁長の分だけ離れた位置に設けられてなることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第1の絶縁物および前記第2の絶縁物は、互いにエッティング選択比を有することを特徴とする請求項1に記載の半導体装置。

【請求項 4】

前記第1の絶縁物はシリコン窒化物であり、前記第2の絶縁物はシリコン酸化物であることを特徴とする請求項1または3のいずれかに記載の半導体装置。

【請求項 5】

前記複数の第1の絶縁ゲート型トランジスタのうち、少なくとも1つは、該ゲート電極に對して、コンタクトホールが自己整合的に開孔されてなることを特徴とする請求項1に記載の半導体装置。

【請求項 6】

前記複数の第1の絶縁ゲート型トランジスタのうち、その最外周部におけるトランジスタのゲート電極は、電気的に独立しているダミーのゲート電極パターンであることを特徴とする請求項1または5のいずれかに記載の半導体装置。

【請求項 7】

前記第1の絶縁ゲート型トランジスタにおける拡散領域の接合深さが、前記第2の絶縁ゲート型トランジスタにおける拡散領域の接合深さよりも小さいことを特徴とする請求項1に記載の半導体装置。

【請求項 8】

前記コンタクトホール内には、導電性材料が埋め込まれてなることを特徴とする請求項5に記載の半導体装置。

【請求項 9】

前記導電性材料の表面には、低抵抗領域が設けられてなることを特徴とする請求項8に記載の半導体装置。

【請求項 10】

フィールド領域によってメモリセル領域および周辺回路領域に分けられた半導体基板と、この半導体基板上のメモリセル領域内に集積され、ゲート電極の側壁部分にそれぞれ第1の絶縁物で構成される第1の側壁絶縁膜が形成されてなる、複数の第1の絶縁ゲート型トランジスタと、

前記半導体基板上の周辺回路領域内に設けられ、ゲート電極の側壁部分に第1の絶縁物および第2の絶縁物で構成される第2の側壁絶縁膜が形成されてなる、少なくとも1つの第2の絶縁ゲート型トランジスタと、

前記第1の絶縁物および前記第2の絶縁物の間に、前記半導体基板の表面を覆うようにして設けられた第3の絶縁物と

を具備したことを特徴とする半導体装置。

【請求項 11】

前記第3の絶縁物は、少なくとも前記第2の絶縁物に対してエッティング選択比を有してなることを特徴とする請求項10に記載の半導体装置。

【請求項 12】

前記第3の絶縁物は、前記第1の絶縁物よりも薄く形成されてなることを特徴とする請求項10または11のいずれかに記載の半導体装置。

【請求項 13】

前記第1の絶縁物および前記第2の絶縁物は、互いにエッティング選択比を有することを特徴とする請求項10に記載の半導体装置。

【請求項 14】

前記第1の絶縁物および前記第3の絶縁物はシリコン窒化物であり、前記第2の絶縁物はシリコン酸化物であることを特徴とする請求項10, 11または13のいずれかに記載の半導体装置。

【請求項15】

前記複数の第1の絶縁ゲート型トランジスタのうち、少なくとも1つは、該ゲート電極および前記フィールド領域に対して、コンタクトホールが自己整合的に開孔されてなることを特徴とする請求項10に記載の半導体装置。

【請求項16】

前記複数の第1の絶縁ゲート型トランジスタのうち、その最外周部におけるトランジスタのゲート電極は、電気的に独立しているダミーのゲート電極パターンであることを特徴とする請求項10または15のいずれかに記載の半導体装置。

【請求項17】

前記第1の絶縁ゲート型トランジスタにおける拡散領域の接合深さが、前記第2の絶縁ゲート型トランジスタにおける拡散領域の接合深さよりも小さいことを特徴とする請求項10に記載の半導体装置。

【請求項18】

半導体基板上のメモリセル領域に、第1の絶縁物からなる長さdの側壁絶縁膜が形成されてなるゲート電極をそれぞれに有し、各ゲート電極間の最大スペースが $2(d+x)$ よりも小さくなるように配設された、複数の第1の絶縁ゲート型トランジスタと、

前記半導体基板上の周辺回路領域に、第1の絶縁物からなる長さdの側壁絶縁膜が形成されてなるゲート電極、および、拡散領域の表面に前記側壁絶縁膜からそれぞれ前記xだけ離れた位置に設けられた低抵抗領域をそれぞれに有し、各ゲート電極間の最大スペースが $2(d+x)$ よりも大きくなるように配設された、複数の第2の絶縁ゲート型トランジスタと

を具備してなることを特徴とする半導体装置。

【請求項19】

前記第2の絶縁ゲート型トランジスタにおける各ゲート電極の側壁部分には、それぞれ、前記第1の絶縁物からなる側壁絶縁膜のさらに外側に第2の絶縁物からなる側壁絶縁膜が形成されてなることを特徴とする請求項18に記載の半導体装置。

【請求項20】

前記xが、前記第2の絶縁物からなる側壁絶縁膜の側壁長に対応されてなることを特徴とする請求項18または19のいずれかに記載の半導体装置。

【請求項21】

前記第2の絶縁物からなる側壁絶縁膜の下には、第3の絶縁物が設けられてなることを特徴とする請求項19に記載の半導体装置。

【請求項22】

前記第1の絶縁ゲート型トランジスタの、配線コンタクト部を除く、各ゲート電極間には、前記第2の絶縁物が埋め込まれてなることを特徴とする請求項18に記載の半導体装置。

【請求項23】

前記第1の絶縁ゲート型トランジスタの、配線コンタクト部を含む、各ゲート電極間には、導電性材料が埋め込まれてなることを特徴とする請求項18に記載の半導体装置。

【請求項24】

前記導電性材料の表面には、低抵抗領域が設けられてなることを特徴とする請求項23に記載の半導体装置。

【請求項25】

フィールド領域を形成し、半導体基板上の素子領域をメモリセル領域および周辺回路領域に分離する工程と、

前記メモリセル領域に、メモリセル部を構成するための複数の第1の絶縁ゲート型トランジスタの各ゲート電極、および、前記周辺回路領域に、周辺回路部を構成するための少

なくとも 1 つの第 2 の絶縁ゲート型トランジスタのゲート電極をそれぞれ形成する工程と、

前記半導体基板の全面に第 1 の絶縁物を堆積する工程と、

前記第 1 の絶縁物を選択的に除去し、前記第 1 の絶縁ゲート型トランジスタにおける各ゲート電極の側壁部分、および、前記第 2 の絶縁ゲート型トランジスタにおけるゲート電極の側壁部分に、それぞれ、第 1 の側壁絶縁膜を形成する工程と、

前記半導体基板の全面に第 2 の絶縁物を堆積する工程と、

前記第 2 の絶縁物を選択的に除去し、前記第 2 の絶縁ゲート型トランジスタにおけるゲート電極の側壁部分に、さらに、第 2 の側壁絶縁膜を形成する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項 2 6】

前記第 1 の絶縁物および前記第 2 の絶縁物としては、互いにエッチング選択比を有する物質が用いられることを特徴とする請求項 2 5 に記載の半導体装置の製造方法。

【請求項 2 7】

前記第 1 の絶縁物としてはシリコン窒化物が、前記第 2 の絶縁物としてはシリコン酸化物が、それぞれ用いられることを特徴とする請求項 2 5 または 2 6 のいずれかに記載の半導体装置の製造方法。

【請求項 2 8】

前記複数の第 1 の絶縁ゲート型トランジスタのうち、その最外周部には、電気的に独立しているダミーのゲート電極パターンを有して、前記トランジスタが形成されることを特徴とする請求項 2 5 に記載の半導体装置の製造方法。

【請求項 2 9】

前記第 2 の絶縁物に、前記複数の第 1 の絶縁ゲート型トランジスタの少なくとも 1 つのゲート電極に対して、コンタクトホールを自己整合的に開孔する工程をさらに備えることを特徴とする請求項 2 5 に記載の半導体装置の製造方法。

【請求項 3 0】

前記第 2 の絶縁物に開孔されたコンタクトホール内に導電性材料を埋め込む工程をさらに備えることを特徴とする請求項 2 9 に記載の半導体装置の製造方法。

【請求項 3 1】

前記第 2 の側壁絶縁膜を形成した後に、前記第 2 の側壁絶縁膜を介して、再度、前記第 2 の絶縁ゲート型トランジスタの拡散領域を形成する工程をさらに備えることを特徴とする請求項 2 5 に記載の半導体装置の製造方法。

【請求項 3 2】

前記第 2 の側壁絶縁膜を形成した後に、前記第 2 の絶縁ゲート型トランジスタの拡散領域の表面に、低抵抗領域を形成する工程をさらに備えることを特徴とする請求項 2 5 または 3 1 のいずれかに記載の半導体装置の製造方法。

【請求項 3 3】

前記第 2 の絶縁ゲート型トランジスタにおける拡散領域の表面に低抵抗領域を形成すると同時に、前記コンタクトホール内に埋め込まれた前記導電性材料の表面に低抵抗領域を形成する工程をさらに備えることを特徴とする請求項 3 0 または 3 2 のいずれかに記載の半導体装置の製造方法。

【請求項 3 4】

前記第 2 の側壁絶縁膜を形成した後に、前記半導体基板の全面に層間絶縁膜を堆積する工程と、

前記層間絶縁膜に選択的に複数のコンタクトホールを開孔する工程と

をさらに備えることを特徴とする請求項 2 5 , 3 1 または 3 2 のいずれかに記載の半導体装置の製造方法。

【請求項 3 5】

前記層間絶縁膜としては、前記第 1 の絶縁物に対してエッチング選択比を有する物質が用いられることを特徴とする請求項 3 4 に記載の半導体装置の製造方法。

【請求項 3 6】

前記層間絶縁膜の表面を平坦化する工程をさらに備えることを特徴とする請求項3 4に記載の半導体装置の製造方法。

【請求項 3 7】

前記コンタクトホールのうち、少なくとも1つは、前記第1の絶縁ゲート型トランジスタにおけるゲート電極に対して自己整合的に開孔されることを特徴とする請求項3 4に記載の半導体装置の製造方法。

【請求項 3 8】

前記コンタクトホールを介して、再度、前記第1の絶縁ゲート型トランジスタの拡散領域を形成する工程をさらに備えることを特徴とする請求項3 4に記載の半導体装置の製造方法。

【請求項 3 9】

前記第1の絶縁ゲート型トランジスタの拡散領域は、その接合深さが、前記第2の絶縁ゲート型トランジスタの拡散領域の接合深さよりも小さいことを特徴とする請求項3 8に記載の半導体装置の製造方法。

【請求項 4 0】

前記第1の側壁絶縁膜を形成した後に、前記半導体基板の全面に第3の絶縁物を形成する工程をさらに備えることを特徴とする請求項2 5, 3 1または3 2のいずれかに記載の半導体装置の製造方法。

【請求項 4 1】

前記第3の絶縁物としては、前記第2の絶縁物に対してエッチング選択比を有する物質が用いられるることを特徴とする請求項4 0に記載の半導体装置の製造方法。

【請求項 4 2】

前記第3の絶縁物は、前記第1の絶縁物よりも薄く形成されることを特徴とする請求項4 0に記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】削除

【補正の内容】

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】変更

【補正の内容】

【0 0 2 4】

本願発明の一態様によれば、フィールド領域によってメモリセル領域および周辺回路領域に分けられた半導体基板と、この半導体基板上のメモリセル領域内に集積され、ゲート電極の側壁部分にそれぞれ第1の絶縁物で構成される第1の側壁絶縁膜が形成されてなる、複数の第1の絶縁ゲート型トランジスタと、前記半導体基板上の周辺回路領域内に設けられ、ゲート電極の側壁部分に第1の絶縁物および第2の絶縁物で構成される第2の側壁絶縁膜が形成されるとともに、拡散領域の表面に選択的に設けられた低抵抗領域を有してなる、少なくとも1つの第2の絶縁ゲート型トランジスタとを具備したことを特徴とする半導体装置が提供される。