

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-129017

(P2011-129017A)

(43) 公開日 平成23年6月30日(2011.6.30)

(51) Int.Cl.
G06F 12/06 (2006.01)F I
G06F 12/06 520Fテーマコード (参考)
5B060

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2009-288864 (P2009-288864)
(22) 出願日 平成21年12月21日 (2009.12.21)(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100109900
弁理士 堀口 浩
(72) 発明者 向井 昌博
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社
内
Fターム(参考) 5B060 MM02

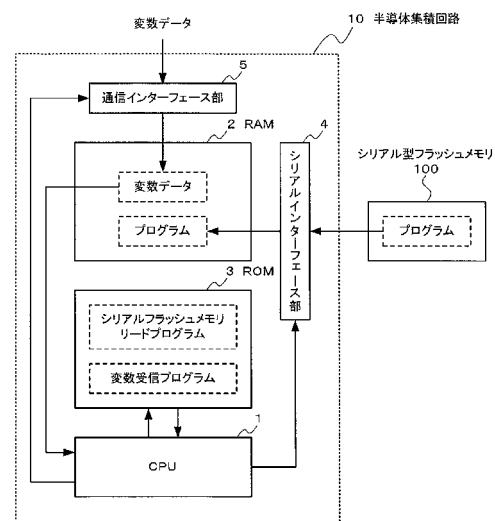
(54) 【発明の名称】 半導体集積回路およびプログラム転送方法

(57) 【要約】

【課題】様々なタイプのシリアル型フラッシュメモリに柔軟に対応して、格納されているプログラムの転送を行うことのできる半導体集積回路およびプログラム転送方法を提供する。

【解決手段】CPU 1は、ROM 3から読み出した変数受信プログラムを実行して、通信インターフェース部 5を介してシリアル型フラッシュメモリ 100の仕様に關する変数データを受信し、ROM 3から読み出したシリアルフラッシュメモリリードプログラムを、受信した変数データを用いて実行し、シリアルインターフェース部 4を介してシリアル型フラッシュメモリ 100に格納されているプログラムをRAM 2へ転送する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

CPUと、
RAMと、
変数受信プログラムおよびシリアルフラッシュメモリリードプログラムが格納されたROMと、
シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、
外部から送信されるデータを受信する通信インターフェース手段と
を備え、
前記CPUが、
前記ROMから読み出した前記変数受信プログラムを実行して前記通信インターフェース手段を介して前記シリアル型フラッシュメモリの仕様に関する変数データを受信し、前記ROMから読み出した前記シリアルフラッシュメモリリードプログラムを、前記変数データを用いて実行し、前記シリアルインターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラムを前記RAMへ転送することを特徴とする半導体集積回路。

10

【請求項 2】

CPUと、
RAMと、
プログラム転送用プログラムが格納されたROMと、
シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、
外部から送信されるデータを受信する通信インターフェース手段と
を備え、
前記CPUが、
前記ROMから読み出した前記プログラム転送用プログラムを実行して前記通信インターフェース手段を介してシリアルフラッシュメモリリードプログラムを受信し、前記受信した前記シリアルフラッシュメモリリードプログラムを実行し、前記シリアルインターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラムを前記RAMへ転送することを特徴とする半導体集積回路。

20

30

【請求項 3】

CPUと、
RAMと、
変数受信プログラムおよびシリアルフラッシュメモリリードプログラムが格納されたROMと、
シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、
外部から送信されるデータを受信する通信インターフェース手段と
を備える半導体集積回路へ、前記外部シリアル型フラッシュメモリに格納されているプログラムを転送するプログラム転送方法であって、
前記CPUが、
前記ROMから前記変数受信プログラムを読み出すステップと、
前記変数受信プログラムを実行して前記通信インターフェース手段を介して前記シリアル型フラッシュメモリの仕様に関する変数データを受信するステップと、
前記ROMから前記シリアルフラッシュメモリリードプログラムを読み出すステップと、
前記変数データを用いて前記シリアルフラッシュメモリリードプログラムを実行し、前記シリアルインターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラムを前記RAMへ転送するステップと
を実行することを特徴とするプログラム転送方法。

40

【請求項 4】

CPUと、

50

R A Mと、
プログラム転送用プログラムが格納された R O Mと、
シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、
外部から送信されるデータを受信する通信インターフェース手段と
を備える半導体集積回路へ、前記シリアル型フラッシュメモリに格納されているプログラ
ムを転送するプログラム転送方法であって、
前記 C P Uが、
前記 R O Mから前記プログラム転送用プログラムを読み出すステップと、
前記プログラム転送用プログラムを実行して前記通信インターフェース手段を介してシリ
アルフラッシュメモリリードプログラムを受信するステップと、
前記受信した前記シリアルフラッシュメモリリードプログラムを実行し、前記シリアルイ
ンターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラ
ムを前記 R A Mへ転送するステップと
を実行することを特徴とするプログラム転送方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路およびプログラム転送方法に関する。

【背景技術】

【0002】

20

携帯電話、デジタルカメラ、音楽プレーヤなどの携帯機器では、C P Uを搭載する半導
体集積回路の外部に不揮発性メモリであるフラッシュメモリを接続し、このフラッシュメ
モリにアプリケーションプログラムを格納することによりさまざまな機能を実現している
。

【0003】

従来、このプログラム格納用のフラッシュメモリには、C P Uとの接続にアドレスバス
、データバス、及び制御信号を使用するパラレル型のフラッシュメモリが用いられてきた
が、近年、車載電子機器システムの高集積化、基板サイズの小型化に伴い、C P Uとの接
続端子が少ないシリアル型のフラッシュメモリが用いられるようになってきた。

【0004】

30

しかし、シリアル型フラッシュメモリを使用する場合、半導体集積回路に搭載された汎
用のシリアルインターフェース回路に接続するだけでは、C P Uはシリアル型フラッシュ
メモリのアドレスを認識することができず、プログラムとして実行することができない。

【0005】

そのため、従来、半導体集積回路の内部に搭載した、シリアル型フラッシュメモリのア
ドレスを認識するための専用のシリアルフラッシュインターフェース回路、もしくは専用
のブートプログラムを用いて、シリアル型フラッシュメモリから半導体集積回路に内蔵の
R A Mへプログラムを転送し、この内蔵の R A Mをアクセスすることによりプログラムを
実行する方法が用いられている（例えば、特許文献 1 参照。）。

【0006】

40

しかし、専用のハードウェア回路、もしくは専用のブートプログラムを搭載する場合、
シリアル型フラッシュメモリとの接続性に自由度がないという問題があった。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2 0 0 8 - 1 3 4 7 3 6 号公報 （第 7 ページ、図 1）

【発明の概要】

【発明が解決しようとする課題】

【0008】

そこで、本発明の目的は、様々なタイプのシリアル型フラッシュメモリに柔軟に対応し

50

て、格納されているプログラムの転送を行うことのできる半導体集積回路およびプログラム転送方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の一態様によれば、CPUと、RAMと、変数受信プログラムおよびシリアルフラッシュメモリリードプログラムが格納されたROMと、シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、外部から送信されるデータを受信する通信インターフェース手段とを備え、前記CPUが、前記ROMから読み出した前記変数受信プログラムを実行して前記通信インターフェース手段を介して前記シリアル型フラッシュメモリの仕様に関する変数データを受信し、前記ROMから読み出した前記シリアルフラッシュメモリリードプログラムを、前記変数データを用いて実行し、前記シリアルインターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラムを前記RAMへ転送することを特徴とする半導体集積回路が提供される。

10

【0010】

また、本発明の別の態様によれば、CPUと、RAMと、プログラム転送用プログラムが格納されたROMと、シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、外部から送信されるデータを受信する通信インターフェース手段とを備え、前記CPUが、前記ROMから読み出した前記プログラム転送用プログラムを実行して前記通信インターフェース手段を介してシリアルフラッシュメモリリードプログラムを受信し、前記受信した前記シリアルフラッシュメモリリードプログラムを実行し、前記シリアルインターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラムを前記RAMへ転送することを特徴とする半導体集積回路が提供される。

20

【0011】

また、本発明のさらに別の態様によれば、CPUと、RAMと、変数受信プログラムおよびシリアルフラッシュメモリリードプログラムが格納されたROMと、シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、外部から送信されるデータを受信する通信インターフェース手段とを備える半導体集積回路へ、前記外部シリアル型フラッシュメモリに格納されているプログラムを転送するプログラム転送方法であって、前記CPUが、前記ROMから前記変数受信プログラムを読み出すステップと、前記変数受信プログラムを実行して前記通信インターフェース手段を介して前記シリアルフラッシュメモリの仕様に関する変数データを受信するステップと、前記ROMから前記シリアルフラッシュメモリリードプログラムを読み出すステップと、前記変数データを用いて前記シリアルフラッシュメモリリードプログラムを実行し、前記シリアルインターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラムを前記RAMへ転送するステップとを実行することを特徴とするプログラム転送方法が提供される。

30

【0012】

また、本発明のさらに別の態様によれば、CPUと、RAMと、プログラム転送用プログラムが格納されたROMと、シリアル型フラッシュメモリが接続されるシリアルインターフェース手段と、外部から送信されるデータを受信する通信インターフェース手段とを備える半導体集積回路へ、前記シリアル型フラッシュメモリに格納されているプログラムを転送するプログラム転送方法であって、前記CPUが、前記ROMから前記プログラム転送用プログラムを読み出すステップと、前記プログラム転送用プログラムを実行して前記通信インターフェース手段を介してシリアルフラッシュメモリリードプログラムを受信するステップと、前記受信した前記シリアルフラッシュメモリリードプログラムを実行し、前記シリアルインターフェース手段を介して前記シリアル型フラッシュメモリに格納されているプログラムを前記RAMへ転送するステップとを実行することを特徴とするプログラム転送方法が提供される。

40

【発明の効果】

【0013】

本発明によれば、様々なタイプのシリアル型フラッシュメモリに柔軟に対応して、シリ

50

アル型フラッシュメモリに格納されているプログラムの転送を行うことができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施例1に係る半導体集積回路の構成の例を示すブロック図。

【図2】実施例1の半導体集積回路における、外部のシリアル型フラッシュメモリからのプログラム転送の実行フローの例を示すフロー図。

【図3】本発明の実施例2に係る半導体集積回路の構成の例を示すブロック図。

【図4】実施例2の半導体集積回路における、外部のシリアル型フラッシュメモリからのプログラム転送の実行フローの例を示すフロー図。

【発明を実施するための形態】

10

【0015】

以下、本発明の実施例について図面を参照して説明する。なお、図中、同一または相当部分には同一の符号を付して、その説明は繰り返さない。

【実施例1】

【0016】

図1は、本発明の実施例1に係る半導体集積回路の構成の例を示すブロック図である。

【0017】

本実施例の半導体集積回路10は、CPU1と、RAM2と、変数受信プログラムおよびシリアルフラッシュメモリリードプログラムが格納されたROM3と、シリアル型フラッシュメモリ100が接続されるシリアルインターフェース部4と、外部から送信されるデータを受信する通信インターフェース部5と、を備える。

20

【0018】

通信インターフェース部5は、例えばUARTのような汎用の通信インターフェースであり、通信速度が遅いものの、広く普及しているために、多種多様な外部デバイスと接続することができる。

【0019】

ROM3は、例えばマスクROMであり、シリアル型フラッシュメモリ100の仕様に関する変数データを受信するための変数受信プログラム、およびシリアル型フラッシュメモリ100からデータを読み出すためのシリアルフラッシュメモリリードプログラムが格納されている。

30

【0020】

ここで、シリアル型フラッシュメモリ100の仕様に関する変数データには、メモリ容量、ブロックサイズ、ページサイズ、アクセス速度、プログラムサイズ、格納アドレス、バス幅などの情報が含まれている。

【0021】

変数受信プログラムは、外部から通信インターフェース部5を介して変数データを受信し、その変数データをRAM2に格納する、という処理を行うプログラムである。

【0022】

また、シリアルフラッシュメモリリードプログラムは、シリアル型フラッシュメモリの仕様に関する変数データを外部から読み込んで、その仕様のシリアル型フラッシュメモリに適したリードコマンドを発行する方式のプログラムである。

40

【0023】

シリアル型フラッシュメモリ100には、半導体集積回路10にて実行する、アプリケーションプログラムなどのプログラムが格納されている。

【0024】

本実施例では、シリアル型フラッシュメモリ100に格納されているプログラムを実行する場合、そのプログラムを一旦RAM2へ転送し、その後CPU1がRAM2をアクセスすることによりそのプログラムを実行する。

【0025】

そこで、本実施例におけるプログラムの転送処理について、図2のフロー図を用いて説

50

明する。

【 0 0 2 6 】

図 2 は、シリアル型フラッシュメモリ 1 0 0 からプログラムを転送するとき、本実施例の C P U 1 が実行する処理のフローを示すフロー図である。

【 0 0 2 7 】

シリアル型フラッシュメモリ 1 0 0 からのプログラムの転送の開始にあたって、C P U 1 は、まず、R O M 3 から変数受信プログラムを読み出す (ステップ S 0 1)。

【 0 0 2 8 】

続いて、C P U 1 は、その変数受信プログラムを実行し、通信インターフェース部 5 を介して、例えば外部デバイスからシリアル型フラッシュメモリ 1 0 0 の仕様に関する変数データを受信し (ステップ S 0 2)、その変数データを R A M 2 に格納する (ステップ S 0 3)。

10

【 0 0 2 9 】

次に、C P U 1 は、R O M 3 からシリアルフラッシュメモリリードプログラムを読み出し (ステップ S 0 4)、R A M 2 に格納した変数データを読み出しながらシリアルフラッシュメモリリードプログラムを実行し (ステップ S 0 5)、シリアルインターフェース部 4 を介してシリアル型フラッシュメモリ 1 0 0 に格納されているプログラムを R A M 2 へ転送する (ステップ S 0 6)。この転送の終了により、一連の処理は終了する。

【 0 0 3 0 】

このような本実施例によれば、使用するシリアル型フラッシュメモリの仕様に関する変数データを外部から受信し、その変数データを使用して R O M 3 に格納されているシリアルフラッシュメモリリードプログラムを実行するので、どのような仕様のシリアルフラッシュメモリからでもデータを読み出すことができ、そのシリアル型フラッシュメモリに格納されているプログラムを R A M 2 へ転送することができる。

20

【 実施例 2 】

【 0 0 3 1 】

図 3 は、本発明の実施例 2 に係る半導体集積回路の構成の例を示すブロック図である。

【 0 0 3 2 】

本実施例の半導体集積回路 2 0 の基本的な構成は、実施例 1 の半導体集積回路 1 0 と同じである。本実施例の半導体集積回路 2 0 が実施例 1 と異なる点は、実施例 1 の R O M 3 の代わりに、プログラム転送用プログラムが格納された R O M 3 A を備えている点である。

30

【 0 0 3 3 】

プログラム転送用プログラムは、外部から通信インターフェース部 5 を介してシリアルフラッシュメモリリードプログラムを受信し、そのシリアルフラッシュメモリリードプログラムを R A M 2 に格納する、という処理を行うプログラムである。

【 0 0 3 4 】

ここで、外部から受信するシリアルフラッシュメモリリードプログラムは、実施例 1 で用いたシリアルフラッシュメモリリードプログラムとは異なり、指定されたシリアル型フラッシュメモリの仕様に応じたリードコマンドを発生する方式のプログラムである。このようにすることで、実施例 1 における変数データの変更では対応できないような新規のシリアル型フラッシュメモリ 1 0 0 に対しても、シリアル型フラッシュメモリ 1 0 0 に格納されているプログラムを R A M 2 に格納することが可能になる。

40

【 0 0 3 5 】

次に、本実施例における、シリアル型フラッシュメモリ 1 0 0 からのプログラムの転送処理について、図 4 のフロー図を用いて説明する。

【 0 0 3 6 】

図 4 は、シリアル型フラッシュメモリ 1 0 0 からプログラムを転送するとき、本実施例の C P U 1 が実行する処理のフローを示すフロー図である。

【 0 0 3 7 】

50

シリアル型フラッシュメモリ 100 からのプログラムの転送の開始にあたって、CPU 1 は、まず、ROM 3 からプログラム転送用プログラムを読み出す（ステップ S 1 1 ）。

【 0 0 3 8 】

続いて、CPU 1 は、そのプログラム転送用プログラムを実行し（ステップ S 1 2 ）、通信インターフェース部 5 を介して、例えば外部デバイスから、使用するシリアル型フラッシュメモリ 100 に適したシリアルフラッシュメモリリードプログラムを受信し、そのシリアルフラッシュメモリリードプログラムを RAM 2 に格納する（ステップ S 1 3 ）。

【 0 0 3 9 】

次に、CPU 1 は、RAM 2 に格納したシリアルフラッシュメモリリードプログラムを実行し（ステップ S 1 4 ）、シリアルインターフェース部 4 を介してシリアル型フラッシュメモリ 100 に格納されているプログラムを RAM 2 へ転送する（ステップ S 1 5 ）。この転送の終了により、一連の処理は終了する。

【 0 0 4 0 】

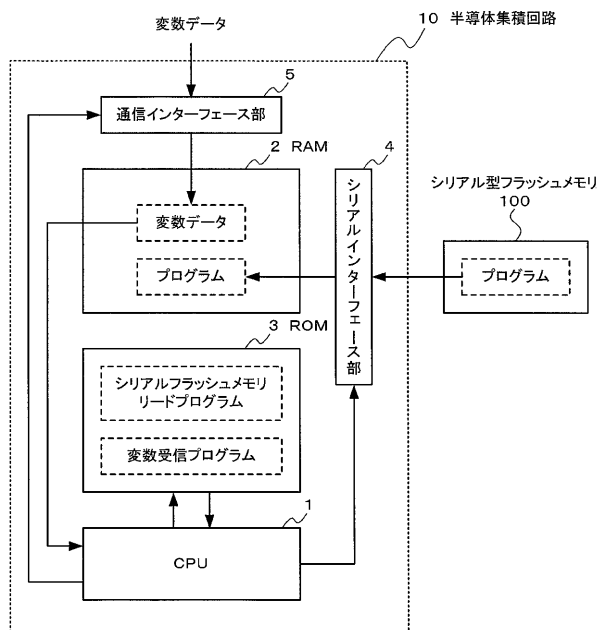
このような本実施例によれば、使用するシリアル型フラッシュメモリの仕様に適したシリアルフラッシュメモリリードプログラムを外部から受信し、実行するので、どのような仕様のシリアル型フラッシュメモリからでもデータを読み出すことができ、そのシリアル型フラッシュメモリに格納されているプログラムを RAM 2 へ転送することができる。

【 符号の説明 】

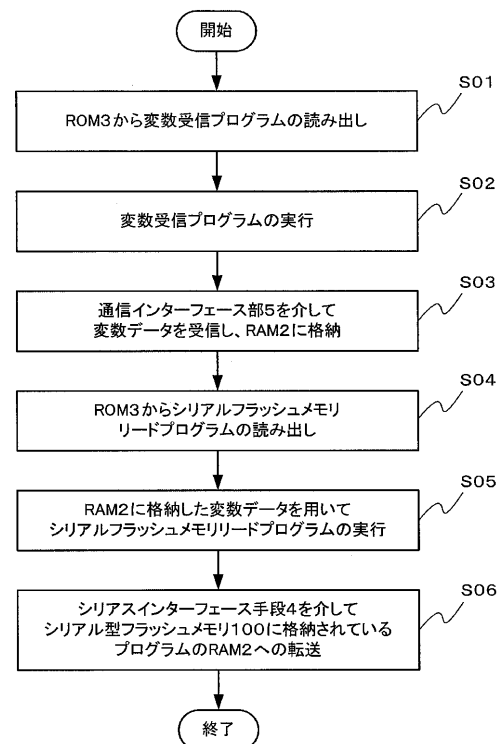
【 0 0 4 1 】

- 1 CPU
- 2 RAM
- 3、3 A ROM
- 4 シリアルインターフェース部
- 5 通信インターフェース部
- 10、20 半導体集積回路

【 図 1 】



【 図 2 】



10

20

【 図 4 】

