

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G06F 11/10

(45) 공고일자 2001년 11월 30일
(11) 등록번호 10-0306196
(24) 등록일자 2001년 08월 06일

(21) 출원번호	10-1996-0704358	(65) 공개번호	특 1997-0701390
(22) 출원일자	1996년 08월 10일	(43) 공개일자	1997년 03월 17일
번역문제출일자	1996년 08월 10일		
(86) 국제출원번호	PCT/SE1995/00103	(87) 국제공개번호	WO 1995/22109
(86) 국제출원일자	1995년 02월 02일	(87) 국제공개일자	1995년 08월 17일
(81) 지정국	국내특허 : 오스트레일리아 EP 유럽특허 : 핀란드	브라질 중국 일본 대한민국 멕시코 노르웨이	

(30) 우선권주장 9400435-5 1994년 02월 10일 스웨덴(SE)

(73) 특허권자 텔레폰아크티에볼라게트 엘엠 에릭슨 에를링 블로메, 타게 뤼브그렌
 스웨덴, 스톡홀름, 에스-126 25
 (72) 발명자 라이프 미카엘 라르썬
 스웨덴왕국 스톡홀름 에스-117 27 4티알, 룬즈가탄 40
 (74) 대리인 김기종, 권동용, 최재철

심사관 : 강갑연

(54) 메모리를 제어하는 방법 및 장치

명세서

[발명의 명칭]

메모리를 제어하는 방법 및 장치

[기술분야]

본 발명은 정보가 여러 기능을 제어하는데 사용되기 전에 이 정보가 정확히 판독될 수 있도록 메모리에 표시된 어드레스에 기억된 정보를 제어하는 방법에 관한 것이다. 또한, 본 발명은 메모리와 상호 작용하고, 메모리에 기록 및 저장되어 있는 디지털 정보가 정확히 판독될 수 있게 하는 장치에 관한 것이다.

[배경기술]

본 발명에 따른 방법 및 장치 또는 제어회로는 특히 정보가 정확하게 되도록 의도하고 있고, 이 정보는 제어 메모리로부터 특히, 어드레스에 의해 표시된 제어 메모리 위치로부터 판독 가능하고, 이 정보는 데이터 패킷에 통합된다.

전기 통신 시스템에서의 더욱 특별한 응용으로, 본 발명은 제어 메모리 내에 저장된 정보가 스위칭 유닛의 기능을 제어하는데 사용되기 전에 정확히 판독될 수 있도록 의도한다.

이러한 통신 시스템 및 스위칭 유닛 내에서는, 신호의 필요한 교환은 하나의 어드레스 관련 필드 또는 어드레스를 지정하는 필드 및 하나의 정보 내용 관련 필드 또는 정보 반송 필드 또는 비트의 세트를 가지는 데이터 패킷으로 구성되어 통합되어 있는 정보 반송 디지털 신호에 의해 실행된다.

필요한 신호의 교환을 행하기 위해, 데이터 패킷을 사용하는 통신 시스템이 공지되어 있다. 본 발명의 특히 바람직한 실시예에 관련된 이러한 시스템은 구조화된 비트의 세트로 통합되어 있는 다수의 디지털 비트 위치를 사용한다. 이러한 비트의 세트는 신호의 필요한 교환을 행하기 위해 데이터 패킷으로 구성되어 통합된다.

이러한 구조의 데이터 패킷은 공지되어 있는 비동기 전송 모드(ATM) 시스템에서 "데이터 셀"이라고 칭해진다. 그럼에도 불구하고, 이하에서, "데이터 패킷"이라는 표현은 데이터 패킷을 간단히 '데이터 셀'이라고 칭하는 ATM 시스템에서도 본 발명이 유리하게 사용될 수 있는 것을 염두에 두고 간략화 및 더욱 일반적인 방법으로 사용된다.

본 명세서에서 관련된 종류의 데이터 패킷(데이터 셀)은 어드레스 관련 필드 또는 어드레스를 지정하는 필드("헤더"라고 칭함)를 나타내는 비트의 세트로 통합되는 특정 비트 위치를 특징으로 한다. 이 필드는 특히 가상 어드레스, 소위 채널 번호를 포함한다. 다른 비트 위치는 사용자로부터의 데이터 정보를 포함하는 사용자 관련 정보 반송 필드 또는 정보 내용 관련 필드("페이지로드"라고 칭함)를 나타내는 비트의 세트로 통합되어 있다.

구조화된 필드 또는 비트의 세트로의 이러한 분류에 의해, 어드레스 관련 필드의 비트 위치가 특정 수신지 어드레스를 나타내고 지정하도록 구성될 수 있는 반면에, 정보 반송 비트 위치는 정보 반송 필드 내에 비트의 세트로 구성되어 있고, 원하는 정보를 수신지 어드레스에서 선택된 수신기에 전송하는데

사용된다.

특정 수신자 어드레스는 선택된 채널 번호의 사용을 표시할 수 있다. 이러한 채널 번호는 가상적이고, 일반적으로 단일의 물리적 링크를 통해서만 유효하다. 따라서, 데이터 패킷이 하나의 링크에서 다른 링크로 전송될 때마다 채널 번호를 변경시키는 것이 유리하다고 판명되었다.

동일한 어드레스 관련 비트 위치 또는 필드 및 동일하거나 상이한 정보 반송 비트 위치 또는 필드를 가지는 데이터 패킷은 이하에서는 동일한 카테고리의 데이터 패킷이라고 칭해지고, 이러한 카테고리는 제1 카테고리, 제2 카테고리 등이 있을 수 있다.

채널 번호의 이러한 변화(데이터 패킷에 상이한 카테고리가 할당된다)는 종종 디지털 정보를 사용하는 전기 통신 시스템내의 스위칭 유닛의 착신 및 발신측에서 모두 실행된다.

또한, 스위칭 유닛내의 특정 기능을 하드웨어적으로 최적화시키기 위해, 스위치 유닛에 의해 내부 사용에만 이용되는 데이터 패킷을 추가하는 것이 공지되어 있다. 이러한 데이터 패킷은 표준화된 데이터 패킷에 사용되는 비트 위치 또는 비트의 세트의 양보다 많은 비트 위치를 이용한다. 이 스위칭 유닛의 내부 데이터 패킷은 추가된 라벨의 비트 위치의 디지털 값에 기초하여 정확한 발신 링크에 이러한 데이터 패킷을 전송하도록 착신 데이터 패킷에 추가될 수 있는 라벨, 라벨 필드 또는 라벨 관련 비트 위치 또는 비트의 세트로 구성될 수 있다.

각각의 데이터 패킷에 추가되는 라벨 필드는 스위칭 유닛의 출력측에서 제거 되는 어드레스 필드 내의 비트 위치의 양에 상당하는 여분의 비트 위치의 세트를 포함한다. 따라서, 라벨 필드는 셀렉터 스위칭 유닛내의 내부 데이터 패킷과 같은 표준화된 데이터 패킷의 보조로만 존재한다.

이러한 종류의 전기 통신 시스템을 이용하는 경우, 스위칭 유닛에 속하는 트래픽 정렬 컴퓨터(traffic arranging computer)가 스위칭 유닛을 통해 접속을 설정하기 위해 필요하다는 것이 또한 공지되어 있다. 트래픽 정렬 컴퓨터 또는 트래픽 컴퓨터는 본 출원에서 상세히 설명되지 않는 매우 복잡한 유닛이다. 본 발명을 실현하고 이해하는데 필요한 덜 복잡한 부분만을 설명할 것이다.

호출자가 호출을 행하여 피호출 가입자와의 음성 접촉과 같은 접촉을 원할때, 데이터 패킷은 표준화된 신호 프로토콜에 따라 송신하기 위해 작동된다는 것이 공지되어 있다. 이들 데이터 패킷은 여기에서는 스위칭 유닛내의 자유 수신 회로 중 하나에 도달하자마자, 어드레스 관련 비트 위치 또는 비트의 세트가 제어 컴퓨터와의 직접 접속을 위해 호출하는 점에서 특정 카테고리에 속하는 것으로 가정된다.

따라서, 어드레스 관련 필드는 트래픽 컴퓨터의 직접 접속을 호출하는 특정 채널 번호를 포함하는 한편, 정보 반송 필드가 지정된 피호출 가입자에 대한 원하는 접속의 정보를 유지할 수 있다.

채널 번호는 이러한 종류의 데이터 패킷이 스위칭 유닛의 자유 수신 회로 중 하나에 도달할 때마다, 공지된 방식으로 어드레스 관련 필드로부터 판독되고, 채널 번호가 호출 중의 채널 번호로 해석될 때 전체 데이터 패킷이 평가 및 처리를 위해 트래픽 컴퓨터에 전송된다.

이 점에서, 정보 반송 필드가 평가되고, 이러한 평가를 기초로 스위칭 유닛 내에서의 순간적인 상황을 고려하여, 트래픽 컴퓨터는 이미 공지된 기능에 의해 스위칭 유닛을 통하여 유효 접속 경로를 선택하고 호출자에게 통지되는 새로운 채널번호로 호출을 한다. 이러한 점을 고려하여, 호출자는 자신의 데이터 패킷을 새로운 채널 번호로 전송한다. 이러한 방법으로, 데이터 패킷에 새로운 카테고리가 제공된다.

호출할 때마다 및 접속의 후속 설정 시에, 트래픽 컴퓨터가 제어 메모리에 어떤 어드레스 관련 필드 및/또는 라벨이 부여되는 새로운 채널 번호로 그 후의 착신 데이터 패킷마다 제공되는지를 기록하고, 어떤 스위칭 내부 선택 채널 번호가 제공되는지를 기록하는 것은 이미 공지되어 있다. 물론, 이것은 채널 번호의 변경이 실행되는 경우 행해진다.

따라서, 일반적인 경우에는, 제어 메모리는 특정 라벨로 구성된 비트의 세트로 통합된 비트 위치 및 특정 어드레스 관련 필드로 구성된 통합 비트 위치를 포함하고, 이러한 통합 비트 위치는 스위치 내부 채널 번호를 나타낸다. 이것은 호출자에 의해 사용되는 컴퓨터에 의해 부여되는 채널 번호마다 행해진다.

또한, 제어 메모리는 전술한 비트 위치마다 또는 비트의 세트마다 메모리내의 어드레싱 또는 어드레스 가능한 위치가 할당되는 방식으로 구성될 필요가 있다.

통상의 경우에, 이러한 종류의 제어 메모리는 다수의 비트 위치를 포함하고, 그러한 다수의 비트 위치는 설정된 다수의 접속을 나타내는 여러 어드레스 위치내의 비트의 세트에 통합되어 있다.

제어 메모리 내에서 선택된 어드레스 위치 또는 어드레스마다 어떤 라벨 및 어떤 스위치 내부 채널 번호가 소정의 수신된 데이터 패킷에 부여되는지를 결정한다.

제어 컴퓨터에 의해 부여되는 채널 번호를 가지는 데이터 패킷이 스위칭 유닛의 유효 수신 유닛 중 하나에 도달할 때마다, 자신의 부여된 채널 번호로부터 자신이 속하는 스위치 내부 접속을 결정한다. 도달하는 데이터 패킷의 채널 번호에 기초하여, 라벨과 스위치 내부 채널 번호가 기억되는 제어 메모리내의 정확한 어드레스 위치가 지정될 수 있다.

착신 채널 번호를 스위치 내부 채널 번호로 변경시킴으로써 라벨과 어드레스 관련 필드가 이 점에서 즉시 데이터 패킷에 추가된 후, 변경된 채널 번호를 가지는 데이터 패킷이 스위치 유닛을 통해 더 송신된다.

채널 번호의 변경이 스위칭 유닛의 출력 측에서 필요한 경우, 동일한 방식으로 채널 번호를 변경하는 것이 공지되어 있다.

본 발명은 제어 메모리로부터 판독된 정보가 정확한지의 여부를 제어하는 것이다.

[발명의 상세한 설명]

전술한 바와 같이 선행 기술을 고려하여, 정보가 여러 기능을 제어하는데 이용되기 전에 메모리로부터 판독된 정보가 정확하게 되도록 제어할 수 있는 본 발명의 기술적인 장점을 제공하는 방법 및 제어 회로 또는 장치를 제공할 수 있도록 어떤 방법 및 수단이 통합되는 것을 실현할 수 있게 하는 것이 기술적인 문제점으로서 고려되어야 하고, 이러한 제어는 특히 메모리 위치의 어드레스가 제어합의 일부분이 되도록 이루어져 있다.

제1 제어합을 산출하여 기억시키려는 스위치 내부 관련 정보의 엔트리에 각각 기억될 수 있는 조건, 또 다른 제어합이 정보 판독 시에 계산될 수 있는 조건, 및 이를 제어합이 제어되어 판독된 정보가 사용되기 전에 동일한 것으로 입증되게 하는 조건을 간단한 수단에 의해 생성할 수 있는 것이 다른 기술적인 문제점으로 고려되어야 한다.

어드레스 관련 비트 위치뿐만 아니라 제어합 관련 비트 위치를 메모리에 입력할 때 존재하는 장점을 실현할 수 있는 것이 또 다른 기술적인 문제점으로 고려되어야 하며, 여기에서 제어합 관련 비트 위치는 어드레스 관련 비트 위치로부터 뿐만 아니라 어드레스 관련 비트 위치 또는 비트의 세트가 기억되는 메모리내의 어드레스 위치를 나타내는 비트 위치로부터 발생한다.

ATM 시스템과 같은 비트 위치의 데이터 패킷 및 비트의 세트를 기초로 하는 전기 통신 시스템에 대한 전술한 바와 같은 공지된 선행 기술에 기초하여, 트래픽 컴퓨터가 메모리에서 선택된 어드레스에 대응하는 비트의 세트 및 제어 메모리에 기억되는 어드레스 관련 정보에 대해 유효한 패리티 비트 및 검사합 등과 같은 제어합을 계산할 수 있도록 트래픽 컴퓨터의 제어 및 작동이 필요한 본 발명의 기술적인 장점을 달성할 수 있는 것과, 트래픽 컴퓨터가 라벨에 대응하는 비트 위치 및/또는 어드레스 필드에 대응하는 비트 위치 및 계산된 제어합에 대응하는 비트 위치를 기록하도록 제어 및 작동되어야 하는 것이 또 다른 기술적인 문제점이다.

제어 컴퓨터에 의해 호출자로부터 송신되는 데이터 패킷에 부여되는 채널 번호 대신에, 스위치 내부 어드레스 관련 필드 또는 스위치 내부 사용 필드 비트 위치로서 스위치 내부 수집 기능을 위해 정보가 각각의 데이터 패킷에 추가되는 채널 번호로 지정되고 제어 메모리에 기억되는 대응하는 정보를 판독하기 위해, 제어 컴퓨터에 의해 부여되고 어드레스 관련 필드로 표시되는 채널 번호내에 통합되는 비트 위치에 따라서 매 데이터 패킷에 도달하는 데이터 패킷의 각각을 수신할 수 있도록 스위칭 유닛에 속하는 공지된 수신 유닛을 사용할 수 있는 중요성을 실현하는 것이 또한 기술적인 문제점으로 고려되어야 한다.

동일하게 선택된 알고리즘 등에 의해 관련 제어합을 계산하는 필요성 및 간소함을 실현하고 이 제어합을 패리티 비트 또는 검사합으로 저장할 수 있게 하는 것이 또 다른 기술적인 문제점이다.

또 다른 기술적인 문제점은 상이한 계산 회로 또는 루프 테이블을 사용하여 서로 독립적으로 패리티 비트 또는 검사합을 계산하여 판독 정보의 정확한 재생을 제공하는 높은 확률을 실현하는 중요성을 실현하고, 검사합 또는 패리티 비트 사이의 겹중된 일치가 행해질 수 있게 되어 제어 메모리에 기억되고 제어 메모리로부터 판독되는 정보에서 비트 어러가 발생하지 않으며, 따라서 라벨 및/또는 스위치 내부 어드레스 관련 필드를 가지는 데이터 패킷이 스위칭 유닛을 통과할 수 있게 하는 것을 실현하는 것이다.

또한, 기술적인 문제점은 스위칭 내부 어드레스 관련 필드가 특정 기능에 적합한 라벨 필드를 포함하게 하는 중요성을 실현하는 것이다.

또 다른 기술적인 문제점은 제어 컴퓨터를 각각의 착신 데이터 패킷의 정보 관련 필드내의 채널 번호의 패리티 계산을 실행하게 하는 장점을 실현하는 것이다.

[해결방법]

위에서 언급한 기술적인 문제점을 해결하기 위해, 본 발명은 메모리에 기록 되어 저장되는 디지털 정보가 비트의 세트로 통합되는 다수의 비트 위치의 형태로 이러한 판독 정보가 스위칭 유닛내의 하나 이상의 기능을 제어하는데 사용되는 방법 및 제어 회로 또는 제어 장치에 기초하며, 여기에서 이들 기능은 컴퓨터 유닛에 의해 활성화될 수 있다. 메모리 내에 기억된 현재 디지털 정보의 선택된 어드레스 위치 또는 위치들은 제어합으로 사용되는 제1 비트의 세트 및 제2 비트의 세트를 지정하고, 여기에서 양 비트의 세트는 이들 기능의 제어를 수행하는데 필요하다.

본 발명에 따르면, 제2 비트의 세트는 판독을 위해 선택된 현재의 어드레스 위치에 대응하는 제3 비트의 세트 및 제1 비트의 세트에 유효한 현재의 비트 위치에 기초하여 결정된다. 새로운 제어합은 디지털 정보의 판독 후에 결정된다. 이러한 새로운 제어합은 동일한 방식으로 결정되지만, 제1 비트의 세트에 대응하는 판독 정보의 현재의 비트 위치 및 현재 선택된 어드레스 위치에 대응하는 제2 비트의 세트에 기초하여 제5 비트의 세트를 형성한다. 판독 디지털 정보는 비교기가 제2 비트의 세트와 제5 비트의 세트 사이에 일치한다는 것을 나타날 때 정확한 것으로서 수용된다.

본 발명의 범위내의 제안된 실시예에서는, 제어합은 선택된 알고리즘에 따라 패리티 비트 또는 검사합의 발생에 의해 형성되는 것을 나타낸다.

또한, 제어합으로 사용되는 제2 비트의 세트는 제1 컴퓨터 유닛에서 계산되고, 제어합으로 사용되는 제5 비트의 세트는 컴퓨터 유닛 또는 선택된 하드웨어일 수 있는 제2 유닛에서 계산된다.

본 발명은 방법 및 제어 회로가 전기 통신 시스템 내부의 스위칭 유닛내의 기능을 제어하는데 적합할 때 특히 적절한 응용이 제공되고, 여기에서 호출자로부터 스위칭 유닛에 도달하는 정보 반송 디지털 신호는 하나의 어드레스 관련 비트의 세트 및 하나의 정보 관련 비트의 세트를 가지는 제1 카테고리의 데이터 패킷으로 구성되고, 스위칭 유닛 내에서 필요한 신호의 교환은 하나의 어드레스 관련 비트의 세트 및 하나의 정보 관련 비트의 세트를 가지는 제2 카테고리의 데이터 패킷으로 구성된다. 스위칭 유닛은 제1 카테고리의 데이터 패킷을 수신할 때 호출자에 의해 요청되는 수신지에 의존하여 스위칭 유닛을 통해 접속을 설정하는 트래픽 컴퓨터를 사용할 수 있으며, 여기에서 스위칭 유닛을 통해 선택된 접속에 대응하

는 어드레스 관련 비트의 세트는 호출자에게 송신될 수 있고 선택된 어드레스 위치에서 제어 메모리 내에 기억될 수 있다. 그 후 스위칭 유닛에서 호출자로부터 도달하는 제3 카테고리의 데이터 패킷의 어드레스 관련 비트 위치는 선택된 접속에 대응하는 제2 카테고리의 데이터 패킷과 교환되고, 데이터 패킷이 스위칭 유닛을 통해 송신되기 전에 스위칭 유닛 내에서 사용될 수 있다.

이 실시예에서, 트래픽 컴퓨터는 먼저 이용 가능한 접속을 선택하고, 통화중 신호(engaged signal)를 발생하며, 스위칭 유닛을 통해 이용 가능한 접속을 점유하도록 활성화된다. 이렇게 할 때, 트래픽 컴퓨터는 제1 카테고리의 수신된 데이터 패킷의 정보 내용에 기초하여 스위칭 유닛을 통해 이용 가능한 접속을 지정한다.

선택된 접속에 대응하는 제어합 및 스위치 내부 어드레스 정보는 제어 메모리에서 선택된 어드레스에 저장되고, 여기에서 제어합은 스위치 내부 어드레스 정보에 대응하는 현재 비트 위치 및 제어 메모리에서 선택된 어드레스에 대응하는 현재 비트 위치에 따라 결정된다. 호출자에게 부여되는 채널 번호는 트래픽 컴퓨터에 의해 선택된다. 호출자에게 채널 번호가 통지된 후, 호출자는 제3 카테고리의 데이터 패킷을 송신한다. 착신 데이터 패킷을 수신하는데 적합한 유닛은 어드레스 정보를 판독하고, 그 내용에 따라 제어 메모리에서 선택된 어드레스를 결정한다. 그 후, 이 유닛은 제어 메모리에 저장되어 데이터 패킷에 추가될 어드레스 정보에 의해 지정된 정보를 판독하기 시작한다. 이어서, 이 유닛은 제어 메모리의 전체 어드레스 관련 정보 및 평가된 어드레스에 대한 패리티 비트와 같은 새로운 제어합을 결정한다. 그러한 새로운 제어합 및 미리 기억되어 있는 제어합 사이의 일치는 어떠한 비트 애러도 제어 메모리로부터 판독된 정보에서 발생하지 않는 것처럼 해석되고, 제2 카테고리의 현재의 스위치 내부 데이터 패킷은 스위칭 유닛을 통과할 수 있다.

본원의 범위내의 제안된 실시예와 같이, 스위치 내부 어드레스 관련 비트 위치는 라벨 필드로 구성되어 있다.

또한, 제어 컴퓨터는 각각의 도달하는 데이터 패킷에 속하는 채널 번호에 기초하여 패리티 비트 등을 결정한다.

[장점]

본 발명에 따르는 방법 및 장치에 의해 주로 제공되는 장점은 상이한 유닛에 의해 상이한 시간에 계산되거나 공급된 2개의 제어합이 서로 일치하는지를 간단하게 결정함으로써, 전기 통신 시스템내의 스위칭 유닛에 속하는 제어 메모리와 같은 메모리로부터 판독된 정보가 정확한지를 간단하고 신속한 방법으로 평가할 수 있는 조건이 얻어진다는 것이다. 이와 같이 일치하는 경우, 제어 메모리로부터 판독된 정보는 정확한 것으로 수용되고, 이 정보는 데이터 패킷의 어드레스 관련 필드에 추가될 수 있다. 이것은 메모리에 저장된 제어합이 현재 어드레스 관련 비트 위치 또는 비트의 세트 및 어드레스 관련 비트 위치에 대응하는 메모리의 어드레스 위치에 관련된 비트 위치 또는 비트의 세트에 대해 계산되게 함으로써 달성을 수 있다.

본 발명에 따르는 방법의 주요 특징은 청구 범위 제1항의 특징부에 나타내고 있고, 본 발명에 따르는 제어 회로 또는 장치의 주요 특징은 청구 범위 제7항의 특징부에 나타내고 있다.

본 발명에 의해 나타내는 방법에 따라서 기능하는 본 발명에 명백한 특징을 포함하는 장치의 예시적인 실시예는 이하 첨부하는 도면을 참조하여 더욱 상세히 설명할 것이다.

[도면의 간단한 설명]

제1도는 ATM 기술을 사용하는 전기 통신 시스템의 개략도.

제2도는 호출자와 스위칭 유닛 사이의 신호 교환을 위해 사용되는 표준 데이터 셀을 도시한 도면.

제3도는 하나의 착신 가입자 관련 데이터 셀 및 보조 라벨을 가지는 하나의 발신 데이터 셀을 이용하는 본 발명에 따르는 제어 회로 및 제어 장치의 개략도.

제4도는 비트 위치가 스위치 내부에서 사용하도록 되어 있는 추가된 라벨 필드를 가지는 표준 데이터 셀을 도시한 도면.

제5도는 데이터 셀을 수신하고 본 발명에 따라 제어를 실행하는 수신 유닛의 블록도.

[실시예]

여러 비트의 세트에는 도면 및 이하의 설명에서 아래의 수가 부여되어 있다. 제1 비트의 세트는 33, 34로 번호가 붙여져 있고 다수의 바이트를 포함하며, 제2 비트의 세트는 35로 번호가 붙여져 있고 1 바이트를 포함하며, 제3 비트의 세트는 32a로 번호가 붙여져 있고 다수의 바이트를 포함하며, 제4 비트의 세트는 33, 34, 35로 번호가 붙여져 있고 다수의 바이트를 포함하며, 제5 비트의 세트는 35'로 번호가 붙여져 있고 1 바이트를 포함한다. 1 바이트는 8 비트 워드이다.

제1도를 참조하면, ATM 시스템으로 표시되어 있는 공지된 전기 통신 시스템이 간략하게 도시되어 있다. 그 기능 및 신호의 교환을 위해, 이러한 전기 통신 시스템은 데이터 패킷 또는 더 정확히 "데이터 셀(data cell)"에 대응하는 비트 위치를 가지는 데이터를 사용한다.

당업자라면 신호의 교환이 통상적으로 양방향으로 지향되는 것을 이해하겠지만, 설명을 간단히 하기 위해, 이하에서는, 송신 단말 유닛(1)에 속하는 송신기(3) 및 수신 단말 유닛(2)에 속하는 수신기(3a) 사이에서 접속 및 신호의 교환이 실행되는 방법만을 설명할 것이다.

상기 단말 유닛(1 및 2) 사이의 신호의 교환은 ATM 시스템에서 유효한 표준 프로토콜로 구성된 데이터 셀에 의해 실행되며, 여기에서, 상기 구조는 논리값 및 각각의 비트의 비트 세트로의 통합에 관련된다.

송신기(3)는 라인 또는 접속을 통해 라인 관련 수신 유닛(5)과 상호 작용한다. 수신 유닛(5)은 라인 또는 접속(6)을 통해 입력 회로(7)와 접속되어 있고, 이 입력 회로는 라인 또는 접속(8)을 통해 ATM 셀렉터(10)에 속하는 다수의 접속 단자(9)와 상호 작용한다. 이 셀렉터에는 2개의 용장 접속 평면 또는 접속 코어(11, 12)가 설치되어 있고, 이들 코어는 회로(9, 7 및 5)에 대응하는 (도시되지 않은) 회로를 통해 신호 수신 유닛(3a)과 상호 작용한다. 각각의 라인(4, 6 및 8)은 하나 이상의 물리 와이어 또는 도체로 제조될 수 있다.

대부분의 ATM 셀렉터는 데이터 셀을 형성하기 위해 여러 필드 또는 비트 세트로 구성된 다수의 비트 위치에 의해 필요한 신호 전송이 수행되는 기능을 필요로 한다. 제2도는 그러한 표준 데이터 셀(20)을 도시한다. 도시되어 있는 바와 같이, 이러한 표준 데이터 셀은 어드레스 정보 또는 반송 비트의 5 바이트 세트(5개의 8비트 워드)를 포함하는 하나의 분할 부분(partition) 또는 필드(21)(헤더)와, 정보 반송 비트의 48 바이트 세트(48 개의 8 비트 워드)를 포함하는 다른 분할 부분 또는 필드(22)를 포함한다. 다른 정보는 또한 그러한 데이터 셀(20)로 통합될 수도 있다.

제2도는 데이터 셀(20', 20 및 20")이 선행 데이터 셀(20)의 정보 반송 필드(22'), 그 직후에 어드레스 정보 운반 필드(21) 및 연속하는 데이터 셀(20)의 정보 반송 필드(22) 등이 이어지는 것과 같은 순차적 또는 직렬 방식으로 도체(4)상에 나타나는 것을 도시한다.

제1도에 따르는 신호 시스템은 이미 공지되어 있지만 제1도에 도시되지 않은 다수의 장비 및 적절히 작동할 수 있는 기능을 필요로 하지만, 여기에서는 본 발명을 완전히 이해하는데 또는 본 발명의 기능에 영향을 주지 않으므로 더 설명하지 않는다.

그럼에도 불구하고, 스위칭 유닛(10)이 제어 컴퓨터(100)를 포함한다는 것은 설명되어야 한다. 제어 컴퓨터(100)의 기능은 이러한 종류의 스위칭 유닛에서 매우 복잡하고, 이하의 설명에서는 본 발명과 직접 관련되고 본 발명을 이해하는데 필요한 부분 및 기능만을 설명할 것이다.

제3도는 전기 통신 시스템내의 스위칭 유닛에 속하는 수신 회로(31)를 도시하고, 제어 회로(30)는 제5도에서 더욱 상세히 도시하고 있다. 수신 회로(31)는 입력 회로(7) 또는 회로(9)의 일부분일 수 있다.

제어 회로(30)는 수신 회로의 일부분이거나 이 회로와 상호 작용하여 순차적으로 착신 데이터 셀을 수신하도록 되어 있고, 본 명세서에서 이 회로는 입력 회로(7)에 속하는 입력 단자의 일부분으로 되어 있다.

호출 유닛(1)에서 피호출 유닛(2)으로 호출이 발신된 후 전송되는 데이터 셀은 표준화되고 앞서 설명한 바와 같이 원하는 접속에 관한 모든 정보를 포함한다.

따라서, 전송된 데이터 셀 또는 패킷은 제1 카테고리(호출 카테고리)에 속하고, 이러한 종류의 모든 호출은 제어 컴퓨터(100)를 포함하는 스위치 내부 장비를 통하여 여러 사용 가능 채널 번호 중 하나가 부여된다.

제어 컴퓨터(100)는 동시에 피호출 유닛(2)과의 후속 신호 교환에 유효하게 되는 채널 번호의 호출자(1)를 통지한다. 채널 번호가 후속 신호의 교환 중에 이용될 때를 호출 유닛(1)이 지정하는 경우도 있을 수 있다

제어 컴퓨터(100)는 호출 유닛(1)에 대한 현재 유효한 채널 번호 및 이 채널 번호에 대응하는 필요한 정보 및 채널 번호의 선택이 저장되는 메모리(32)의 위치를 표시한 어드레스 정보를 수신 회로(31)내의 제어 회로(30)에 통지한다.

제어 컴퓨터(100)내의 공지된 회로는 데이터 셀의 정보 내용에 의해 스위칭 유닛(10)을 통해 사용 가능한 채널을 선택, 지정 및 점유하기 위해 공지된 방식으로 사용된다. 이들 회로는 여기에서 설명한 실시예에서 사용 가능한 접속을 평가하여 선택하고, 연결된(통화중) 신호를 발생하며, 스위칭 유닛을 통해 사용 가능한 접속을 점유하고, 제1 카테고리의 데이터 셀의 정보 반송 필드 및 어드레스 관련 필드 내의 정보 및 스위칭 유닛내의 연결된 접속의 수 및 순간 부하에 의존하는 특정 채널 번호를 이 접속에 제공하는 것으로 예시되어 있다.

제어 메모리(32)는 특정 어드레스 위치가 스위칭 유닛을 통해 접속을 설정하도록 선택된 모든 내부 채널 번호에 대응하도록 형성된다.

제어 컴퓨터(100)는 선택된 채널 번호에 대응하는 어드레스 정보에 의해 표시되는 메모리(32)의 비트 위치 내에, 비트 위치의 하나의 필드가 특히 스위칭 유닛을 통해 선택된 채널 번호를 나타내고; 비트 위치의 하나의 필드가 스위치 내부에서의 사용을 위한 기능을 나타내며; 하나의 세트의 비트 위치가 선택된 알고리즘에 따라 계산되는 패리티 비트와 같은 특별하게 계산된 제어함을 나타내는 필드 또는 세트의 비트 위치를 저장하도록 배열되어 있다. 이것은 모든 호출 및 제어 가능한 접속에 대해 행해진다.

호출자(1)로부터 데이터 셀(20)을 수신하는 스위칭 유닛(10)내의 수신 회로(31)는 특히 데이터 셀 내의 비트의 어드레스 관련 세트내의 비트 위치를 연속적으로 평가한다.

특별히 선택된 채널 번호(호출 채널 번호)에서, 상기 회로(31)는 이 채널 번호가 호출을 표시하기 때문에, 완전한 데이터 셀을 제어 컴퓨터(700)에 더 송신하도록 작동된다.

제어 컴퓨터(100)가 이러한 호출을 수신할 때 사용 가능한 접속이 평가되고, 이 접속에는 또 다른 내부적으로 사용 가능한 채널 번호, 즉 스위치 내부 채널 번호가 부여된다.

일반적으로 제어 컴퓨터는 새로운 제어 채널 번호가 원하는 접속에 부여되고 모든 후속 데이터 셀이 새로운 채널 번호를 포함하도록 하는 것을 통지하기 위해 메시지를 호출 유닛(1)에 송신한다.

호출자(1)에게 부여된 새로운 채널 번호는 각각의 내부 채널 번호에 관한 정보와 함께 수신 회로

(31)에 통지된다.

제어 컴퓨터(100)에 의해 선택된 새로운 채널 번호를 가지는 데이터 셀이 데이터 셀 수신 회로(31)에 의해 수신될 때, 이를 수신 회로 내에는 제어 메모리(32) 내의 채널 번호에 대응하는 어드레스 위치를 나타내는 테이블이 있다. 새로운 채널 번호(21)와 함께 수신 회로(31)에 도달하는 데이터 셀(20)은 따라서 제어 메모리(32)내의 정확한 어드레스 또는 위치(32a)를 지정하는데 사용되고, 데이터 셀(20)에 의해 사용되는 스위치 내부에서 선택된 접속에 대해 특정된 스위치 내부 정보(33, 34)를 포함한다.

어드레스(32a)에 기억되고 제어 컴퓨터(100)에 의해 이전에 생성되어 제어 메모리에 기억된 정보는 데이터 패킷(20)에 부가될 라벨 필드(33) 및/또는 스위치 내부 채널 번호(34)로 구성되고, 이 경우에는 데이터 셀(20)의 구 채널 번호(21)를 대체한다.

라벨 필드(11)는 특히 데이터 셀(20)이 스위칭 유닛에 의해 지향되는 출력 링크가 무엇인지를 결정하는데 사용된다. 또한, 라벨 필드는 품질, 셀이 속하는 접속의 형태 및 스위칭 유닛 내에서 작동되는 기능에 관한 정보를 포함할 수 있다.

전술한 조건에 따라 스위칭 유닛을 통해 사용 가능한 접속을 제어 및 선택하는 트래픽 조정(traffic-arranging) 컴퓨터 또는 제어 컴퓨터(100)는 접속의 점유 또는 설정 시에 필요한 정보를 위치 또는 어드레스(32a)에서 스위칭 유닛의 제어 메모리(32)에 기록한다.

본 실시예에서의 정보는 하나의 라벨 필드(33), 스위치 내부에서 사용하기 위한 하나의 채널 번호(34) 및 다수의 패리티 비트, 검사합 등으로 컴퓨터 유닛(100)에 의해 계산되는 제어합을 위한 하나의 필드(35)를 나타낸다. 제어합은 제어 메모리(32)에 관련된 어드레스(33a) 및 필드(33, 34)내의 비트 위치의 선택된 패리티 제어 등에 따라 컴퓨터(100)에 의해 계산된다.

따라서, 제어 메모리(32)에 기억되고 제어 메모리로부터 특별히 판독하는 정보가 정확하다는 것은 스위칭 유닛(10)의 신뢰성에 있어서 매우 중요하다. 어떠한 이유에 의해, 제어 메모리(32)의 정보에서 발생할 수 있는 어떤 에러는 즉시 검출되어야 하고 제어 메모리의 정보에 부가된 현재의 데이터 셀은 폐기되어야 한다.

제어 메모리의 에러가 검출되지 않고 에러가 있는 라벨 필드 및/또는 에러가 있는 채널 번호를 가지는 데이터 셀(20)이 스위칭 유닛을 통과할 수 있게 되면, 데이터 셀은 잘못된 수신자에 지향될 매우 큰 위험이 있으며, 이것은 매우 바람직하지 못한 것이라는 것을 이해할 것이다.

본 발명은 제어 메모리의 이러한 비트 에러가 쉽게 검출될 수 있는 방법 및 장치를 나타낸다.

제4도를 참조하면, 실시예가 스위치 내부에서 사용하기 위한 하나의 데이터 셀, 하나의 어드레스 관련 필드(210) 및 하나의 정보 관련 필드(220)를 가지는 것으로 예시되어 있다.

상기 필드(210)는 분할 부분(210a, 210b)을 포함하고, 이들 분할 부분내의 비트 위치는 데이터 셀(20)의 새로운 채널 번호를 한정하는 것으로 정해질 수 있다.

제어 컴퓨터(100)는 통상적으로 필드(230a)를 라벨 필드(230)에 부가하도록 고려하여, 선택된 기능을 작동시키기 위해 스위칭 유닛(10)을 통해 데이터 셀의 통로를 제어 한다.

상기 필드(230)는 바람직하게는 메모리(32)내의 필드(33)로 위치될 수 있고, 상기 필드(210)는 필드(34 및 35)로 위치될 수 있다. 비트 위치(210c)는 패리티 비트에 의해 표시되는 제어합을 포함할 수 있다.

앞서 설명한 조건 하에서 본 발명에 있어서 중요한 제어 회로의 구성 및 기능은 제5도를 참조하여 더욱 상세히 설명할 것이다.

신호 수신 회로(31)가 도달하는 데이터 셀(20, 21)을 수신할 때, 신호 수신 회로는 먼저 회로(41)에 의해 어드레스 관련 필드(21)의 내용을 판독한다. 그에 따라, 현재의 스위치 유닛 선택 채널 번호가 판독 정보를 통해 평가되고, 대응하는 스위치 내부 채널 번호로의 전송이 실행된다.

상기 필드(33 및 34) 및 또한 필드(35)에 통합되는 스위치 내부에서 사용하기 위해 필요한 채널 번호 관련 비트 위치를 포함하는 어드레스 위치 또는 위치들은 그 후 제2 회로(42)에 의해 지정된다. 채널 번호 관련 비트 위치는 이어서 메모리(43)로 입력된다.

스위치 내부 채널 번호와 관련된 메모리(43)내의 비트 위치의 정확성은 이들 비트 위치가 데이터 셀(20)의 정보 반송 부분(22)에 부가되기 전에 결정되어야 한다. 상기 필드(33, 34)내의 비트 위치 및 이들의 디지털 값은 제4 유닛(45)을 통해 제어 컴퓨터(100)에서와 동일한 패리티 제어 기능으로 예시되어 있는 제어 기능을 이용하여 제3 유닛(44)에 의해 계산된다. 그것에 의해 제어합이 패리티 비트로 계산되고, 이것을 행하는 동안, 메모리(32)의 평가된 어드레스(32a)의 비트 위치가 또한 고려된다.

따라서, 계산된 제어합(35') (패리티 비트)은 버퍼 메모리(46)내에 기억되고 비교기(47)에 제공되며, 이 비교기에서 필드(35)에 기억된 비트 위치가 유닛(44)에 서의 계산에 의해 발생되는 비트 위치(35')와 비교된다.

비교기에 의해 일치가 표시되는 경우, 가산 회로(47')는 필드(33, 34) 및 결국 필드(35)를 라벨(23a)로서 데이터 셀(20)에 부가하도록 작동한다. 일치하지 않는 경우, 폐기 회로(47")가 작동되고 이에 의해 데이터 셀(20)이 폐기된다.

제어 메모리(32)에서 잘못된 어드레스 위치를 지정하게 할 수 있는 하드웨어에서의 에러를 검출하기 위해 또 다른 기능이 필요하다. 잘못된 어드레스가 지정되게 하는 이러한 종류의 에러는 일반적으로 어드레스 버스를 구동하는 트랜지스터 중 하나가 고 전압 또는 저 전압에서 특정 위치에 고정될 때, 또는 제어 메모리의 어드레스 디코딩에 관한 하드웨어 에러가 발생할 때 발생한다.

트래픽 컴퓨터(100)는 잘못된 메모리 위치를 지정하게 하는 에러를 검출할 수 있도록 제어 메모

리(32)에 기록된 정보로부터 패리티 비트와 같은 다수의 제어합을 계산할 수 있다. 제어합은 이 경우에 패리티 계산이 도달하는 데이터 셀의 채널 번호를 또한 포함하는 차이에 의해 비트 에러를 검출하는 방식에서와 동일한 방식으로 계산된다.

따라서, 트래픽 컴퓨터는 의도된 정보 및 계산된 제어합(패리티)을 제어 메모리에 기록한다. 데이터 셀이 수신 유닛에 도달할 때, 제어 메모리에서의 어드레스가 도달하는 데이터 셀의 채널 번호에 따라 발생된다. 수신 유닛은 전술한 정보 및 현재의 데이터 셀의 채널 번호로부터 패리티를 계산한다. 이러한 계산의 결과는 접속의 설정 시에 제어 컴퓨터(100)에 의해 제어 메모리(32)에 기록된 제어합(패리티 비트)과 비교된다.

제어 메모리의 비트 에러, 또는 제어 메모리(32) 또는 수신 회로(31)의 하드웨어 에러는 제어 메모리(32)의 제어합(패리티 비트)이 수신 유닛에 의해 계산된 패리티에 대응하지 않는 경우에 발생된다.

예시된 실시예에서 사용한 "패리티 비트"의 의미가 선택된 알고리즘에 따라 계산된 검사합과 교환될 수 있다는 것은 명백하다.

본 발명은 상기 예시한 실시예에 제한되지 않고 이하의 청구의 범위의 범위내에서 변경이 가능하다는 것을 이해할 것이다.

(57) 청구의 범위

청구항 1

다수의 통합된 비트 위치를 포함하는 디지털 정보가 컴퓨터 유닛에 의해 작동되는 기능을 제어하기 위해 판독되기 전에, 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법에 있어서, 상기 디지털 정보에 대응하는 메모리내의 선택된 어드레스 위치를 결정하는 단계를 포함하는데, 상기 기능을 제어하는 비트의 세트 및 제1 제어합은 상기 어드레스, 상기 비트의 세트로부터 계산되는 제1 제어합 및 선택된 어드레스에 기억되고, 상기 메모리로부터의 디지털 정보의 판독에 이어서, 상기 선택된 어드레스로부터 제2 제어합 및 상기 기능을 제어하는 판독된 비트의 세트를 결정하는 단계와, 상기 제1 제어합 및 제2 제어합을 비교하는 단계를 포함하며, 그것에 의해 상기 디지털 정보가 상기 제1 및 제2 제어합이 일치할 때 정확한 것으로 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법.

청구항 2

제1항에 있어서, 상기 제1 및 제2 제어합은 선택된 알고리즘에 따라서 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법.

청구항 3

제1항에 있어서, 상기 제1 제어합은 제1 컴퓨터 유닛에 의해 결정되고, 상기 제2 제어합은 제2 컴퓨터 유닛에 의해 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법.

청구항 4

다수의 통합된 비트 위치를 포함하는 디지털 정보가 컴퓨터 유닛에 의해 작동되는 기능을 제어하기 위해 판독되기 전에, 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 장치에 있어서, 상기 디지털 정보에 대응하는 메모리내의 선택된 어드레스 위치를 결정하는 수단을 포함하는데, 상기 기능을 제어하는 비트의 세트 및 제1 제어합은 상기 어드레스, 상기 비트의 세트로부터 계산되는 제1 제어합 및 선택된 어드레스에 기억되고; 상기 메모리로부터의 디지털 정보의 판독에 이어서, 상기 선택된 어드레스로부터 제2 제어합 및 상기 기능을 제어하는 판독된 비트의 세트를 결정하는 수단과, 상기 제1 제어합 및 제2 제어합을 비교하는 수단을 포함하며, 그것에 의해 상기 디지털 정보가 상기 제1 및 제2 제어합이 일치할 때 정확한 것으로 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 장치.

청구항 5

제4항에 있어서, 상기 제1 및 제2 제어합은 선택된 알고리즘에 따라서 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 장치.

청구항 6

제4항에 있어서, 상기 제1 제어합은 제1 컴퓨터 유닛에 의해 결정되고, 상기 제2 제어합은 제2 컴퓨터 유닛에 의해 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 장치.

청구항 7

디지털 정보가 컴퓨터 유닛에 의해 작동되는 기능을 제어하기 위해 사용되기 전에, 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법으로서, 상기 디지털 정보는 상기 기능을 제어 또는 작동시키는 제1 비트의 세트 및 제어합으로서 기능을 하는 제2 비트의 세트를 포함하는 다수의 통합된 비트 위치를 포함하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법에 있어서, 상기 선택된 어드레스 위치에 기억된 디지털 정보를 판독하여, 디지털 정보를 제1 비트의 세트 및 제2 비트의 세트에 배열하는 단계와, 제1 비트의 판독 세트 및 상기 선택된 어드레스 위치에 기초하여 제2 비트의 세트와 동일한 방식으로 계산되는 새로운 제어합을 계산하는 단계와, 상기 제어합 및 새로운 제어합을 비교하는 단계를 포함하며, 그것에 의해 상기 비교가 일치할 때 상기 디지털 정보가 정확한 것

으로 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법.

청구항 8

제7항에 있어서, 상기 제어합 및 새로운 제어합은 선택된 알고리즘에 따라서 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능 한지를 결정하는 방법.

청구항 9

제7항에 있어서, 상기 제어합은 제1 컴퓨터 유닛에 의해 결정되고, 상기 새로운 제어합은 제2 컴퓨터 유닛에 의해 결정되는 것을 특징으로 하는 메모리에 기억된 디지털 정보가 정확하게 판독 가능한지를 결정하는 방법.

청구항 10

정보 반송 디지털 신호를 전송하는 전기 통신 시스템에 있어서, 정보 반송 디지털 신호를 수신 및 경로 설정하는 스위칭 유닛과, 상기 정보 반송 디지털 신호에 포함되는 수신자에 기초하여 스위칭 유닛을 통해 접속을 설정하는 트래픽 유닛과, 상기 스위칭 유닛을 통한 접속에 대응하는 새로운 어드레스를 기억하는 제어회로를 포함하고, 트래픽 컴퓨터는 스위칭 유닛을 통해 사용 가능한 접속을 결정하고; 선택된 어드레스에서 상기 제어 회로에 사용 가능한 접속에 대응하는 새로운 어드레스와 선택된 어드레스 및 새로운 어드레스로부터 결정되는 제1 제어합을 기록하며, 새로운 어드레스를 호출자에게 통지하고; 새로운 어드레스를 포함하는 정보 반송 신호를 수신하여 이 신호에 기초하여 제2 제어합을 결정하며; 제1 제어합 및 제2 제어합을 비교함으로써 접속을 설정하고, 그것에 의해 상기 디지털 정보 반송 신호가 제1 및 제2 제어합이 일치할 때 스위칭 유닛을 통해 수신자로 경로 설정되는 것을 특징으로 하는 정보 반송 디지털 신호를 전송하는 전기 통신 시스템.

요약

메모리에 기록된 디지털 정보다 다수의 대응한 비트 위치 형태의 이러한 정보가 하나 또는 여러 기능을 제어하도록 이용되기 전에 판독할 수 있게 보정되는 것에 있어서, 이러한 기능의 제어유닛에 의해 활성화 된다.

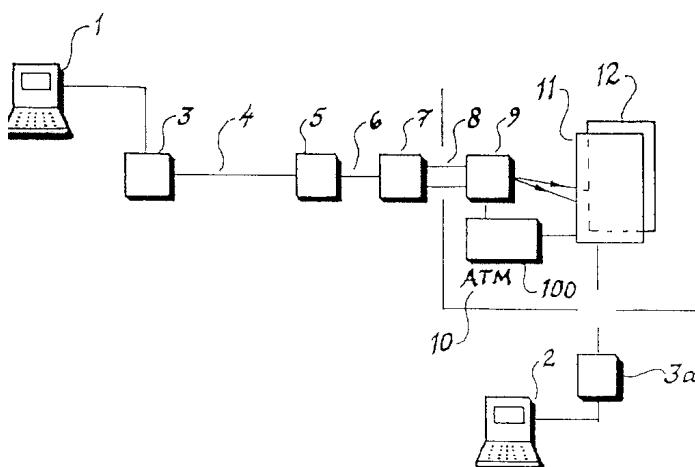
제1세트의 비트를 표시하는 저장된 디지털 정보에 대응하는 메모리 내에서 선택된 어드레스 위치 또는 위치들이 이 기능 및 제어합 역할을 하는 제어세트의 비트를 제어하고/또는 초기화하는데 필요하고 제 2 세트의 비트는 제 1 세트의 비트에 대응하는 현재 세트의 비트와 판독을 위해 현재 선택된 어드레스 위치에 대응하는 제3세트의 비트를 고려하여 산출된다. 메모리로 부터의 디지털 정보의 추종 판독이 수행될때 새로운 제어합이 제 5 세트의 비트를 형성하기 위해 판독을 위해 현재 선택된 어드레스 위치에 대응하는 제 4 세트의 비트와 제 1 세트의 비트에 해당하는 현재 판독된 비트 위치를 고려하여 같은 방식으로 산출된다. 비교가 수행될때 판독 디지털 정보가 보정으로 얻어지고 일치가 제 2 세트 비트와 제 5 세트 비트 사이에서 발견된다.

대표도

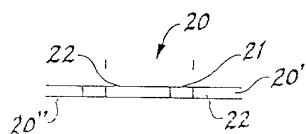
도1

도면

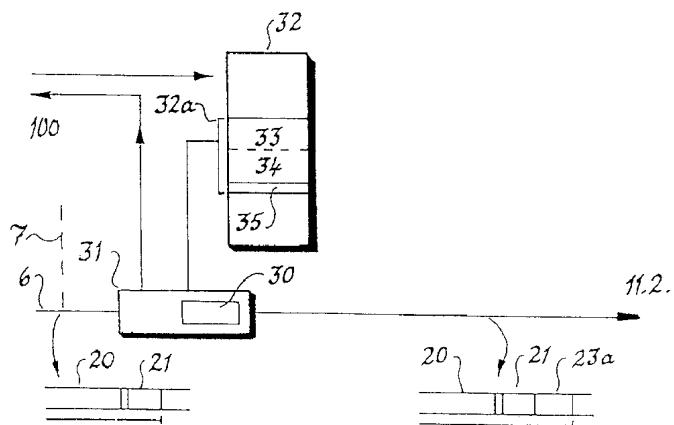
도면1



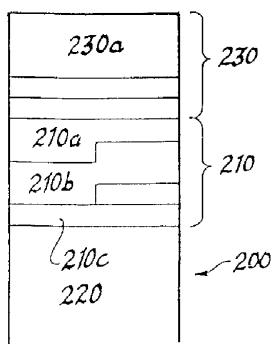
도면2



도면3



도면4



도면5

