(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/786

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0309628
(24) 등록일자 2001년09월10일

(21) 출원번호 10-1995-0072159
(22) 출원일자 1995년12월27일

(65) 공개번호 특1996-0026983
(43) 공개일자 1996년07월22일

(30) 우선권주장 94-339162 1994년12월27일 일본(JP)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
야마자키 순페이
일본국 도쿄오 세타가야쿠 기타카라스야마 7-21-21
아라이 야스유키
일본국 가나가와켄 아쓰기시 모리노사토 1-29-6-202
데라모토 사토시
일본국 가나가와켄 아쓰기시 하세 304-1

(74) 대리인
이병호

심사관 : 김관식

(54) 반도체장치의제조방법

요약

본원의 목적은, 액티브 매트릭스형의 액정 표시 장치(active matrix liquid crystal display)에 있어서, 기계적으로 프렉시블하고 경량화된 구성을 얻는 것이다. 상기 목적을 달성하기 위한 본원의 기본적인 구성은, 액티브 매트릭스형의 액정 표시 장치를 구성하는 한쌍의 기판을 투과성 및 가요성을 갖는 수지 기판으로 구성하고, 한쪽의 수지 기판상에 박막 트랜지스터(thin-film transistor)를 형성하고, 막 형성시에 있어서의 수지 기판 표면에 있어서의 올리고머(oligomers) 발생 금지 및 수지 기판 표면의 평탄화를 위해 수지층을 형성한다.

대표도

도 3

명세서

도면의 간단한 설명

제 1(A) 도 내지 제 1(E) 도는 본 실시예의 박막 트랜지스터의 제조 공정을 도시한 도면.

제 2(A) 도 내지 제 2(C) 도는 본 실시예의 박막 트랜지스터의 제조 공정을 도시한 도면.

제 3 도는 액정 판넬의 단면을 개략 도시한 도면.

♠ 도면의 주요부분에 대한 부호의 설명 ♠

101, 201: PET 필름 기판(폴리에틸렌 테레프탈레이트)

301, 302, 102, 202: 아크릴 수지층

303, 103, 207: 게이트 전극

104, 206: 게이트 절연막

105, 203: 진성 비정질 규소막

106: 에칭 스톱퍼층 107: n 형 비정질 규소막

108: 소스전극 109: 드레인 전극

110: 층간 절연막 111, 209 : 화소전극

205: 소스 영역 204: 드레인 영역

304: 대향전극(counter electrode) 305: 박막 트랜지스터

306: 화소전극

307, 308: 배향막(orientation film)

309: 액정재료

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[산업상의 이용분야]

본 발명은 수지 기판(공업용 플라스틱 기판을 포함)등의 가요성(유연성이 있는 기계적 성질)을 갖는 기판 상에 형성된 박막트랜지스터(TFT_S : thin-film transistors)의 구성 및 제조방법에 관한 것이다. 또한, 상기 박막 트랜지스터를 이용하여 구성된 액티브 매트릭스형의 액정 표시 장치(active matrix liquid crystal display)에 관한 것이다.

[종래기술]

유리 기판이나 석영 기판 상에 형성된 박막 트랜지스터가 공지되어 있다. 상기 유리 기판 상에 형성된 박막 트랜지스터는 액티브 매트릭스형의 액정 표시 장치에 주로 이용되고 있다.

액티브 매트릭스형의 액정 표시 장치는 고속 동화상이나 미세한 표시를 행하는 것이 가능함으로서, 단순 매트릭스형의 액정 표시 장치를 대신할 것을 기대하고 있다. 액티브 매트릭스형의 액정 표시 장치라고 하는 것은 화소 각각에 1 개 이상의 박막 트랜지스터를 스위칭 소자 (switching element)를 배치하여, 화소 전극에 출입하는 전하를 상기 박막 트랜지스터로 제어하는 것이다. 기판으로서 유리 기판이나 석영 기판이 이용되는 것은 액정 표시 장치를 가시광선이 투과할 필요가 있기때문이다.

한편, 액정 표시 장치는 극히 응용범위가 넓은 표시 수단으로서 기대되고 있다. 예를 들면, 카드형의 계산기나 휴대용 컴퓨터, 또는 각종 통신기기 등의 휴대용 전자기기에 이용되는 표시수단으로서 기대되고 있다. 그리고, 이들 휴대형의 전자기기에 이용되는 표시수단에 있어서는 처리하는 정보의 고도화에 따라, 보다 고도한 정보의 표시가 요구되고 있다. 예를 들면, 숫자나 기호만이 아니고, 보다 미세한 화상 정보나 동화상을 표시하는 기능이 요구되어지고 있다.

액정 표시 장치에 의해 미세한 화상정보나 동화상을 표시하는 기능을 요구하는 경우, 액티브 매트릭스형의 액정 표시 장치를 이용할 필요가 있다. 그러나, 기판으로서 유리 기판이나 석영 기판을 이용한 경우,

- 액정 표시 장치 자체의 두께를 얇게 하는데 한계가 있다.

- 중량이 증가한다.

- 경량화를 위해, 기판의 두께를 얇게 하면, 기판이 분열된다.

- 기판에 유연성이 없다.

는 등의 문제를 갖고 있다.

특히, 카드형의 전자기기는 그 취급에 있어서, 다소의 응력이 작용하여도 파손하지 않는 유연성이 요구되기 때문에, 그 전자기기에 삽입되는 액정 표시 장치에도 마찬가지의 유연성(flexibility)이 요구된다.

[발명이 해결하려고 하는 과제]

본 발명은 유연성을 갖는 액티브 매트릭스형의 액정 표시 장치를 제공하는 것을 목적으로 한다.

[과제를 해결하기 위한 수단]

액정 표시 장치에 유연성을 부여하는 방법으로서는, 기판으로써 투광성을 갖는 플라스틱 기판이나 수지 기판을 이용하는 방법이 있다. 그러나, 수지 기판은 그 내열성 문제 때문에 그 위에 박막 트랜지스터를 형성하는 것은 기술적으로 곤란하다는 문제가 있다.

그래서, 본 발명은 이하에 설명하는 바와 같은 구성을 채용함으로써, 상기의 곤란성을 해결하는 것을 특징으로 한다.

본 발명에 따른 반도체 장치의 제조 방법의 하나의 특징 구성은,

필름형 수지 기판을 탈가스화(degas)하기 위해, 상기 필름형 수지기판을 소정의 온도로 가열처리하는 단계와,

필름형 수지 기판 상에 수지층을 형성하는 단계와,

상기 수지층 상에 반도체 층을 플라즈마 CVD 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여 박막 트랜지스터들을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 다른 구성은;

필름형 수지 기판을 소정의 온도로 가열처리하는 단계와,

상기 가열처리하는 단계후에, 상기 필름형 수지 기판 상에 수지층을 형성하는 단계와,

상기 소정의 온도 보다 낮은 온도로 상기 기판을 가열하면서, 상기 수지층 상에 반도체 층을 플라즈마 CVD 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여, 박막 트랜지스터들을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 또 다른 구성은;

다른 단계들에서 사용된 가열 처리 온도 보다 높은 소정의 온도로, 필름형 수지 기판을 가열처리하는 단계와,

상기 가열처리하는 단계후에, 상기 필름형 수지기판 상에 수지층을 형성하는 단계와,

상기 수지층 상에 반도체 층을 플라즈마 CVD 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여, 박막 트랜지스터들을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 또 다른 구성은;

폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트, 폴리에틸렌 설파이트 및 폴리이미드로 이루어진 그룹에서 선택된 재료를 포함하는 기판을, 모든 다른 단계에서 사용된 가열처리온도 보다 높은 온도로, 가열처리하는 단계와,

상기 가열처리하는 단계후에, 상기 기판 상에 수지층을 형성하는 단계와,

상기 수지층 상에 반도체 충을 플라즈마 CVB 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여, 박막 트랜지스터들을 형성하는 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 구성은,

수지 기판을 탈가스화하도록 수지기판을 가열처리하는 단계와,

평탄화된 표면을 제공하도록, 상기 가열처리하는 단계후에 상기 수지기판의 평탄하지 않은 표면 위에 수지층을 형성하는 단계와,

상기 수지층의 평탄화 표면상에 비정질 실리콘을 포함하는 반도체 층을 형성하는 단계와,

소스 영역과 드레인 영역 및 상기 소스 영역과 드레인 영역 사이의 채널 형성 영역을 갖고 채널 형성 영역에 인접한 게이트 전극 및 상기 채널 형성 영역과 게이트 전극 사이의 게이트 절연막을 더 갖는 박막 트랜지스터를, 적어도 반도체 층의 채널 형성 영역으로 형성하는 단계 및,

레벨링 표면을 제공하도록 상기 박막 트랜지스터 상에 수지재료를 포함하는 층간 절연층을 형성하는 단계를 포함하는 것을 특징으로 한다.

이러한 구성의 구체적인 예를 제 1 도에 도시한다. 제 1 도에 도시한 구성에 있어서는 필름형의 수지 기판인 PET 필름(두께 100㎛)에 접하여, 수지층(102)이 형성되어 있고, 그 위에 인버티드 스태거드(Inverted staggered)형의 박막 트랜지스터가 형성되어 있다.

필름형의 수지 기판으로서는 PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), PES(폴리에틸렌 설파이트), 폴리이미드(polyimide)로부터 선택된 것을 이용할 수 있다. 여기서 요구되는 조건은, 가연성을 갖는 것, 그것에 투광성을 갖는 것이다. 또한, 높은 온도에서 견딜 수 있는 것이 되는 것이 바람직하다. 일반적으로, 이들 수지 기판은 가열 온도를 200℃ 정도 이상으로 올라가면, 표면에 올리고머(oligomers: 직경 1㎛ 정도의 중합체)가 석출되거나, 가스를 발생하거나 해서, 그 위에 반도체 층을 형성하는 것은 대단히 곤란해진다. 따라서, 그 내열온도가 가능하면 높은 것일 필요가 있다.

상기 구성에 있어서, 수지층은 수지 기판 표면을 평탄화 하기 위한 기능을 갖고 있다. 평탄화라는 의미는 반도체 층의 형성 등의 가열이 수반하는 공정에 있어서, 수지 기판의 표면에 올리고머가 발생하는 것을 방지하는 기능도 포함된다.

상기 수지층으로서는 아크릴산 메틸에스테르, 아크릴산 에틸에스테르, 아크릴산 부틸에스테르, 아크릴산 2-에틸헥실에스테르로부터 선택된 아크릴 수지를 이용하는 것이 가능하다 상기 수지층을 형성하는 것으로, 수지 기판을 이용한 경우에도, 상술한 박막 트랜지스터를 제조하는 경우에 나타나는 문제를 제어하는 것이 가능하다.

상기 구성에 있어서, 가열처리를 실시하고 수지 기판으로 부터의 탈가스화를 꾀하는 것은, 후의 가열을 행하는 프로세스에 있어서, 수지 기판으로부터 탈가스화 현상이 일어나는 것을 방지하기 위해서다. 예를 들면, 수지 기판상에 반도체 박막을 형성하고 있는 도중에 수지 기판으로부터의 탈가스화가 일어나면, 반도체 박막에 큰 핀홀이 형성되게 되고, 그 전기 특성은 크게 손상된 것으로 되어버린다. 따라서, 미리 나중에 프로세스내에 있어서 가해지는 가열 온도보다도 높은 온도로 가열처리를 행하고, 수지 기판내에 탈가스화를 행함으로써, 다음의 공정에 있어서의 수지 기판으로부터의 탈가스 현상을 억제할 수 있다.

상기 구성의 구체적인 예를 제 3 도에 도시한다. 제 3 도에 도시한 구성에는 한쌍의 수지 기판(301, 302), 이들 수지 기판간에 유지된 액정 재료(309), 화소 전극(306), 화소 전극(306)에 접속된 박막 트랜지스터(305), 수지 기판(301)의 표면을 평탄화하기 위한 수지층(303)이 도시되어 있다.

[실시 예 1]

본 실시예는 인버터드 스테거드형 박막 트랜지스터를 유기 수지 기판인 PET(폴리에틸렌 테레프탈레이트) 기판 상에 형성하는 예를 예시한다.

먼저, 제 1(A) 도에 도시한 바와 같이 두께 100㎛ 의 PET 필름(101)을 준비하고, 탈가스화를 위한 가열처리를 가한다. 상기 가열처리는 나중의 프로세스에 있어서 가해지는 가장 높은 온도 이상의 온도일 필요가 있다. 본 실시예에서의 프로세스에서는 플라즈마 CVD 법에 의한 비정질 규소막의 막형성 시에 있어서의 160℃의 온도가 최고 가열 온도이기 때문에, 이 PET 필름으로부터의 탈가스화를 꾀하기 위한 가열처리는 180℃ 에서 행한다.

상기 PET 필름 상에 아크릴 수지층(102)을 형성한다. 아크릴 수지로서는 예를 들면 아크릴산 메틸 에스테르를 이용하는 것이 가능하다. 상기 아크릴 수지층(10)은 나중의 열이 가해지는 프로세스에 있어서, PET 필름의 표면에 올리고머가 발생하는 것을 방지하기 위한 것이다. 또한, 상기 아크릴 수지층(102)은 PET 필름 표면의 요철을 평탄하게 하는 기능을 갖고 있다. 일반적으로, PET 필름의 표면은 보통 수백 Å 내지 1㎛ 정도의 요철을 갖고 있다. 이와 같은 요철은 두께가 수백 Å 인 반도체 층에 대해 전기적으로 큰 영향을 주게된다. 따라서, 반도체 층이 형성되는 베이스를 평탄화하는 것은 극히 중요한 일이다.

다음으로, 알루미늄으로 구성된 게이트 전극(103)을 형성한다. 상기 게이트 전극의 형성은 스퍼터법에 의해 알루미늄막 2000 내지 5000Å(여기서는 3000Å)의 두께로 성막 하고, 더욱이 포토리소그라피 공정에 의한 공지의 패터닝을 행함으로써 이루어진다. 또한 패터닝의 측면은 테이퍼형으로 되도록 에칭을 행한다[제 1(A)도].

다음으로, 게이트 절연막으로서 기능하는 산화규소막(104)을 스퍼터링 방법으로 1000Å 의 두께로 성막한다. 이하에 성막 조건을 나타낸다.

성막 온도(기판을 가열하는 온도) 160℃

반응 압력 0.5Torr

RF 파워(13.56MHz) 200 mW/cm ^{2}

반응 가스 SiH_4

여기서는 평행 평판형의 플라즈마 CVD 장치를 이용하여 성막 한다. 또한 가열은 수지 기판이 위치하는 기판 스테이지 내에 배치된 히터에 의한 기판의 가열온도이다. 이와 같이하여 제 1(B) 도에 도시한 상태를 얻는다.

또한, 나중의 공정에 있어서, 에칭 스톱퍼(etch stopper)로 기능하는 산화규소막을 스퍼터법으로 성막하고, 패터닝을 실시함으로써 에칭 스톱퍼(106)를 형성한다.

다음으로, N 형의 비정질 규소막(107)을 평행 평판형의 플라즈마 CVD 법으로 300Å 의 두께로 성막한다. 이하에 성막 조건을 나타낸다.

성막 온도(기판을 가열하는 온도) 160℃

반응 압력 0.5 Torr

RF 파워 (13.56MHz) 20 mW/cm ^{2}

반응 가스 B_2H_6/SiH_4 = 1/100

이렇게 하여 제 1(C) 도에 도시한 상태를 얻는다. 그후, N 형의 비정질 규소막(107)과 실질적으로 진성(intrinsic: I 형)의 비정질 규소막(105)에 대해 드라이에칭에 의한 패터닝을 행한다. 그리고, 알루미늄막을 3000Å의 두께로 스퍼터법으로 성막한다. 더욱이 상기 알루미늄막과 그 아래의 N 형 비정질 규소막을 에칭함으로써, 소스전극(108)과 드레인 전극(109)을 형성한다. 이 에칭 공정에 있어서, 에칭 스톱퍼(106)의 작용에 의해, 소스/ 드레인의 분리가 확실히 행해진다[제 1(D)도].

그리고, 산화 규소막 또는 폴리이미드 등의 수지 재료를 이용하여 층간 절연층(110)을 6000Å 의 두께로 형성한다. 산화 규소막을 형성하는 경우에는, 산화 규소 피막 형성용의 도포액을 이용하면 좋다. 마지막으로, 접촉구멍의 형성을 행하고, ITO 를 이용하여, 액티브 매트릭스형의 액정 표시 장치의 각 화소 전극에 배치되는 박막 트랜지스터를 얻을 수 있다[제 1(E) 도].

[실시 예 2]

본 실시예는 실시예 1 에 예시한 박막 트랜지스터를 이용하여 액티브 매트릭스형의 액정 표시 장치를 구성하는 경우의 예를 예시한다. 제 3 도에 본 실시예에 예시한 액정 전기 광학 장치의 단면을 도시한다.

제 3 도에 있어서, 301 과 302 가 한쌍의 기판을 구성하는 두께 10㎛ 의 PET 필름이다. 303 으로 나타낸 것이 평탄화층으로서 기능하는 아크릴 수지층이다. 306 이 화소 전극이다. 제 3 도에는 2 화소분의 구성이 도시되어 있다.

304 는 대향 전극(counter electrode)이다. 307 과 308 은 액정 309 를 배향시키는 배향막(Orientation film)이다. 액정(309)은 TN (twisted - nematic)형 액정이나 STN (supertwisted nematic)형 액정, 또한 강유전성 액정 (ferroelectric liquid crystal) 등을 이용할 수 있다. 일반적으로, TN 액정이 이용된다. 또한, 액정층의 두께로서는 수 ㎛ 내지 10㎛ 정도가 이용된다.

화소 전극(306)에는 박막 트랜지스터(305)가 접속되어 있고, 상기 화소 전극(306)에 출입하는 전하는 박막 트랜지스터 (305)에 의해 제어된다. 여기서는 1 개의 화소 전극(306)에 있어서의 구성을 대표적으로 나타냈지만, 이외에 필요로 하는 수로 마찬가지인 구성이 형성된다.

제 3 도에 도시한 바와 같은 구성에 있어서는 기판 (301, 302)이 가연성을 갖고 있기 때문에, 액정 판넬 전체를 플렉시블한 것으로 하는 것이 가능하다.

[실시예 3]

본 실시예는 액티브 매트릭스형의 액정 표시 장치에 이용되는 코플러(coplanar)형의 박막 트랜지스터를 제조하는 경우의 예를 예시한다. 제 2 도에 본 실시예에 예시하는 박막 트랜지스터의 제조공정을 도시한다. 먼저, 필름형의 유기수지 기판으로서, 두께 100㎛ 의 PET 필름(201)을 준비한다. 그리고, 180℃ 의 가열처리를 가하고, PET 필름내에서의 탈가스화를 촉진시킨다. 그리고, 그 표면에 아크릴 수지로 구성되는 층(202)을 형성한다. 여기서는, 아크릴 수지로서 아크릴산에틸 에스테르를 이용한다.

다음에 채널형성 영역이 형성되는 실질적으로 진성(I 형)의 반도체층(203)을 플라즈마 CVD 법으로 성막한다. 이하에 성막 조건을 나타낸다.

성막 온도(기판을 가열하는 온도) 160℃

반응 압력 0.5 Torr

RF 파워 (13.56HHz) 20 mW/cm^2

반응 가스 SiH_4

여기서는 평행 평판형의 플라즈마 CVD 장치를 이용하여 성막을 행한다.

더욱이, N 형의 비정질 규소막을 평행 평판청의 플라즈마법으로 300Å 의 두께로 성막한다. 이하에 성막 조건을 나타낸다.

성막 온도(기판을 가열하는 온도) 160℃

반응 압력 0.5 Torr

RF 파워 (13.56MHz) 20 mW/cm^2

반응 가스 B_2H_6/SiH_4 = 1/100

그리고, N 형의 비정질 규소막을 패터닝하여, 소스영역 (205)과 드레인 영역(204)을 형성한다[제 2(A) 도].

그리고, 게이트 연막으로서 기능하는 산소 규소막 또는 질화 규소막을 스토퍼법으로 성막하고, 패터닝을 실시함으로써 게이트 절연막(206)을 형성한다. 또한, 알루미늄에 의해 게이트 전극(27)을 형성한다[제 2(B) 도].

다음에, 층간 절연막으로서 폴리이미드층(208)을 5000Å 의 두께로 성막한다. 또한, 접촉구멍의 형성을 행하고, 화소 전극으로된 ITO 전극(209)을 스퍼터법으로 형성하고, 박막 트랜지스터를 완성시킨다[제 2(C) 도].

[실시예 4]

본 실시예에서는 실시예 1 또는 실시예 2 에 예시한 구성에 있어서, 반도체층을 미결정 반도체막으로 구성하는 경우의 예를 예시한다. 먼저, 실질적으로 진정한 반도체층을 미세한 결정(미결정) 반도체층으로 하는 경우의 성막 조건을 나타낸다.

성막 온도(기판을 가열하는 온도) 160℃

반응 압력 0.5 Torr

RF 파워 (13.56MHz) 150 mW/cm ^{2}

반응 가스 SiH_4/H_2 = 1/30

여기서는 평행 평판형의 플라즈마 CVD 장치를 이용하여 성막을 행한다.

다음으로, N 형의 미정질 규소막을 성막하는 경우의 성막 조건을 나타낸다. 상기의 경우도 평행 평판형 플라즈마 CVD 장치를 이용하여 성막을 행하는 경우의 예이다.

성막 온도(기판을 가열하는 온도) 160℃

반응 압력 0.5 Torr

RF 파워 (13.56MHz) 150 mW/cm ^{2}

반응 가스 B_2H_6/SiH_4 = 1/100

일반적으로 투입파워를 100 내지 200 mW/cm ^{2} 로 함으로써, 미결정 규소막을 얻는 것이 가능하다. 또한, I 형의 반도체 층인 경우에는 파워를 높게하는 것에 더하여, 실란을 수소로 10 내지 50 배 정도 희석하면 효과적이다. 그러나, 수소희석을 행하면, 성막 속도가 저하된다.

[실시예 5]

본 실시예는 다른 실시예에서 도시한 바와 같은 플라즈마 CVD 법으로 형성된 규소막에 대해 필름형 기체(기판)를 가열하지 않는 정도의 파워로 레이저광을 조사하는 구성에 관한 것이다.

유리 기판 상에 형성된 비정질 규소막에 대해 레이저광 (예를 들면 KrF, 엑시머레이저광)을 조사하여, 결정 규소막으로 바꾸어 형성하는 기술이 공지되어 있다. 또한, 규소막에 대해 한도전형을 부여하는 불순물 이온을 주입한 후에, 레이저광을 조사함으로써, 결정화(이온주입에 의해 규소막은 비정질화 한다)와 불순물 이온의 활성화를 행하는 기술이 공지되어 있다.

본 실시예에 예시한 구성은 상기와 같은 레이저광의 조사 프로세스를 이용한 것에 있어서, 제 1(A)도 내지 제 1(E)도의 비정질 규소막(105)이나 제 2(A)도 내지 제 2(C)도의 비정질 규소막(203, 204)에 대해 극히 약한 레이저광을 조사하고, 비정질 규소막을 결정화시키는 것을 특징으로 한다. 또한, 미리 성막되는 막이 미결정 규소작인 경우에는 그 결정성을 향상시킬 수 있다.

레이저광으로서는 KrF 엑시머 레이저 또는 Cl 엑시머 레이저를 이용하면 좋다. 또한, 그 조사 에너지는 10 내지 50 mJ/cm^{2}으로 하고, 수지 기판(101) 또는 수지 기판 (201)에 대해 열적인 손상을 주지 않도록 하는 것이 중요하다.

발명의 효과

본 발명을 채용함으로써, 액티브 매트릭스형의 액정 표시 장치에 있어서,

- 장치 자체의 두께를 얇게할 수 있다.

- 중량을 가볍게 할 수 있다.

- 외력에 의해 기판이 파손되지 않은 것을 얻을 수 있다.

- 유연성을 갖는 것을 얻을 수 있다.

이와 같은 액정 표시 장치는 넓은 용도로 이용할 수 있어, 극히 유용한 것이다.

(57) 청구의 범위

청구항 1.

필름형 수지 기판을 탈가스화(degas)하기 위해, 필름형 수지 기판을 소정의 온도로 가열처리하는 단계와,

필름형 수지 기판 상에 주지층을 형성하는 단계와,

상기 수지층 상에 반도체 층을 플라즈마 CVD 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여 박막 트랜지스터들을 형성하는 단계를 포함하는 반도체 장치의 제조방법.

청구항 2.

필름형 수지 기판을 소정의 온도로 가열처리하는 단계와,

상기 가열처리하는 단계후에, 상기 필름형 수지 기판 상에 수지층을 형성하는 단계와,

상기 소정의 온도 보도 낮은 온도로 상기 기판을 가열하면서, 상기 수지층 상에 반도체 층을 플라즈마 CVD 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여, 박막 트랜지스터들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3.

다른 단계들에서 사용된 가열 처리 온도 보다 높은 소정의 온도로, 필름형 수지 기판을 가열처리하는 단계와,

상기 가열처리하는 단계후에, 상기 필름형 수지기판 상에 수지층을 형성하는 단계와,

상기 수지층 상에 반도체 층을 플라즈마 CVD 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여, 박막 트랜지스터들을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 4.

폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트, 폴리에틸렌 설파이트 및 폴리이미드로 이루어진 그룹에서 선택된 재료를 포함하는 기판을, 모든 다른 단계에서 사용된 가열처리온도 보다 높은 온도로, 가열처리하는 단계와,

상기 가열처리하는 단계후에, 상기 기판 상에 수지층을 형성하는 단계와,

상기 수지층 상에 반도체 층을 플라즈마 CVD 법으로 형성하는 단계 및,

상기 반도체 층을 이용하여, 박막 트랜지스터들을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 기판은 폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트 폴리에틸렌 설파이트 및, 폴리이미드로 이루어진 그룹에서 선택된 재료를 포함하는 반도체 장치의 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 수지층은 아크릴산의 메틸 에스테르, 아크릴산의 에틸 에스테르, 아크릴산의 뷰틸 에스테르, 아크릴산의 2-에틸헥실 에스테르로 이루어진 그룹에서 선택된 재료를 포함하는 반도체 장치의 제조 방법.

청구항 7.

제 2 항에 있어서,

상기 기판은 폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트, 폴리에틸렌 설파이트 및, 폴리이미드로 이루어진 그룹에서 선택된 재료를 포함하는 반도체 장치의 제조 방법.

청구항 8.

제 2 항에 있어서,

상기 수지층은 아크릴산의 메틸 에스테르, 아크릴산의 에틸 에스테르, 아크릴산의 뷰틸 에스테르, 아크릴산의 2-에틸헥실 에스테르로 이루어진 그룹에서 선택된 재료를 포함하는 반도체 장치의 제조 방법.

청구항 9.

제 3 항에 있어서,

상기 기판은 폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트, 폴리에틸렌 설파이트 및, 폴리이미드로 이루어진 그룹에서 선택된 재료를 포함하는 반도체 장치의 제조 방법.

청구항 10.

제 3 항에 있어서,

상기 수지층은 아크릴산의 메틸 에스테르, 아크릴산의 에틸 에스테르, 아크릴산의 뷰틸 에스테르, 아크릴산의 2-에틸 헥실 에스테르로 이루어진 그룹에서 선택된 재료를 포함하는 반도체 장치의 제조 방법.

청구항 11.

제 4 항에 있어서,

상기 수지층은 아크릴산의 메틸 에스테르, 아크릴산의 에틸 에스테르, 아크릴산의 뷰틸 에스테르, 아크릴산의 2-에틸 헥실 에스테르로 이루어진 그룹에서 선택된 재료를 포함하는 반도체 장치의 제조 방법.

청구항 12.

수지 기판을 탈가스화하도록 상기 수지가판을 가열처리하는 단계와,

평탄화된 표면을 제공하도록, 상기 가열처리하는 단계후에 상기 수지기판의 평탄하지 않은 표면위에 수지층을 형성하는 단계와,

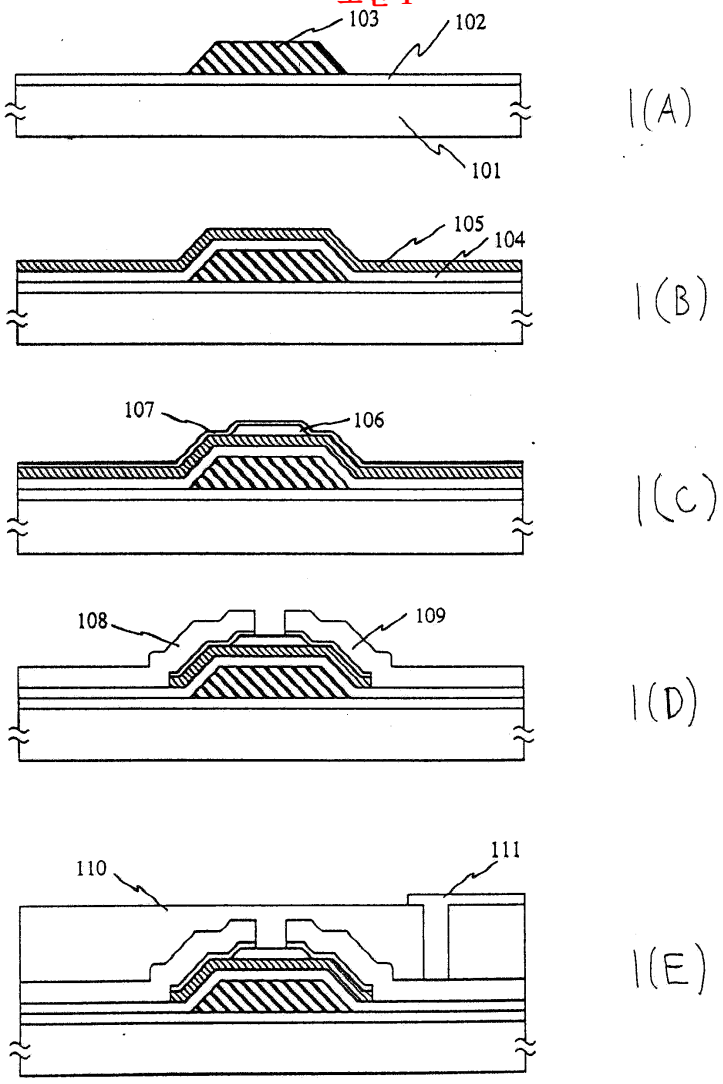
상기 수지층의 평탄화 표면상에 비정질 실리콘을 포함하는 반도체 층을 형성하는 단계와,

소스 영역과 드레인 영역 및 상기 소스 영역과 드레인 영역 사이의 채널 형성 영역을 갖고 채널 형성 영역에 인접한 게이트 전극 및 상기 채널 형성 영역과 게이트 전극 사이의 게이트 절연막을 더 갖는 박막 트랜지스터를, 적어도 반도체층의 채널 형성 영역으로 형성하는 단계 및,

레벨링 표면을 제공하도록 상기 박막 트랜지스터 상에 수지재료를 포함하는 층간 절연층을 형성하는 단계를 포함하는 반도체 장치의 제조방법.

도면

도면 1



1(A)

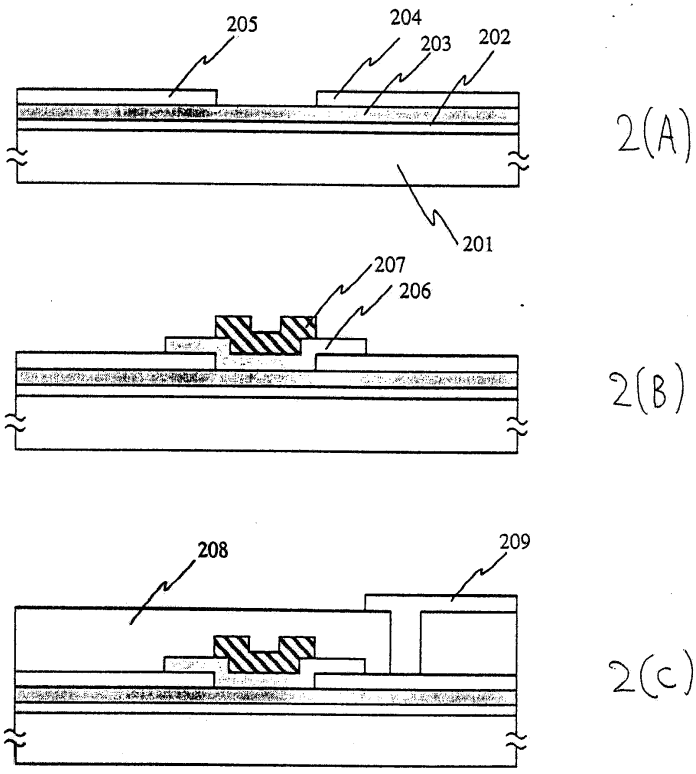
1(B)

1(C)

1(D)

1(E)

도면 2



2(A)

2(B)

2(C)

도면 3

