



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2012-0052273  
(43) 공개일자 2012년05월23일

(51) 국제특허분류(Int. Cl.)  
H03K 17/693 (2006.01) H03K 19/173 (2006.01)  
H01L 21/82 (2006.01)  
(21) 출원번호 10-2012-7002943  
(22) 출원일자(국제) 2010년08월05일  
심사청구일자 없음  
(85) 번역문제출일자 2012년02월02일  
(86) 국제출원번호 PCT/US2010/044598  
(87) 국제공개번호 WO 2011/017552  
국제공개일자 2011년02월10일  
(30) 우선권주장  
61/231,643 2009년08월05일 미국(US)  
61/255,804 2009년10월28일 미국(US)

(71) 출원인  
코비오 인코포레이티드  
미국 캘리포니아 95035 밀피타스 233 사우스. 힐  
뷰 드라이브  
(72) 발명자  
왕, 치강  
미국, 캘리포니아 94086, 썬니베일, 홀리 테라스  
108  
서브라마니안, 비벡  
미국, 캘리포니아 94563, 오룬다, 히든 레인 8  
클리버랜드, 리  
미국, 캘리포니아 95051, 산타 클라라, 세인트  
메리스 플레이스 3428  
(74) 대리인  
특허법인천문

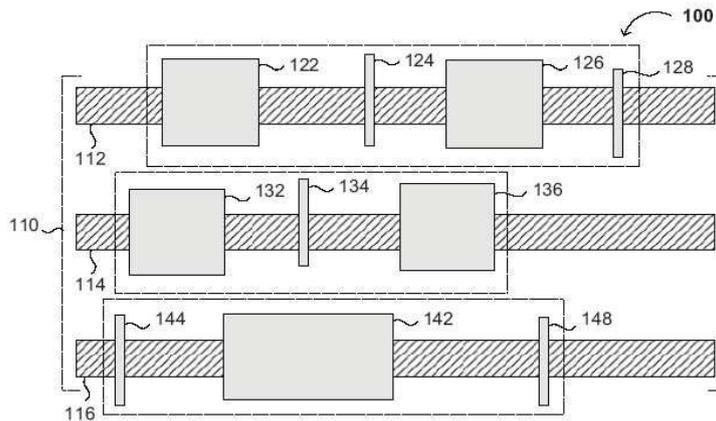
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 인쇄된 전자장치를 위한 인쇄 호환가능한 디자인 및 레이아웃

**(57) 요약**

본 발명의 실시예는 전자 잉크의 인쇄와 호환가능한 회로 레이아웃, 전자 잉크를 인쇄하여 형성되거나 또는 인쇄와 종래의 블랭킷 증착 및 포토리소그래피의 조합에 의해 형성되는 인쇄 회로, 및 인쇄 호환가능한 모양을 갖는 구조물들 상에 전자 잉크를 인쇄하여 회로를 형성하는 방법에 관한 것이다. 레이아웃은 (1) 인쇄 호환가능한 모양 및 (2) 레이아웃의 다른 모든 형상의 배향과 수직하거나 평행한 배향을 갖는 형상을 포함한다.

**대표도** - 도2



**특허청구의 범위**

**청구항 1**

인쇄 회로의 제1 구조물 세트에 대응하는 제1 복수의 형상들을 필수적으로 포함하고, 상기 제1 복수의 형상들 각각은 독립적으로 상기 제1 복수의 형상들의 다른 모든 형상들의 배향과 수직하거나 평행한 배향을 가진 제1 인쇄 호환가능한 모양을 필수적으로 포함하는, 상기 인쇄 회로의 제1 층을 위한 제1 레이아웃; 및

상기 인쇄 회로의 인쇄된 구조물 세트에 각각 대응하는 제2 복수의 형상들을 필수적으로 포함하고, 상기 제2 복수의 형상들 각각은 독립적으로 상기 제2 복수의 형상들의 다른 모든 형상들의 배향 및 상기 제1 복수의 형상들의 모든 형상들의 배향과 수직하거나 평행한 배향을 가진 제2 인쇄 호환가능한 모양을 필수적으로 포함하는, 상기 인쇄 회로의 제2 인쇄된 층을 위한 제2 레이아웃을 포함하여 이루어지고,

이때, 상기 제2 복수의 형상들의 제1 및 제2 서브세트는 상기 제1 복수의 형상들의 제1 및 제2 서브세트에 각각 오버랩되는 것을 특징으로 하는 인쇄 회로의 레이아웃.

**청구항 2**

제 1항에 있어서,

상기 제1 및 제2 인쇄 호환가능한 모양 각각은 독립적으로 직사각형, 정사각형, 선, 원, 및 타원으로 이루어진 그룹으로부터 선택되는 것을 특징으로 하는 레이아웃.

**청구항 3**

제 2항에 있어서,

상기 제1 복수의 형상들 각각은 길이 및 폭을 갖는 직사각형, 정사각형, 또는 선을 필수적으로 포함하고, 이때, 상기 제1 복수의 형상들 각각의 길이 및 폭은 상기 제1 복수의 형상들의 다른 모든 형상들의 길이 및 폭에 수직하거나 평행한 것을 특징으로 하는 레이아웃.

**청구항 4**

제 3항에 있어서,

상기 제2 복수의 형상들 각각은 길이 및 폭을 갖는 직사각형 또는 선을 필수적으로 포함하고, 이때, 상기 제2 복수의 형상들 각각의 길이 및 폭은 상기 제1 복수의 형상들 및 상기 제2 복수의 형상들의 다른 모든 형상들의 길이 및 폭에 수직하거나 평행한 것을 특징으로 하는 레이아웃.

**청구항 5**

제 3항에 있어서,

상기 제1 복수의 형상들 각각은 직사각형 또는 정사각형을 필수적으로 포함하고, 상기 제2 복수의 형상들은 각각은 지름을 갖는 원 또는 최대 길이와 최대 폭을 갖는 타원을 필수적으로 포함하는 것을 특징으로 하는 레이아웃.

**청구항 6**

제 5항에 있어서,

상기 제1 복수의 형상들의 상기 제1 서브세트 각각의 길이 또는 폭은 상기 제2 복수의 형상들의 상기 제1 서브세트 각각의 지름 및/또는 최대 폭 보다 크고,

상기 제1 복수의 형상들의 상기 제2 서브세트 각각의 길이 또는 폭은 상기 제2 복수의 형상들의 상기 제2 서브세트의 지름 및/또는 최대 폭 보다 큰 것을 특징으로 하는 레이아웃.

**청구항 7**

제 1항에 있어서,

상기 제2 복수의 형상들 각각은 상기 제1 복수의 형상들 각각의 폭 보다 큰 길이 또는 폭을 갖는 것을 특징으로 하는 레이아웃.

**청구항 8**

제 7항에 있어서,

상기 제1 복수의 형상들 각각은 제1 최소 길이 및 제1 최소 폭을 갖고,

상기 제2 복수의 형상들 각각은 상기 제1 최소 길이 및 제1 최소 폭과 같거나 더 큰 제2 최소 길이 및 제2 최소 폭을 갖는 것을 특징으로 하는 레이아웃.

**청구항 9**

제 8항에 있어서,

상기 제1 복수의 형상들은 제1 최소 내부형상 간격(inter-feature spacing)을 갖고, 상기 제2 복수의 형상들은 상기 제1 내부형상 간격과 같거나 더 큰 제2 내부형상 간격을 갖는 것을 특징으로 하는 레이아웃.

**청구항 10**

제 9항에 있어서,

상기 제1 최소 길이, 상기 제1 최소 폭, 상기 제1 내부형상 간격, 상기 제2 최소 길이, 상기 제2 최소 폭, 및 상기 제2 내부형상 간격 각각은 프린터 그리드(grid)에 연관된 것을 특징으로 하는 레이아웃.

**청구항 11**

제1 인쇄 호환가능한 모양을 필수적으로 포함하는 레이아웃의 모양을 각각 갖는 제1 복수의 구조물들을 필수적으로 포함하고, 상기 제1 복수의 구조물들 각각은 상기 제1 복수의 구조물들의 다른 모든 구조물의 배향과 수직하거나 평행하게 배향된, 제1 층; 및

제2 인쇄 호환가능한 모양을 필수적으로 포함하는 레이아웃의 모양을 각각 갖는 제2 복수의 구조물들을 필수적으로 포함하고, 상기 제2 복수의 구조물들 각각은 상기 제1 복수의 구조물들의 모든 구조물의 배향 및 상기 제2 복수의 구조물들의 다른 모든 구조물의 배향과 수직하거나 평행하게 배향된, 제2 층을 포함하여 이루어지고,

이때, 상기 제2 복수의 구조물들의 제1 및 제2 서브세트는 상기 제1 복수의 구조물들의 제1 및 제2 서브세트에 각각 오버랩되는 것을 특징으로 하는 인쇄 회로.

**청구항 12**

제 11항에 있어서,

상기 제1 및 제2 인쇄 호환가능한 모양 각각은 독립적으로 직사각형, 정사각형, 선, 원, 및 타원으로 이루어진 그룹에서 선택된 것을 특징으로 하는 인쇄 회로.

**청구항 13**

제 12항에 있어서,

상기 제1 복수의 구조물들은 각각 길이 및 폭을 갖는 직사각형, 정사각형, 또는 선을 필수적으로 포함하고, 이때, 상기 제1 복수의 구조물들 각각의 길이 및 폭은 상기 제1 복수의 구조물들의 다른 모든 구조물의 길이 및 폭에 수직하거나 평행한 것을 특징으로 하는 인쇄 회로.

**청구항 14**

제 13항에 있어서,

상기 제1 복수의 구조물들 각각은 직사각형 또는 정사각형을 필수적으로 포함하고, 상기 제2 복수의 구조물들 각각은 지름을 갖는 원 또는 최대 길이와 최대 폭을 갖는 타원을 필수적으로 포함하는 것을 특징으로 하는 인쇄 회로.

**청구항 15**

제 11항에 있어서,

상기 제1 복수의 구조물들의 상기 제1 서브세트 각각의 길이 또는 폭은 상기 제2 복수의 구조물들의 상기 제1 서브세트 각각의 지름 및/또는 최대 폭 보다 크고,

상기 제1 복수의 구조물들의 상기 제2 서브세트 각각의 길이 또는 폭은 상기 제2 복수의 구조물들의 상기 제2 서브세트 각각의 지름 및/또는 최대 폭 보다 큰 것을 특징으로 하는 인쇄 회로.

**청구항 16**

제 15항에 있어서,

상기 제1 복수의 구조물들 각각은 제1 최소 길이 및 제1 최소 폭을 갖고;

상기 제1 복수의 구조물들은 제1 최소 내부구조 간격을 갖고;

상기 제2 복수의 구조물들 각각은 상기 제1 최소 길이 및 상기 제1 최소 폭과 같거나 더 큰 제2 최소 길이 및 제2 최소 폭을 갖고; 그리고,

상기 제2 복수의 구조물들은 상기 제1 내부구조 간격과 같거나 더 큰 제2 내부구조 간격을 갖는 것을 특징으로 하는 인쇄 회로.

**청구항 17**

제 16항에 있어서,

상기 제1 최소 길이, 상기 제1 최소 폭, 상기 제1 내부형상 간격, 상기 제2 최소 길이, 상기 제2 최소 폭, 및 상기 제2 내부형상 간격 각각은 프린터의 그리드(grid)와 연관된 것을 특징으로 하는 인쇄 회로.

**청구항 18**

제 11항에 있어서,

상기 제1 구조물 세트는 실리콘 및/또는 게르마늄 원소를 포함하고, 상기 제2 구조물 세트는 IVA 족 원소 및/또는 금속을 포함하는 것을 특징으로 하는 인쇄 회로.

**청구항 19**

제1 인쇄 호환가능한 모양을 필수적으로 포함하는 레이아웃의 모양을 각각 갖는 제1 복수의 구조물들을 필수적으로 포함하고, 상기 제1 복수의 구조물들 각각은 상기 제1 복수의 구조물들의 다른 모든 구조물의 배향과 수직하거나 평행하게 배향된, 제1 층을 형성하는 공정; 및

제2 인쇄 호환가능한 모양을 필수적으로 포함하는 레이아웃의 모양을 각각 갖는 제2 복수의 구조물들을 필수적으로 포함하고, 상기 제2 복수의 구조물들 각각은 상기 제1 복수의 구조물들의 모든 구조물의 배향 및 상기 제2 복수의 구조물들의 다른 모든 구조물의 배향과 수직하거나 평행하게 배향된, 제2 층을 인쇄하는 공정을 포함하여 이루어지고,

이때, 상기 제2 복수의 구조물들의 제1 및 제2 서브세트는 상기 제1 복수의 구조물들의 제1 및 제2 서브세트에 각각 오버랩되는 것을 특징으로 하는 집적 회로에 하나 또는 그 이상의 층의 인쇄 방법.

**청구항 20**

제 19항에 있어서,

상기 제1 및 제2 인쇄 호환가능한 모양은 각각 독립적으로 직사각형, 정사각형, 선, 원, 및 타원으로 구성되는 그룹에서 선택되는 것을 특징으로 하는 인쇄 방법.

**청구항 21**

제 20항에 있어서,

상기 제1 복수의 구조물들 각각은 길이 및 폭을 갖는 직사각형, 정사각형, 또는 선을 필수적으로 포함하고,

상기 제2 복수의 구조물들 각각은 길이 및 폭을 갖는 직사각형 또는 선을 필수적으로 포함하고, 이때, 상기 제1 복수의 구조물들 각각의 길이 및 폭은 상기 제1 복수의 구조물들의 다른 모든 구조물의 길이 및 폭과 수직하거나 평행하고, 상기 제2 복수의 구조물들 각각의 길이 및 폭은 상기 제1 복수의 구조물들 및 상기 제2 복수의 구조물들의 다른 모든 구조물의 배향과 수직하거나 평행한 것을 특징으로 하는 인쇄 방법.

**청구항 22**

제 20항에 있어서,

상기 제1 복수의 구조물들 각각은 직사각형 또는 정사각형을 필수적으로 포함하고, 상기 제2 복수의 구조물들 각각은 지름을 갖는 원 또는 최대 길이 및 최대 폭을 갖는 타원을 필수적으로 포함하고,

이때, 상기 제1 복수의 구조물들 내의 상기 제1 서브세트 각각의 길이 또는 폭은 상기 제2 복수의 구조물들 내의 상기 제1 서브세트 각각의 지름 및/또는 최대 폭 보다 크고,

상기 제1 복수의 구조물들 내의 상기 제2 서브세트 각각의 길이 또는 폭은 상기 제2 복수의 구조물들 내의 상기 제2 서브세트 각각의 지름 및/또는 최대 폭 보다 큰 것을 특징으로 하는 인쇄 방법.

**청구항 23**

제 19항에 있어서,

상기 제1 복수의 구조물들 각각은 제1 최소 길이 및 제1 최소 폭을 갖고; 상기 제1 복수의 구조물들은 제1 최소 내부구조 간격을 갖고; 상기 제2 복수의 구조물들 각각은 제2 최소 길이 및 제2 최소 폭을 갖고; 상기 제2 복수의 구조물들은 제2 내부구조 간격을 갖고; 상기 제2 최소 길이 및 제2 최소 폭은 상기 제1 최소 길이 및 제1 폭과 같거나 더 크고; 그리고, 상기 제2 내부구조 간격은 상기 제1 내부구조 간격과 같거나 더 큰 것을 특징으로 하는 인쇄 방법.

**청구항 24**

제 23항에 있어서,

상기 제1 최소 길이, 상기 제1 최소 폭, 상기 제1 내부구조 간격, 상기 제2 최소 길이, 상기 제2 최소 폭, 및 상기 제2 내부구조 간격은 프린터의 그리드와 연관된 것을 특징으로 하는 인쇄 방법.

**청구항 25**

제 19항에 있어서,

상기 제2 층을 인쇄하는 공정은 상기 제1 층과 접촉하거나 그 위에(onto or over) 하나 또는 그 이상의 반도체 및/또는 금속 전구체들을 포함하는 잉크 조성물을 인쇄하는 공정을 포함하는 것을 포함하는 것을 특징으로 하는 인쇄 방법.

**청구항 26**

제 25항에 있어서,

상기 제1 층을 형성하는 공정은 기판 상에 전자 잉크 조성물을 인쇄하는 공정을 포함하는 것을 특징으로 하는 인쇄 방법.

**명세서**

**기술분야**

[0001] 본 출원은, 전체가 본 명세서에 참조로 인용되는, 2009년 8월 5일에 출원된 미국 가출원 제61/231,643호 (Attorney Docket No. IDR3151), 및 2009년 10월 28일에 출원된 제61/255,804호 (Attorney Docket No. IDR3121)을 우선권주장한다.

[0002] 본 발명은 개략적으로 인쇄된 전자장치(Printed Electronics)를 위한 레이아웃들(Layouts), 상기 레이아웃들을 포함하거나 이에 기반한 인쇄 회로(Printed Circuits), 및 회로 구조를 형성하기 위해 상기 레이아웃들을 이용하는 인쇄 방법에 관한 것이다. 인쇄 회로는 인쇄된 반도체, 컨덕터, 및/또는 유전체 또는 이들의 조합을

포함할 수 있다. 인쇄 회로를 형성하기 위해 이용된 상기 방법은 상기 레이아웃에 대응하는 패턴으로 다양한 기관 및/또는 구조물 상에 반도체, 컨덕터, 유전체, 및/또는 도펀트 잉크를 인쇄(printing)하는 공정을 포함한다.

**배경 기술**

[0003] 인쇄 전자 회로는 몇몇 제조상의 문제를 갖는다. 이 문제는 포토리소그래피로 형성된 종래의 회로와 반드시 비슷한 것은 아니다. 첫째, 인쇄 기술은 층간정합(layer to layer registration)이 상대적으로 열악할 수 있고, 이로 인해 상대적으로 큰 오버레이 허용치를 야기할 수 있다. 둘째, 인쇄 기술은 일반적으로 포토리소그래피 보다 낮은 해상도를 갖는다. 그리고 일부 인쇄 기술은 비대칭적인 해상도 한계를 가질 수 있다(즉, 한 방향(dimension)에 대한 해상도는 다른 방향에 대한 해상도와 다를 수 있다). 셋째, 인쇄기술은 종종 인접한 패턴 사이에서 위킹(wicking), 결합(merging) 등과 같은 근접성(proximity) 및 형상 관련 효과를 보임으로써, 비이상적 패턴의 형성을 야기한다.

[0004] 다양한 인쇄 공정에 있어서, 액상 잉크는 잉크젯 인쇄, 그라비아(gravure) 인쇄, 스크린 인쇄, 플렉서그래픽(flexographic) 인쇄 등의 기술을 사용하여 선택적으로 증착(예를 들어 인쇄)될 수 있다. 인쇄 전자로 인해서 종래의 반도체 및 집적회로 제조에서 공정 비용이 감소될 수 있다. 이를 위해서, 일반적으로 전자적 특징(예로서, 전기적으로 기능하거나 절연적인 구조물 또는 필름)을 부여하기 위해 전자 잉크(예를 들어, 도핑되거나 도핑되지 않은 반도체의, 전도체의, 또는 유전체의 구조물 또는 필름 형성을 위한 하나 또는 그 이상의 전구체를 포함하는 잉크)의 첨가 증착을 이용할 수 있다. 인쇄된 구조물들을 형성하는 상기 접근방식은 전구체 물질들의 효율적 사용(i) 및 하나의 인쇄 단계에서 증착과 패턴닝의 수행(ii)에 의해 비용적인 면에서 효과적일 수 있다. 전기적 구조물들을 형성하기 위한 도핑되거나 도핑되지 않은 전도체의, 반도체의, 및 유전체의 잉크를 사용하는 것은 집적 회로 및/또는 그 안에 들어 있는 구조물을 형성하기 위한 마스크, 포토리소그래피, 및 에칭 단계의 수를 줄이거나 최소화한다.

[0005] 이에 따라, 집적 회로 및 디스플레이 제조 산업에 있어서, 잉크 기술을 이용하여 전자 장치를 제조하는 방법을 개발하는 중요한 동기가 부여된다. 그러나, 이러한 전자 잉크의 인쇄는 표면에서 다이내믹하게 퍼지는 유체의 포텐셜로 인해서 중요한 문제가 야기된다. 이러한 퍼짐은 잉크의 습윤화(wetting) 및 증발(evaporation) 특성과 관련될 수 있다. 또한, 잉크는 인접한 패턴 사이에서 발생하는 결합(merging)과 같은 근접성(proximity) 및 형상 관련 효과가 나타날 수 있으며, 이로 인해 의도한 패턴과 상당한 때로는 치명적인 편차를 야기할 수 있다.

[0006] 일반적으로, 인쇄 방법으로 형성된 구조물에 있어서 해상도, 층간정합, 및 패턴 정확도(모서리의 선명함, 선 경계의 거칠기 등에 있어서)는 종래의 광학적 포토리소그래피 기술에 미치지 못한다. 그러나, 인쇄는 비용 효율성 및 회로에서 층간 부드러운 전환을 가능하게 하는 매끈한(예를 들어, 둠 형상) 구조적 윤곽(예를 들어, 다듬는 단계(sharp steps)를 거치지 않고, 이후 증착되는 구조물에 대한 보다 완전 및/또는 균일한 스텝 커버리지를 제공)과 같은 가치있는 혜택을 제공한다. 인쇄 기술은 때때로 해상도의 저하뿐 아니라 비대칭적 해상도 한계(예를 들어, 한 방향에서의 해상도(예를 들어 X축)는 다른 방향(예를 들어 Y축)의 해상도와 차이가 있을 수 있다)가 있다. 게다가, 패턴 정확도는 인쇄 회로 형상에서 이슈가 된다. 예를 들어, 종래의 광학적 리소그래피에 있어서, 불규칙적인 다각형과 같은 모양을 배치하는 것은 특별히 문제되지 않는다. 그러나, 이러한 형상은 잉크의 습윤화(wetting) 및 위킹(wicking) 효과 때문에 특별히 인쇄 기술에 적합하지 않다.

[0007] 도 1은 반도체 섬(11 내지 16)에 대한 제1 레이아웃(10) 및 게이트들(21 내지 29)에 대한 제2 레이아웃(20) 각각이 불규칙적인 형상(예를 들어 12, 14, 16, 및 22 내지 27)을 포함하고 있는 종래의 레이아웃 접근을 나타낸다. 전통적인 포토리소그래피 공정을 사용하는 주문형 반도체(Application Specific Integrated Circuit : ASIC) 설계에 있어 일반적인 접근 및/또는 관계가 있다. 이러한 종래의 레이아웃을 사용하는 전자 잉크의 인쇄는 어려울 수 있다. 왜냐하면 형상들은 일반적으로 포토리소그래피에 의해 달성되는 최소 치수로 인쇄될 수 없고, 불규칙한 기하학적 구조 및/또는 비평면 또는 비균일 표면에 인쇄된 잉크는 액상에서의 물리적 현상 {예를 들어 퍼짐(spreading) 및 근원적인 지형(topography)이나 표면 에너지에 따른 위킹(wicking)에 기인한 이상적 패턴과 대상 패턴의 편차, 표면 장력 효과에 기인한 비딩(beading) 등}에 의해 불리하게 작용할 수 있기 때문이다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명의 실시예는 인쇄 전자 회로의 레이아웃에 관련되고, 상기 레이아웃을 이용하거나 이에 따른 인쇄 회로 구조에 관련되고, (포토)리소그래피로 형성된 전자 구조와 인쇄로 형성된 전자 구조의 조합, 상기 레이아웃과 인쇄 구조를 포함하는 회로, 및 다양한 기판 위에 반도체, 도체, 유전체, 및/또는 도펀트 구조물을 인쇄하여 얻는 회로를 형성하기 위해 상기 레이아웃을 사용하는 방법에 관련된다. 또한 특히, 본 발명의 실시예는 전자 잉크 조성물(예를 들어, 전도체, 유전체, 또는 도핑되거나 도핑되지 않은 반도체 중 하나 또는 그 이상으로 이루어진 전구체들로 구성됨)의 인쇄와 양립가능한 레이아웃과 관련된다. 기판 상에 인쇄된 전자 잉크는 다수의 상이한 현상들(예를 들어, 퍼짐[습윤화(wetting)] 및 비습식 행동, 위킹(wicking), 인쇄 정렬 불량, 패턴 근접 효과, 엣지 및 코너 효과, 지형학적/형태학적 불일치 등)에 의해 미리 규정된 인쇄 패턴에서 벗어나는 경향이 있기 때문에, 본 발명의 레이아웃은 전체적으로 기판 상에 인쇄된 전자 잉크로부터 특정 현상들을 형성하는데 있어 더욱 큰 내부형상 간격 및 더욱 넓은 공간을 제공하는 패턴들을 제공한다.

**과제의 해결 수단**

[0009] 인쇄 전자장치의 응용에 있어서, 형상의 치수(예를 들어, 선폭, 두께 등)를 제어하는 레벨 및 설치 정확성은 인쇄 방법에 따라서 상당히 달라질 수 있다. 상기 레이아웃은 패턴 피치 및 간격이 인쇄된 전자 잉크의 습성 및/또는 경향(예를 들어, 퍼짐[습윤화(wetting)] 및 비습식[높은 표면 장력] 행동, 위킹(wicking), 패턴 근접 효과, 엣지 및 코너 효과, 지형학적/형태학적 불일치 등)을 보상할 수 있도록 설계될 수 있다. 따라서, 본 발명에 따른 레이아웃, 회로 및 상기 레이아웃을 포함하거나 이를 기초로 한 전기 회로망을 형성하는 방법은 패턴에 하나 또는 그 이상의 잉크를 인쇄하는 것을 포함하는 제조공정의 성능과 수율을 향상시키는데 사용될 수 있다. 상기 레이아웃은 인쇄와 호환가능한 모양(예를 들어, 줄무늬, 직사각형, 타원형, 원 등) 및 바람직한 배향에 따른 배치나 정렬을 갖는 패턴을 포함할 수 있다. 이는 종래의 포토리소그래피 공정에서는 불필요하지만, 인쇄 회로에 있어서, 상기 모양 및 배향 선택은 상대적으로 제한 가능한 속성을 갖는 강력한 인쇄 구조를 실현할 수 있게 한다. 예를 들어, 잉크젯 인쇄(예를 들어, 반도체 또는 폴리실란(polysilane)이나 은과 같은 금속 전구체를 포함하는 잉크) 또는 스크린 인쇄(예를 들어, N 타입 또는 P 타입 도펀트 소스를 포함하는 유전체 전구체)에 있어서, 인쇄 호환가능한 모양은 선, 사각형, 직사각형, 원, 및 타원형을 포함한다. 그라비아(gravure) 인쇄에 있어서, 인쇄 호환가능한 모양은 직사각형, 사각형, 및 선(예를 들어, 도 2를 참조)을 포함한다.

[0010] 일부 실시예에 있어서, 본 발명의 회로 레이아웃(예를 들어, 회로 혹은 회로소자가 형성될 수 있는 레이아웃)은 (포토)리소그래피에 의해 형성되는 선 및/또는 다른 구조물들(예를 들어, 패드)을 포함한다. 전자 잉크는 이러한 구조물(예를 들어 인쇄된 구조물 또는 잉크에 대한 레이아웃) 상에서 미리 정해진 패턴으로 인쇄될 수 있다. 회로 레이아웃은 각각의 층에서 구조물의 모양을 정의하는 멀티 패턴층을 포함할 수 있다. 예를 들면, 회로 레이아웃은 평행한 반도체 섬들(예를 들어, 선형 구조나 모양을 가질 수 있다) 같은 구조물들의 층을 정의하는 제1 패턴 및 제1 층 상에 형성된 기능적인 층들의 수에 대응하는 하나 또는 그 이상의 패턴을 포함할 수 있다. 구조물들의 제1 층은 하나 또는 그 이상의 선(일련의 반복되는 평행하게 수직 및/또는 수평한 선, 미리 정해진 간격으로 그들의 사이에 형성된 섬) 및/또는 패드(예를 들어, 직사각형, 사각형, 사다리꼴, 타원형, 원형 등)를 포함할 수 있다. 제1 층 상에 형성된 층(들)은 제1 층의 구조물에서 미리 정해진 간격으로 서로 분리되어 형성된 회로 소자(예를 들어, 박막트랜지스터, 캐패시터, 다이오드, 배선 등)로 구성된 구조물을 포함할 수 있다.

[0011] 그 위에 전자 잉크가 증착되는 구조물(예를 들어, [포토]리소그래피로 정의된 선 및/또는 패드)를 따라 점(포인트)들이 선택되어, 미리 정해진 패턴 내에 전자 잉크를 증착(예를 들어, 프린팅)함으로써 이어서 형성되는 현상들을 위한 적당한 공간이 제공된다. 각각의 선 및 다른 회로 구조물들은 기본적으로 어떤 내부선/내부구조물들과도 이격되도록 위치함으로써, 원치않는 오버랩 또는 인접한 및/또는 가까이에 있는 인쇄 구조들과 쇼팅(shorting) 없이 전자 잉크가 습윤화(wetting)될 수 있도록 한다.

[0012] 레이아웃은 회로를 형성하거나 인쇄하는 방법에 사용될 수 있다. 이것은 기판 위의 미리 형성된 패턴 상에 미리 정해진 패턴(예를 들어, 선, 사각형, 직사각형, 원, 타원 등을 포함한다)으로 반도체, 유전체, 혹은 전도체 잉크와 같은 잉크 조성물을 인쇄하는 것을 포함한다. 미리 형성된 패턴은 구조물들(예를 들어, 선 및/또는 패드)의 제1 층을 포함할 수 있다. 제1 층은 인쇄(printing) 또는 종래의 증착(화학적 기상 증착[CVD], 물리적 기상 증착[PVD] 등), 포토리소그래피, 및 에칭 기술에 의해 형성될 수 있다. 추가적인 층(들)은 종래의 리소그래피 기술 및/또는 전자 잉크의 인쇄에 의해 형성될 수 있으나, 일반적으로, 적어도 하나 이상의 추가적

인 층은 전자 잉크의 인쇄에 의해 형성된다. 상기 추가적인 층(들)은 제1층의 구조물들 상에 형성된 회로 소자(예를 들어, 박막트랜지스터, 캐패시터, 다이오드, 배선 등)내의 구조물들을 포함할 수 있다.

[0013] 다른 실시예에 있어서, 도펀트 잉크(예를 들어 유전체 잉크는 P 타입 또는 N 타입을 포함한다), 유전체 잉크, 또는 금속 잉크(실리사이드(silicide)를 형성하기 위한)는 제1층의 구조물들 내의 반도체(예를 들어 실리콘, 게르마늄 등) 선, 패트, 및/또는 점으로 미리 형성된 패턴 상에 인쇄될 수 있다. 기관 및/또는 제1층의 구조물 상에 증착된 전자 잉크(들)은 그 다음에 처리된다. 예를 들어, 실리콘 구조물 상에 증착된 도펀트 잉크의 경우에, 도펀트 잉크를 그 위에 구비하는 실리콘 구조물의 패턴은 도펀트 잉크의 증착 후에 가열되어 도펀트가 실리콘 구조물 내로 드라이브(drive)된다.

[0014] 본 발명의 제 1 실시예는 회로 형성들의 제1 레이아웃 및 회로 형성들의 제2 레이아웃을 포함하는 레이아웃에 관한 것이다. 상기 회로 형성들의 제1 레이아웃은 회로 내의 인쇄된 구조물의 제1 세트에 대응하는 제1 복수의 형성들을 포함하고, 상기 제1 복수의 형성들 각각은 독립적으로 제1 복수의 형성들의 다른 모든 형성들의 배향(orientation)과 수직하거나 평행한 배향을 갖는 인쇄 호환가능한 모양을 갖는다. 상기 회로 형성들의 제2 레이아웃은 회로 내의 인쇄된 구조물의 제2 세트에 대응하는 제2 복수의 형성들을 포함하고, 상기 제2 복수의 형성들 각각은 독립적으로 제2 복수의 형성들의 다른 모든 형성들의 배향(orientation) 및 제1 복수의 형성들의 모든 형성들의 배향(orientation)과 수직하거나 평행한 배향을 갖는 인쇄 호환가능한 모양을 갖는다. 상기 제1 및 제2 복수의 형성들 각각은 하나 또는 그 이상의 서브 세트를 포함할 수 있고, 상기 제2 복수의 형성들의 하나 또는 그 이상의 서브 세트는 상기 제1 복수의 형성의 하나 또는 그 이상의 서브세트에 각각 오버랩될 수 있다. 예를 들어, 제1 복수의 형성들은 제1 복수의 형성들의 서브세트로 볼 수 있는 복수의 평행한 반도체 섬을 포함할 수 있고, 제2 복수의 형성들의 서브세트 각각은 상기 반도체 섬에 오버랩되는 인쇄 호환가능한 모양을 갖는 다중(multiple) 회로 소자를 포함할 수 있다. 제2 복수의 형성들의 제1 서브세트는 제1 복수의 형성들(예를 들어, 첫번째 반도체 섬)에 오버랩될 수 있고, 제2 복수의 형성들의 제2 서브세트는 다른 제1 복수의 형성들(예를 들어 두번째 반도체 섬)에 오버랩될 수 있다. 이후 같은 방법으로 반복된다. 인쇄 호환가능한 지형 및/또는 패턴(예를 들어, 선, 정사각형, 직사각형, 원, 및 타원, 등)들은 상술한 바와 같이 각각 같을 수도 혹은 다를 수도 있다.

[0015] 본 발명의 제2 실시예에 따르면, 본 발명은 제1 인쇄층 및 제2 인쇄층을 포함하는, 기관 상에 인쇄된 회로에 관한 것이다. 상기 제1 인쇄층은 제1 복수의 회로 구조물들을 필수적으로 포함하고, 제1 복수의 회로 구조물들 각각은 제1 복수의 구조물들의 다른 모든 구조물들의 길이 및 폭과 수직하거나 평행한 배향을 갖는 인쇄 호환가능한 모양을 갖는다. 상기 제2 인쇄층은 제2 복수의 구조물들을 포함하고, 제2 복수의 구조물들 각각은 제2 복수의 구조물들의 다른 모든 구조물들의 길이 및 폭, 및 제1 복수의 구조물들의 모든 구조물들의 길이 및 폭과 수직하거나 평행한 배향을 갖는 인쇄 호환가능한 모양을 필수적으로 갖는다. 레이아웃과 관련하여 상술한 바와 같이, 제1 복수의 구조물들 각각은 제1 및 제2 서브세트를 가질 수 있고, 제2 복수의 형성의 하나 또는 그 이상의 서브세트는 각각 제1 복수의 형성의 하나 또는 그 이상의 서브세트에 오버랩될 수 있다. 제1 복수의 형성들은 반도체 섬, 선, 패드, 또는 다른 구조물을 포함할 수 있고, 위에는 제2 복수의 형성들이 위치한다. 제2 복수의 형성들은 반도체 물질(IVA 족 원소[들]을 포함하는), 또는 금속 물질을 갖고, 부드러운 및/또는 돔 구조의 프로파일(예를 들어, 본 명세서에 참조로 포함된, 2008년 10월 1일에 출원된 U.S. Patent Application No. 12/243,880[Attorney Docket No. IDR1574])을 갖는 적어도 하나의 층을 포함하는 회로 소자(예를 들어, 캐패시터, 다이오드, 트랜지스터, 및 플로팅 게이트 셀)내의 구조물을 포함할 수 있다. 반도체 물질은 수소와 결합되거나, 수소가 제거되거나, 무수소화된 비정질, 미세결정 또는 다결정 실리콘일 수 있다. 반도체 물질은 또한 게르마늄 또는 실리콘 및 게르마늄의 혼합물을 포함할 수 있다. 금속 물질은 게이트를 형성하기 적절한 어떤 금속도 포함할 수 있다. 이러한 금속 게이트는 제1 복수의 형성들의 구조물 상에서 하나 또는 그 이상의 금속 전구체, 예를 들어 (유기)금속 화합물, (유기)금속 복합체, (유기)금속 클러스터, 금속 나노파티클, 및 이들의 조합을 포함하는 잉크를 인쇄하는 것에 의해 형성될 수 있다.

[0016] 본 발명의 제3 실시예에 따르면, 본 발명은 제1 복수의 구조물들을 구비한 제1 층을 인쇄하는 공정 및 제2 복수의 구조물들을 구비한 제2 층을 인쇄하는 공정을 포함하는 인쇄 방법에 관한 것이다. 상기 제1 복수의 구조물들 각각은 제1 복수의 구조물들의 다른 모든 구조물들의 길이 및 폭과 수직하거나 평행한 배향을 갖는 인쇄 호환가능한 모양을 필수적으로 포함하는 레이아웃 모양을 갖는다. 상기 제2 복수의 구조물들 각각은 제2 복수의 구조물들의 다른 모든 구조물들의 길이 및 폭, 및 제1 복수의 구조물들의 모든 구조물들의 길이 및 폭과 수직하거나 평행한 배향을 갖는 인쇄 호환가능한 모양을 필수적으로 포함하는 레이아웃 모양을 갖는다. 인쇄 호환가능한 모양은 상술한 복수의 다양한 지형 및 패턴 중 하나를 갖는다. 인쇄된 전자 잉크는 미리 정해진, 인쇄 호환가능한 패턴으로 기관 상에 증착된 하나 또는 그 이상의 전자 또는 절연의 전구체(예를 들어, 도핑

되거나 도핑되지 않은 (폴리)실란, (폴리)게르만, (폴리)실라게르만, (사이클로)실란, (사이클로)게르만, (사이클로)실라게르만, 실리콘, 및/또는 금속염, 화합물, 복합체, 또는 나노파티클)를 포함할 수 있다. 선택적으로, 회로 형상의 제1 또는 제2층은 코팅(예를 들어, 스펀코팅, 압출 코팅, CVD, PVD, 등), 포토리소그래피, 및 등방성 및/또는 비등방성 에칭 기술에 의해 형성될 수 있다. 선택적으로, 회로 형상의 제1 또는 제2층은 하나 또는 그 이상의 종래의 방법으로(예를 들어, 포토리소그래피에 의해) 형성된 회로 형상 위에 인쇄될 수 있다.

**발명의 효과**

[0017]

상술한 본 발명의 실시에는 향상된 레이아웃, 상기 레이아웃을 포함하거나 이를 기반으로 한 전기적 회로, 및 전자 장치에서 사용되는 전자 회로를 형성하기 위한 전자 잉크 인쇄 방법을 제공한다. 상기 회로, 레이아웃, 및 방법은 인쇄가능한 전자 잉크를 사용한 전자기기 제조를 용이하게 하고, 블랭킹 증착, 패터닝, 및/또는 에칭 공정과 같은 상대적으로 낭비적이고, 비싸고, 위험하고, 및/또는 오래걸리는 종래의 기술의 사용을 줄이거나 피할 수 있도록 한다. 전자 잉크는 다양한 기판 상에 박막트랜지스터, 캐패시터, 다이오드, 상호결합구조, 이들을 포함하는 집적회로 등을 제조하는 것에 적용가능하다. 상기 기판은 유리판(예를 들어, 석영, 액정 크리스탈 디스플레이[LCD] 유리)에 제한되지 않고, 포일 또는 슬릿, 플라스틱 및/또는 금속 포일, 시트, 또는 슬랩(slabs), 실리콘 웨이퍼 등일 수 있다. 또한, 상기 기판 상에는 하나 또는 그 이상의 장벽 및/또는 편광층(예를 들어, 폴리이미드, 또는 다른 폴리머, 실리콘 및/또는 산화알루미늄, 등)이 더 포함될 수 있다. 상술한 전자 잉크는 전자 장치의 응용제품을 형성할 수 있으며, 이에 제한되지 않고, 디스플레이, RF 장치, 센서들, 휘발성 및 비휘발성 메모리, 태양광 전지, ID 및/또는 보안 태그, 스마트 카드 등에 사용될 수 있다. 본 발명의 더욱 자세한 이익 및 다른 장점은 언급된 실시예의 상세한 설명으로부터 쉽고 명백해질 것이다.

**도면의 간단한 설명**

[0018]

도 1은 다각형 및/또는 불규칙한 모양을 갖는 패턴이 포함된 종래의 레이아웃을 나타내는 평면도이다.  
 도 2는 본 명세서에 기재된 인쇄 전자 회로에 대한 일 실시예에 따른 예시적인 레이아웃을 나타내는 평면도이다.  
 도 3A 내지 도 3C는 본 명세서에 기재된 인쇄 전자 회로에 대한 다른 실시예에 따른 예시적인 레이아웃을 나타내는 평면도이다.  
 도 4는 본 명세서에 기재된 MOS 박막트랜지스터를 인쇄하여 제조하는 것에 대한 일 실시예에 따른 예시적인 레이아웃을 나타내는 평면도이다.  
 도 5는 최상층에 인쇄 호환가능한 모양을 갖는 전자구조를 갖는 기판 상에 패턴을 포함한 도체 층을 인쇄하는 것에 의한 프로그래밍 ROM 셀의 예시적인 레이아웃을 나타내는 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0019]

본 발명의 다양한 실시예를 이하에서 첨부된 도면과 함께 상세하게 설명한다. 본 발명은 예시적인 실시예와 함께 설명되지만, 이것은 실시예로 본 발명을 한정하려는 의도는 아님을 이해하여야 한다. 반대로, 본 발명은 첨부된 청구항들에 의해 정의된 바와 같이 본 발명의 취지와 범위 내에 포함되는 범위에서 대안물, 변형물, 균등물을 포함한다. 나아가, 본 발명의 상세한 설명은, 본 발명의 완전한 이해를 위해 여러 가지 구체적 설명을 제공한다. 그러나, 당업자에게 있어서는 이러한 구체적 설명이 없어도, 본 발명이 실시될 수 있음은 자명하다. 다른 실시예에 있어서, 주지된 방법, 절차, 구성요소, 및 회로는 본 발명을 모호하게 하지 않도록 상세한 설명을 생략한다. 또한, 여기에 기재된 치환 및 조합은 본 발명을 제한하는 것은 아니라고 이해되어야 한다. 구체적으로, 서로 혼합되도록 개시되지 않은 변형물들은 경우에 따라 혼합되고 매칭될 수 있다.

[0020]

편리함과 간편함을 위해서 "결합된"("coupled to"), "연결된"("connected to"), 및 "연락된"("in communication with")이라는 용어는 명확하게 다른 뜻으로 사용되지 않는 한 직접 또는 간접적으로 결합, 연결, 연락을 의미한다. 일반적으로 이런 용어들은 본 발명에서 혼용되나, 해당 기술분야의 일반적인 의미로 사용된다. 나아가, "모양"("shape"), "형상"("feature"), "선"("line"), "구조물"("structure") 및 또는 다른 용어들은 서로 혼용되어 사용될 수 있다. 이러한 용어는 그 용어가 사용되는 맥락에서 이해되어야 하지만, 하나의 용어의 사용은 일반적으로 다른 용어를 포함한다. 또한, 편리함과 간편함을 위해서 "부분"("part"), "일부"("portion"), "지역"("region")이란 용어는 혼용되어 사용될 수 있으나, 이들 용어는 해당 기술분야의 일

반적인 의미로 사용된다. "(반)도체"("semiconductor"), "(반)도체의"("semiconductive"), "(반)도체성"("semiconducting") 및 이들과 문법적으로 동일한 용어들은 전도성 및/또는 반도체성의 물질, 전구체, 층, 형상, 또는 다른 중 또는 구조물을 나타낸다.

[0021] 실란(silane)은 (1)실리콘 및/또는 게르마늄 및 (2)수소를 기본적으로 포함하거나 필수적으로 포함하는 화합물 또는 화합물들의 혼합물을 나타내고, 폴리실란("polysilane")은 적어도 15개의 실리콘 및/또는 게르마늄 원자들을 갖는 종(species)을 주로 포함하는 화합물 또는 화합물들의 혼합물을 나타낸다. (폴리)실란("poly)silane")은 실란, 폴리실란, 또는 이 둘 모두로 구성되는 화합물 또는 화합물들의 혼합물을 나타낸다. 이러한 (폴리)실란의 종(예를 들어 실란 및/또는 폴리실란)은 하나 또는 그 이상의 가지(branchess), 크로스 링크(cross-links), 및/또는 순환 링(cyclic rings)을 포함할 수 있고, 특정 응용을 위해 제공된 화합물의 특성에 중요한 역효과를 주지 않는 정도의 할로젠 원자(CI와 같은) 및/또는 할로젠 등가물의 원자 비율 또는 양을 포함할 수 있다. "(사이클로)알칸"은 탄소와 수소를 필수적으로 포함하는 화합물 또는 화합물들의 혼합물을 나타낸다. 이는 선형, 가지를 친 형태, 및/또는 고리형일 수 있다. "(사이클로)실란"은 (1) 실리콘 및/또는 게르마늄 및 (2) 수소를 필수적으로 포함하는 화합물 또는 화합물들의 혼합물일 수 있고, 하나 또는 그 이상의 고리 및 15개 미만의 실리콘 및/또는 게르마늄 원자들을 포함할 수 있다. "헤테로(사이클로)실란"은 (1) 실리콘 및/또는 게르마늄, (2)수소, 및 (3) 통상적인 탄화수소, 실란 또는 게르마늄의 치환체에 의해 치환될 수 있는 B, P, As, 또는 Sb 와 같은 도펀트 원자를 필수적으로 포함하고 하나 이상의 고리를 포함할 수 있는 화합물 또는 화합물들의 혼합물을 의미한다. 더욱 명확히 하면, 본 명세서에서 접두사, 접미사, 또는 복수형(예를 들어, 단어 끝의 "s" 또는 "es")이 괄호에서 사용될 때, 괄호의 내용은 선택사항이다. 예를 들어, 본 명세서에서 (폴리)실란은 실란 및/또는 폴리실란들(상술한 바와 같이)을 의미할 수 있다. 또한, 구조물 또는 형상의 "주요 표면"은 구조물 또는 형상의 가장 큰 축에 의해 적어도 부분적으로 정의된 표면이다(예를 들어, 만약 구조물이 둥글고 두께보다 더 큰 반지름을 갖는다면, 방사상 표면[들]은 구조물의 주요 표면이다; 그러나 구조물이 정사각형, 직사각형, 또는 타원형이라면, 구조물의 주요 표면은 통상적으로 두 개의 가장 큰 축, (일반적으로 길이와 폭)에 의해 정의된 표면이다). 또한, "도핑된"("doped")이란 표현은 실질적으로 조절가능한 양의 공지된 도펀트(예를 들어, 저농도로 도핑된, 고농도로 도핑된, 또는 이들 사이의 수준으로 도핑된)가 도핑된 물질을 나타낸다.

[0022] 본 명세서에서, "증착하다"("deposit")(및 그 문법적 변형들)은 블랭킷 증착(예를 들어 CVD 및 PVD), 코팅, 및 인쇄를 포함하는 모든 형태의 증착을 포함한다. 다양한 실시예에 있어서, 코팅은 스핀 코팅, 스프레이 코팅, 슬릿 코팅, 압출 코팅, 메스니커스 코팅, 딥 코팅, 슬라이드바 코팅, 펌프 디스펜싱, 시린지 디스펜싱(syringe dispensing), 및/또는 팬 코팅을 포함할 수 있다. 다른 실시예에 있어서, 인쇄는 잉크제팅, 그라비아 인쇄, 오프셋 인쇄, 플렉소그래픽 인쇄, 증기 제팅, 레이저 포워드 트랜스퍼(laser forward transfer) 또는 로컬 레이저 CVD, 레이저 라이팅, 스크린 인쇄, 슬릿 압출, 스탠실링, 스탬핑, 마이크로스팟팅, 및/또는 선택적 팬 코팅을 포함할 수 있다. 일반적으로, 코팅은 잉크 또는 다른 물질이 기판 전면에 상당히 증착되는 과정을 나타내고, 인쇄는 일반적으로 잉크 또는 다른 물질이 미리 정해진 패턴으로 선택적으로 증착되는 것을 나타낸다. 또한, 여기에서 별도로 지시하지 않는 한, "공지된", "고정된", "주어진", "어떤", 및 "미리 정해진"이란 용어는 일반적으로 이론적으로 변할 수 있지만, 통상적으로 미리 정해지고 이후 사용시에도 변하지 않는 값, 양, 변수, 제약조건, 조건, 상태, 공정, 절차, 방법, 실행, 또는 이들의 조합을 의미한다.

[0023] 다양한 관점에 있어서, 본 발명은 이하 예시적 실시예에 의해 더욱 상세하게 설명된다.

[0024] 예시적 레이아웃

[0025] 본 발명의 레이아웃은 전자 잉크(예를 들어, 하나 또는 그 이상의 도체, 유전체, 도펀트, 또는 도핑되거나 도핑되지 않은 반도체 전구체를 포함하는 잉크)의 인쇄와 호환가능한 모양 및/또는 배치를 갖는 형상(feature)의 미리 정해진 패턴(예를 들어, 박막트랜지스터, 캐패시터, 다이오드, 연결배선 등에서의 선(lines), 섬(islands), 패드(pads), 판(plates), 층(layers), 또는 다른 구조물)을 제공하는 것을 목적으로 한다. 레이아웃은 인쇄만으로 형성되거나 또는 종래의 (포토)리소그래피적 패턴링 및 인쇄의 조합에 의해 형성된 회로에서 사용될 수 있다. 따라서, 본 발명의 레이아웃으로 형성된 회로는 종래의 방법으로 형성된 것과 인쇄된 전자 구조물의 조합을 포함할 수 있다. 일반적으로, 본 발명의 레이아웃에 포함된 패턴은 수평 또는 수직으로 정렬된 형상(도 2에서 알 수 있듯이)을 필수적으로 포함하고, 상기 형상 사이에는 인쇄 호환가능한 간격이 형성된다. 레이아웃에 있어서 이러한 형상들의 정렬은 실질적으로 레이아웃 패턴을 준수하는 구조물의 인쇄를 용이하게 한다.

[0026] 도 2에서 알 수 있듯이, 본 발명의 레이아웃(100)은 기판 상에 미리 정해진 패턴으로 형성된 복수의 형상들

(features)(112, 114, 116)을 포함하는 제1 층(110)을 포함할 수 있다. 상기 패턴은 일반적으로 하나 또는 복수의 인쇄 호환가능한 모양, 예로서, 직사각형, 선, 섬, 패드, 정사각형, 원, 또는 타원(예를 들어, 미리 정해진 간격으로 이격된 일련의 [선택적으로 반복되는] 수직, 수평, 평행, 및/또는 직교하는 직사각형)을 필수적으로 포함한다. 상기 레이아웃(100)은 또한 상기 제1층(110)의 복수의 형상들(112, 114, 116) 각각에 접촉하거나 또는 그 위에 미리 정해진 패턴으로 인쇄된, 인쇄 호환가능한 모양을 갖는 형상들의 하나 또는 복수의 그룹(120, 130, 140)을 포함한다. 제2 층(120, 130, 140 그룹을 포함하는)의 미리 정해진 패턴으로 각각의 인쇄 호환가능한 모양의 지형 및/또는 배향은 제1 층 패턴 및 제2 층 패턴의 형상들 각각에 일반적으로 수직 또는 수평, 및/또는 평행 또는 직교한다. 제1 층(110)의 형상들은 종래의 포토리소그래피 및 에칭 기술에 의해 형성되거나 또는 본 명세서에 기술된 인쇄 기술에 의해 형성될 수 있다. 그러나, 제2 층에 형성된 형상들은 인쇄 기술에 의해 형성된다. 그러므로, 인쇄 호환가능한 모양을 갖는 형상들에 대응하는 인쇄 회로의 제1 층 및 제2 층에 형성된 구조물들은 전자 잉크를 인쇄하여 형성되거나, 전자 잉크 인쇄 및 블랭킷(blanket) 증착, 포토리소그래피, 및 에칭을 사용하는 종래의 증착과 패터닝의 조합으로 형성될 수 있다. 그러므로 자연스럽게, 본 발명에 따른 레이아웃 방법은 적어도 2층 이상(예를 들어, 셋 또는 그 이상의 층, 넷 또는 그 이상의 층 등)의 회로에 적용된다. 그러나, 일반적으로 이러한 레이아웃 접근방법에서 가장 낮은 층 이외의 적어도 하나의 층은 패터닝에 의해 형성된다.

[0027] 제1 층(110)의 형상들(112, 114, 116)은 종래의 증착 및 패터닝 기술 또는 전자 잉크를 사용하는 인쇄 기술을 이용하여 형성될 수 있는 어떤 치수(예를 들어 길이, 폭, 지름 등)를 가질 수 있다. 예를 들어, 형상들(112, 114, 116)은 약 0.01 내지 약 1000um(예로, 0.1 내지 500um, 1 내지 100um 또는 이 안에서 어떤 다른 범위의 값) 범위의 폭, 그리고 약 0.1 내지 약 10000um(예로, 1 내지 5000um, 10 내지 2000um 또는 이 안에서 어떤 다른 범위의 값) 범위의 길이를 가질 수 있다. 예를 들어, 제1 층의 구조물(예를 들어 반도체 섬)는 약 50um 내지 약 1000um 범위의 길이 그리고 10um 내지 100um 범위의 폭을 가질 수 있다.

[0028] 본 발명에 따른 레이아웃의 인쇄 호환가능한 형상들은 실질적으로 일정한 치수를 갖거나(예를 들어 직사각형, 정사각형, 원, 또는 선), 중심으로부터 최대 또는 최소 치수에서 각도 또는 원호의 기능에 따라 변화하는 치수를 가질 수 있다(예를 들어, 타원). 예를 들면, 실질적으로 일정한 치수를 갖는 형상은 대략 0.001 내지 100um(예로, 0.1 내지 50um, 1 내지 25um, 또는 그 범위 안에서 어떤 범위) 또는 0.1 내지 50%(예로, 0.5 내지 20%, 1 내지 10%, 또는 그 안에서 어떤 범위)의 범위의 양을 기준으로 변화하는 길이, 폭, 및/또는 지름을 가질 수 있다. 본 발명에 따른 레이아웃은 다른 크기, 다른 종류(예를 들어, 어떤 모양은 직사각형, 다른 모양은 원 또는 정사각형 등)의 모양을 포함하고, 각각의 레이아웃은 설계 규칙에 맞게 형성된 레이아웃 영역에 맞는 복수의 형상을 포함할 수 있다. 본 발명에 따른 레이아웃에 따르면, 형상의 폭, 길이, 내부공간, 및 형상 배치(예를 들면, 패턴들, 디자인 룰, 등)는 레이아웃을 이용한 회로 디자인 및/또는 회로의 용도에 따라 변화될 수 있다.

[0029] 레이아웃(100)에 포함된 각각의 형상들은 해당 구조물들을 만들기 위한 적용 방법의 해상도 한계에 따라 필수적으로 최소한의 거리로 이격될 수 있다. 인쇄된 층의 형상들은 따라서 일반적으로 밑에 있는 층의 형상들 위에 인쇄된 전자 잉크의 기대되는 습윤화(wetting)(퍼짐 spreading)을 고려해서 충분히 이격된다. 그러므로, 간격은 일반적으로 제1 형상의 위치에 인쇄된 잉크가 동일 또는 인접한 제1 층 구조물 상의 인접한 형상의 위치에 인쇄된 잉크의 퍼짐 또는 접촉을 피할 수 있도록 충분해야한다. 인접한 제1 층의 형상(112, 114, 및 116) 간의 최소 거리는 적어도 대략 1um(예를 들어, 5um, 10um, 20um, 또는 1um 보다 큰 어떤 값) 이상이다. 제1 층의 형상을 따라 형성된 인접하는 제2 층의 형상(예를 들어, 112 형상 상에 형성된 122 형상 및 124 형상의 사이) 간에 최소 거리는, 인접한 제1 층의 형상간의 최소 거리(예를 들어, 적어도 대략 1um 이상, 5um, 10um, 20um, 또는 1um 보다 큰 어떤 값)와 같거나 클 수 있다. 그러나 인접한 제1 층의 형상과 접촉하거나 그 위에(on or over) 형성된 인접한 제2 층의 형상(112 형상 및 114 형상 위에서 각각 형성된 122 및 132 사이) 간 최소 거리는 제2 층 형성을 위한 잉크의 습윤화(wetting) 특성, 아래에 형성된 제1 층의 표면 에너지 및/또는 지형 등에 따라서 인접한 제1 층의 형상들 사이의 최소 거리(예를 들어, 적어도 0.1um 이상, 0.5um, 1um, 2um, 또는 0.1um 보다 큰 어떤 값) 보다 작을 수 있다.

[0030] 잉크젯 프린터를 이용하여 전자 잉크가 인쇄된 실시예에 있어서, 프린터는 일반적으로 도트 또는 픽셀과 같은 최소 치수 유닛을 구비한 프린터 그리드(grid)를 가진다. 제1 층의 구조물 사이의 내부형상 간격은 잉크젯 프린터의 프린팅 그리드의 적어도 하나의 최소 치수 유닛(예를 들어, 1 내지 500um)의 지름을 갖는 도트 또는 픽셀)이어야 한다. 일부 실시예에 있어서, 내부형상 간격은 인쇄 장치의 둘 또는 그 이상의 최소 치수 유닛이다.

- [0031] 종래의 포토리소그래피로 형성된 직사각형 또는 선을 포함하는 제1 회로 층을 포함하는 실시예에 있어서, 상기 직사각형 또는 선은 그 말단에 콘택트 및/또는 인터커넥트를 형성하기 위한 하나 또는 그 이상의 패드를 포함할 수 있다. 상기 패드는 패드가 붙어 있는 상기 직사각형 또는 선의 폭보다 큰 폭을 가질 수 있다. 이러한 실시예에 있어서, 패드는 인접한 직사각형 또는 선(또는 인접한 직사각형 또는 선의 말단에 형성된 패드)에 의해서 엇갈리거나 상쇄될 수 있다.
- [0032] 제2 층(및 그 다음 인쇄된 층)에 있어서, 형상들은 아래 층과 접촉하거나 그 위에(on or over) 미리 정해진 패턴으로 도핑되거나 도핑되지 않은 반도체, 유전체, 도펀트, 또는 도체 잉크와 같은 전자 잉크 조성물을 인쇄하고, 그 후에 상기 인쇄된 잉크에 광조사, 가열, 경화, 및/또는 어닐링을 수행하여 형성하는 인쇄 전자 구조물에 대응된다. 인쇄는 잉크젯, 그라비아, 플렉소그래픽, 오프셋, 또는 스크린 인쇄를 포함할 수 있다. 전자 잉크는 유전체 잉크, 도펀트 잉크(예를 들어 유전체 잉크는 P 타입 또는 N 타입 도펀트를 더욱 포함), 도핑되거나 도핑되지 않은 반도체 잉크, 또는 금속 잉크를 포함할 수 있다.
- [0033] 인쇄 회로 구조물을 형성하기 위한 예시적인 방법
- [0034] 도 3A는 전자 회로의 제1 층에 있는 평행한 직사각형들(210 및 215)을 포함하는 레이아웃을 나타낸다. 일 실시예에 있어서, 직사각형들(210 및 215)은 기판과 접촉하거나 또는 그 위에(on or over)에 형성되는 MOS 트랜지스터를 위한 반도체 섬을 나타낸다. 직사각형들(210 및 215)로부터 형성되는 상기 반도체 섬은 1 내지 10000um(예를 들어, 25 내지 5000um, 50 내지 3000um, 또는 이들 사이의 어떤 범위)의 길이 및 1 내지 500um의 폭을 가질 수 있다. 도 3A가 비록 제1 층에 두 개의 직사각형들(210 및 215)을 포함하고 있지만, 본 발명의 실시예는 이러한 배치에 한정되는 것은 아니다. 본 발명의 레이아웃 구조의 실시예는 각각이 둘 또는 그 이상의 평행한 형상을 갖는 하나 또는 그 이상의 패턴을 포함한다(예를 들어, 둘 또는 그 이상의 평행한 직사각형들을 구비한 형상들의 제1 서브세트 및 상기 제1 서브세트에 수직하거나 직각인 둘 또는 그 이상의 평행한 직사각형들을 구비한 형상들의 제2 서브세트).
- [0035] 인접한 직사각형들(210 및 215) 사이의 간격은 그 위에 인쇄되는 회로 소자(220, 222, 224, 226, 230, 232, 및 234)를 수용하기 위하여 대략 0.1 내지 500um(예를 들어, 1 내지 250um, 2 내지 150um, 또는 이 범위 내에서 다른 어떤 값)이다. 일반적으로, 형상(210 및 215)이 멀어질수록, 잉크가 인쇄될 때 형상(210 및 215)을 따라 발생하는 위킹(wicking) 효과가 감소된다. 잉크젯 프린팅 어플리케이션에서, 간격은 잉크젯 프린터의 현재 한계에 따라 1um(예를 들어, 10um, 20um, 50um, 100um, 또는 적어도 10um인 값)만큼 작아질 수 있다. 그러나, 본 발명은 상기 범위에 제한되지 않는다. 스크린 인쇄, 플렉소그래픽 인쇄, 및 다른 기술에 있어서, 최소 간격은 대략 1um 또는 적어도 1um인 값을 가질 수 있다. 이러한 간격은 전자 잉크로 원, 타원, 선/직사각형, 또는 다른 모양을 인쇄하는 것과도 호환된다.
- [0036] 제1 층의 직사각형들(210 및 215)로 표현되는 구조물들은 전자 물질의 층을 형성하기 위해 블랭킷 증착(예를 들면, 화학적 진공 증착[CVD], 플라즈마 강화 CVD, 저압력 CVD, 원자층 증착[ALD], 스퍼터 증착, 증발(evaporation) 등과 같은 진공증착 또는 스프레이 코팅, 딥 코팅, 블레이드 코팅, 매니스커스 코팅, 슬릿 코팅, 압출 코팅, 팬 코팅, 마이크로스팟팅, 스핀 코팅 등의 코팅방법)에 의해서 형성될 수 있다. 직사각형들(210 및 215)에 대응하는 회로 구조물 세트(예를 들어, 선 또는 섬)를 형성하기 위해서 전자 물질의 층은 종래의 포토리소그래피 및 에칭(예를 들어, 비등방성[건식 또는 플라즈마] 에칭 및/또는 등방성[습식] 에칭)에 의해 패턴링될 수 있다.
- [0037] 그러나, 제1 층의 형상(210 및 215)에 대응하는 구조물들은 기판에 접촉하거나 그 위에(on or over) 전자 잉크를 인쇄하여 형성하는 것이 바람직하다. 포토리소그래피로 형성된 회로 구조물은 상대적으로 날카로운 엣지와 코너를, 그리고 실질적으로 수직의 측면을 갖는 경향이 있다. 포토리소그래피로 형성된 구조물 상에 전자적 기능을 갖는 층을 증착(블랭킷 증착 또는 인쇄에 의해)하는 것은 증착되는 층에 비균일성, 비연속성 또는 틈을 야기할 수 있다. 액상 잉크를 인쇄하여 형성된 구조물의 모양 및 프로파일은 인쇄 공정 조건에 의해 상당부분 제어될 수 있다.
- [0038] 레이아웃 내의 이러한 형상들의 치수와 가능한 가까운 치수를 갖는 인쇄 호환가능한 모양으로 형성된 전기적으로 활성화된 구조물(예를 들어, 반도체, 유전체, 또는 도체 구조물)을 위한 전구체를 포함하는 잉크 조성물을 인쇄하기 위해서, 인쇄된 잉크는 고정(fixed or "pinned")되어야 한다. 용매 증발과 같이 액체를 고정(pinning)시키는 메커니즘이 없다면, 액체는 표면 상에 하나 또는 그 이상의 구형 방울을 형성할 때까지 후퇴하거나(retreat), 인쇄 호환가능한 모양을 갖는 구조물을 형성하는 것보다 상대적으로 통제되지 않은 방식으로 퍼질 것이다. 잉크의 점도, 접촉각, 용매 증발을, 전구체 질량 로딩(loading), 전구체 용해도, 및 기판 표

면 에너지와 같은 파라미터들은 인쇄 구조물이 인쇄된 모양을 유지하도록 조절되어, 인쇄, 건조, 및/또는 경화 후에 돔 형태 및/또는 부드럽게 둥근 단면 프로파일을 가질 수 있다. 많은 경우에, 프로파일은 x 및 y(수평 및 수직) 방향에서 동시에 부드럽게 변화하여서, 지형적으로 가파른 변화를 피할 수 있다(예를 들어, 각각 October 1, 2008, May 2, 2008, and August 21, 2007에 출원된 U.S. Patent Application Nos. 12/243,880, 12/114,741, [Atty. Docket Nos. IDR1574, IDR1102, and IDR0982] 참조, 상기 참고문헌의 관련 부분은 본 명세서에 포함됨). 이것은 종래의 포토리소그래피로 진행되는 공정에서 쉽게 얻을 수 없는 중요한 장치 신뢰성을 제공한다.

[0039] 예를 들어, 만약 게이트 또는 금속 인터커넥트와 같은 회로 소자가 종래의 포토리소그래피로 패터닝된 구조물 위에 증착(예로서, 전자 잉크의 인쇄에 의해서)된 경우, 종래의 기술로 형성된 구조물의 날카로운 엣지 또는 코너와 증착되는 회로 소자가 만나는 지점에서 누설 전류로 인한 전하 손실이 발생한다. 상기 누설 전류는 앞서 설명한 바와 같이, 부드럽고 및/또는 돔 형태의 지형을 갖는 구조물을 형성함으로써 회피할 수 있다. 본 발명의 실시예는 채널(예를 들어, 트랜지스터의 경우) 또는 다른 구조물과 접촉하거나 그 위에(on or over) 날카로운 전환 지역 또는 스텝이 교차되지 않는 게이트 전극 및 다른 패터닝된 형상을 포함한다. 일반적으로, 현재까지 공개된 반도체, 유전체, 및 도체 구조물들의 프로파일은 날카로운 스텝 없이 부드러운 전환을 가능하게 하고, 따라서, 인쇄 과정 중에 구조물과 접촉하거나 그 위에(on or over) 인쇄된 잉크의 불연속성을 방지하고, 이후에 연속적으로 인쇄될 구조물에 보다 완벽한 스텝 커버리지(step coverage)를 허용한다.

[0040] 본 발명의 인쇄 방법은 하나 또는 그 이상의 전자 전구체를 포함하는 전자 잉크 조성물의 인쇄를 포함한다. 상기 전자 잉크 조성물의 인쇄는 회로 층(예를 들어, May 2, 2008에 출원된 U.S. Patent Application No. 12/114,741, Attorney Docket No. IDR1102 참조)에서 그에 상응하는 복수의 형상들을 형성하기 위해 미리 정해진 패턴(예를 들어, 패턴은 선, 정사각형, 직사각형, 원, 또는 타원과 같은 인쇄 호환가능한 모양을 하나 또는 그 이상 포함한다)으로 형성된다. 본 발명의 구조물은 잉크 조성물을 증착하거나 또는 인쇄하여 형성할 수 있다. 상기 잉크 조성물은 미리 정해지고 인쇄 호환가능한 모양의 하나 또는 그 이상의 도펀트(예를 들어 N 타입 및/또는 P 타입 도펀트) 및/또는 하나 또는 그 이상의 유전체 또는 반도체 전구체(들)을 포함한다. 본 발명의 전자 잉크 조성물은 당해 기술분야에 알려진 적절한 증착 기술을 사용하여 기관 상에 증착될 수 있다. 예를 들면, 잉크는 상술한 코팅 또는 인쇄에 의해 증착될 수 있다. 본 명세서에 개시된 전자 잉크 조성물을 인쇄하는 방법은 기관 상에 전자 물질 전구체를 포함하는 잉크 조성물을 잉크젯 인쇄, 그라비아 인쇄, 스크린 인쇄, 오프셋 인쇄, 플렉소그래피, 시린지 디스펜싱(syringe dispensing), 마이크로스팟팅, 스텝실링, 스텝핑, 펌프 디스펜싱, 레이저 포워드 트랜스퍼, 로컬 레이저 CVD, 및/또는 팬 코팅하는 것을 포함한다. 여기서 기관의 미리 정해진 부분(일반적으로 인쇄 호환가능한 모양에 대응하는 부분)에만 조성물(예를 들어, 각각 August 3, 2007, May 2, 2008, October 1, 2008, and July 24, 2009에 출원된 U.S. Patent Application Nos. 11/888,949, 12/114,741, 12/243,880 and 12/509,351 [Attorney Docket Nos. IDR0742, IDR1102, IDR1574 and IDR0652] 참조, 상기 참고문헌의 관련 부분은 본 명세서에 포함됨)이 덮여진다.

[0041] 회로 구조물을 형성하기 위해 사용된 잉크 조성물은 일반적으로 (1) 하나 또는 그 이상의 유전체, 반도체, 또는 도체 전구체 및 (2) 하나 또는 그 이상의 전자 전구체가 용해된 용매를 포함한다. 유전체, 반도체, 또는 도체 전구체(들)은 전자 잉크 조성물의 약 1 내지 99중량%(예를 들어, 1 내지 40중량%, 5 내지 25중량%, 또는 이 안에서 어떤 범위)의 양으로 존재할 수 있다. 전자 잉크 조성물은 일반적으로(배타적인 것이 아니라) 하나 또는 그 이상의 종래 반도체 도펀트 원자(예를 들어, B, P, As, 또는 Sb)를 필수적으로 포함하는 하나 또는 그 이상의 도펀트 소스를 더 포함할 수 있다. 하나 또는 그 이상의 도펀트 소스는 조성물 중에서 0.00001 내지 대략 30 wt.%(또는 그 안에서 다른 어떤 범위, 예를 들어, 0.001 내지 10wt.%까지)까지의 양으로 존재할 수 있다. 유전체, 반도체, 또는 도체 전구체(들)은 전형적으로 대략 2 내지 대략 100000cP(예를 들어, 대략 2 내지 100, 대략 4 내지 50 cP, 대략 4 내지 25 cP, 또는 그 안에서 다른 어떤 범위)의 점성을 제공할 수 있는 양으로 존재한다. 조성물은 하나 또는 그 이상의 종래 첨가물(예를 들어, 대략 0.01 내지 10 wt.%까지의 양, 소량, 또는 그 안에서 어떤 범위의 양)을 더 포함할 수 있다. 상기 첨가물은 표면장력 감소제, 습윤화(wetting)제, 계면활성제, 본딩제(a bonding agent), 농밀화제(a thickening agent), 포토이니시에이터(photoinitiator) 등 일 수 있다. 이들 첨가물들은 점성, 표면장력, 습윤화, 및/또는 잉크를 기관에 고정(fixing or "pinning")하는 것을 향상시키기 위한 잉크의 특성을 조절하는데 도움을 줄 수 있다. (예를 들어, May 2, 2008에 출원된, U.S. Patent App. No. 12/114,741, [Attorney Docket No. IDR1102] 참조, 상기 참고문헌의 관련 부분은 본 명세서에 포함됨). 전자 잉크에서 전구체(들)의 양 및 다른 선택적인 구성 성분의 양은 선택된 증착방법(예를 들어, 잉크젯 인쇄, 스크린 인쇄, 등)과의 호환성을 위해 조절될 수 있다.

[0042] 전자 잉크는 하나 또는 그 이상의 반도체 전구체(들)을 포함하는 반도체 잉크 조성물일 수 있다. 일 실시예에

있어서, 반도체 전구체(들)는 즉, 직선 사슬, 분지, 크로스 링크, 고리, 또는 복수의 고리형의 (폴리)실란, (폴리)저메인(germane), (폴리)저마실란(germasilane) 또는 (폴리)실라저메인(silagermane)(이하 총칭하여 "(폴리)실란들"이라 칭한다), 및/또는 실리콘 및/또는 게르마늄 나노파티클과 같은 IVA족(Si 및/또는 Ge) 원소 전구체를 포함한다. (예를 들어, U.S. Patent Application Nos. 10/616,147 [July 8, 2003에 출원된, Attorney Docket No. KOV-004], 10/789,317 [February 27, 2004에 출원된, Attorney Docket No. IDR0020], 10/949,013 [September 24, 2004에 출원된, Attorney Docket No. IDR0302], 11/543,414 [October 5, 2006에 출원된, Attorney Docket No. KOV-026], 11/867,587 [October 4, 2007에 출원된, Attorney Docket No. IDR0884], and 12/114,741 [May 2, 2008에 출원된, Attorney Docket No. IDR1102]을 참조, 상기 참고문헌의 관련 부분은 본 명세서에 포함됨). 이러한 전구체들은 비정질 수소결합의, 미세결정의 및/또는 다결정의 반도체 필름을 형성하는데 유용하다.

[0043] 또는, 본 발명의 잉크 조성물은 하나 또는 그 이상의 금속 전구체를 포함하는 전도성 잉크일 수 있다. 상기 금속 전구체는 (유기)금속 화합물, 복합체, 및/또는 클러스터, 하나 또는 그 이상의 금속 나노파티클, 및 이들의 조합일 수 있다. 예를 들면, (유기)금속 화합물, 복합체, 클러스터, 및 나노파티클은 알루미늄, 티타늄, 지르코늄, 하프늄, 바나듐, 니오브, 탄탈륨, 크롬, 몰리브덴, 텅스텐, 망간, 레늄, 철, 루테튬, 오스뮴, 코발트, 로늄, 이리듐, 니켈, 팔라듐, 백금, 구리, 은, 금, 아연, 카드뮴, 갈륨, 인듐, 탈륨, 주석, 납, 및 비스무트, 적절하게는 알루미늄, 티타늄, 하프늄, 탄탈륨, 몰리브덴, 텅스텐, 코발트, 니켈, 팔라듐, 백금, 구리, 은, 및 금과 같은 금속의 알려진 화합물, 복합체, 클러스터 및/또는 나노파티클 일 수 있다(예를 들어, U.S. Pat. No. 7,294,449 and U.S. Patent Application Nos. 12/114,741 [May 2, 2008에 출원된, Attorney Docket No. IDR1102], 및 12/509,351 [July 24, 2009에 출원된, Attorney Docket No. IDR0652]을 참조, 상기 참고문헌의 관련 부분은 본 명세서에 포함됨).

[0044] 본 발명의 잉크 조성물은 하나 또는 그 이상의 유전체 전구체 및/또는 반도체 구조물(예를 들어, 실리콘 선 또는 섬 등)의 패턴을 도핑하는 것에 유용한 도펀트(예를 들어, 하나 또는 그 이상의 n 타입 또는 p 타입 도펀트를 포함)를 포함할 수 있다. 유전체 및/또는 도펀트 잉크 조성물은 하나 또는 그 이상의 유전체 전구체를 포함한다. 상기 유전체 전구체는 (도핑된) 유전체 필름을 형성할 수 있는 실리카(silica), 실리콘 질화물(silicon nitride), 실리콘 산화질화물(silicon oxynitride), 알루미늄산염(aluminate), 티탄산염(titanate), 티타노실리케이트(titanosilicate), 지르코니아(zirconia), 하프니아(hafnia), 세리아(ceria), 등의 분자, 유기금속, 중합체, 및/또는 나노파티클 소스를 포함한다(예를 들어, U.S. Patent Application No. 12/114,741 [May 2, 2008에 출원된, Attorney Docket No. IDR1102]를 참조, 상기 참고문헌의 관련 부분은 본 명세서에 포함됨). 예를 들어, 유전체 전구체는 규산 화합물(silicate compound)을 포함할 수 있다. 규산 화합물은 실리콘, 산소, 및 선택적으로 하나 또는 그 이상의 도펀트의 원자 소스(B-, P-, As- 및/또는 Sb 함유 화합물과 같은)를 포함한다. 그 대신에 또는 부가적으로, 유전체 전구체는 중합 또는 침전으로 규산염 유전체를 형성하는 화합물을 포함할 수 있다. 상기 규산염 유전체는 실세스퀴옥산(silsesquioxane), 실록산(siloxane), 실라잔(silazane), cyclo-(O-SiH<sub>2</sub>)<sub>5</sub>와 같은 산화 실란(oxidized silane) 등일 수 있다. 또한, 유전체 전구체는 다른 유전적으로 효과적인 물질들의 소스를 포함할 수 있다. 상기 효과적인 물질들의 소스는 산화 저마네이트, 알루미늄네이트 소스(예를 들어, trimethoxyaluminum 또는 triethoxyaluminum 와 같은 Al<sub>2</sub>O<sub>3</sub> 소스), 티타네이트 소스(예를 들어, tetramethoxytitanium 또는 tetraethoxytitaniuma 와 같은 TiO<sub>2</sub> 소스), 알루미늄규산염(aluminosilicate) 소스, 티타노규산염(titanosilicate) 소스, 저마네이트(germanate) 소스(예를 들어, tetramethoxygermanium 또는 tetraethoxygermanium 와 같은 GeO<sub>2</sub> 소스), 하프니아(hafnia), 지르코니아(zirconia), 세리아(ceria) 등 일 수 있다. 이러한 전구체는 알킬기(alkyl), 알콕실기(alkoxy), 알킬아미노기(alkylamino), 아릴기(aryl) 및/또는 아릴옥시기(aryloxy) 등과 같은 유기 치환기를 포함할 수 있다. 더욱이, 유전체 전구체는 산화성 전구체, 이를테면, 실란들(silanes), 게르만(germanes), 게르마실란들(germasilanes), 또는 실리콘, 게르마늄, 알루미늄, 세륨, 티타늄, 하프늄, 지르코늄 등과 같은 금속들의 나노파티클, 및/또는 산화물, 질화물, 및/또는 이러한 요소들 및/또는 금속들의 산화질화물을 포함한다. 적합한 실란들(silanes), 게르만(germanes), 게르마실란들(germasilanes)(이들을 제조하는 방법을 포함하여)은 July 8, 2003, February 27, 2004, September 24, 2004, and October 4, 2007에 각각 출원된, U.S. Pat. Appl. Nos. 10/616,147, 10/789,317, 10/949,013, 및 11/867,587 (Attorney Docket Nos. KOV-004, IDR0020, IDR0302, and IDR0884)에 기재되어 있고, 상기 참고문헌의 관련 부분은 본 명세서에 포함된다.

[0045] 본 발명의 잉크 조성물의 용매는 잉크 조성물에 상대적으로 높은 안정성을 제공하고, 유리한 점성 및 휘발성을 제공할 수 있다(예를 들어, 잉크젯 인쇄의 경우에 프린터 노즐이 막히는 것을 방지하고, 인쇄되거나 코팅

된 잉크가 상대적으로 낮은 온도와 짧은 시간에 건조되도록 하고, 및/또는 일반적으로 쉽게 및/또는 완전하게 조성물로부터 제거할 수 있게 한다. 예를 들어, U.S. Patent Application Nos. 12/114,741 [May 2, 2008에 출원된, Attorney Docket No. IDR1102] 및 12/509,351 [July 24, 2009에 출원된, Attorney Docket No. IDR0652], 상기 참고문헌의 관련 부분은 본 명세서에 포함됨). 예를 들면, 용매는 30-90℃의 온도에서 압반 위에 잉크를 인쇄하고, 이어서 5 내지 90분 동안 선택적으로 진공상태에서 30-200℃의 온도로 가열함으로써 (바람직하게는 압반과 같거나 높은 온도에서) 실질적으로 완벽하게 제거된다. 용매는 잉크 조성물의 0 내지 99중량%에 해당하는 양으로 존재할 수 있다(예를 들어, 10 내지 95중량%, 50 내지 90중량%, 또는 이 안에서 다른 어떤 범위의 값). 또는, 용매는 스크린 인쇄에 적합한 잉크 또는 페이스트(예를 들어, 대략 10000 cP 내지 100000 cP의 범위의 점성을 갖는 페이스트)를 제제하기 위해 또는 그라비아 인쇄에 적합한 잉크(예를 들어, 대략 20 cP 내지 200 cP의 범위에서 점성을 갖는 잉크)를 제제하기 위해 충분한 부피 또는 부피 비율로 첨가될 수 있다.

[0046] 일반적으로, 전기적으로 기능하거나 절연성인 층은 기판 상에 또는 미리 정해진 인쇄 호환가능한 모양을 갖도록 미리 형성된 패턴의 회로 구조물 상에 전자 잉크 조성물(예를 들어, 하나 또는 그 이상의 도핑되거나 도핑되지 않은, 반도체, 도체, 또는 유전체 전구체(들), 및 용매 또는 용매 혼합물, 및 선택적으로, 상술한 바와 같은 하나 또는 그 이상의 첨가물을 포함)을 인쇄하고, 이와 같이 전자 잉크가 (이미 형성된)구조물과 접촉하거나 그 위에(on or over) 인쇄된 후에, 인쇄된 전자 잉크를 레이아웃 내의 패턴과 실질적으로 일치하는 인쇄 구조물을 형성하기 위해 처리(예를 들어, 광조사(irradiated), 가열, 경화되고(cured), 및/또는 어닐(annealed)된다)함으로써 형성될 수 있다. 다양한 실시예에 있어서, 잉크 조성물은 동시에 및/또는 차례로 조사되고(예를 들어, 가시광, UV, IR, 및/또는 화학선의 조사), 인쇄 공정 중에 및/또는 후에 선택적으로 가열된다. 그렇게 함으로써, 기판상에 증착된 잉크 조성물을 건조하고, 저중합체화하고(oligomerizing), 중합하고(polymerizing), 및/또는 고정한다. 상기 방법은 전구체(들)를 추가적으로 중합하고 및/또는 패턴닝된 전기적 기능층을 형성하기 위해서, 인쇄되고 광조사된 잉크를 가열 및/또는 경화(curing)하는 공정을 더 포함할 수 있다. 그러므로, 인쇄 호환가능한 모양들을 포함하는 회로 구조물은, 레이아웃 형상에 대응하는 구조물(인쇄 호환가능한 모양을 포함하는 구조물 자체를 포함)을 기판과 접촉하거나 그 위에(on or over) 형성할 수 있도록, 전자 잉크 조성물을 증착(예를 들어, 인쇄 또는 코팅)하고, 잉크에 광조사 및/또는 가열하고, 그리고 경화하는 공정에 의해 제조될 수 있다.

[0047] 본 명세서에 설명된 회로는 어떤 적합한 기판에도 형성될 수 있다. 기판은 일반적으로 기계적으로 지지하는 구조를 포함한다. 기판은 전기적으로 비활성 또는 활성화 될 수 있고, 하나 또는 그 이상의 미리 정해진 물리적인, 전기적인, 및/또는 광학적인 성질을 포함할 수 있다. 적절히 전기적으로 비활성인(inert or inactive) 기판은 유리 또는 다른 세라믹 판, 디스크, 시트, 또는 슬랩(예를 들어, 디스플레이 타입 유리, 석영, 비정형 실리콘 다이오드, 등), 유전체 및/또는 플라스틱 시트 또는 디스크(예를 들어, 폴리카보네이트 시트, 폴리이미드, 또는 폴리에틸렌 시트 등과 같은 투명한 플라스틱), 이들의 박막 변형(laminated variations)들을 포함한다. 또한, 적절한 전기적으로 도전성의 기판은 반도체 웨이퍼 또는 디스크(예를 들면, 실리콘 웨이퍼), 금속 디스크, 필름, 시트, 슬라브(slab), 또는 포일(foil) 등을 포함한다. 상기 언급된 기판들은 하나 또는 그 이상의 버퍼, 패시메이션, 편광, 기계적 지지 및/또는 절연층을 그 위에 더 포함할 수 있다. 예를 들면, 버퍼, 편광, 및/또는 절연 층은 폴리이미드 또는 다른 폴리머 층 또는 시트, 실리콘 디옥사이드 및/또는 알루미늄 옥사이드 등을 포함할 수 있다. 적절한 기판에 대한 상세한 설명은 U.S. Patent Application No. 11/888,949 (August 3, 2007에 출원된, [Attorney Docket No. IDR0742]), 12/114,741 (May 2, 2008에 출원된, [Attorney Docket No. IDR1102]), 12/243,880 (October 1, 2008에 제출된, [Attorney Docket No. IDR1574]), 및 12/509,351 (July 24, 2009에 출원된, [Attorney Docket No. IDR0652])에서 상세하게 설명되며, 상기 참고문헌의 관련 부분은 본 명세서에 포함된다. 다른 실시예에 있어서, 기판은 그 기판 표면 상의 잉크 조성물의 거동을 조절하고 향상시키기 위해 다른 화합물로 처리될 수 있다. 기판 상에 인쇄된 잉크로부터 형성된 회로 형상의 프로파일 및 치수는 기판 및 인쇄된 잉크 사이의 접촉각(예를 들어, 0° 내지 15° 까지)을 최적화하기 위해 기판의 표면 에너지 조절에 의해서 조절되고 향상될 수 있다. 이러한 접촉각은 형상 또는 선폭을 미세 조정하는데 이용될 수 있다(예를 들어, U.S. Patent Application No. 12/114,741, 2008년 5월 2일에 출원된, [Attorney Docket No. IDR1102]을 참조, 상기 참고문헌의 관련 부분은 본 명세서에 포함된다).

[0048] 도 3B의 레이아웃은 제1 세트의 형상들(220, 222, 224, 및 226) 및 제2 세트의 형상들(230, 232, 및 234)을 포함하는 제2 층을 도시한 것이다. 제1 세트의 형상에 포함된 형상들(220, 222, 224 및 226)은 각각 개별적으로 제1 층의 형상(210)의 배향에 직각이거나 평행하게 형성된다. 유사하게, 제2 세트의 형상에 포함된 형상들(230, 232, 및 234)은 각각 개별적으로 제1 층의 형상(215)의 배향에 직각이거나 평행하게 형성된다. 형상들

은 전자 잉크 인쇄 기술과 호환되는 모양 및 치수를 갖는다. 제2 층의 형상의 길이 및 폭은 1 내지 10000um (예를 들어 5 내지 5000um, 10내지 2500um, 또는 그 안에서 다른 범위의 값)일 수 있다. 일 실시예에 있어, 형상들(220, 222, 224, 및 226)은 게이트 전극 구조물에 대응되며, 0.01 내지 500um(예를 들어, 1 내지 200um, 10 내지 100um, 또는 그 안에서 다른 범위의 값) 범위의 폭(예를 들어, 도 3B에 도시된 것처럼 수평 방향 치수)을 갖고, 1 내지 5000um(예를 들어, 10 내지 2500um, 50 내지 1000um, 또는 그 안에서 다른 범위의 값) 범위의 길이(예를 들어, 도 3B에 도시된 것처럼 수직 방향 치수)를 갖는다. 또한, 형상들(230, 232, 및 234)는 하부에 형성된 반도체 구조물(예를 들어, 직사각형 210 및 215에 대응하는)의 일부가 실질적으로 도핑되지 않은 상태를 유지할 수 있도록 충분한 크기의 폭 및/또는 길이를 갖게 되고, 그에 따라 구조물에 고립 기능을 제공한다. 그렇게 함으로써, 형상(230, 232, 또는 234)의 일측에서 직사각형(210 또는 215)에 해당하는 구조물의 영역을, 형상(230, 232, 또는 234)의 타측에서 직사각형(210 또는 215)에 해당하는 구조물의 영역으로부터 격리시킨다. 이러한 실시예에 있어서, 형상들(230, 232, 및 234)에 대응하는 구조물은 다른 어떤 도체의 구조물과 전기적으로 연결되지 않거나, 또는 하부 구조물(예를 들어, 직사각형 210 또는 215에 대응되는)에 형성될 수 있는 어떤 트랜지스터라도 영구적으로 턴오프(turn off)할 수 있는 전위(potential)에 전기적으로 연결된다.

[0049] 제1 세트의 형상들 내의 구조물과 제2 세트의 형상들 내의 구조물 사이 뿐만 아니라, 제2 층에 있는 세트의 형상들 내에서의 형상들 간의 간격은 반드시 인쇄 호환가능해야한다. 이는 전자 잉크를 인쇄하여 회로를 형성하는 공정 중에 반드시 인쇄 구조물 사이의 중복 또는 쇼트를 적절하게 방지해야함을 의미한다. 인접한 제1 층의 형상들(예를 들면, 직사각형 210 및 215) 상에 형성된 인접한 제2 층의 형상들(예를 들면, 형상 220 및 230) 사이의 최소 간격은 약 0.1 내지 100um (예를 들면, 1 내지 80um, 2 내지 50um, 또는 적어도 0.1um 이상인 어떤 값)일 수 있다. 잉크젯 프린터를 사용하여 전자 잉크를 인쇄하는 것에 의해 형성되는 구조물을 위한 디자인의 실시예에 있어서, 최소 내부형상 간격(the minimum inter-feature spacing)은 적어도 하나 또는 두 개의 최소 치수 유닛을 갖는다(예를 들어, 각각의 지름이 일 예로 20 내지 100um 또는 일 예로 대략 30um인 도트 또는 픽셀).

[0050] 제1 및 제2 층의 형상들을 포함하는 도 3B에 도시된 레이아웃은 회로의 제1 및 제2 층 상에 형성되는 추가적인 인쇄 층을 제공한다. 도 3C를 참조하면, 레이아웃은 제1 및 제2 층 상에 하나 또는 그 이상의 추가적인 층(layer)을 포함할 수 있고, 상기 추가적인 층은 상술한 전자 잉크 인쇄 기술에 의해 형성된다. 예를 들면, 도 3C는 평행하게 형성된 제1 형상(240) 및 제2 형상(245)를 포함하는 제3 레이아웃의 실시예를 보여준다. 바람직하게는, 제1 형상(240)은 제1 레이아웃의 형상(210) 및 제2 레이아웃의 형상(220, 222, 및 230)에 완전히 중복되고, 제2 형상(245)은 제1 레이아웃의 제2 형상(215) 및 제2 레이아웃의 형상(224, 226, 232, 및 234)에 완전히 중복된다. 이러한 실시예에 있어서, 제3 레이아웃의 형상(240 및 245)는 각각 제1 및 제2 도핑된 유전체에 대응된다. 제1 및 제2 도핑된 유전체는 같거나 다른 타입 및/또는 도전성을 갖는 동일한 도펀트 또는 상이한 도펀트를 포함할 수 있다. 또는, 제3 층은 도 3B의 제1 및 제2 층 상에 형성된 층간 유전층 또는 다른 회로층(예를 들면, 금속 규화물 게이트를 형성하기 위한 금속층)을 포함할 수 있다.

[0051] 도 4에서 알 수 있듯이, 도핑된 유전체(들)(240/245)에서 도 3A 및 3B에 도시된 형상(210 및 215)에 대응하는 하부구조물로 도펀트의 확산이 일어난 후에, 도펀트는 다양한 MOS 트랜지스터를 형성할 수 있도록 활성화(예를 들어, 레이저 조사 또는 열 에너지에 의해)된다. 예를 들면, 도핑된 유전체(240)가 제1 도펀트 타입(예를 들어, N 타입)을 갖고 도핑된 유전체(245)가 제2, 상보적인 타입의 도펀트(예를 들어, P 타입)를 갖을 때, 소스/드레인 단자(350S, 350D, 352S, 및 352D)는 제1 도전성 타입을 갖고, 소스/드레인 단자(354S, 354D, 356S 및 356D)는 상기 소스/드레인 단자(350S, 350D, 352S, 및 352D)과는 상이한 제2 도전성 타입을 갖는다. 도 4에서 알 수 있듯이, 도 4에는 4개의 박막 CMOS 트랜지스터가 형성되어 있다.

[0052] 예시적인 인쇄 회로

[0053] 상술한 인쇄 회로는 기관에 접촉하거나 또는 기관 상에(on or over) 형성된 회로 구조물들을 갖는 제1 층을 포함하고, 이는 기관 상에 미리 정해진 패턴으로 전자 잉크를 인쇄하는 방법 또는 종래의 증착, 포토리소그라피 및 비등방성/등방성 식각 기술에 의하는 방법으로 형성될 수 있다. 상술한 바와 같이, 회로 구조물들을 포함하는 제1 층은 인쇄 호환가능한 모양을 가지면서 미리 정해진 패턴 및 미리 정해진 간격으로 이격되어 형성된다. 회로 구조물들의 제1층은 반도체, 도체, 및/또는 유전체 물질을 포함할 수 있다. 다양한 실시예에 있어서, 회로 구조물의 제1 층은 상술한 기관과 접촉하거나 또는 그 상에(on or over) 반도체층(예를 들어, 실리콘, 게르마늄, GaAs, ZnS, CdSe, SiC, 금속 산화물, 등) 또는 도체층(예를 들어, 금속층)을 포함한다.

[0054] 제1 층의 구조물은 하나 또는 그 이상의 인쇄 호환가능한 모양을 가질 수 있고, 각각의 인쇄 호환가능한 모양

은 같거나 다를 수 있다. 제1 층의 회로 층의 구조물은 반도체 물질의 선 또는 직사각형을 포함하고, 상기 반도체 물질은 도핑되거나 도핑되지 않은 비정질 실리콘(수소와 결합될 수도 있는), 미정질 실리콘, 폴리실리콘, 게르마늄, 갈륨비소(gallium arsenide), 다른 반도체 화합물(InP, ZnS, CdSe, 등과 같은), 금속 칼코게나이드(chalcogenide) 반도체(예를 들어, CdTe, CdSeTe, ZnSe, ZnS, 등) 또는 이들의 조합일 수 있다. 또는, 제1 회로 층은 도체 물질을 포함하는 선 또는 직사각형으로 구성될 수 있다. 도전성 물질은 알루미늄(aluminum), 티타늄(titanium), 지르코늄(zirconium), 하프늄(hafnium), 바나듐(vanadium), 니오브(niobium), 탄탈(tantalum), 크롬(chromium), 몰리브덴(molybdenum), 텅스텐(tungsten), 망간(manganese), 레늄(rhenium), 철(iron), 루테늄(ruthenium), 오스뮴(osmium), 코발트(cobalt), 로듐(rhodium), 이리듐(iridium), 니켈(nickel), 팔라듐(palladium), 백금(platinum), 구리(copper), 은(silver), 금(gold), 아연(zinc), 카드뮴(cadmium), 갈륨(gallium), 인듐(indium), 탈륨(thallium), 주석(tin), 납(lead), 비스무트(bismuth), 또는 그 합금 또는 조합일 수 있다. 실험적 실시예에 있어서, 도체 물질은 알루미늄(aluminum), 티타늄(titanium), 하프늄(hafnium), 탄탈(tantalum), 몰리브덴(molybdenum), 텅스텐(tungsten), 코발트(cobalt), 니켈(nickel), 팔라듐(palladium), 플라티늄(platinum), 구리(copper), 은(silver), 금(gold), 또는 그 합금 또는 조합일 수 있다. 제1 회로 층은 또한 도핑되거나 도핑되지 않은 유전체 물질을 포함하는 직사각형, 정사각형, 타원, 또는 원을 포함할 수 있다(유전체 물질에 대해서 본 명세서의 다른 기재사항 참조).

[0055] 바람직한 실시예에 있어서, 회로는 기판 상에 전자 잉크를 인쇄하는 것으로 형성될 수 있다. 회로 구조물을 형성하기 위한 이러한 방법은 종래의 기술로 형성한 구조물 보다 상대적으로 더 큰 치수를 가지면서(예를 들어 1 내지 10000um, 10 내지 5000um, 또는 그 안에서 다른 어떤 범위의 값), 돔 구조의 단면 프로파일(예를 들어, U.S. Patent Application Nos. 12/114,741 [May 2, 2008에 출원된, Attorney Docket No. IDR1102], 12/243,880 [October 1, 2008에 출원된, Attorney Docket No. IDR1574], 및 12/509,351 [July 24, 2009에 출원된, Attorney Docket No. IDR0652], 상기 참고문헌의 관련 부분은 본 명세서에 포함된다)을 가지는 구조물을 얻을 수 있게 한다. 인쇄된 구조물이 돔 구조의 단면 프로파일을 가지면, 대응하는 레이아웃 형상이 직사각형 모양을 갖더라도 둥근 말단(ends)을 가질 수 있다(따라서, 대략적으로 타원 모양).

[0056] 본 발명의 회로는 2 또는 3 층으로 한정되지 않고, 전형적인 집적 회로에서와 같이 10, 12, 또는 그 보다 많은 층을 포함할 수 있다. 본 명세서의 실시예에 있어서는 보다 간략하고 명확한 설명을 위해 층의 갯수를 작은 수로 한정하여 설명하도록 한다. 예를 들면, 특정한 집적 회로(IC)는 다음과 같은 부가적 층을 포함할 수 있다. 부가적 층은 회로 소자(예를 들어, 캐패시터, 다이오드, 트랜지스터, 등) 내의 구조물로 적합하고, 상술한 반도체 섬 층에 유사한 평행한 반도체 선/직사각형 층; 층간 절연층(예를 들어, 스핀 온 유전체, 인쇄된 유전체, CVD로 증착된 유전체, 등); 및/또는 상술한 도체 층(들) 및 유전체 층(들)에 유사하고, 박막 회로 내의 상호연결 및/또는 콘택 구조물로 적합하고, 평행한 도체 선/직사각형 및 층간 절연층(일반적으로 하부에 형성된 [반]도체 구조물을 노출하기 위해 그 안에 복수의 콘택홀을 갖는)에 대한 하나 또는 그 이상의 대체층을 갖는다. 이러한 부가적 층은 인쇄(상술한 바와 같이), 또는 블랭킷 증착, 포토리소그라피, 및 에칭에 의해 형성될 수 있다. 도 3A 내지 3C의 회로 층 상에 형성된 구조물은 층간 절연층의 콘택 스루 홀을 통하여 도 3A 내지 3C의 (반)도체 층에 연결된다.

[0057] 도 5는 (포토)리소그라피로 형성된 구조물 및 인쇄로 형성된 구조물을 모두 포함하는 읽기 전용 메모리 회로(예를 들어, ROM)를 위한 회로 디자인(400)을 도시한 것이다. 이 실시예는 종래의 방법으로 형성된 패드 구조물을 표현하고 인쇄 호환가능한 모양(예를 들어, 정사각형)을 가지는 포토리소그라피로 형성된 구조물(410a-c, 415a-c, 412a-c, 및 417a-c)을 포함한다. 구조물(410a-c 및 415a-c 그리고 412a-c and 417a-c)은 인접한 쌍으로 정렬된다(예를 들어, 410a 및 415a). 다른 실시예에 있어서, 구조물(410a-c, 415a-c, 412a-c, 및 417a-c)은 상이한 인쇄 호환가능한 모양(예를 들어, 직사각형 또는 원)의 인쇄 구조물로 이루어질 수 있다. 인접한 구조물들쌍(예를 들어, 구조물 410a 및 415a)은 인접한 구조물 간에 전기적으로 고립될 수 있는 거리만큼 이격되어 형성된다(예를 들어, 0.01 내지 100um, 0.1 내지 50um, 1 내지 20um, 또는 그 안에서 다른 어떤 범위의 값). 도 5의 실시예에 있어서, 회로(400)는 전자 잉크가 지정된 인접한 구조물의 쌍(예를 들어, 구조물이 쌍(410a 및 415a), 또는 구조물의 쌍(432b 및 437b)) 상에 형성될 수 있도록 디자인됨으로써, 인접하는 구조물 모두와 오버랩되어 결과적으로 전기적으로 연결되는 구조물(420, 422)을 형성할 수 있게 된다.

[0058] 인쇄의 정합(registration) 및 해상도의 한계를 감안하면, 메모리 배열 레이아웃의 피치(pitch) 및 크기(size)는 일반적으로 전자 잉크 인쇄 기술의 정합 및 해상도의 한계를 수용할 수 있을 만큼 큰 구조물로 제안된다. 그러므로 인접한 구조물(410a-c, 415a-c, 412a-c, 및 417a-c)은 그 위에 형성된 인쇄 구조물의 전체 영역을 수용할 수 있고, 인접한 구조물을 전기적으로 연결할 수 있도록 충분히 크게 형성되어야 한다. 구조물(410a-c, 415a-c, 412a-c, 및 417a-c)은 그러므로 0.1내지 500um까지의 범위(예를 들어 1 내지 250um, 15 내

지 150um, 또는 그 안에서 어떤 다른 범위의 값)에서 폭과 길이를 가질 수 있고, 만약 구조물(410a-c, 415a-c, 412a-c, 및 417a-c)이 원 모양이라면 그와 같은 범위의 지름을 가질 수 있다.

[0059] 도 5의 회로 디자인/레이아웃은 메모리 회로를 프로그램하기 위해 사용되는 인쇄 전자 잉크의 메모리 회로와 호환 가능하다. 예를 들면, 도 5는 인접한 구조물 쌍 상에 선택적으로 전자 잉크를 인쇄함으로써 프로그래밍이 완성되는 미리 프로그램된 메모리 어레이를 대표한다. 예를 들어, 은 잉크는 도 5의 구조물(410a-415a 및 412b-417b)에 의해 정의되는 오픈 회로를 쇼트(short)시키기 위해 선택적으로 420 및 422 위치에 인쇄된다. 전자 구조물(420)은 인접한 구조물들(410a 및 415a)을 전기적으로 연결하며, 이때, 트랜지스터(430a)(포토리소그래피 및 에칭에 의해 형성될 수 있는)와 함께 워드 라인(442) 및 비트 라인(452)([1]포토리소그래피 및 에칭 또는 [2]프린팅 중 어느 하나로 형성될 수 있는)은 비트를 프로그램(예를 들어, 비트를 "0" 상태로)한다. 반면에, 구조물이 인쇄되지 않은 경우, 프로그램되지 않은 비트(예를 들어 인접한 구조물 410b 및 415b)를 변화시키지 않은(예를 들어, 비트를 "1" 상태로) 상태로 남겨둔다.

[0060] 메모리 어레이(400)에서 구조물의 크기는 프로그램 가능한 구조물(410a-c, 415a-c, 412a-c, 및 417a-c) 아래에 상대적으로 높은 해상도의 회로 구조물 및 셀(예를 들어, 트랜지스터(430a-c 및 432a-c))을 포함하는 실시예에서 상당히 활용가능한 공간을 만들어준다. 열(row) 드라이버 회로 블록(440), 비트 라인 감지 회로 블록(450)과 같은 다른 회로를 하우스(housing)하기 위한 보다 높은 해상도의 회로, 및 열과 행 디코더 사이에 공간을 사용함으로써, 메모리를 프로그램하기 위해서 낮은 해상도의 인쇄를 계속해서 사용하면서도 공간이 절약될 수 있다. 그러므로, 일부 실시예에 있어서, 회로 디자인은 인쇄 호환가능한 모양을 갖는 복수의 층 및 하나 또는 그 이상의 종래의 층(포토리소그래피 및/또는 컴퓨터 지원 디자인 소프트웨어에 의한 모양을 갖는)을 포함할 수 있다. 유사하게, 본 발명의 방법은 인쇄 호환 가능한 모양을 갖는 복수의 층을 인쇄하는 공정, 및 종래의 공정(예를 들어, 포토리소그래픽 패터닝, 현상, 및 에칭)에 의해 하나 또는 그 이상의 추가적인 층을 형성하는 공정을 포함한다.

[0061] 예시적인 소프트웨어, 컴퓨터 관독 가능한 미디어 및 전자적 표현(Representations)

[0062] 본 발명은 회로에서 하나 또는 그 이상의 구조적 층을 설계하도록 구성된 종래의 디지털 신호 처리 장치를 구비한 일반적인 목적의 컴퓨터 또는 워크스테이션에서 수행 및/또는 실행가능한(implementable and/or executable) 알고리즘, 컴퓨터 프로그램(들), 및/또는 소프트웨어를 포함한다. 그러므로, 본 발명의 추가적인 특징은 회로 레이아웃에서 구조물을 위치시키기 위한 방법 및 소프트웨어와 연관이 있다. 예를 들면, 추가적으로, 본 발명은 적절한 처리장치(예를 들어, 마이크로 컨트롤러, 마이크로 프로세서, 또는 DSP 장치와 같은 신호 처리 장치)에 의해 실행될 때, 위 설명에 따른 레이아웃을 생성하도록 구성된 지침 세트를 포함하는 컴퓨터 프로그램 또는 컴퓨터로 읽을 수 있는 매체들에 관한 것이다.

[0063] 예를 들어, 상기 지침은 회로의 제1 층의 제1 구조물 세트에 대응하는 제1 복수의 형상을 위치시키는 하나 또는 그 이상의 지침을 포함하고, 각각의 제1 복수의 형상은 독립적으로 제1 인쇄 호환가능한 모양을 필수적으로 포함하고, 이때, 상기 제1 인쇄 호환가능한 모양은 상기 제1 복수의 형상의 다른 모든 형상의 배향에 수직이거나 평행하고, 일반적으로 디자인 규칙 세트에 따른다(예를 들어, 최소 폭, 최소 및/또는 최대 길이, 최소 형상 간격, 두께, 교차 단면 곡률, 또는 접촉각, 프린터의 최소 그리드 치수, 등). 다른 실시예에 있어서, 제1 층은 인쇄 구조물에 대응되는 형상으로 이루어져 있다. 상기 지침은 인쇄 회로의 제2 층의 인쇄 구조물 세트에 대응하는 제2 복수의 형상을 위치시키는 하나 또는 그 이상의 지침을 포함하고, 각각의 제2 복수의 형상은 독립적으로 제2 인쇄 호환가능한 모양을 필수적으로 포함하고, 상기 제2 인쇄 호환가능한 모양은 상기 제2 복수의 형상의 다른 모든 형상의 배향에 수직이거나 평행하고, 상기 제1 복수의 형상의 모든 형상의 배향에 수직이거나 평행하다. 제2 복수의 형상은 일반적으로 같은 파라미터(구조물의 최소 및/또는 최대 치수, 최소 형상간 간격, 등)를 설명하는 디자인 규칙 세트에 따라 위치되지만, 제1 복수의 형상의 디자인 규칙의 값과는 다른 값을 갖는다. 상술한 바와 같이, 인쇄 호환가능한 모양은 직사각형, 정사각형, 선, 원, 또는 타원으로 구성된 그룹 중에서 선택될 수 있다.

[0064] 컴퓨터 프로그램은 어떤 종류의 읽을 수 있는 미디어에 기록될 수 있고, 컴퓨터로 읽을 수 있는 미디어는 그 미디어를 읽고, 그 위 또는 안에 기록된 코드를 실행하는 수행장치에 의해서 읽을 수 있는 어떤 유형의 미디어를 포함한다. 이러한 미디어는 플로피 디스크, CD-ROM, 마그네틱 테이프, 또는 하드 디스크 드라이브일 수 있다. 이러한 코드는 오브젝트 코드, 소스 코드, 및/또는 바이너리 코드를 포함한다.

[0065] 회로 레이아웃의 프로그램 또는 전자적 표현(electronic representation)은 적절한 미디어들을 통해 전송되는 것으로 구성될 수 있다. 상기 미디어는 구리선, 종래의 꼬여진 와이어 라인 쌍(twisted pair wireline), 종래

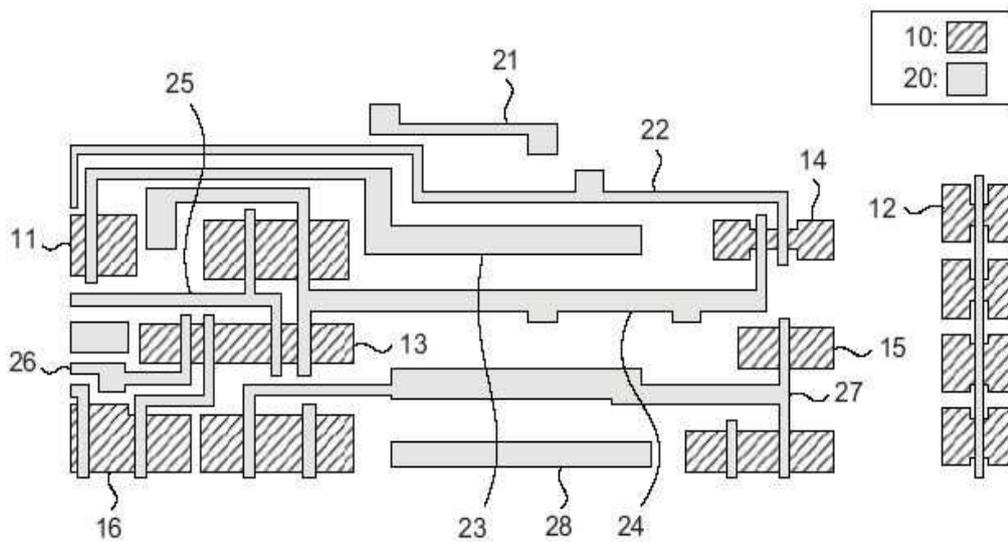
의 네트워크 케이블, 종래의 광학적 데이터 전송 케이블, 또는 와이어리스 신호 전송을 위한 공기 또는 진공(예를 들어, 외부 공간에서)을 포함한다. 회로 레이아웃의 본 발명에 따른 프로그램 및 전자적 표현을 수행하는 코드는 디지털일 수 있고, 일반적으로 종래의 디지털 데이터 프로세서(예를 들어, 마이크로 프로세서, 마이크로 컨트롤러, 또는 논리 회로 마치 프로그램 가능한 게이트 배열, 프로그램 가능한 논리 회로/장치 또는 어플리케이션에 특정된 [집적] 회로)에 의해 처리된다.

[0066] 본 발명의 실시예는 전자 잉크를 인쇄하여 회로를 형성하는 방법 및 인쇄에 의하여 형성된 회로 소자와 호환할 수 있는 회로 레이아웃에 관한 것이다. 본 발명의 다른 실시예는 상기 레이아웃(및 전자 잉크를 인쇄하여 형성될 수 있는)을 이용하여 형성된 회로 소자를 포함하는 전자 회로에 관한 것이다. 본 발명에 따르면 다양한 기판 상에 다양한 반도체, 도체, 유전체, 및 도펀트(전자적) 잉크가 인쇄될 수 있다. 종래의 레이아웃을 이용하여 상기 전자 잉크를 인쇄하는 기술은 난해하다. 왜냐하면 이러한 형상은 일반적으로 포토리소그래피에서 가능한 최소 치수에 따라 인쇄할 수 없으며, 불규칙한 지형 및/또는 레이아웃에 잉크를 인쇄하는 것은 액체 상태의 물리적 현상(예를 들어, 하부 지형에 따른 퍼짐, 위킹(wicking), 표면장력에 따른 비딩(beading) 등에 따라 이상적인/목표 패턴 간에 발생된 차이)들에 의해 나쁜 영향을 받기 때문이다. 인쇄 호환가능한 회로 레이아웃 및 전자 잉크를 이용하여 전자기기를 개발하는 것은, 상대적으로 낭비적이고, 비싸고, 및/또는 시간소모적인 종래의 (포토)리소그래피 기술에 비하여, 더욱 효율적이고 및/또는 덜 비싼 전자장치를 생산할 수 있도록 한다.

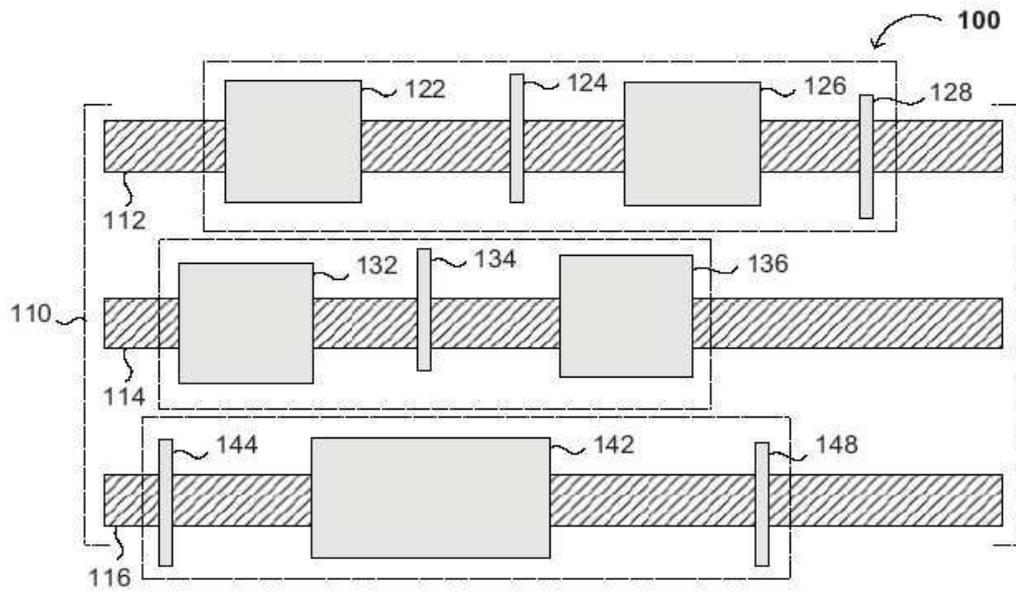
[0067] 앞서 설명한 본 발명의 실시예의 특징은 상세한 설명을 목적으로 기술되었다. 이들은 포괄적이거나 본 발명을 개시된 정확한 형태로 제한하려는 것이 아니고, 많은 변화 및 변형이 상기 교시의 관점에서 가능함은 명백하다. 실시예들은 본 발명의 원리들과 이의 실제 응용분야를 최고로 설명하기 위해 선택되고 기술되었고, 이를 통해 당업자들이 본 발명 및 생각하는 특정용도에 적합한 여러 변화를 가진 다양한 실시예들을 최대로 사용할 수 있게 된다. 본 발명의 범위는 첨부된 청구항 및 이의 균등물에 의해 정의된다.

도면

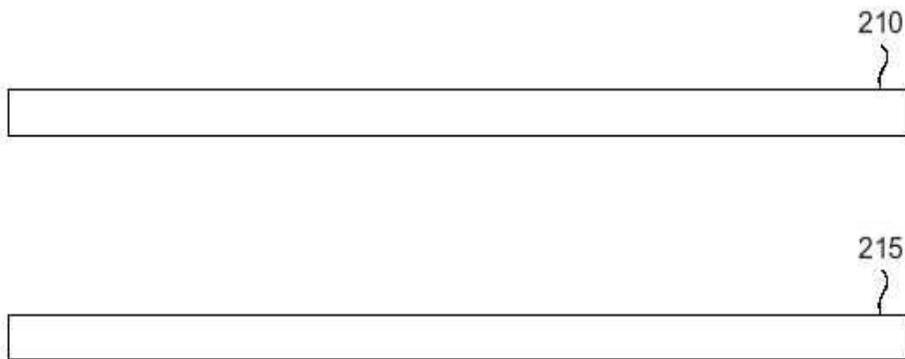
도면1



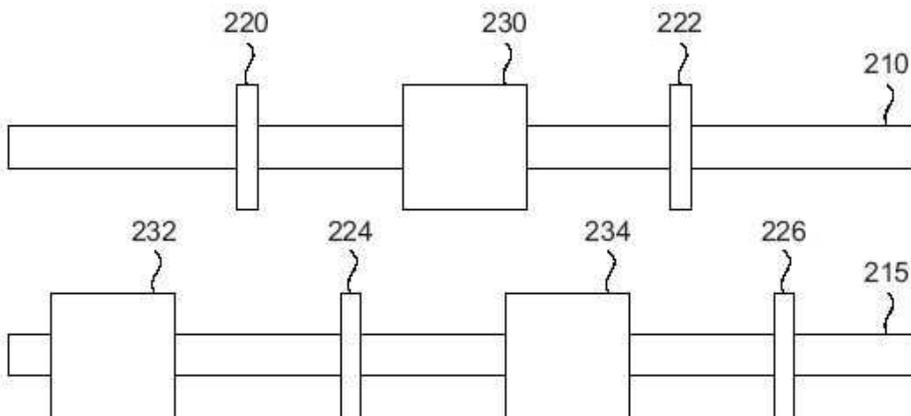
도면2



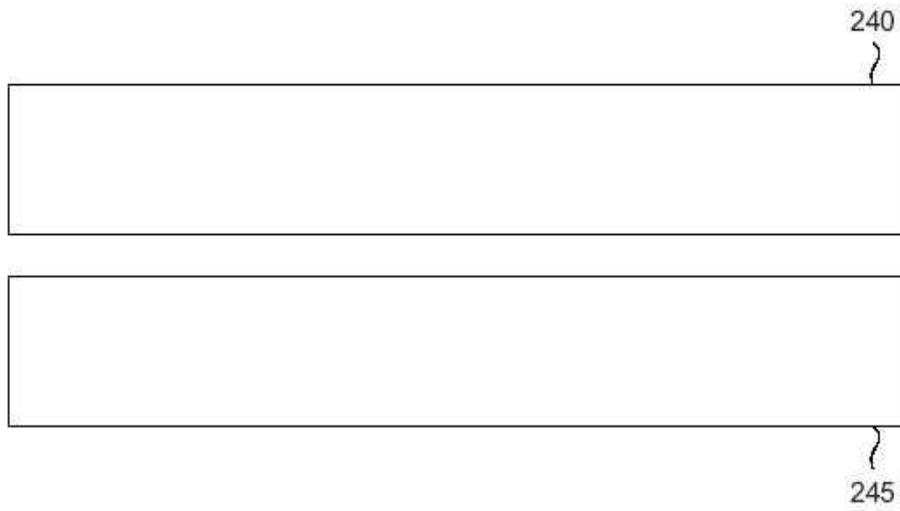
도면3a



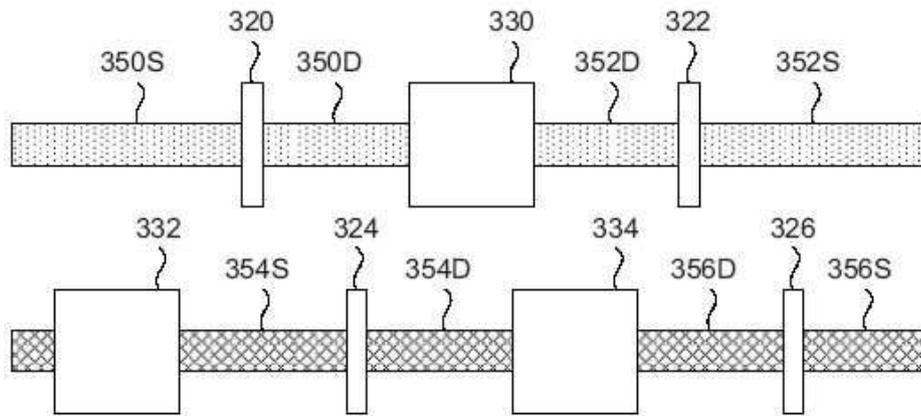
도면3b



도면3c



도면4



도면5

